

差動出力検出機能を備えた、 高速、高精度のデュアル降圧 DC/DC コントローラ

特長

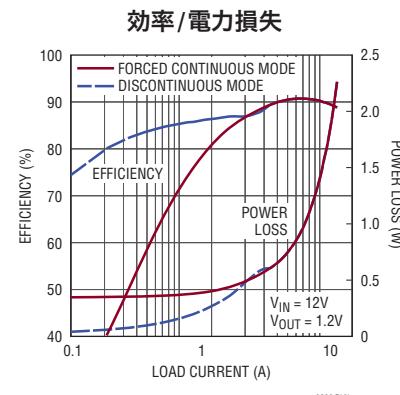
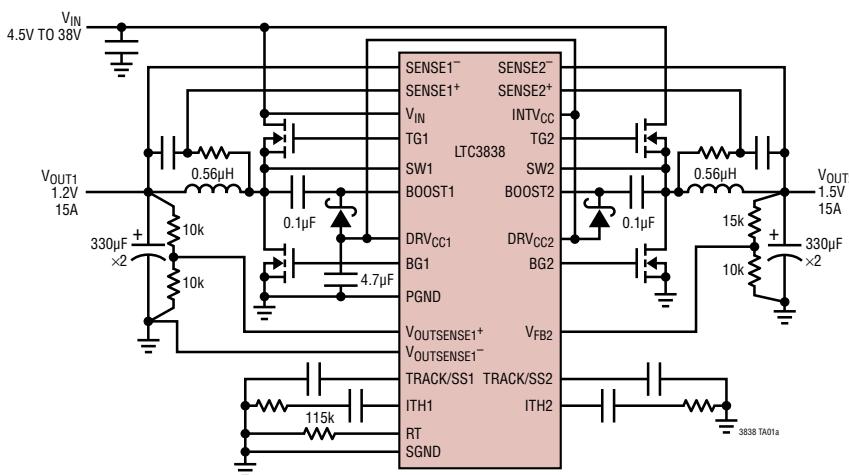
- 広い入力電圧範囲: 4.5V ~ 38V、出力電圧: 0.6V ~ 5.5V
- チャネル1では全温度範囲で $\pm 0.67\%$ の出力電圧精度、
差動出力電圧検出、デバイスから離れたグランドで最大
 $\pm 500\text{mV}$ のライン損失を許容
- 独立したチャネル2での出力精度: $\pm 1\%$
- 制御されたオン時間の谷電流モード制御
- 高速負荷トランジエント応答
- トランジエント検出(DTR)により出力電圧のオーバー⁺
シートを低減
- 周波数を 200kHz ~ 2MHz にプログラム可能、外部クロック
に同期可能
- $t_{ON(MIN)} = 30\text{ns}$, $t_{OFF(MIN)} = 90\text{ns}$
- RSENSE またはインダクタの DCR による電流検出
- 過電圧保護と電流制限フォールドバック
- パワーグッド出力電圧モニタ
- 出力電圧トラッキングと調整可能なソフトスタート
- 熱特性が改善された 38 ピン (5mm × 7mm) QFN および
TSSOP パッケージ

アプリケーション

- 分散給電システム
- ポイントオブロード・コンバータ
- コンピュータ・システム
- データ通信システム

標準的応用例

1.2V/1.5V、15A出力、350kHz、DCR 検出、降圧コンバータ(設計図全体については図16を参照)

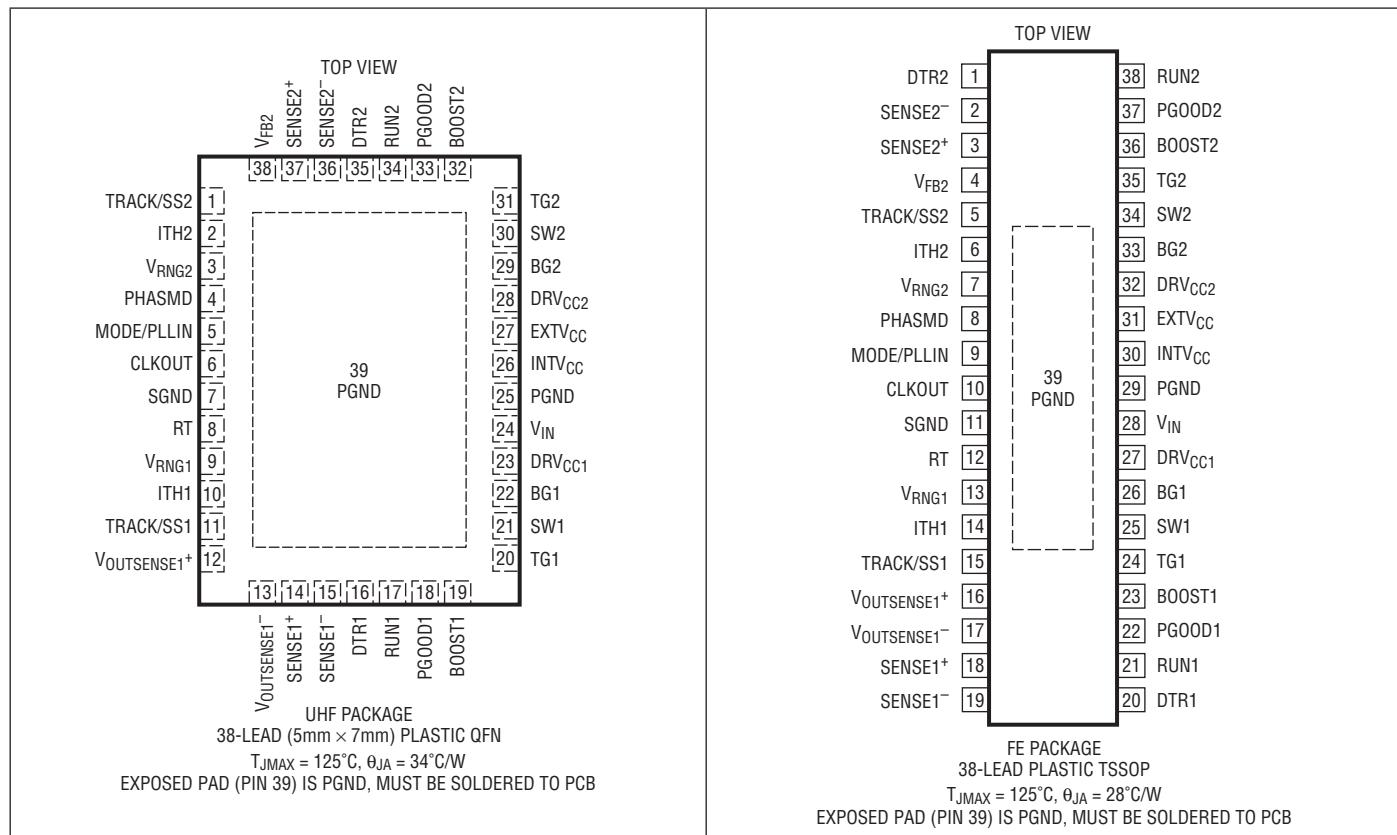


3838f16a

絶対最大定格 (Note 1)

V_{IN} 電圧	-0.3V ~ 40V	TRACK/SS1、TRACK/SS2 の電圧	-0.3V ~ 5V
BOOST1、BOOST2 の電圧	-0.3V ~ 46V	DTR1、DTR2、PHASMD、RT、 V_{RNG1} 、 V_{RNG2} 、 V_{FB2} 、 ITH1、ITH2 の電圧	-0.3V ~ ($INTV_{CC}$ + 0.3V)
SW1、SW2 の電圧	-5V ~ 40V	動作接合部温度範囲 (Note 2, 3, 4)	-40°C ~ 125°C
INTV _{CC} 、DRV _{CC1} 、DRV _{CC2} 、EXTV _{CC} 、PGOOD1、 PGOOD2、RUN1、RUN2、(BOOST1-SW1)、 (BOOST2-SW2)、MODE/PLLIN の電圧	-0.3V ~ 6V	保存温度範囲	-65°C ~ 150°C
$V_{OUTSENSE1^+}$ 、 $V_{OUTSENSE1^-}$ 、SENSE1 ⁺ 、SENSE2 ⁺ 、 SENSE1 ⁻ 、SENSE2 ⁻ の電圧	-0.6V ~ 6V	リード温度 (半田付け、10秒)	
		FE パッケージ	300°C

ピン配置



発注情報

無鉛仕上げ	テープアンドリール	製品マーキング*	パッケージ	温度範囲
LTC3838EUHF#PBF	LTC3838EUHF#TRPBF	3838	38-Lead (5mm × 7mm) Plastic QFN	-40°C to 125°C
LTC3838IUHF#PBF	LTC3838IUHF#TRPBF	3838	38-Lead (5mm × 7mm) Plastic QFN	-40°C to 125°C
LTC3838EFE#PBF	LTC3838EFE#TRPBF	LTC3838FE	38-Lead Plastic TSSOP	-40°C to 125°C
LTC3838IFE#PBF	LTC3838IFE#TRPBF	LTC3838FE	38-Lead Plastic TSSOP	-40°C to 125°C

さらに広い動作温度範囲で規定されるデバイスについては、弊社または弊社代理店にお問い合わせください。* 温度グレードは出荷時のコンテナのラベルで識別されます。
非標準の鉛仕上げの製品の詳細については、弊社または弊社代理店にお問い合わせください。

無鉛仕上げの製品マーキングの詳細については、<http://www.linear-tech.co.jp/leadfree/> をご覧ください。
テープアンドリールの仕様の詳細については、<http://www.linear-tech.co.jp/tapeandreel/> をご覧ください。

電気的特性 ●は規定動作接合部温度範囲の規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。注記がない限り、 $V_{IN} = 15\text{V}$ (Note 3)。

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS	
メイン制御ループ							
V_{IN}	Input Voltage Operating Range		4.5	38		V	
$V_{OUT1,2(\text{REG})}$	Regulated Output Voltage Operating Range	V_{OUT1} Regulated Differentially with Respect to $V_{OUTSENSE1^+}$, V_{OUT2} Regulated with Respect to SGND	0.6	5.5		V	
I_Q	Input DC Supply Current Both Channels Enabled Only One Channel Enabled Shutdown Supply Current	MODE/PLLIN = 0V, No Load RUN1 or RUN2 (But Not Both) = 0V RUN1 = RUN2 = 0V		3 2 15		mA mA μA	
$V_{OUTSENSE1(\text{REG})}$	Regulated Differential Feedback Voltage on Channel 1 ($V_{OUTSENSE1^+} - V_{OUTSENSE1^-}$)	ITH1 = 1.2V (Note 5) $T_A = 25^\circ\text{C}$ $T_A = 0^\circ\text{C}$ to 85°C $T_A = -40^\circ\text{C}$ to 125°C	● ● ●	0.5985 0.596 0.594	0.6 0.6 0.6	0.6015 0.604 0.606	V V V
	Regulated Differential Feedback Voltage on Channel 1 Over Line, Load and Common Mode	$V_{IN} = 4.5\text{V}$ to 38V , ITH1 = 0.5V to 1.9V (Note 5), $-0.5\text{V} < V_{OUTSENSE1^-} < 0.5\text{V}$ $T_A = 0^\circ\text{C}$ to 85°C $T_A = -40^\circ\text{C}$ to 125°C		0.594 0.591	0.6 0.6	0.606 0.609	V V
$V_{FB2(\text{REG})}$	Regulated Feedback Voltage on Channel 2	ITH2 = 1.2V (Note 5) $T_A = 25^\circ\text{C}$ $T_A = 0^\circ\text{C}$ to 85°C $T_A = -40^\circ\text{C}$ to 125°C	● ● ●	0.597 0.594 0.592	0.6 0.6 0.6	0.603 0.606 0.608	V V V
	Regulated Feedback Voltage on Channel 2 Over Line, Load	$V_{IN} = 4.5\text{V}$ to 38V , ITH2 = 0.5V to 1.9V (Note 5) $T_A = 0^\circ\text{C}$ to 85°C $T_A = -40^\circ\text{C}$ to 125°C		0.592 0.588	0.6 0.6	0.608 0.612	V V
$I_{VOUTSENSE1^+}$	$V_{OUTSENSE1^+}$ Input Bias Current	$V_{OUTSENSE1^+} - V_{OUTSENSE1^-} = 0.6\text{V}$			± 5	± 25	nA
$I_{VOUTSENSE1^-}$	$V_{OUTSENSE1^-}$ Input Bias Current	$V_{OUTSENSE1^+} - V_{OUTSENSE1^-} = 0.6\text{V}$			-25	-50	μA
I_{VFB2}	V_{FB2} Input Bias Current	$V_{FB2} = 0.6\text{V}$			-5	± 50	nA
$g_m(\text{EA})_{1,2}$	Error Amplifier Transconductance	ITH = 1.2V (Note 5)			1.7		mS
$t_{ON(\text{MIN})1,2}$	Minimum Top Gate On-Time	$V_{IN} = 38\text{V}$, $V_{OUT} = 0.6\text{V}$, $R_T = 20\text{k}$ (Note 6)			30		ns
$t_{OFF(\text{MIN})1,2}$	Minimum Top Gate Off-Time	(Note 6)			90		ns

電気的特性 ●は規定動作接合部温度範囲の規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。注記がない限り、 $V_{IN} = 15\text{V}$ (Note 3)。

SYMBOL	PARAMETER	CONDITIONS		MIN	TYP	MAX	UNITS
電流検出							
$V_{SENSE(\text{MAX})1,2}$	Maximum Valley Current Sense Threshold ($V_{SENSE1,2^+} - V_{SENSE1,2^-}$)	$V_{RNG} = 2\text{V}$, $V_{FB} = 0.57\text{V}$, $V_{SENSE^-} = 2.5\text{V}$ $V_{RNG} = 0\text{V}$, $V_{FB} = 0.57\text{V}$, $V_{SENSE^-} = 2.5\text{V}$ $V_{RNG} = \text{INTV}_{CC}$, $V_{FB} = 0.57\text{V}$, $V_{SENSE^-} = 2.5\text{V}$	● ● ●	80 21 39	100 30 50	120 40 61	mV
$V_{SENSE(\text{MIN})1,2}$	Minimum Valley Current Sense Threshold ($V_{SENSE1,2^+} - V_{SENSE1,2^-}$) (Forced Continuous Mode)	$V_{RNG} = 2\text{V}$, $V_{FB} = 0.63\text{V}$, $V_{SENSE^-} = 2.5\text{V}$ $V_{RNG} = 0\text{V}$, $V_{FB} = 0.63\text{V}$, $V_{SENSE^-} = 2.5\text{V}$ $V_{RNG} = \text{INTV}_{CC}$, $V_{FB} = 0.63\text{V}$, $V_{SENSE^-} = 2.5\text{V}$			-50 -15 -25	mV	
$I_{SENSE1,2^+}$	SENSE1,2 ⁺ Pins Input Bias Current	$V_{SENSE^+} = 0.6\text{V}$ $V_{SENSE^+} = 5\text{V}$			± 5 1	± 50 ± 2	nA μA
$I_{SENSE1,2^-}$	SENSE1,2 ⁻ Pins Input Bias Current (Internal 500k Resistor to SGND)	$V_{SENSE^-} = 0.6\text{V}$ $V_{SENSE^-} = 5\text{V}$			1.2 10		μA
起動とシャットダウン							
$V_{RUN1,2}$	RUN Pin On Threshold	$V_{RUN1,2}$ Rising	●	1.1	1.2	1.3	V
	RUN Pin On Hysteresis	$V_{RUN1,2}$ Falling from On Threshold			100		mV
$I_{RUN1,2}$	RUN Pin Pull-Up Current when Off	$\text{RUN1,2} = \text{SGND}$			1.2		μA
	RUN Pin Pull-Up Current Hysteresis	$I_{RUN1,2(\text{HYS})} = I_{RUN1,2(\text{ON})} - I_{RUN1,2(\text{OFF})}$			5		μA
UVLO	INTV _{CC} Undervoltage Lockout	INTV _{CC} Falling INTV _{CC} Rising	● ●	3.3 4.2	3.7 4.2	4.5	V
$I_{TRACK/SS1,2}$	Soft-Start Pull-Up Current	$0\text{V} < \text{TRACK/SS1,2} < 0.6\text{V}$			1		μA
周波数とクロック同期							
	Clock Output Frequency (Steady-State Switching Frequency)	$R_T = 205\text{k}$ $R_T = 80.6\text{k}$ $R_T = 18.2\text{k}$		450	200 500 2000	550	kHz
	Channel 2 Phase (Relative to Channel 1)	PHASMD = SGND PHASMD = Floating PHASMD = INTV _{CC}			180 180 240		Deg
	CLKOUT Phase (Relative to Channel 1)	PHASMD = SGND PHASMD = Floating PHASMD = INTV _{CC}			60 90 120		Deg
$V_{PLLIN(H)}$	Clock Input High Level Into MODE/PLLIN				2		V
$V_{PLLIN(L)}$	Clock Input Low Level Into MODE/PLLIN					0.5	V
$R_{MODE/PLLIN}$	MODE/PLLIN Input DC Resistance	With Respect to SGND			600		$\text{k}\Omega$
ゲート・ドライバ							
$R_{TG(UP)1,2}$	TG Driver Pull-Up On Resistance	TG High			2.5		Ω
$R_{TG(DOWN)1,2}$	TG Driver Pull-Down On Resistance	TG Low			1.2		Ω
$R_{BG(UP)1,2}$	BG Driver Pull-Up On Resistance	BG High			2.5		Ω
$R_{BG(DOWN)1,2}$	BG Driver Pull-Down On Resistance	BG Low			0.8		Ω
$t_D(TG/BG)1,2$	Top Gate Off to Bottom Gate On Delay Time	(Note 6)			20		ns
$t_D(BG/TG)1,2$	Bottom Gate Off to Top Gate On Delay Time	(Note 6)			15		ns

電気的特性 ●は規定動作接合部温度範囲の規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。注記がない限り、 $V_{IN} = 15\text{V}$ (Note 3)。

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
内部 V_{CC} レギュレータ						
V_{DRVCC1}	Internally Regulated DRV_{CC1} Voltage	$6\text{V} < V_{IN} < 38\text{V}$	5.0	5.3	5.6	V
	DRV_{CC1} Load Regulation	$I_{DRVCC1} = 0\text{mA}$ to -100mA		-1.5	-3	%
V_{EXTVCC}	$EXTV_{CC}$ Switchover Voltage	$EXTV_{CC}$ Rising	4.4	4.6	4.8	V
	$EXTV_{CC}$ Switchover Hysteresis			200		mV
	$EXTV_{CC}$ to DRV_{CC2} Voltage Drop	$V_{EXTVCC} = 5\text{V}$, $I_{DRVCC2} = -100\text{mA}$		200		mV
PGOOD 出力						
OV	PGOOD Overvoltage Threshold	$V_{FB1,2}$ Rising, with Respect to Regulated Voltage	5	7.5	10	%
UV	PGOOD Undervoltage Threshold	$V_{FB1,2}$ Falling, with Respect to Regulated Voltage	-5	-7.5	-10	%
	PGOOD Threshold Hysteresis	$V_{FB1,2}$ Returning to Reference Voltage		2		%
$V_{PGOOD(L)1,2}$	PGOOD Low Voltage	$I_{PGOOD} = 2\text{mA}$		0.1	0.3	V
$t_{D(PGOOD)1,2}$	Delay from V_{FB} Fault (OV/UV) to PGOOD Falling			50		μs
	Delay from V_{FB} Good to PGOOD Rising			20		μs

Note 1: 絶対最大定格に記載された値を超えるストレスはデバイスに永続的損傷を与える可能性がある。長期にわたって絶対最大定格条件に曝すと、デバイスの信頼性と寿命に悪影響を与える恐れがある。

Note 2: 接合部温度(T_J ($^\circ\text{C}$))は周囲温度(T_A ($^\circ\text{C}$))および電力損失(P_D (W))から次式に従って計算される。

$$T_J = T_A + (P_D \cdot \theta_{JA})$$

ここで、 θ_{JA} ($^\circ\text{C/W}$)はパッケージの熱インピーダンスである。

Note 3: LTC3838は T_J が T_A にはば等しくなるようなパルス負荷条件でテストされる。LTC3838Eは $0^\circ\text{C} \sim 85^\circ\text{C}$ の動作接合部温度範囲で仕様に適合することが保証されている。 $-40^\circ\text{C} \sim 125^\circ\text{C}$ の動作接合部温度範囲での仕様は設計、特性評価および統計学的なプロセス・コントロールとの相関で確認されている。LTC3838Iは $-40^\circ\text{C} \sim 125^\circ\text{C}$ の動作接合部温度範囲で仕様に適合することが保証されている。これらの仕様を満たす最大周囲温度は、基板レイアウト、パッケージの定格熱インピーダンスおよび他の環境要因と関連した特定の動作条件によって決まるに注意。

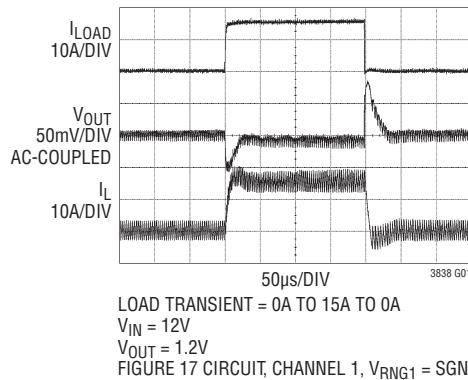
Note 4: このデバイスには短時間の過負荷状態の間デバイスを保護するための過熱保護機能が備わっている。この保護が動作しているときは、最大定格接合部温度を超える。規定された絶対最大動作接合部温度を超えた動作が継続すると、デバイスの信頼性を損なうか、またはデバイスに永続的損傷を与える恐れがある。

Note 5: LTC3838は、規定されたエラーアンプ出力電圧(ITH1,2)が得られるように($V_{OUTSENSE1^+} - V_{OUTSENSE1^-}$)または V_{FB2} を調整する帰還ループでテストされる。

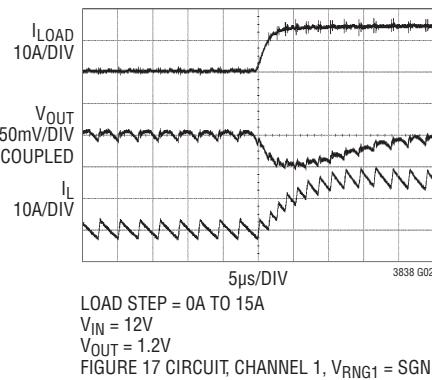
Note 6: 遅延時間は、上側ゲート(TG)および下側ゲート(BG)が最小負荷を駆動する状態で、50%のレベルを使用して測定される。

標準的性能特性

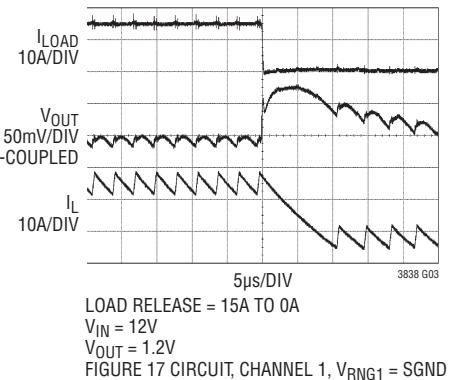
**トランジエント応答
(強制連続モード)**



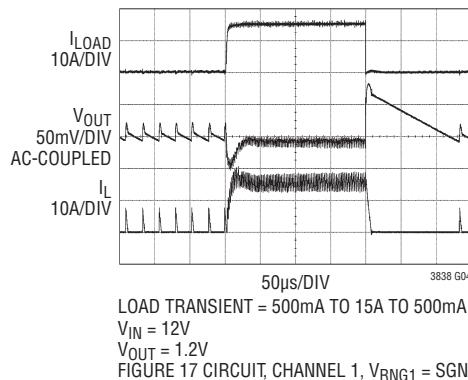
**負荷ステップ
(強制連続モード)**



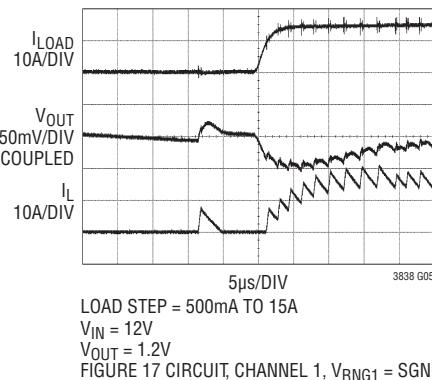
**負荷解放
(強制連続モード)**



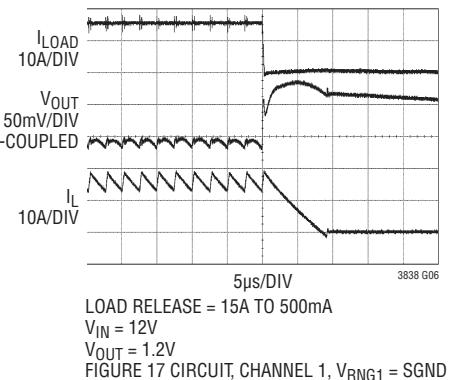
**トランジエント応答
(不連続モード)**



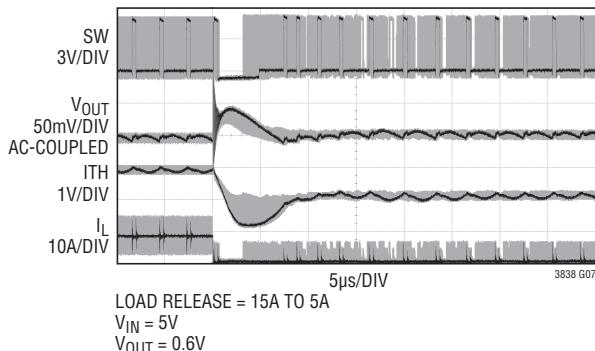
**負荷ステップ
(不連続モード)**



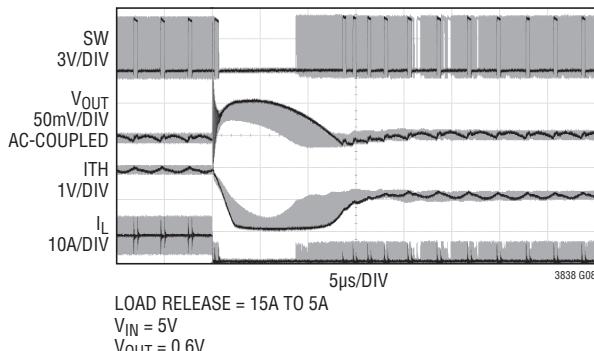
**負荷解放
(不連続モード)**



**トランジエント検出(DTR)機能イネーブル時の
負荷解放**

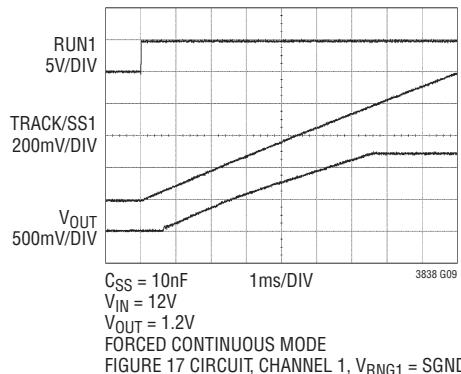


**トランジエント検出(DTR)機能ディスエーブル
時の負荷解放**

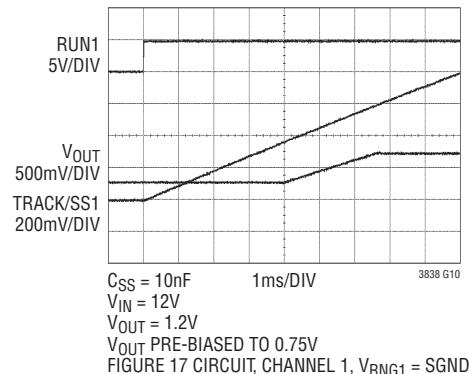


標準的性能特性

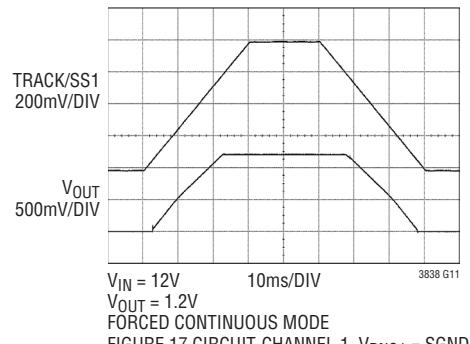
通常のソフトスタート



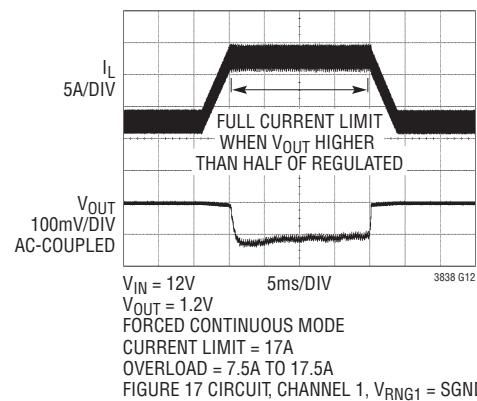
出力がプリバイアスされた状態までのソフトスタート



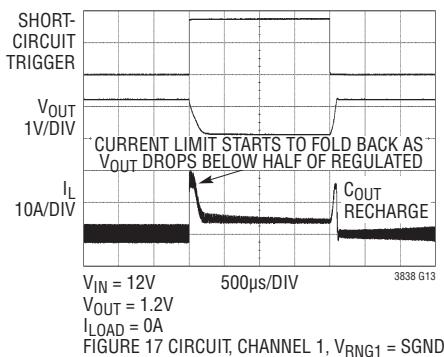
出力トラッキング



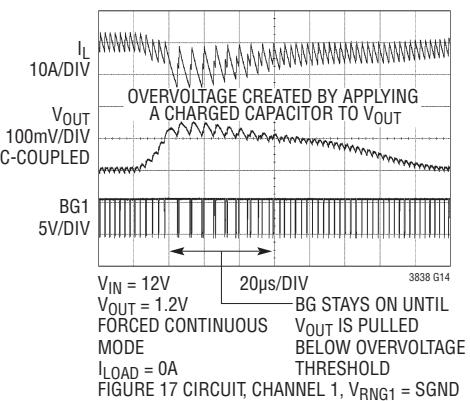
過電流保護



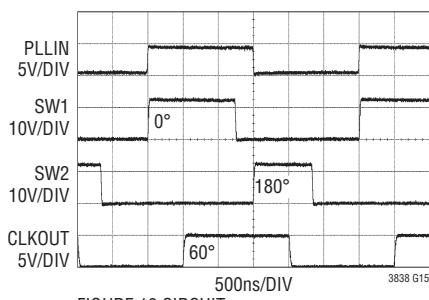
短絡保護



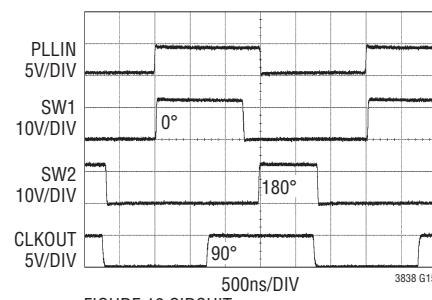
過電圧保護



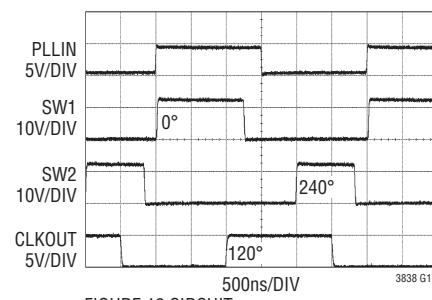
位相関係: PHASMD = グランド



位相関係: PHASMD = フロート

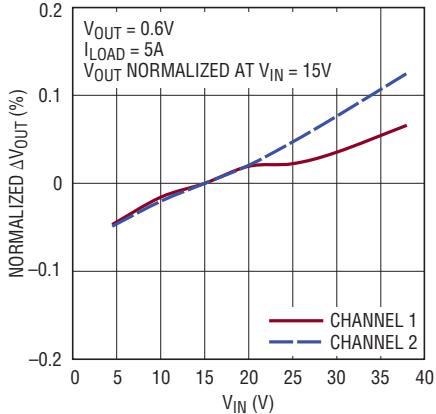


位相関係: PHASMD = INTVCC



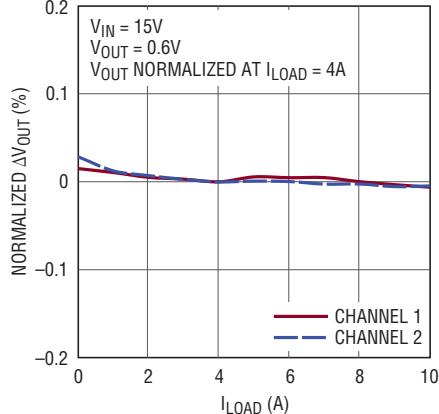
標準的性能特性

出力レギュレーションと入力電圧



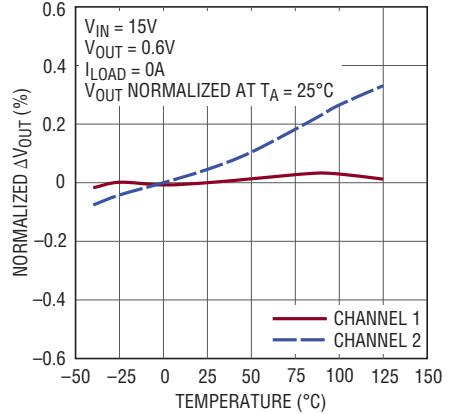
3838 G18

出力レギュレーションと負荷電流



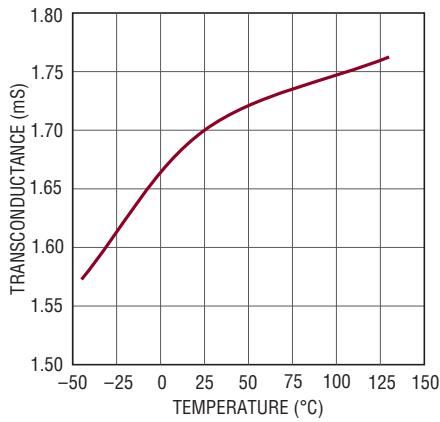
3838 G19

出力レギュレーションと温度



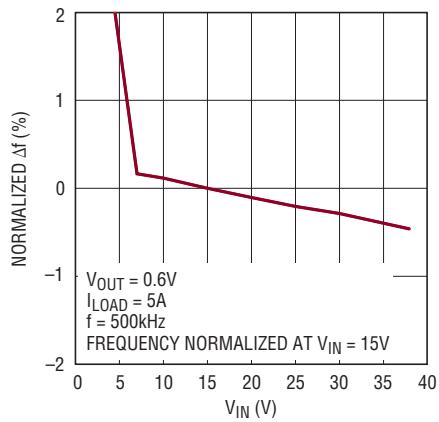
3838 G20

エラーアンプのトランジスタコンダクタンスと温度



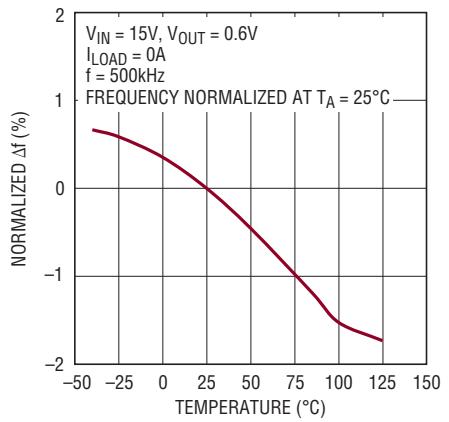
3838 G27

CLKOUT/スイッチング周波数と入力電圧



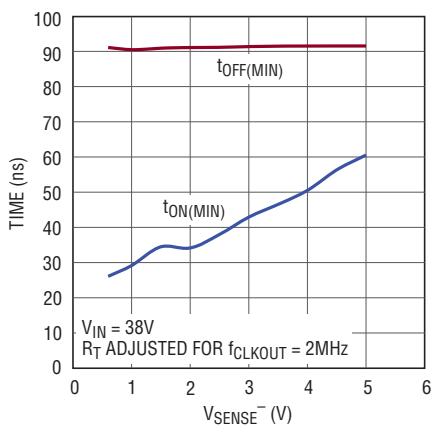
3838 G21

CLKOUT/スイッチング周波数と温度



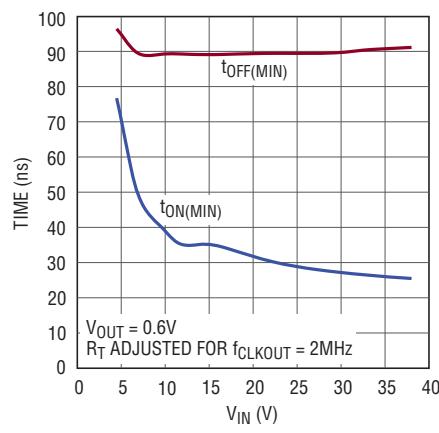
3838 G23

t_{ON(MIN)}およびt_{OFF(MIN)}とV_{OUT}(SENSE⁻ビンの電圧)



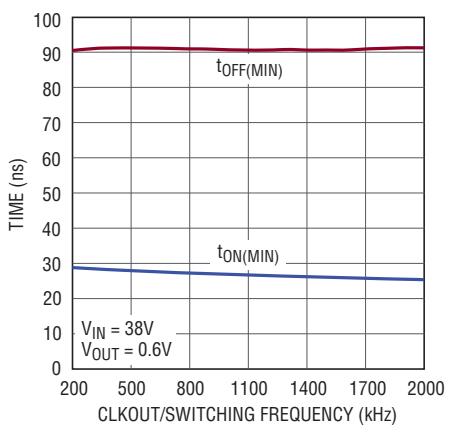
3838 G24

t_{ON(MIN)}およびt_{OFF(MIN)}とV_{IN}ビンの電圧



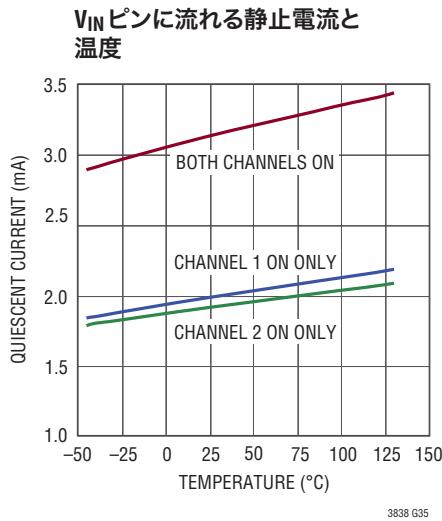
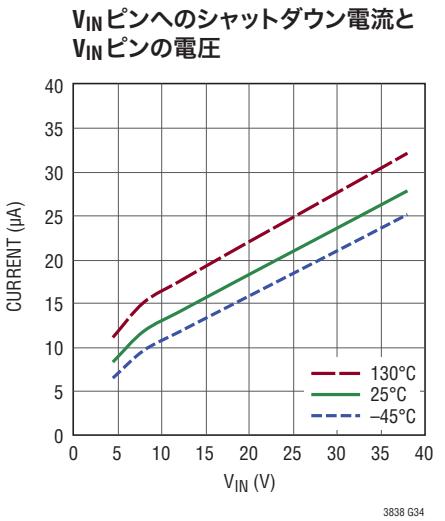
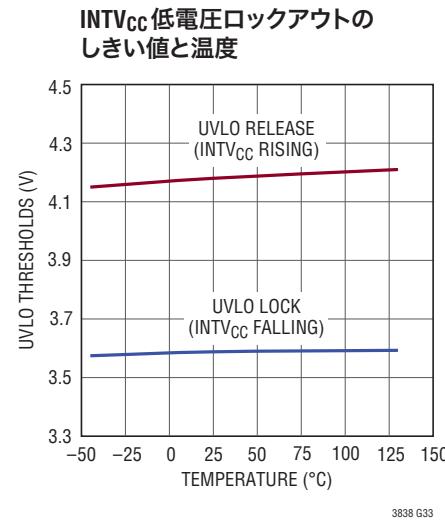
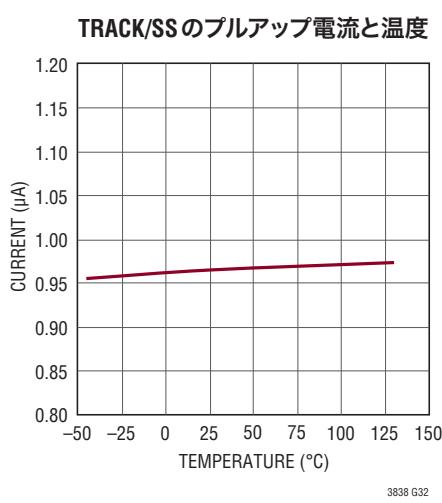
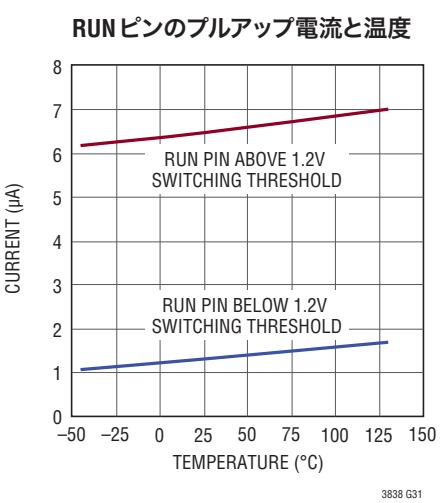
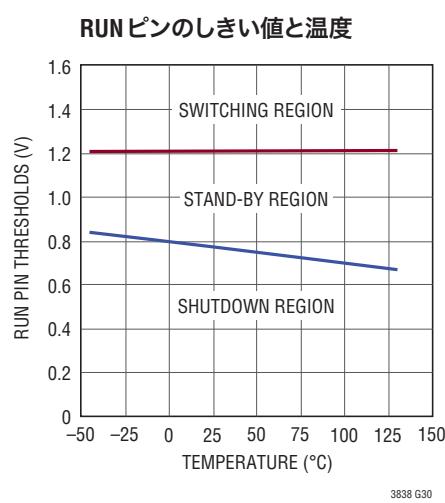
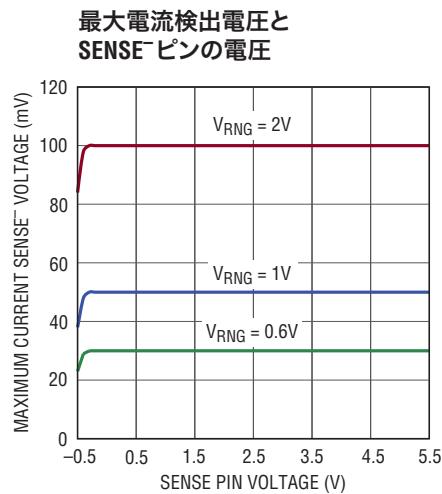
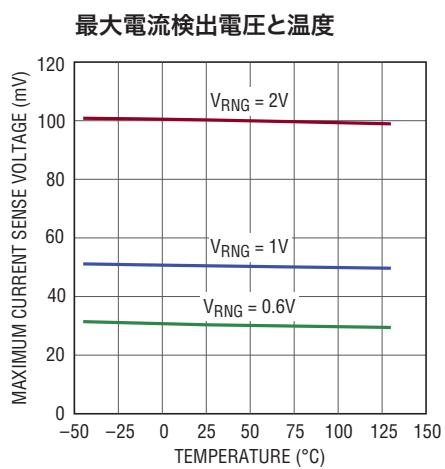
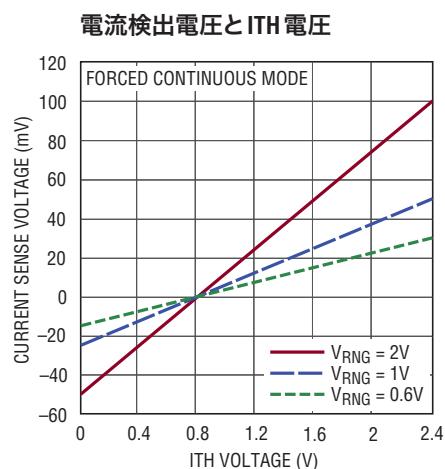
3838 G25

t_{ON(MIN)}およびt_{OFF(MIN)}とスイッチング周波数



3838 G26

標準的性能特性



ピン機能 (QFN/TSSOP)

PHASMD(ピン4/ピン8)：位相セレクタ入力。このピンにより、チャネルとCLKOUT信号の位相関係が決まります。ゼロ位相をTG1の立ち上がりエッジとして定義した場合、次のようにになります。このピンをSGNDに接続すると、TG2が180°に、CLKOUTが60°にロックされます。このピンをINTVCCに接続すると、TG2が240°に、CLKOUTが120°にロックされます。このピンをフロート状態にすると、TG2が180°に、CLKOUTが90°にロックされます。

MODE/PLLIN(ピン5/ピン9)：動作モードの選択または外部クロックの同期入力。このピンをINTVCCに接続すると、強制連続モード動作が選択されます。このピンをSGNDに接続すると、不連続モード動作が可能になります。このピンに外部クロックを与えると、両方のチャネルが強制連続モードで動作し、外部クロックに同期します。

CLKOUT(ピン6/ピン10)：内部クロック発生器のクロック出力。その出力レベルの振幅はINTVCCからSGNDまでです。MODE/PLLINピンにクロック入力が存在すると、CLKOUTは入力クロックに同期し、その位相はPHASMDピンによって設定されます。MODE/PLLINにクロックが入力されないと、周波数はRTピンによって設定されます。別のコントローラに同期させるため、そのコントローラのMODE/PLLINピンに接続することができます。

SGND(ピン7/ピン11)：信号グランド。すべての小信号用アナログ部品および補償用部品は、このグランドに接続します。SGNDは1本のPCBトレースを使って露出パッドおよびPGNDピンに接続します。

RT(ピン8/ピン12)：クロック発生器の周波数設定ピン。スイッチング周波数を200kHz～2MHzの範囲に設定するには、RTとSGNDの間に外付け抵抗を接続します。周波数を確実にロックするには、MODE/PLLINに入力する外部クロックをこの設定周波数の±30%以内にします。RTピンがフロート状態の場合、周波数は200kHzよりわずかに低い値に内部で設定されます。

VRNG1、VRNG2(ピン9、3/ピン13、7)：電流検出電圧範囲の入力。0.6V～2Vに設定すると、VRNG_{1,2}に印加される電圧は、SENSE1、2⁺とSENSE1、2⁻の間の最大検出電圧の20倍、つまり、いずれのチャネルの場合も($V_{SENSE}^+ - V_{SENSE}^-$) = 0.05 • VRNGとなります。VRNGをSGNDに接続すると、そのチャネルは、0.6VのVRNGに相当する30mVの最大検出電圧で動作し、INTVCCに接続すると、1VのVRNGに相当する50mVの最大検出電圧で動作します。

ITH1、ITH2(ピン10、2/ピン14、6)：電流制御しきい値。このピンはエラーアンプの出力であり、スイッチング・レギュレータの補償点です。電流コンバレータのしきい値はこの制御電圧に応じて増加します。電圧範囲は0V～2.4Vで、0.8Vがゼロ検出電圧(インダクタ谷電流がゼロ)に相当します。

TRACK/SS1、TRACK/SS2(ピン11、1/ピン15、5)：外部トラッキングとソフトスタート入力。LTC3838は、帰還電圧($V_{OUTSENSE1}^+ - V_{OUTSENSE1}^-$) および V_{FB2} を、0.6Vと、TRACK/SS1、2ピンの電圧のそれれいづれか低い方に安定化します。各TRACK/SSピンには、温度に依存しない1μAの内部プルアップ電流源が接続されています。このピンとグランドの間に接続したコンデンサにより、最終的な安定化出力電圧までのランプ時間が設定されます。あるいは、別の電源をこのピンに接続すると、出力が起動時に別の電源をトラッキングすることができます。

V_{OUTSENSE1}⁺(ピン12/ピン16)：チャネル1の差動出力検出アンプの(+)入力。このピンは、V_{OUT1}の出力コンデンサの正端子と負端子との間の帰還抵抗分割器に接続します。公称動作時、LTC3838は差動出力電圧V_{OUT1}を、帰還抵抗分割器の比で分圧した0.6Vに安定化しようとします。

ピン機能 (QFN/TSSOP)

VOUTSENSE₁- (ピン13/ピン17)：チャネル1の差動出力検出アンプの(-)入力。このピンはVOUT₁の出力負荷コンデンサの負端子に接続します。

SENSE1⁺、SENSE2⁺(ピン14、37/ピン18、3)：差動電流検出コンパレータの(+)入力。ITHピンの電圧、およびSENSE⁻ピンとSENSE⁺ピンの間の制御されたオフセットによって、電流コンパレータの作動しきい値が設定されます。このコンパレータは、RSENSEによる検出またはインダクタのDCRによる検出に使用できます。RSENSEによる検出では、SENSE⁺ピンをRSENSEの(+)端子にケルビン(4線)接続します。DCRによる検出では、インダクタ両端間に接続されたDCR検出コンデンサと検出抵抗の接続点にSENSE⁺ピンを接続します。

SENSE1⁻、SENSE2⁻(ピン15、36/ピン19、2)：差動電流検出コンパレータの(-)入力。このコンパレータは、RSENSEによる検出またはインダクタのDCRによる検出に使用できます。RSENSEによる検出では、SENSE⁻ピンをRSENSEの(-)端子にケルビン(4線)接続します。DCRによる検出では、インダクタのVOUTノード接続点に接続されているDCR検出コンデンサにSENSE⁻ピンを接続します。これらのピンは、上側MOSFETのオン時間を調整するための出力電圧検出ピンとしても機能します。各SENSE⁻ピンとSGNDの間には追加の500k内部抵抗があるので、これらのピンへのインピーダンスはSENSE⁺ピンとは異なります。

DTR1、DTR2(ピン16、35/ピン20、1)：オーバーシュートを低減するための負荷解放トランジエント検出ピン。負荷電流が急激に減少した場合に、このDTRピンの電圧がINTVCCの電圧の半分より低くなると、下側ゲート(BG)がオフすることにより、インダクタ電流が急速にゼロまで減少するので、VOUTのオーバーシュートが低減されます。(詳細については、「アプリケーション情報」のセクションの「負荷解放時のトランジエントの検出」を参照してください。) 2.5μAの内部電流源により、このピンの電圧はINTVCCの電圧に向かって上昇します。DTR機能をディスエーブルするには、DTRピンをそのままINTVCCに接続します。

RUN1、RUN2(ピン17、34/ピン21、38)：実行制御入力。内蔵の絶対温度比例式(PTAT) プルアップ電流源(25°Cで約1.2μA)は、このピンに常時接続されています。RUN1ピンおよびRUN2ピンの電圧をしきい値電圧(25°Cで約0.8V)より低くすると、INTVCCおよびDRVCCのすべてのバイアスがシャットダウンし、LTC3838はマイクロパワー・シャットダウン・モードになります。一方のRUNピンの電圧をこのしきい値より高くすると、内部のバイアス電源および特定のチャネルの回路がオンになります。1つのRUNピンの電圧が上昇して1.2Vを超えると、対応するチャネルのTGドライバおよびBGドライバがオンになり、温度に依存しない追加の5μA プルアップ電流源がこのRUNピンに内部で接続されます。RUNピンは最大50μAの電流を吸い込むことや、強制的に6V以下の電圧にすることが可能です。

PGOOD1、PGOOD2(ピン18、33/ピン22、37)：パワーグッド・インジケータの出力。このオープンドレインのロジック出力は、50μsのパワーバッドマスキング遅延の後、出力電圧がレギュレーション点を中心とした±7.5%の範囲から外れると、グランド電位に低下します。レギュレーション点に戻る場合、パワーグッド表示までには非常に短時間の遅延があり、電圧範囲の両側には約2%のヒステリシスがあります。

BOOST1、BOOST2(ピン19、32/ピン23、36)：上側MOSFETドライバの昇圧されたフロート電源。ブーストストラップ・コンデンサC_Bの(+)端子をこのピンに接続します。BOOSTピンはV_{IN}により、ダイオードの電圧降下分だけDRVCCより低い電圧、つまり(DRVCC - V_D)と(V_{IN} + DRVCC - V_D)の間で振幅します。

TG1、TG2(ピン20、31/ピン24、35)：上側のゲート・ドライバ出力。TGピンは、上側のNチャネル・パワーMOSFETのゲートを、V_{DRVCC}の電圧振幅により、SWからBOOSTまでの電圧範囲で駆動します。

ピン機能 (QFN/TSSOP)

SW1、SW2(ピン21、30/ピン25、34)：インダクタへのスイッチ・ノードの接続ピン。電圧振幅は、ダイオードの電圧降下分だけグランドより低い電圧から V_{IN} までです。ポートストラップ・コンデンサ C_B の(-)端子をこのノードに接続します。

BG1、BG2(ピン22、29/ピン26、33)：下側のゲート・ドライバ出力。BGピンは、下側のNチャネル・パワーMOSFETのゲートをPGNDからDRVCCまでの電圧範囲で駆動します。

DRVCC1、DRVCC2(ピン23、28/ピン27、32)：下側のゲート・ドライバの電源。DRVCC1は、5.3Vの内部レギュレータの出力であります。DRVCC2は、EXTVCCスイッチの出力であります。通常、2つのDRVCCピンはPCB上で互いに短絡されており、最小 $4.7\mu F$ のセラミック・コンデンサ C_{DRVCC} でPGNDに減結合します。

V_{IN} (ピン24/ピン28)：入力電源。電源電圧の可能な範囲は4.5V～38Vです。ノイズ耐性を増すには、RCフィルタを使用してこのピンをSGNDに減結合します。このピンの電圧は上側ゲートのオン時間を調整するためにも使用されるので、このピンはRCフィルタを介して主電力の入力電源に接続することを推奨します。

PGND(ピン25、露出パッドのピン39/ピン29、露出パッドのピン39)：電源グランド。このピンは、下側のNチャネル・パワーMOSFETのソース、 C_{DRVCC} の(-)端子、および C_{IN} の(-)端子のできるだけ近くに接続します。露出パッドとPGNDピンはICの下に1本のPCBトレースを通してSGNDピンに接続します。電気的性能と定格熱性能を得るため、露出パッドは回路基板に半田付けする必要があります。

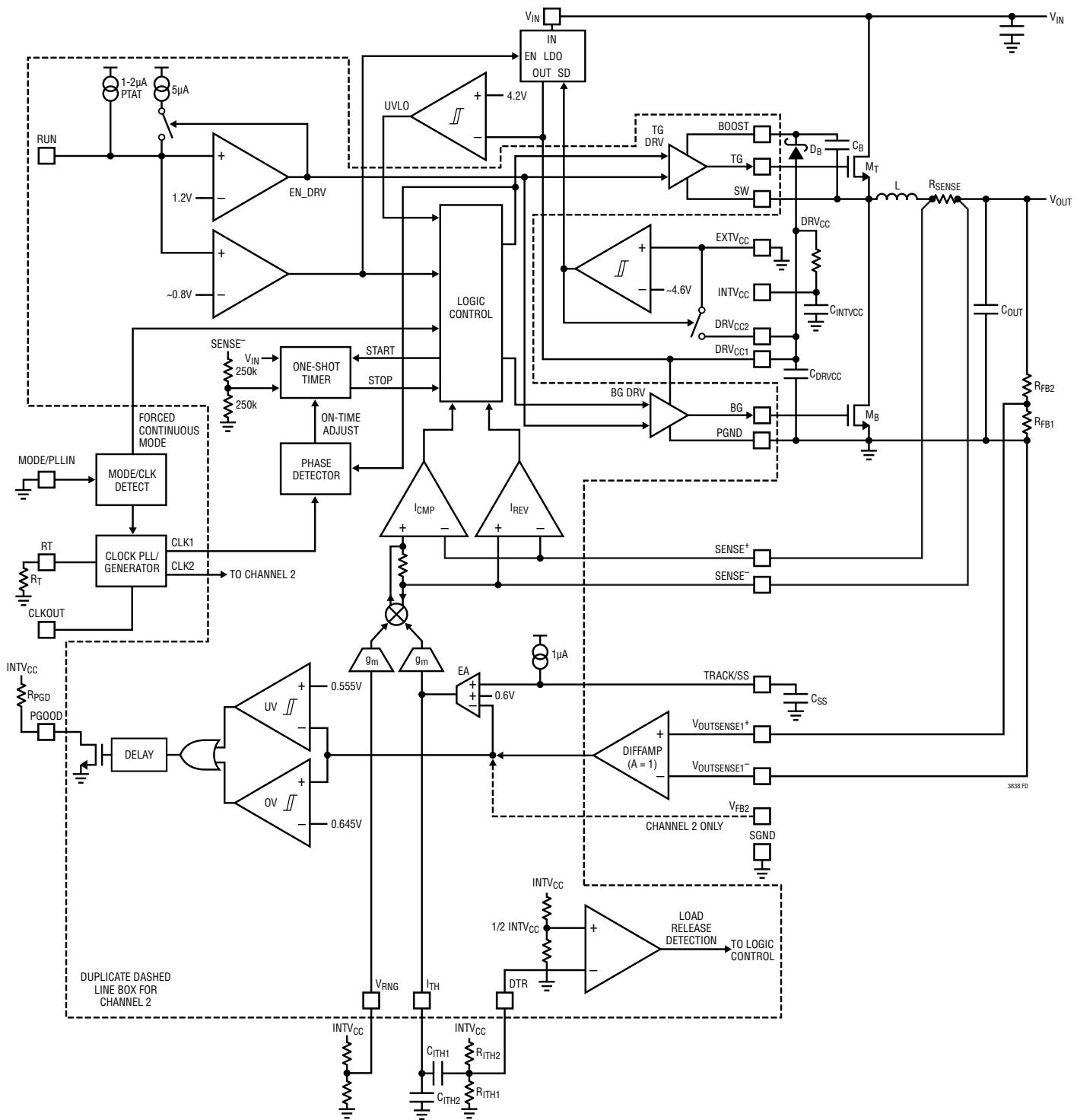
INTVCC(ピン26/ピン30)：内部回路の電源入力(ゲート・ドライバは含まない)。通常、SGNDへのデカップリングRCフィルタ(標準で 2Ω と $1\mu F$)を介してDRVCCピンから給電します。

EXTVCC(ピン27/ピン31)：外部電源入力。EXTVCCが切り替え電圧(標準で4.6V)を超えると、このピンは内部スイッチによってDRVCC2に接続され、内部レギュレータがシャットダウンします。そのため、INTVCCとゲート・ドライバはEXTVCCから電力を供給されます。 V_{IN} ピンには引き続き電源を供給する必要がありますが、流れる電流は最小限で済みます。

V_{FB2} (ピン38/ピン4)：チャネル2のエラーアンプ帰還入力。このピンは、 V_{OUT2} からの外付けの帰還抵抗分割器にエラーアンプを接続します。公称動作時、LTC3838は V_{OUT2} を、帰還抵抗分割器の比で分圧した0.6Vに安定化しようとします。

このピンをINTVCCに短絡すると、チャネル2のエラーアンプはディスエーブルされ、ITH2ピンは内部でITH1ピンに接続されます。(この結果、TRACK/SS2は機能しなくなり、PGOOD2ピンの電圧は常に“L”になります)。こうすることにより、このデバイスは2相、単一出力電圧の降圧コントローラとして機能することが可能であり、ITH出力および補償のため、2つのチャネルが**単一の**チャネル1のエラーアンプを使用します。

機能図



動作（「機能図」を参照）

メイン制御ループ

LTC3838は、オン時間が制御された谷電流モードの降圧DC/DCデュアル・コントローラで、2つのチャネルが位相のずれた状態で動作します。各チャネルは、メインと同期の両方のNチャネルMOSFETを駆動します。2つのチャネルは、2つの独立した安定化出力となるよう構成されるか、単一出力に合成されます。

上側MOSFETはワンショット・タイマによって決定された時間だけオンします。ワンショット・タイマの時間は、固定スイッチング周波数を維持するように制御されます。上側MOSFETがオフすると、短い遅延時間の後に下側MOSFETがオンします。この遅延、つまり不動作時間は、上側と下側の両方のMOSFETが同時にオンになり、そのために V_{IN} から電源グランドへ直接流れるシートスルー電流が生じないようにするための時間です。次のスイッチング・サイクルが開始されるのは、ITHピンおよびVRNGピンの電圧によって設定された作動レベルよりインダクタ電流が少なくなったことを電流コンパレータICMPが検出した時点です。下側MOSFETは即座にオフになり、上側MOSFETは再びオンになって、ワンショット・タイマが再起動され、サイクルが繰り返されます。シートスルー電流を防ぐため、上側MOSFETがオンする前の短いデッドタイム遅延も備えています。この瞬間にインダクタ電流はその「谷」に達して、再び上昇し始めます。

インダクタ電流は、SENSE⁺とSENSE⁻間の電圧を検出することによって決まります。検出するには、インダクタに直列に接続した抵抗を直接使用するか、インダクタの両端に接続したRCフィルタを介してインダクタのDC抵抗性(DCR)電圧降下を間接的に検出します。電流コンパレータの作動レベルICMPは、ITHピンの電圧に比例し、約0.8VのITH電圧に相当するゼロ電流しきい値を備えています。

エラーアンプ(EA)は、帰還信号を0.6Vの内部リファレンス電圧と比較することにより、このITH電圧を調整します。チャネル1では、差電圧アンプ(DIFFAMP)が差動帰還信号($V_{OUTSENSE1^+} - V_{OUTSENSE1^-}$)をEAのシングルエンド入力に変換します。チャネル2では、SGNDを基準にして V_{FB2} を直接使用します。出力電圧は、帰還電圧が0.6Vの内部リファレンスと等しくなるように安定化されます。負荷電流が増加または減少すると、リファレンスと比べて差動帰還電圧が瞬間的に降下または上昇します。EAは、その後、平均インダクタ電流

が負荷電流と再度一致するまでITH電圧つまりインダクタの谷電流設定値を上下させます。これにより、出力電圧は安定化電圧に戻ります。

LTC3838はトランジエント検出(DTR)ピンを特徴としており、ITH電圧の一次導関数をモニタすることにより、「負荷解放」状態、つまり負荷電流が突然低下するトランジエント状態を検出します。この状態が検出されると、下側ゲート(BG)がオフになり、下側MOSFETのボディ・ダイオードをインダクタ電流が流れるので、SWノードの電圧をボディ・ダイオードの順方向電圧の分だけPGNDより低くすることができます。これにより、インダクタの両端により低い負の差動電圧($V_{SW} - V_{OUT}$)が発生するので、インダクタ電流は急速に0まで低下し、したがって V_{OUT} のオーバーシュートを小さくすることができます。詳細については、「アプリケーション情報」の「負荷解放時のトランジエントの検出」を参照してください。

差動出力検出

このデュアル・コントローラの第1のチャネルは、差動出力電圧の検出機能を特徴としています。出力電圧は外部で抵抗分割され、コントローラの帰還電圧が生成されます。内部の差電圧アンプ(DIFFAMP)は、出力の遠隔グランド・リファレンスを基準にしてこの帰還電圧を検出し、差動帰還電圧を生成します。この方式では、デバイス付近のグランドと遠隔出力のグランド間のグランド・オフセットを除去できるので、より正確な出力電圧が得られます。チャネル1では、デバイス付近のグランド(SGND)を基準にした遠隔出力グランドのずれが最大±500mVまで許容されます。

DRV_{CC}/EXTV_{CC}/INTV_{CC}電源

DRV_{CC1,2}は下側MOSFETドライバの電源です。通常、2つのDRV_{CC}ピンはPCB上で互いに短絡されており、最小4.7μFのセラミック・コンデンサC_{DRVCC}でPGNDに減結合します。上側MOSFETドライバは、フロート状態のブートストラップ・コンデンサ(C_{B1}, C_{B2})からバイアスされます。このコンデンサは、上側MOSFETがオフしてSWピンの振幅が小さくなると、外付けのショットキ・ダイオードを介して各サイクル中に再充電されます。

DRV_{CC}には、次の2つの手段で電源を供給できます。1つは、 V_{IN} から給電され、DRV_{CC1}に5.3Vを出力可能な内部の低ド

動作 (「機能図」を参照)

ロップアウト(LDO)リニア電圧レギュレータです。もう1つは、EXTV_{CC}ピンをDRV_{CC2}に短絡可能な内部のEXTV_{CC}スイッチ(オン抵抗が約2Ω)です。

EXTV_{CC}ピンの電位がEXTV_{CC}切り替え電圧(標準4.6Vで200mVのヒステリシスあり。「電気的特性」の表を参照)より低くなると、内部の5.3V LDOがイネーブルされます。EXTV_{CC}ピンをこのEXTV_{CC}切り替え電圧より高い外部電圧源に接続すると、LDOがシャットダウンされ、内部のEXTV_{CC}スイッチによりEXTV_{CC}ピンがDRV_{CC2}ピンに短絡されるので、DRV_{CC}とINTV_{CC}の電源は外部電圧源によって供給されます。これにより、全体的な効率が向上し、LDOで消費される電力で生じる内部自己発熱が減少します。この外部電源は、(降圧コンバータの出力を切り替え電圧の上限値である4.8Vより高く設定している場合は)降圧コンバータ自体の出力にしてもかまいません。VINピンには引き続き電源を供給する必要がありますが、流れる電流は最小限で済みます。

ゲート・ドライバ以外のほとんどの内部制御回路の電源は、INTV_{CC}ピンから供給されます。INTV_{CC}の電源は、結線した複数のDRV_{CC}ピンから供給できますが、SGNDとの間に接続した外付けのRCフィルタを介しています。これはスイッチングに起因するノイズを除去するためです。

シャットダウンと起動

RUN1ピンおよびRUN2ピンには、これらのピンの電圧を高くる絶対温度比例式(PTAT)電流源(25°Cで約1.2μA)がそれぞれ内蔵されています。RUN1ピンとRUN2ピンの両方の電圧を一定のしきい値電圧(25°Cで約0.8V)より低くすると、INTV_{CC}およびDRV_{CC}のすべてのバイアスがシャットダウンされ、LTC3838はVINピンに最小のI_Qが流れるマイクロパワー・シャットダウン・モードになります。LTC3838のDRV_{CC}が(内部の5.3V LDOレギュレータまたはEXTV_{CC}を介して)起動状態にバイアスされ、さらにINTV_{CC}の対応するチャネルの内部回路が起動状態にバイアスされるのは、内部のプルアップ電流によるか、またはロジック・ゲート出力などの外部電圧源で直接駆動することにより、2つのRUNピンのいずれかまたは両方が0.8Vのしきい値より高くなったときです。

それぞれのチャネルのRUNピンの電圧が1.2Vに上昇するまで、LTC3838のチャネルはスイッチングを開始しません。RUNピンの電圧が1.2Vより高くなると、対応するチャネルのTGドライバとBGドライバがイネーブルされ、TRACK/SSが解放

されます。温度に依存しない追加の5μA プルアップ電流が各チャネルのRUNピンに内部で接続されます。TG、BGおよび追加の5μA プルアップ電流をオフにするには、RUNピンの電圧を1.2Vより約100mV 低くする必要があります。これらの組み込まれた電流ヒステリシスと電圧ヒステリシスにより、ノイズに起因する微小変動性の誤ったオンまたはオフを防止します。RUNピンのこのような機能により、外付けの抵抗分圧器をVINから接続して入力低電圧ロックアウト(UVLO)を設定できます。

チャネルの出力電圧(V_{OUT})の起動はTRACK/SSピンの電圧によって制御されます。TRACK/SSピンの電圧が0.6Vの内部リファレンスより低いと、(差動)帰還電圧は0.6VのリファレンスではなくTRACK/SSピンの電圧に安定化されます。TRACK/SSピンと信号グランドの間に外付けのコンデンサを接続することにより、TRACK/SSピンを使用して出力電圧のソフトスタート起動時間を設定できます。温度に依存しない内部の1μA プルアップ電流源がこのコンデンサを充電し、TRACK/SSピンに電圧ランプを発生します。TRACK/SS電圧がグランドから0.6Vまで直線的に上昇すると、スイッチングが開始され、V_{OUT}はその最終値まで滑らかに上昇し、帰還電圧は0.6Vになります。TRACK/SSは0.6Vを超えて上昇し続けますが、約3.7Vでクランプされます。

あるいは、TRACK/SSピンを使用して、マスター・スレーブ構成のように外部電源を追跡することもできます。通常、このためにはマスター電源とTRACK/SSピン間に抵抗分割器を接続することが必要です(「アプリケーション情報」のセクションを参照)。

TRACK/SSは、対応するチャネルのRUNピンの電圧が(ヒステリシスを考慮した上で)1.2Vのしきい値より低くなるか、INTV_{CC}ピンの電圧またはDRV_{CC1, 2}のいずれかのピンの電圧がそれぞれの低電圧ロックアウト(UVLO)しきい値より低くなると、内部で“L”になります。

軽負荷電流動作

MODE/PLLINピンをINTV_{CC}に接続するか外部クロックをMODE/PLLINに入力すると、LTC3838は連続モードで動作するように強制されます。負荷電流が全負荷のピーク・トゥ・ピークのリップルの1/2より小さいと、インダクタ電流は0まで低下するか、負の値になることがあります。これにより、固定周波数動作が可能ですが、その代償として軽負荷時の効率が低下します。

動作（「機能図」を参照）

MODE/PLLINピンを開放のままにするか、または信号グランドに接続すると、該当チャネルは不連続モード動作に移行します。このモードでは、インダクタ電流が0に近づくと、電流反転コンパレータ(I_{REV})が下側のMOSFET(M_B)をオフするので、負のインダクタ電流が流れなくなり、軽負荷時の効率が向上します。このモードでは、両方のスイッチを長期にわたってオフにしておくことができます。出力コンデンサが負荷電流によって放電して出力電圧が低下すると、最終的にEAがITH電圧をゼロ電流レベル(0.8V)より高くして、新しいスイッチング・サイクルを開始します。

パワーグッドと�オルト保護

各PGOODピンは、オープンドレインの内部NチャネルMOSFETに接続されています。このピンは、外付け抵抗または電流源を使用して最大6V(たとえば、 $V_{OUT1,2}$ または DRV_{CC})まで電圧を高くすることができます。帰還電圧が0.6Vのリファレンス電圧から±7.5%の範囲を外れると、過電圧コンパレータ(OV)または低電圧コンパレータ(UV)によりMOSFETがオンになり、PGOODピンは“L”になります。PGOODピンは、該当チャネルのRUNピン電圧が(ヒステリシスを考慮した上で)1.2Vのしきい値より低くなるか、低電圧ロックアウト(UVLO)の状態になると“L”になります。チャネル1の帰還電圧は $V_{OUTSENSE1}^+$ を介して $V_{OUTSENSE1}^-$ を基準にした差動で検出されますが、チャネル2では V_{FB2} を介してSGNDを基準にして検出されます。

帰還電圧が±7.5%の範囲内に入ると、オープンドレインNMOSがオフし、外部電源によってPGOODピンの電圧は高くなります。PGOODピンは帰還電圧が範囲内に入ると即座にパワーグッドを示します。ただし、チャネルの帰還電圧が範囲を外れた場合には、そのPGOODが“L”になるまで内部に50μsの遅延が存在します。過電圧(OV)状態では、 M_T がオフすると遅延なしで即座に M_B がオンし、過電圧状態が解消されるまでオン状態が保持されます。

出力がグランドに短絡するなど、出力が安定化電圧の1/2より低くなると、フォールドバック電流制限が作動します。帰還電圧が0Vに近づくと、ITHピンの内部クランプ電圧が2.4Vから約1.27Vに低下することにより、インダクタの谷電流レベルが最大値の約30%に減少します。フォールドバック電流制限は起動時にはディスエーブルされます。

周波数の選択と外部クロックへの同期

内部発振器(クロック発生器)は、固定する個々のチャネルに、位相が交互に入れ替わる内部クロック信号を供給します。各スイッチング・チャネルのスイッチング周波数および位相は、上側MOSFETのターンオン時間(オン時間)をワンショット・タイマを介して調整することにより、別々に制御されます。これは、上側MOSFETのターンオン信号とその内部リファレンス・クロック間の位相関係を位相検出器によって検出することで実現されます。また、ワンショット・タイマの時間間隔は、上側MOSFETがオンするときの立ち上がりエッジが各チャネルの内部リファレンス・クロック信号に常に同期するように、サイクルごとに調整されます。

内部発振器の周波数は、RTピンと信号グランド(SGND)の間に抵抗 R_T を接続することにより、200kHz～2MHzの範囲に設定できます。RTピンは内部で1.2Vに安定化されています。

周波数または干渉に関する要件が厳しいアプリケーションでは、MODE/PLLINピンに接続された外部クロック発生源を使用し、クロックの位相同期ループ(クロックPLL)を介して内部のクロック信号に同期させることができます。LTC3838は、外部クロックに同期しているときは強制連続モードで動作します。同期を正常に行うには、外部クロック周波数を内部発振器周波数の±30%以内にする必要があります。クロック入力レベルは“H”的場合は2V以上で、“L”的場合は0.5V以下にします。MODE/PLLINピンには600kΩのプルダウン抵抗が内蔵されています。

マルチチップ動作

PHASMDピンは、表1に示すように、2つのチャネルの内部リファレンス・クロック信号、ならびにCLKOUT信号の間の相対的な位相を決定します。表に記載されている位相は、チャネル1の内部リファレンス・クロック信号の立ち上がりエッジとして定義されている0°を基準にしています。CLKOUT信号を使用して、单一の大電流出力または異なる出力に電力を供給するマルチフェーズ電源ソリューションで追加のパワーレベルを同期することができます。

動作 (「機能図」を参照)

マルチチップ・ソリューションを使って、最大12相動作のシステムを構成することができます。チャネルの位相を交互に入れ替える標準構成を表2に示します。

表1

PHASMD	SGND	フロート	INTV _{CC}
チャネル1	0°	0°	0°
チャネル2	180°	180°	240°
CLKOUT	60°	90°	120°

表2

位相の数	LTC3838の数	ピンの接続 [ピン名称(デバイスの番号)]
2	1	PHASMD(1) = フロートまたはSGND
3	2、または1 + LTC3833	PHASMD(1) = INTV _{CC} MODE/PLLIN(2) = CLKOUT(1)
4	2	PHASMD(1) = フロート PHASMD(2) = フロートまたはSGND MODE/PLLIN(2) = CLKOUT(1)
6	3	PHASMD(1) = SGND PHASMD(2) = SGND MODE/PLLIN(2) = CLKOUT(1) PHASMD(3) = フロートまたはSGND MODE/PLLIN(3) = CLKOUT(2)
12	6	PHASMD(1) = SGND PHASMD(2) = SGND MODE/PLLIN(2) = CLKOUT(1) PHASMD(3) = フロート MODE/PLLIN(3) = CLKOUT(2) PHASMD(4) = SGND MODE/PLLIN(4) = CLKOUT(3) PHASMD(5) = SGND MODE/PLLIN(5) = CLKOUT(4) PHASMD(6) = フロートまたはSGND MODE/PLLIN(6) = CLKOUT(5)

单一出力 PolyPhase 構成

LTC3838を2相、单一出力の降圧コントローラとして使用するには、以下のようにします。V_{FB2}ピンをINTV_{CC}に接続します。これにより、チャネル2のエラーアンプがディスエーブルされ、ITH2ピンは内部でITH1ピンに接続されます。補償用R-C部品をITH1ピンに接続します。ITH2ピンは開放のままでおくことも、外部でITH1ピンと短絡しておくこともできます。TRACK/SS2ピンとPGOOD2ピンは機能しなくなるので、開放のままでかまいません。RUN1、RUN2、DTR1、DTR2、VRNG1およびVRNG2の各ピンは、引き続き2つのチャネル

として個別に機能するので、单一出力アプリケーションの場合には、外部で短絡する必要があります。2つのチャネルの位相が180°ずれるように、PHASMDはSGNDまたはフロートに設定します。入力コンデンサからのピーク電流は、使用する位相の数で実質的に分割され、電力損失は実効値電流の2乗に比例するので、効率の低下が大幅に抑えられる可能性があります。2相出力の実現により、入力経路の電力損失を最大75%低減できます。

3相以上の单一出力コンバータを構成するには、LTC3838またはLTC3833デバイスを追加します。最初のデバイスは、前述した2相の場合と同様に接続します。追加する必要があるのはLTC3838の1チャネルのみである場合は、追加する位相に対してチャネル1を使用してください。

- ITH1ピンを最初のデバイスのITH1ピンに接続します。
- RUN1ピンを最初のデバイスの2つのRUNピンに接続します。
- V_{OUTSENSE1}⁺ピンを最初のデバイスのV_{OUTSENSE1}⁺ピンに接続します。
- V_{OUTSENSE1}⁻ピンを最初のデバイスのV_{OUTSENSE1}⁻ピンに接続します。
- TRACK/SS1ピンを最初のデバイスのTRACK/SS1ピンに接続します。

両方のチャネルが必要な場合は、追加するLTC3838デバイスを最初のLTC3838デバイスと同じ方法で接続して、2番目のチャネルのエラーアンプをディスエーブルする必要があります。

- V_{FB2}ピンをデバイス自体のINTV_{CC}に接続します。
- ITH1ピンを最初のデバイスのITH1ピンに接続します。
- 2つのRUNピンを最初のデバイスの2つのRUNピンに接続します。
- V_{OUTSENSE1}⁺ピンを最初のデバイスのV_{OUTSENSE1}⁺ピンに接続します。
- V_{OUTSENSE1}⁻ピンを最初のデバイスのV_{OUTSENSE1}⁻ピンに接続します。
- TRACK/SS1ピンを最初のデバイスのTRACK/SS1ピンに接続します。

アプリケーション情報

必要な出力電圧と動作周波数が決定すると、外付け部品の選択は負荷要件が主体となり、インダクタと電流検出方法(検出抵抗 R_{SENSE} またはインダクタのDCRによる検出)の選択が始まります。次に、パワーMOSFETを選択します。最後に、入力と出力のコンデンサを選択します。

出力電圧の設定

図1に示すように、安定化出力とそのグランド・リファレンスの間に外付けの抵抗分割器を使用して出力電圧を設定します。チャネル1では、抵抗分割器は $V_{OUTSENSE1}^+$ ピンによって引き出され、グランド・リファレンスは $V_{OUTSENSE1}^-$ ピンによってデバイスから離れた場所で検出されて、この電圧は差動で検出されます。チャネル2では、抵抗分割器は V_{FB2} ピンによって引き出され、電圧はSGNDピンの信号グランドが基準になります。引き出された(差動)帰還電圧を内部リファレンスの0.6Vに安定化することにより、得られる出力電圧は次式のようになります。

$$V_{OUT1} - V_{OUTSENSE1}^- = 0.6V \cdot (1 + R_{FB2}/R_{FB1})$$

および

$$V_{OUT2} = 0.6V \cdot (1 + R_{FB2}/R_{FB1})$$

たとえば、 V_{OUT1} を5Vに設定し、出力のグランド・リファレンスがSGNDを基準にして-0.5Vの電位である場合、出力の絶対値はSGNDを基準にして4.5Vになります。最小(差動)出力電圧は内部リファレンスの0.6Vに制限され、最大出力電圧は5.5Vです。

$V_{OUTSENSE1}^+$ ピンは高インピーダンスのピンであり、nAレンジの漏れ電流以外入力バイアス電流は流れません。 $V_{OUTSENSE1}^-$ ピンからは約30μAの電流が流れ出します。 V_{FB2} ピンは準高インピーダンスのピンであり、このピンから流れるバイアス電流は最小限で済みます。

差動出力検出により、線路損失の大きい大電力の分散システムでより正確な出力レギュレーションが可能です。寄生素子による電源ラインとグランド・ラインの電位変動を図2に示します。これらの変動は、グランド・プレーンを共有するマルチアプリケーション・システムではさらに大きくなる可能性があります。差動出力検出を行わないと、これらの変動は安定化出力電圧の誤差として直接反映されます。LTC3838のチャネル1の差動出力検出では、出力の電力ラインおよびグランド・ラインでの変動を最大±500mVまで補正できます。

LTC3838のチャネル1の差動出力検出方式は、従来の方式とはまったく異なります。従来の方式では、安定化出力とグランド・リファレンスが差電圧アンプによって直接検出され、この差電圧アンプの出力が外付け抵抗分割器によって分圧されてエラーアンプ入力に供給されます。この従来の方式は、差動アンプの同相入力範囲によって制限され、通常は出力電圧の低い範囲に差動検出が制限されます。

LTC3838のチャネル1では、抵抗で分割された帰還電圧を差動で検出することにより、継ぎ目のない差動出力検出が可能で、これにより、0.6V～5.5Vの全出力範囲での差動検出が可能になります。差動アンプ(DIFFAMP)は帯域幅が8MHzと

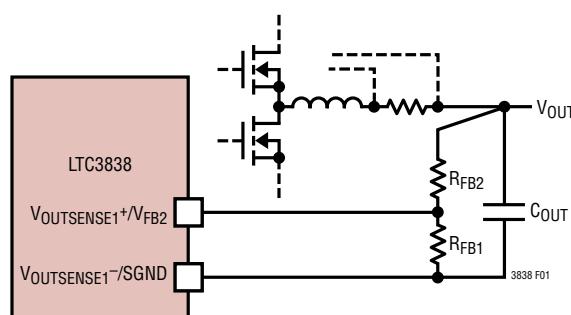
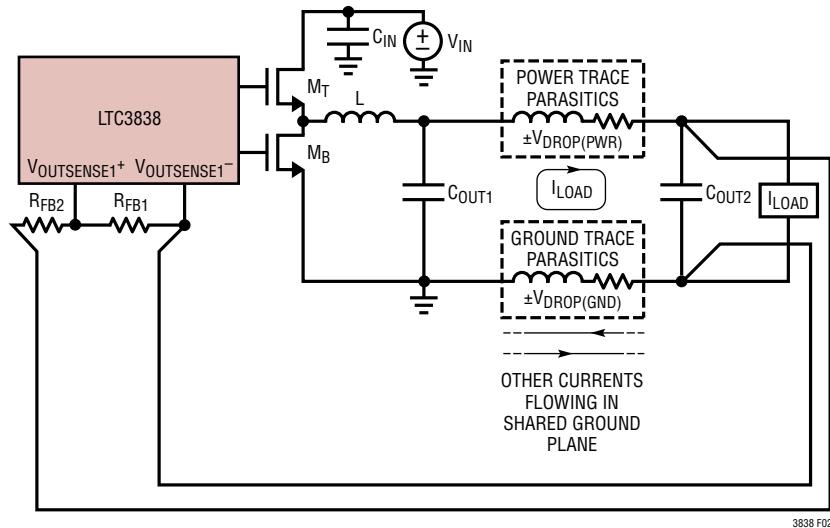


図1. 出力電圧の設定

アプリケーション情報



**図2. 共有グランド・プレーンを備えた大電力分散システムでの
線路損失のばらつきを補正するために使用した差動出力検出**

十分に大きいので、メイン・ループ補償およびトランジエント動作には影響しません。

帰還電圧($V_{OUTSENSE1+}$ または V_{FB2})へのノイズ結合を防ぐため、抵抗分割器は $V_{OUTSENSE1+}$ ピンおよび $V_{OUTSENSE1-}$ ピン、または V_{FB2} ピンおよびSGNDピンの近くに配置してください。遠隔出力のトレースおよびグランド・トレースは、遠隔出力への差動対としてまとめて配線します。最高の精度を得るには、遠隔出力およびグランドへのこれらのトレースを目的のレギュレーション点のできるだけ近くで接続します。

スイッチング周波数の設定

動作周波数の選択は、効率と部品サイズとの間の兼ね合いです。動作周波数を低くするとMOSFETのスイッチング損失が減少することで効率が上がりますが、出力リップル電圧を低く抑えるにはインダクタンスや容量を大きくすることが必要です。逆に、動作周波数を高くすると効率は下がりますが部品サイズは小さくなります。

LTC3838のスイッチング周波数は、RTピンと信号グランドとの間に抵抗を接続することにより、200kHz～2MHzの範囲に

設定できます。この抵抗の値は次式に従って選択することができます。

$$R_T [\text{k}\Omega] = \frac{41550}{f [\text{kHz}]} - 2.2$$

クロックPLLとスイッチング・チャネルを含むコントローラ・システム全体の同期範囲は、この設定周波数を中心とした±30%以上です。したがって、外部クロック同期を行う場合は、外部クロック周波数がこのRTで設定する周波数から±30%の範囲内に入るようになります。同期の余裕を最大にするには、RTによる設定周波数を外部クロックと同じにすることを推奨します。詳細については、「位相と周波数の同期」のセクションを参照してください。

インダクタの値の計算

動作周波数が高いほど小さい値のインダクタとコンデンサを使用できるという意味で、動作周波数とインダクタの選択には相関関係があります。MOSFETのゲート電荷損失のために、一般に周波数が高いほど効率が低下します。この基本的な二律背反事項に加えて、リップル電流と低電流動作に対するインダクタ値の影響も考慮しなければなりません。

アプリケーション情報

インダクタの値は、リップル電流に直接影響を与えます。インダクタのリップル電流 ΔI_L は、インダクタンスまたは周波数が高くなると減少し、 V_{IN} が高くなると増加します(次式)。

$$\Delta I_L = \left(\frac{V_{OUT}}{f \cdot L} \right) \left(1 - \frac{V_{OUT}}{V_{IN}} \right)$$

大きな値の ΔI_L を受け入れれば、低いインダクタンスを使用できますが、出力電圧リップル、出力コンデンサの ESR 損失、およびコア損失が大きくなります。リップル電流を設定するための妥当な出発点は、 $\Delta I_L = 0.4 \cdot I_{MAX}$ です。 ΔI_L が最大になるのは、入力電圧が最大のときです。リップル電流が規定の最大値を超えないことを保証するには、次式に従ってインダクタンスを選択します。

$$L = \left(\frac{V_{OUT}}{f \cdot \Delta I_{L(MAX)}} \right) \left(1 - \frac{V_{OUT}}{V_{IN(MAX)}} \right)$$

インダクタのコアの選択

L の値が分かつたら、インダクタの種類を選択する必要があります。基本的な2種類は鉄粉とフェライトです。鉄粉タイプの飽和曲線は緩やかで、フェライトのように急激には飽和しませんが、鉄粉タイプのインダクタの方がコア損失が大きくなります。フェライトを使用した設計ではコア損失がきわめて小さく、高いスイッチング周波数に適しているため、設計目標を飽和の防止と銅損失に集中することができます。

インダクタ値が同じ場合、コア損失はコア・サイズではなく、選択したインダクタンスに大きく依存します。インダクタンスが大きくなると、コア損失は減少します。インダクタンスを大きくするには、ワイヤの巻数を増やす必要があるため、銅損失は残念ながら増加します。

フェライト・コアの材質は**急激**に飽和します。つまり、設計ピーク電流を超えると、インダクタンスは突然低下します。その結果、インダクタのリップル電流が急増し、そのため出力電圧リップルが増加します。コアは絶対に飽和させないでください。

大電流、低電圧アプリケーション用に設計されたさまざまなインダクタを、スミダ電機、パナソニック、Coilcraft、東光、Vishay、Pulse、Würthなどのメーカーから入手できます。

電流検出ピン

インダクタ電流は、内部の電流コンパレータの入力である SENSE⁺ピンと SENSE⁻ピン間の電圧を介して検出されます。SENSE ピンの入力電圧範囲は-0.5V ~ 5.5V です。通常動作時にこれらのピンをフロート状態にしないよう注意してください。SENSE⁺ピンは、準高インピーダンス入力です。SENSE⁻ピンが 1.1V より低い電圧から上昇して 1.4V より低い電圧にとどまつた場合、それに対応するチャネルの SENSE⁺ピンにはバイアス電流は流れません。ただし、SENSE⁻ピンの電圧が 1.4V から下降して 1.1V より高い電圧にとどまつた場合、対応する SENSE⁺ピンには小電流(約 1μA)が流れます。このような電流は SENSE⁻ピンにも存在します。ただし、各 SENSE⁻ピンには、その他に SGND との間に 500k の抵抗が内蔵されています。これによって生じる電流($V_{OUT}/500k$)が、SENSE⁻ピンに流れ込む全電流の中心になります。RSENSE または DCR によるインダクタ電流の検出を設計する場合には、SENSE⁺ピンと SENSE⁻ピンの電流を考慮に入れる必要があります。

電流制限の設定

電流検出コンパレータの SENSE⁺ と SENSE⁻ 間の最大作動電圧(つまり「検出電圧」)は、ITH がその最大値(2.4V)でクラシプされている場合、VRNG ピンに印加されている電圧で設定され、次式で与えられます。

$$V_{SENSE(MAX)} = 0.05V_{RNG}$$

谷電流モード制御ループにより、インダクタ電流の谷が 0.05VRNG を超えることはありません。実際には、デバイスと外付け部品の値の許容誤差を考慮するために十分な余裕をとります。電流制限時には ITH が 2.4V に近づくことに注意してください。

外付け抵抗分割器を INTV_{CC} に接続して使用すると VRNG ピンの電圧を 0.6V ~ 2V の範囲に設定できるので、その結果最大検出電圧は 30mV ~ 100mV になります。このように電圧範囲が広いので、さまざまなアプリケーションが可能です。VRNG ピンを SGND と INTV_{CC} のいずれかに接続して内部のデフォルト設定を強制することもできます。VRNG を SGND に接続すると、デバイスの設定は VRNG が 0.6V の場合と等価になります。VRNG ピンを INTV_{CC} に接続すると、デバイスの設定は VRNG が 2V の場合と等価になります。

アプリケーション情報

RSENSEによるインダクタ電流の検出

LTC3838は、値の小さい直列の電流検出抵抗(RSENSE)またはインダクタのDC抵抗(DCR)を介してインダクタ電流を検出するように構成できます。2つの電流検出方式のどちらを選択するかは、主として設計上、コスト、消費電力、精度のどれを探るかで決まります。DCRによる検出は高価な電流検出抵抗を省くことができ、特に大電流のアプリケーションで電力効率が高いので普及しつつあります。ただし、電流検出抵抗からは、コントローラの最も正確な電流制限値が得られます。

標準的なRSENSEによるインダクタ電流の検出方式を図3aに示します。フィルタ部品(R_F , C_F)はデバイスの近くに配置する必要があります。図3bに示すように、正と負の検出トレースは差動対として互いに近づけて配線し、検出抵抗の下でケルビン(4線)接続する必要があります。電流を他の場所で検出すると、実質的に寄生インダクタンスが電流検出素子に付加されて検出端子での情報が劣化するので、設定した電流制限値が予測できない値になることがあります。

RSENSEは必要な最大出力電流に基づいて選択します。最大電流 $I_{OUT(MAX)}$ 、 V_{RNG} によって設定される最大検出電圧 $V_{SENSE(MAX)}$ 、および最大インダクタ・リップル電流 $\Delta I_L(MAX)$ が与えられると、RSENSEの値は次式で選択できます。

$$R_{SENSE} = \frac{V_{SENSE(MAX)}}{I_{OUT(MAX)} - \frac{\Delta I_L(MAX)}{2}}$$

逆に、RSENSEと $I_{OUT(MAX)}$ が与えられると、上式から $V_{SENSE(MAX)}$ を求めることができるので、 V_{RNG} の電圧も得られます。最大出力電流を確保するには、さまざまな動作条件や外付け部品の許容誤差でのLTC3838のばらつきを考慮して、計算時に十分な余裕をとる必要があります。

電流検出ループにはPCBノイズが存在する可能性があるので、良好な信号対雑音比を得るために、電流検出電圧リップル $\Delta V_{SENSE} = \Delta I_L \cdot R_{SENSE}$ も設計時に確認しておく必要があります。一般に、適度に良好なPCBレイアウトを得るには、RSENSEとインダクタDCRのいずれの検出アプリケーションの

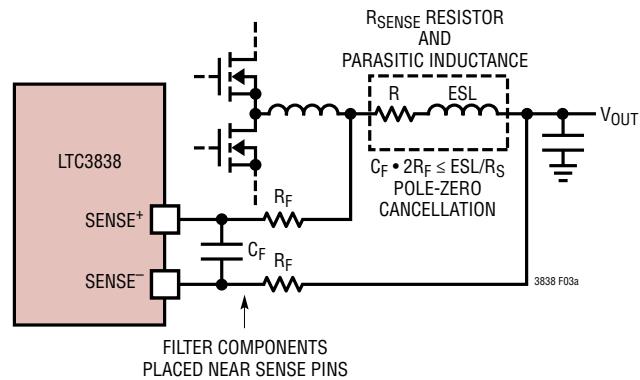


図3a. RSENSEによる電流検出

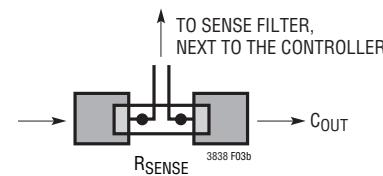


図3b. 検出抵抗を備えた検出ラインの配置

場合でも、出発点の控えめな値として10mVの ΔV_{SENSE} を推奨します。

電流密度の高い現在のソリューションでは、検出抵抗の値は1mΩに満たないことがあります。ピーカ検出電圧がわずか20mVになります。さらに、最大2MHzの動作でインダクタのリップル電流が50%を超えることも普通になってきています。これらの条件では、検出抵抗の寄生インダクタンス両端の電圧降下がより大きく関連してきます。PCBの検出トレースに結合した容量性および誘導性のノイズの影響を軽減するために、デバイスの近くに小さなRCフィルタを配置する方法が従来から使われてきました。標準的なフィルタは並列の1000pFコンデンサに接続された2個の直列10Ω抵抗で構成され、時定数は20nsとなります。

この同じRCフィルタを(小さな修正を加えて)使って、寄生インダクタンスが存在するときの電流検出信号の抵抗成分を抽出することができます。たとえば、100%の負荷で動作する

アプリケーション情報

1.2V/15Aのコンバータの場合、実装面積が2010の2mΩ検出抵抗の両端の電圧波形を図4aに示します。この波形は純粹に抵抗性の成分と純粹に誘導性の成分を重ね合わせたものです。これは、差動での測定結果を得るために、オシロスコープの2つのプローブと波形計算を使用して測定しています。インダクタのリップル電流および上側スイッチのオン時間とオフ時間の追加測定に基づき、寄生インダクタンスの値は次式によつて0.5nHであると計算されました。

$$ESL = \frac{V_{ESL(STEP)}}{\Delta I_L} \cdot \frac{t_{ON} \cdot t_{OFF}}{t_{ON} + t_{OFF}}$$

ここで、 $V_{ESL(STEP)}$ はESLによって生じた電圧ステップで、図4aに示します。また、 t_{ON} および t_{OFF} は、それぞれ上側MOSFETのオン時間およびオフ時間です。寄生インダクタンスを検出抵抗で割った値(L/R)に近くなるようにRC時定数

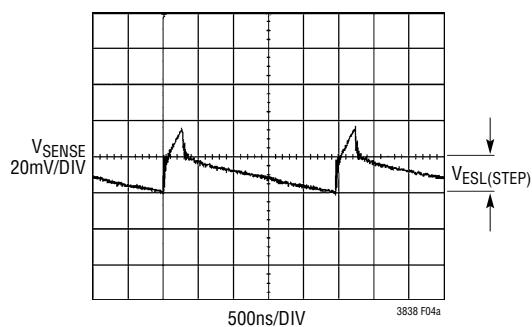


図4a. 検出抵抗の両端で直接測定した電圧波形

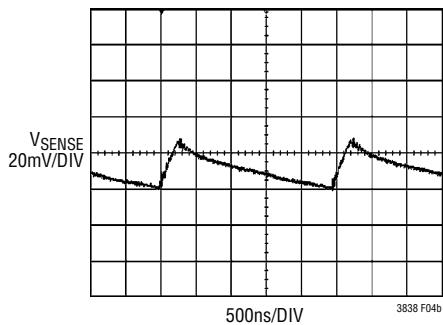


図4b. 検出抵抗フィルタの後に測定した電圧波形。
 $C_F = 1000\text{pF}$, $R_F = 100\Omega$

を選択すると、得られる波形は、図4bに示すように、やはり抵抗性があるように見えます。小さい $V_{SENSE(MAX)}$ を使うアプリケーションでは、検出抵抗メーカーのデータシートを調べて、寄生インダクタンスの情報がないか確認してください。データが存在しない場合には、検出抵抗の両端で電圧降下を直接測定してESLステップの大きさを求め、上式を使用してESLを決定します。ただし、フィルタをかけすぎないようにしてください。RC時定数をインダクタの時定数以下にして V_{RSENSE} のリップル電圧を十分高く保ちます。

$SENSE1^-$ ピンと $SENSE2^-$ ピンは、上側ゲートのオン時間 t_{ON} を調整するために出力電圧を検出する目的にも使用されます。このため、各 $SENSE^-$ ピンとSGNDの間には500kの付加的な抵抗が内蔵されているので、対応する $SENSE^+$ ピンとの間にはインピーダンスの不整合が存在します。 R_F 両端の電圧降下により、検出電圧にはオフセットが生じます。たとえば、 $R_F = 100\Omega$ の場合、 $V_{OUT} = V_{SENSE^-} = 5\text{V}$ では、検出電圧のオフセットは $V_{SENSE(OFFSET)} = V_{SENSE^-} \cdot R_F/500\text{k} = 1\text{mV}$ です。このような小さいオフセットは電流制限に対して害がないように見えますが、電流反転検出(I_{REV})には影響があり、不連続モードで過剰な負のインダクタ電流が生じる可能性があります。その他に、 $V_{SENSE(MAX)} = 30\text{mV}$ では、わずか1mVのオフセットによってゼロ電流のITH電圧が大幅にシフトします(シフト量は $(2.4\text{V} - 0.8\text{V}) \cdot 1\text{mV}/30\text{mV} = 53\text{mV}$)。シフト量が大きすぎると、ITHフォールドバックのために、出力が短絡した後に出力電圧がそのレギュレーション値に戻らない場合があります。したがって、フィルタ抵抗 R_F の値を大きくした場合は、各 $SENSE^+$ ピンとSGNDの間に、外付けの500k抵抗を使用して、対応する $SENSE^-$ ピンの内部500k抵抗とバランスをとることを推奨します。

上記の説明は、一般に、 $I_{OUT(MAX)} > 10\text{A}$ かつ値の小さいインダクタが使用されている高密度/大電流のアプリケーションに当てはまります。 $I_{OUT(MAX)} < 10\text{A}$ のアプリケーションで

アプリケーション情報

は、 R_F を 10Ω に、 C_F を 1000pF に設定します。これにより妥当な出発点が与えられます。

フィルタ部品はデバイスの近くに配置する必要があります。正と負の検出トレースは差動ペアとして配線し、センス抵抗にケルビン(4線)接続する必要があります。

DCRによるインダクタ電流検出

高負荷電流時に高効率が必要なアプリケーションでは、図5に示すように、LTC3838はインダクタのDCR両端の電圧降下を検出することができます。インダクタのDCRは値の小さいDC巻線抵抗を表し、値の小さい最近の大電流インダクタでは $1\text{m}\Omega$ より小さいことがあります。

このようなインダクタを必要とする大電流アプリケーションでは、検出抵抗による導通損失はDCRによる検出に比べると数ポイントの効率低下になると考えられます。

インダクタのDCRはインダクタの両端にRCフィルタを接続して検出します。このフィルタは、通常、図5に示すように1個または2個の抵抗(R_1 および R_2)と1個のコンデンサ(C_1)で構成されます。外付けの($R_1||R_2$)・ C_1 の時定数が正確に L/DCR の時定数に等しくなるように選択すると、外付けコンデンサ両端の電圧降下は、インダクタのDCR両端の電圧降下に $R_2/(R_1+R_2)$ を掛けた値に等しくなります。したがって、DCRが目標の検出抵抗より大きいときは、 R_2 を使用して検出端子両端の電圧の大きさを変更することができます。電流制限値は V_{RNG} ピンを介して設定できるので、 R_2 はオプションとすることができます。 C_1 は通常、 $0.01\mu\text{F} \sim 0.47\mu\text{F}$ の範囲に入るよう

に選択します。これにより、 $R_1||R_2$ はおよそ $2\text{k}\Omega \sim 4\text{k}\Omega$ に強制されるので、SENSEピンの入力バイアス電流によって生じる可能性がある誤差が減少します。

影響を受けやすい小信号ノードにノイズが結合しないように、抵抗 R_1 はスイッチング・ノードの近くに配置します。コンデンサ C_1 はデバイスのピンの近くに配置します。

DCR電流検出設計の第一歩は、インダクタのDCRを決定することです。メーカの最大値(通常は 25°C で与えられる値)が分かっている場合は、その値を使用します。この値は抵抗の温度係数(約 $0.4\%/\text{°C}$)を考慮して大きくします。インダクタ温度 T_L の控えめな値は 100°C です。インダクタのDCRは良質なRLCメータを使用して測定することができますが、DCRの許容誤差は常に同じとは限らず、温度によって変化します。詳細については、メーカのデータシートを参照してください。

DCRの値から、 $V_{SENSE(MAX)}$ は次式で容易に計算されます。

$$V_{SENSE(MAX)} = DCR_{MAX(25^\circ\text{C})} \cdot \left[1 + 0.4\% (T_{L(MAX)} - 25^\circ\text{C}) \right] \cdot \left(I_{OUT(MAX)} - \frac{\Delta I_L}{2} \right)$$

$V_{SENSE(MAX)}$ が、 V_{RNG} ピンによって設定されるLTC3838の最大検出電圧の範囲内($30\text{mV} \sim 100\text{mV}$)である場合、RCフィルタに必要なのは R_1 だけです。 $V_{SENSE(MAX)}$ の方が大きい場合は、 R_2 を使用して最大検出電圧値を下げ、範囲内に入ることができます。

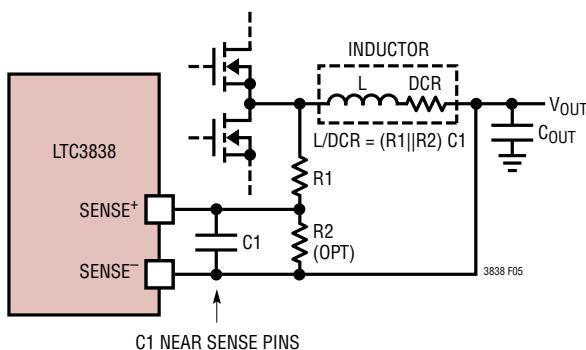


図5.DCRによる電流検出

アプリケーション情報

R1での最大電力損失はデューティ・サイクルと関係があり、連続モード時に最大入力電圧で発生します(次式)。

$$P_{LOSS}(R1) = \frac{(V_{IN(MAX)} - V_{OUT}) \cdot V_{OUT}}{R1}$$

R1の電力定格がこの値より大きいことを確認します。軽負荷時に高い効率が必要な場合は、DCRによる検出とRSENSEによる検出のどちらを使うか決定するときに、この電力損失を考慮します。軽負荷での電力損失は、R1によって生じる余分なスイッチング損失のため、検出抵抗を使う場合よりDCR回路網を使う方がやや高いことがあります。ただし、DCRによる検出では検出抵抗が取り除かれるので、導通損失が減少し、重負荷時の効率が高くなります。ピーク効率はどちらの方法でもほぼ同じです。

電流検出信号の信号対雑音比を良好に保つには、10mVの ΔV_{SENSE} から始めます。DCR検出アプリケーションでは、実際のリップル電圧は次式で求められます。

$$\Delta V_{SENSE} = \frac{V_{IN} - V_{OUT}}{R1 \cdot C1} \cdot \frac{V_{OUT}}{V_{IN} \cdot f}$$

パワー MOSFET の選択

LTC3838 コントローラの各チャネルには2つの外付けNチャネル・パワー MOSFETを選択する必要があります。1つは上側(メイン)スイッチ用であり、もう1つは下側(同期)スイッチ用です。ゲート駆動レベルはDRVCC電圧により設定されます。この電圧は通常5.3Vです。MOSFETのBV_{DSS}の仕様にも十分注意を払ってください。ほとんどのロジック・レベルMOSFETは、30V以下に制限されています。

パワー MOSFET の選択基準には、オン抵抗 $R_{DS(ON)}$ 、ミラー容量 C_{MILLER} 、入力電圧、および最大出力電流が含まれます。ミラー容量 C_{MILLER} は、MOSFETのメーカーのデータシートに通常記載されているゲート電荷曲線から推定することができます。 C_{MILLER} は、曲線がほぼ平坦な区間の水平軸に沿つ

たゲート電荷の増分(または、メーカーのデータシートに規定されている場合にはパラメータ Q_{GD})を、規定の V_{DS} テスト電圧で割ったものに等しくなります。

$$C_{MILLER} \equiv \frac{Q_{GD}}{V_{DS(TEST)}}$$

このデバイスが連続モードで動作しているとき、上側MOSFETと下側MOSFETのデューティ・サイクルは、次式で与えられます。

$$D_{TOP} = \frac{V_{OUT}}{V_{IN}}$$

$$D_{BOT} = 1 - \frac{V_{OUT}}{V_{IN}}$$

最大出力電流でのMOSFETの電力損失は、次式で与えられます。

$$P_{TOP} = D_{TOP} \cdot I_{OUT(MAX)}^2 \cdot R_{DS(ON)(MAX)} (1 + \delta) + V_{IN}^2 \cdot \left(\frac{I_{OUT(MAX)}}{2} \right) \cdot C_{MILLER} \left[\frac{R_{TG(UP)}}{V_{DRVCC} - V_{MILLER}} + \frac{R_{TG(DOWN)}}{V_{MILLER}} \right] \cdot f$$
$$P_{BOT} = D_{BOT} \cdot I_{OUT(MAX)}^2 \cdot R_{DS(ON)(MAX)} \cdot (1 + \delta)$$

ここで、 δ は $R_{DS(ON)}$ の温度依存性、 $R_{TG(UP)}$ はTGのプルアップ抵抗、 $R_{TG(DOWN)}$ はTGのプルダウン抵抗です。 V_{MILLER} はミラー効果の V_{GS} 電圧であり、MOSFETのデータシートから図表によって読み取ります。

I^2R 損失は両方のMOSFETに共通していますが、上側のNチャネルの式には遷移損失の追加項があり、これは入力電圧が高いときに最も高くなります。 $V_{IN} < 20V$ では、大電流での効率は一般に大きいMOSFETを使用すると向上しますが、 $V_{IN} > 20V$ では遷移損失が急激に上昇し、 $R_{DS(ON)}$ が大きく C_{MILLER} が小さいMOSFETを使用した方が実際には効率が高くなる点に達します。同期MOSFETの損失は、上側スイッチのデューティ・ファクタが低くなる高入力電圧時か、または同期スイッチが周期の100%近くオンになる短絡時に、最も大きくなります。

アプリケーション情報

MOSFETの場合、 $(1 + \delta)$ の項は、パワーMOSFETデータシートでの正規化された $R_{DS(ON)}$ と温度の曲線の形で通常は与えられます。低電圧MOSFETでは、 $R_{DS(ON)}$ のおよそのパーセント値変化として $0.5\text{%/}^{\circ}\text{C}$ を使用して δ を推定できます。

$$\delta = 0.005\text{%/}^{\circ}\text{C} \cdot (T_J - T_A)$$

ここで、 T_J は MOSFET の推定接合部温度、 T_A は周囲温度です。

C_{IN} の選択

連続モードでは、上側のNチャネルMOSFETのソース電流は、デューティ・サイクルが V_{OUT}/V_{IN} の方形波になります。大きいトランジエント電圧の発生を防止するには、最大実効値(RMS)電流に対応するサイズの低ESR入力コンデンサを使用する必要があります。ワーストケースの RMS 電流は単相のアプリケーションを想定することで発生します。コンデンサの最大RMS電流は次式で与えられます。

$$I_{RMS} \approx I_{OUT(MAX)} \cdot \frac{V_{OUT}}{V_{IN}} \cdot \sqrt{\frac{V_{IN}}{V_{OUT}} - 1}$$

この式は $V_{IN} = 2V_{OUT}$ のときに最大になります。ここで、 $I_{RMS} = I_{OUT(MAX)}/2$ です。設計ではこの単純なワーストケース条件がよく使用されます。条件を大きく振っても値は改善されないからです。コンデンサ・メーカーが定めるリップル電流定格は、多くの場合、わずか2000時間の動作寿命に基づいています。このため、コンデンサをさらにディレーティングすること、つまり要求条件よりも高い温度定格のコンデンサを選択することを推奨します。設計でのサイズまたは高さの要件を満たすため、数個のコンデンサを並列に接続することもできます。LTC3838は動作周波数が高いため、 C_{IN} には、デバイスおよびパワー・スイッチの近くにも追加のセラミック・コンデンサを並列に使用して、高周波のスイッチング・ノイズをバイパスさせます。通常は複数のX5RまたはX7Rセラミック・コンデンサを導電性ポリマー・タイプやアルミ电解タイプの大容量コンデンサと並列に配置します。セラミック・コ

ンデンサはESRが低いので、ほとんどのRMSリップル電流を吸収できます。セラミック・コンデンサのリップル電流定格はメーカーによっては必ずしも規定されていませんが、セラミック・コンデンサは過剰なリップル電流によっても故障する可能性があります。疑問点がある場合は、必ずメーカーに問い合わせてください。

図6は、これらのコンデンサのそれぞれでリップル電流を計算するための簡易回路モデルを表しています。入力電源とコンバータの入力の間にある入力インダクタンス(L_{IN})は、コンデンサを流れるリップル電流に影響します。入力インダクタンスが小さいと、より多くのリップル電流が入力電源から流れ出るようになるので、入力コンデンサを流れるリップル電流は少なくなります。

このモデルを使ったシミュレーションでは、一方の位相が最大負荷状態で他方の位相が無負荷状態の場合での定常状態のときのリップル電流を調べます。これは、一般に、リップル電流にとってワーストケースになります。それは、一方の位相からのリップル電流が他方の位相からのリップル電流によって相殺されないからです。

与えられた回路モデルによるシミュレーションでは、コンデンサに流れるRMS電流を超える十分な余裕を持ったRMS定格の大容量コンデンサを選択することも必要であることに注意してください。 V_{IN} の電圧範囲が低い場合は、導電性ポリマー・タイプ(三洋のOS-CONなど)を使用することができます。リップル電流定格が高くESRが低いことがその理由です。高い電圧定格も

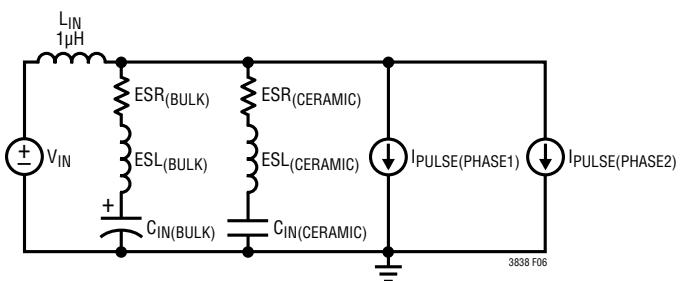


図6. 入力コンデンサのリップル電流
シミュレーションの回路モデル

アプリケーション情報

必要とする範囲の広い V_{IN} の場合は、減衰量を大きくするために容量を増やすことができるので、アルミ電解コンデンサが適しています。すべてのリップル電流を単独で処理できるほど大きなリップル電流定格をもつアルミ電解コンデンサは、非常に大型になります。ただし、セラミック・コンデンサを並列に接続すると、アルミ電解コンデンサはESRが大きいので、そこで吸収されるRMSリップル電流はごく一部になります。ただし、アルミ電解コンデンサを流れるリップル電流がその定格を超えないようにすることは非常に重要です。定格を超えるとかなりの熱が発生し、それによって時間の経過とともにコンデンサ内部の電解質が乾燥して容量が低下し、ESRが増大するからです。

PolyPhase動作の利点は、RMS電流が減少することと、それによって入力コンデンサの電力損失が小さくなることです。さらに、PolyPhaseシステムではピーク電流が減少するので、入力保護ヒューズの抵抗、バッテリ抵抗、およびPC基板の配線抵抗による各損失も減少します。正確な式の詳細については、「アプリケーションノート77」の大電流アプリケーション用の高効率高密度PolyPhaseコンバータを参照してください。DC出力電流で正規化された入力コンデンサのRMSリップル電流と、デューティ・サイクルとのグラフを図7に示します。複数のチャネルが同一でそれらの位相が完全に交互に入れ替わっていると仮定すると、このグラフを使用して、マルチフェーズ・

アプリケーションでのコンデンサの最大RMS電流を推定できます。

図7は、より多くの位相を使用すると、リップル電流が相殺されることにより、入力コンデンサを流れるリップル電流が減少することを示しています。ただし、LTC3838で位相が正確に交互に入れ替わるのは定常状態のときだけなので、トランジエントRMS電流は、指定された位相数の曲線より大きくなる可能性があります。したがって、アプリケーションの固有の負荷状況を考慮してコンデンサを選択することを推奨します。入力コンデンサのRMS電流定格は、前述の単相アプリケーションのワーストケースに近い値を選択するのが常に最も安全です。この値は、コントローラのチャネルが同時にオンに切り替わるときに生じる損失を想定して計算されます。

ただし、複数の位相のオン時間がすべての時間で一致する場合には、通常、入力コンデンサをこのようなワーストケースの条件に対応するサイズにする必要はありません。負荷ステップが生じている間、オン時間の重複は、特にデューティ・サイクルが低いときにはほんの少しの時間しか生じません。スイッチ・ノードが数サイクルにわたって重なるトランジエント事象が生じても、コンデンサが損傷することはありません。ほとんどのアプリケーションでは、入力コンデンサを100%の定常状態の負荷に対応するサイズにすれば十分です。たとえば、マイクロプロセッサの負荷はオン時間の重複を頻繁に生じる可能性があり、リップル電流が大きくなりますが、負荷電流が $I_{OUT(MAX)}$ の100%になることはほとんどありません。ワーストケースの負荷電流を使用すると、トランジエント状態に対して既に余裕を持たせていることになります。

上側MOSFETの V_{IN} 電圧源は互いに近づけて配置し、 C_{IN} を共有するようにしてください。電圧源と C_{IN} を離すと、 V_{IN} に望ましくない電圧共振や電流共振が生じる可能性があります。

小さい($0.1\mu F \sim 1\mu F$)バイパス・コンデンサをデバイスの V_{IN} ピンとグランドの間に、デバイスに近づけて配置することを推奨します。 C_{IN} と V_{IN} ピンの間に $2.2\Omega \sim 10\Omega$ の抵抗を配置することも推奨します。こうすると、2つのチャネルのスイッチング・ノイズの分離度を高めることができるからです。

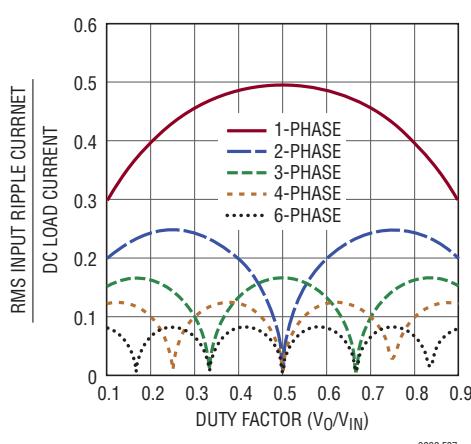


図7. 正規化されたRMS入力リップル電流

アプリケーション情報

C_{OUT}の選択

出力容量C_{OUT}は、電圧リップルを最小限に抑えるために、主に等価直列抵抗(ESR)に基づいて選択します。連続モードでの出力電圧リップルΔV_{OUT}は次式によって求められます。

$$\Delta V_{OUT} \leq \Delta I_L \left(R_{ESR} + \frac{1}{8 \cdot f \cdot C_{OUT}} \right)$$

ここで、fは動作周波数、ΔI_Lはインダクタを流れるリップル電流です。ΔI_Lは入力電圧に応じて増加するため、出力リップルは入力電圧が最大のとき最大になります。一般に、C_{OUT}のESR要件を満たせば、RMS電流定格は、通常はリップル電流によって要求される定格をはるかに上回ります。

マルチフェーズの単一出力アプリケーションでは、特定の負荷条件でのリップル要件を検討することを推奨します。定常状態では、LTC3838の各位相が交互に入れ替わり、リップルが出力で互いに相殺されるので、C_{OUT}のリップルは減少します。トランジエントの間、位相が完全に交互に入れ替わっていないと、リップルの相殺が機能しない可能性があります。ワーストケースのΔI_Lは、高速トランジエント時に重なった個々の位相のΔI_Lの合計ですが、こうしたリップルは、負荷トランジエント自体の影響を打ち消す傾向があり、持続時間はごく短時間です。たとえば、負荷電流の急激な増加時には、位相が揃って全インダクタ電流が増加し、V_{OUT}が電圧低下状態から急速に上昇します。

小さい出力容量を選択すると、放電期間のためにリップル電圧が増加しますが、ESRが非常に小さいコンデンサを使用して補償することにより、リップル電圧を維持できます。

ESRおよびRMS電流処理の要件を満たすには、複数のコンデンサを並列に配置することが必要な場合があります。乾式タンタル、特殊ポリマー、アルミ電解およびセラミックの各コンデンサはすべて表面実装パッケージで入手できます。特殊ポリマー・コンデンサはESRは非常に小さいのですが、他のタイプに比べて容量密度が低くなっています。タンタル・コンデンサは容量密度が最高ですが、スイッチング電源に使用するにはサージ・テストが実施されているタイプのみを使用することが重要です。アルミ電解コンデンサはESRがかなり大きいの

ですが、リップル電流定格および長期信頼性に対して配慮すれば、コスト重視のアプリケーションに使うことができます。

セラミック・コンデンサは優れた低ESR特性を備えていますが、電圧係数が高く可聴圧電効果を示すことがあります。また、セラミック・コンデンサはQ値が高いので、配線インダクタンスがあると大きなリングングを引き起こす場合があります。入力コンデンサとして使用する場合は、突入電流によって生じるリングングとスイッチングがパワー・スイッチとコントローラに対する過電圧障害の原因にならないように注意する必要があります。

スイッチング周波数が高い場合は、出力リップルを低減してEMIフィルタリングの効果を上げるために、ESLが低く(それに応じて自己共振周波数が高い)小さい値のコンデンサをESLが高く大きい値のコンデンサと並列に配置しなければならない場合があります。これにより、対象となる全周波数スペクトルで、良好なノイズ・フィルタリングとEMIフィルタリングを実現することができます。セラミック・コンデンサは一般に良好な高周波性能を備えていますが、性能を最適化するためには小さいセラミック・コンデンサを大きいセラミック・コンデンサと並列に接続しなければならないことがあります。

高性能のスルーホール・コンデンサを使用することもできますが、セラミック・コンデンサを並列に追加して、リードのインダクタンスの影響を低減することを推奨します。高周波デカップリング・コンデンサを負荷の電力ピンにできるだけ近づけて配置することも忘れないでください。

上側MOSFETドライバの電源(C_B、D_B)

BOOSTピンに接続されている外付けのブートストラップ・コンデンサC_Bは、上側のMOSFETのゲート駆動電圧を供給します。このコンデンサは、スイッチ・ノードが“L”になると、ダイオードD_Bを介してDRV_{CC}から充電されます。上側MOSFETがオンすると、スイッチ・ノードの電圧はV_{IN}まで上昇し、BOOSTピンの電圧はおよそV_{IN} + INTV_{CC}まで上昇します。BOOSTピンのコンデンサは、上側MOSFETが必要とするゲート電荷の約100倍を蓄積する必要があります。ほとんどのアプリケーションでは、0.1μF～0.47μFのX5RまたはX7Rの誘電体コン

アプリケーション情報

デンサで十分です。DRV_{CC}のコンデンサであるC_{DRVCC}がすべての動作条件で上側MOSFETのゲートとBOOSTピンのコンデンサに電荷を供給できるように、BOOSTのコンデンサはC_{DRVCC}の10%より大きくしないことを推奨します。負荷ステップに応答する可変周波数は優れたトランジエント性能を示しますが、瞬時のゲート駆動能力が高いことが必要です。ゲート電荷の必要量は、周波数が高くデューティ・ファクタの低いアプリケーションで、負荷ステップが大きいときや起動時に最大になります。

DRV_{CC} レギュレータとEXTV_{CC} 電源

LTC3838は、V_{IN}電源からDRV_{CC}に電力を供給するPMOS低ドロップアウト(LDO)リニア・レギュレータを備えています。このLDOは、DRV_{CC1}ピンでの出力を5.3Vに安定化します。LDOは100mAの最大電流を供給可能であり、4.7μF以上のセラミック・コンデンサでグランドにバイパスする必要があります。MOSFETゲート・ドライバが必要とする大きなトランジエント電流を供給し、チャネル間の相互作用を最小限に抑えるため、十分なバイパスが必要です。

大きなMOSFETが高い周波数で駆動される高入力電圧のアプリケーションでは、特にLDOがアクティブでDRV_{CC}を供給している場合、LTC3838の最大接合部温度定格を超える恐れがあります。この場合にはデバイスの電力損失が最大になり、V_{IN}・I_{DRVCC}にほぼ等しくなります。「効率に関する検討事項」のセクションで説明されているように、ゲート充電電流は動作周波数に依存します。接合部温度は「電気的特性」のNote 2に与えられている式を使って推定することができます。たとえば、LDOを使用している場合、LTC3838のDRV_{CC}電流は、FEパッケージではT_A = 70°Cで38V電源から52mA未満に制限されます。

$$T_J = 70^\circ\text{C} + (52\text{mA})(38\text{V})(28^\circ\text{C}/\text{W}) = 125^\circ\text{C}$$

最大接合部温度を超えないようにするには、連続導通モード動作時の入力電源電流を最大V_{IN}で検査する必要があります。

EXTV_{CC}ピンに印加された電圧が上昇して切り替え電圧(標準で4.6V)を超えると、V_{IN}のLDOがオフし、EXTV_{CC}は内部スイッチによりDRV_{CC2}ピンに接続されます。EXTV_{CC}に印加された電圧が切り替え電圧よりヒステリシス(約200mV)を超えて高い電圧で推移する限り、このスイッチはオンのままです。

EXTV_{CC}を使用すると、MOSFETドライバと制御回路への電力を、通常動作時にはLTC3838のスイッチング・レギュレータ出力V_{OUT}から得ることができ、出力が非レギュレーション状態のとき(起動時、短絡時など)にはLDOから得ることができます。規定よりも多くの電流をEXTV_{CC}から供給する必要がある場合は、EXTV_{CC}ピンとDRV_{CC}ピンの間にショットキ・ダイオードを外付けすることができます。EXTV_{CC}ピンには6Vを超える電圧を印加しないようにし、EXTV_{CC}の値はV_{IN}よりも小さくなるようにしてください。

ドライバ電流および制御電流に起因するV_{IN}電流は、(デューティ・サイクル)/(スイッチャの効率)に比例するため、スイッチング・コンバータ出力からDRV_{CC}に電力を供給すれば効率と熱特性を大幅に改善できます。

EXTV_{CC}ピンを5V電源に接続すると、前の例の接合部温度は125°Cから次の値にまで下がります。

$$T_J = 70^\circ\text{C} + (52\text{mA})(5\text{V})(28^\circ\text{C}/\text{W}) = 77^\circ\text{C}$$

ただし、3.3Vなど他の低電圧出力の場合、コンバータ出力からDRV_{CC}の電力を得るには追加回路が必要です。

以下に、EXTV_{CC}に対して可能な4つの接続方法を示します。

1. EXT_{VCC}を開放のままにします(または接地します)。こうすると、5.3Vの内部LDOからINT_{VCC}に電力が供給されるため、入力電圧が高いときに効率が最大で10%ほど低下します。
2. EXT_{VCC}をスイッチング・コンバータ出力(V_{OUT})に直接接続します。この出力電圧は、切り替え電圧の上限(4.8V)より高い電圧です。こうすると最高の効率が得られます。
3. EXT_{VCC}を外部電源に接続します。4.8V以上の外部電源を利用できる場合は、それがMOSFETのゲート駆動要件を十分満足しているという前提で、外部電源を使用してEXT_{VCC}に電力を供給することができます。
4. 出力を電源とする昇圧回路網にEXT_{VCC}を接続します。3.3Vなど他の低電圧コンバータでは、4.8Vより高い電圧に昇圧した、出力から得られる電圧にEXT_{VCC}を接続することにより、効率を改善できます。

アプリケーション情報

主な入力電源が5.3Vを超えることのないアプリケーションでは、図8に示すように、DRVCC1ピンとDRVCC2ピンを(1Ω～2Ωのような)小さい抵抗を介してVIN入力に接続し、ゲート充電電流によって生じる電圧降下を最小限に抑えます。これにより、LDOが無効になり、ドロップアウト電圧によってDRVCCが低くなりすぎないようにすることができます。DRVCC電圧が外付けMOSFETのRDS(ON)テスト電圧(ロジック・レベルのデバイスの場合は標準で4.5V)より高いことを確認してください。

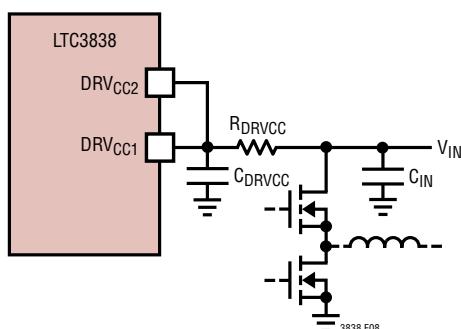


図8. $V_{IN} \leq 5.3V$ での設定

入力低電圧ロックアウト(UVLO)

LTC3838は、入力が低電圧状態の場合にコントローラを保護するのに役立つ2つの機能を備えています。内部のUVLOコンパレータは、INTVCCとDRVCCの電圧を絶えずモニタし、十分な電圧が存在することを保証します。コンパレータは内部のUVLO信号をイネーブルします。これにより、INTVCCピンとDRVCC1,2ピンがいずれもそれぞれのUVLOしきい値より高くなるまで、2つのチャネルのスイッチング動作がロックアウトされます。INTVCCの(UVLOを解除するための)上昇時しきい値は標準で4.2Vであり、(UVLOを再イネーブルするための)0.5Vの下降時ヒステリシスがあります。DRVCC1,2のUVLOしきい値はINTVCCのUVLOしきい値よりも低い値ですが、十分なゲート駆動電圧が加わらない状態でパワーMOSFETがオンしないように、MOSFETの標準のしきい値電圧より高い値になっています。

通常、 $V_{IN} > 6V$ の場合は、 V_{IN} とSGNDの間に接続した外付けの抵抗分割器をRUNピンで使用することにより、 V_{IN} 電源をモニタしてUVLOを設定できます。抵抗分割器を設計するには、2つのRUNピンの両方に2つのレベルのしきい値電圧があることに注意してください。1.2Vの高精度のゲート駆動イネーブルしきい値電圧を使用して、1つのチャネルのスイッチングを開始するVINを設定します。2つのRUNピンの両方に抵抗分割器を使用している場合は、 V_{IN} の値が十分低く、RUNピンの電圧が両方とも約0.8Vのしきい値より低くなると、デバイスはINTVCCおよびDRVCCのすべてのバイアスをシャットダウンして、マイクロパワー・シャットダウン・モードになります。

RUNピンのバイアス電流はRUNピンの電圧により異なります。バイアス電流の変化を考慮に入れる必要があるのは、外付け抵抗分割器のUVLO回路を設計するときです。内蔵の絶対温度比例式(PTAT)プルアップ電流源(25°Cで約1.2μA)は、このピンに常時接続されています。1つのRUNピンの電圧が上昇して1.2Vを超えると、対応するチャネルのTG駆動回路およびBG駆動回路がオンになり、温度に依存しない追加の5μAプルアップ電流源がこのRUNピンに内部で接続されます。このRUNピンの電圧を、80mVのヒステリシスの分を加味して1.2Vより低くすると、対応するチャネルのTGおよびBGはオフになり、追加の5μAプルアップ電流は切り離されます。

1つのRUNピンの電圧が増加して標準で3Vを超えると、そのバイアス電流は逆方向に流れ始め、そのRUNピンに流れ込みます。いずれのRUNピンも50μAを超える電流を吸い込むことはできないことに留意してください。シンク電流が50μAのときにRUNピンの電圧が6Vをわずかに超えた場合でも、障害状態を防ぐため、低インピーダンスの電圧源によってRUNピンが強制的に6Vより高い電圧になることはありません。

ソフトスタートとトラッキング

LTC3838には、コンデンサを使って自力でソフトスタートを行うか、または別のチャネルや外部電源の出力を追跡する能力があります。ソフトスタート機能およびトラッキング機能は、コントローラの最大出力電流を制限することによってではなく、TRACK/SSピンの電圧のランプ・レートに従って出力ランプ電圧を制御することによって実現されることに注意してください。

アプリケーション情報

ソフトスタートを自力で行うようにチャネルを構成するときは、コンデンサをそのTRACK/SSピンに接続します。TRACK/SSはRUNピンの電圧が1.2Vを超えてUVLOが解除されるまで“L”的ままであり、1.2Vを超えた時点で、1μAの内部電流が、TRACK/SSピンに接続されているソフトスタート・コンデンサC_{SS}を充電します。スムーズなソフトスタートまたはトラッキングを保証するため、この段階の間は電流制限フォールドバックがディスエーブルされます。ソフトスタートまたはトラッキングの範囲は、TRACK/SSピンが0V～0.6Vの電圧範囲になるように定められます。合計ソフトスタート時間は次のように計算できます。

$$t_{SS}(\text{SEC}) = 0.6(V) \cdot \frac{C_{SS}(\mu\text{F})}{1(\mu\text{A})}$$

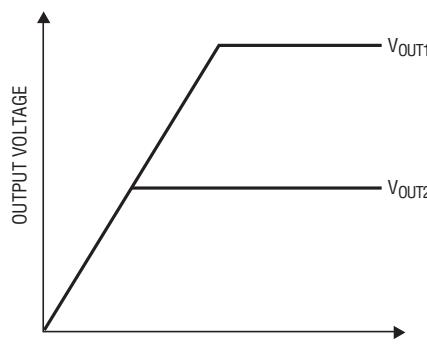
外部電源を追跡するように特定の1チャネルを設定する場合は、外部電源とTRACK/SSピンの間に抵抗分割器を使用するとランプ・レートを適切な値に調整できます。一般的な実装形態は、同時トラッキングと比例トラッキングの2つです。同時トラッキングの場合は、外部電源からの分圧比を差動帰還電

圧の分圧比と同じにします。比例トラッキングは、差動帰還とは異なる比を使用することによって実現できます。

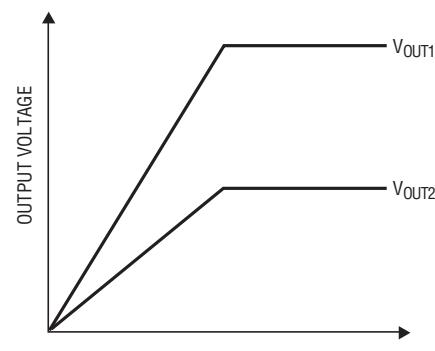
引き続き1μAのソフトスタート・コンデンサ充電電流が流れているので、小さなオフセット誤差が生じることに注意してください。この誤差を最小限に抑えるには、トラッキング抵抗分割器の値として、このオフセット誤差を無視できるのに十分なほど小さい値を選択します。

LTC3838では、2つのチャネルの出力が電圧の上昇および下降を互いにどのように追跡するかをユーザが設定できます。以下の説明では、V_{OUT1}はマスター・チャネルとしてLTC3838の出力1を指し、V_{OUT2}はスレーブ・チャネルとしてLTC3838の出力2を指します。ただし、実際には、どちらのチャネルもマスターとして使用することができます。

LTC3838では、さまざまな抵抗を選択することにより、図9の2つのモードを含むさまざまなトラッキング・モードを実現することができます。同時トラッキングを実現するには、追加の抵抗分割器をV_{OUT1}に接続し、その中点をスレーブ・チャネルのTRACK/SSピンに接続します。この分割器の比は、図9bに示

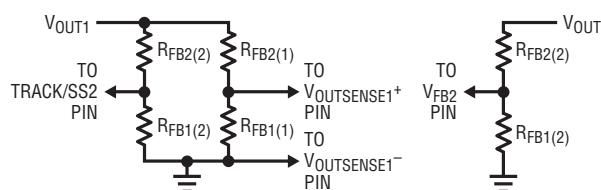


Coincident Tracking

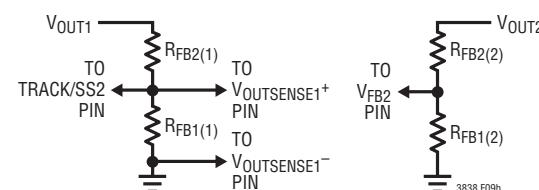


Ratiometric Tracking

図9a. 出力トラッキングの2つの異なるモード



Coincident Tracking Setup



Ratiometric Tracking Setup

図9b. 同時トラッキングおよび比例トラッキングの設定

アプリケーション情報

すスレーブ・チャネルの帰還分割器の比と同じにします。このトラッキング・モードでは、V_{OUT1}をV_{OUT2}より高く設定する必要があります。比例トラッキングを実現するには、マスタ・チャネルの帰還分割器を使用してスレーブ・チャネルのTRACK/SS電圧を供給することもできます。追加の分割器を使用する場合は、マスタ・チャネルの帰還分割器と同じ比にするからです。

では、どちらのモードを設定すべきでしょうか。どちらのモードもほとんどの実用アプリケーションに使えますが、いくつかの妥協点が存在します。比例モードでは抵抗対を1つ節約できますが、同時モードでは出力のレギュレーションが向上します。

マスタ・チャネルの出力が(たとえば、過渡的な負荷状態で)動的に変化すると、スレーブ・チャネルの出力も影響を受けます。出力をさらに安定化するには、比例トラッキング・モードではなく同時トラッキング・モードを使用してください。

位相と周波数の同期

EMIとスイッチング・ノイズの制御性能向上が求められるアプリケーションや特殊な同期要求が存在するアプリケーション向けに、LTC3838では、上側MOSFETがオンするタイミングをMODE/PLLINピンに入力される外部クロック信号に同期させることができます。適切な周波数ロックおよび位相ロックを確実に行うため、入力されるクロック信号は、RTで設定された周波数の±30%以内にする必要があります。クロック信号レベルは、通常はV_{PLLIN(H)} > 2VかつV_{PLLIN(L)} < 0.5Vに適合する必要があります。MODE/PLLINピンには内部に600kΩのプルダウン抵抗があり、このピンが開放状態の場合に不連続電流モード動作になるようにしています。

LTC3838では、広範囲にわたるV_{IN}、V_{OUT}、およびR_Tで設定されたスイッチング周波数fに対して位相ロックおよび周波数ロックを維持するため、V_{IN}とV_{OUT}の電圧およびR_Tを使用して上側ゲートのオン時間を調整します。

$$t_{ON} \approx \frac{V_{OUT}}{V_{IN} \cdot f}$$

オン時間はスイッチング・レギュレータの出力電圧の関数なので、必要なオン時間を設定するために、この出力はSENSE-ピンで測定されます。ほとんどのアプリケーションでは、SENSE-ピンをレギュレータ付近の出力点に接続します。レギュレータから離れた場所で安定化された出力点は、線路損失により、レギュレータ付近の出力点とは電位が大幅に異なることがあります。近くのグランドに対する近くの出力の電位が、通常はt_{ON}の計算に必要なV_{OUT}であるからです。

ただし、このV_{OUT}で設定されるオン時間が、周波数ロックおよび位相ロックを維持するために必要なオン時間とは大幅に異なる状況が存在する可能性があります。たとえば、スイッチング・レギュレータでの効率が低いと、内部で設定されたオン時間よりも必要なオン時間の方が大幅に長くなることがあります(「効率に関する検討事項」を参照)。安定化されたV_{OUT}の値が比較的小さい場合は、それに比例して大きな誤差が発生する可能性があります。これは、共用のグランド・プレーンを流れる他の電流によって、近くのグランドと遠くのグランドとの間に電位差が生じることが原因です。

必要に応じて、R_T抵抗の値、V_{IN}ピンの電圧、場合によってはSENSEピンの同相電圧を外部で設定し、このような系統的な誤差を補正することができます。システムに部品や動作条件のばらつきを補正するための十分な範囲を持たせるか、または外部クロックに同期させるための目標は、V_{IN}、V_{OUT}、およびR_Tによって設定されるオン時間を定常状態のオン時間に近い値に設定することです。各SENSE-ピンにはSGNDとの間に500kΩの内部抵抗がありますが、SENSE+ピンにはないことに注意してください。

電源電圧または負荷電流の動的トランジエント状態(たとえば、負荷ステップや負荷解放)では、より高速なトランジエント応答を実現するために、上側のスイッチが応答時に多少頻繁にオンします。これは、LTC3838のオン時間が制御された谷電流モード・アーキテクチャの利点です。ただし、この過程では、当然のことながら位相ロックとさらに周波数ロックも瞬間に外れることがあります。比較的変化が遅い場合は、位相ロックと周波数ロックを引き続き維持できます。スルーレートが高い大幅な負荷ステップの場合は、位相ロックはシステムが定常状態に戻るまで解除されたままです(図10参照)。位相ロックが完全に再開されるまでに最大で数百マイクロ秒かかることがあります。周波数ロックは通常、位相ロックが回復するよりかなり前に短時間で回復します。

軽負荷の条件では、位相と周波数の同期はMODE/PLLINピンの設定に依存します。外部クロックを入力した場合、同期はアクティブになります。外部クロックを入力しない場合、MODE/PLLINをINTV_{CC}に接続した場合は、R_Tで設定された周波数で強制連続モードで動作します。MODE/PLLINピンをSGNDに接続した場合、LTC3838は軽負荷では不連続モードで動作し、負荷が増加すると、R_Tで設定された周波数で連続導通モードに切り替わります。不連続導通時のTGオン時間は、連続/不連続導通の負荷電流境界でヒステリシスを発

アプリケーション情報

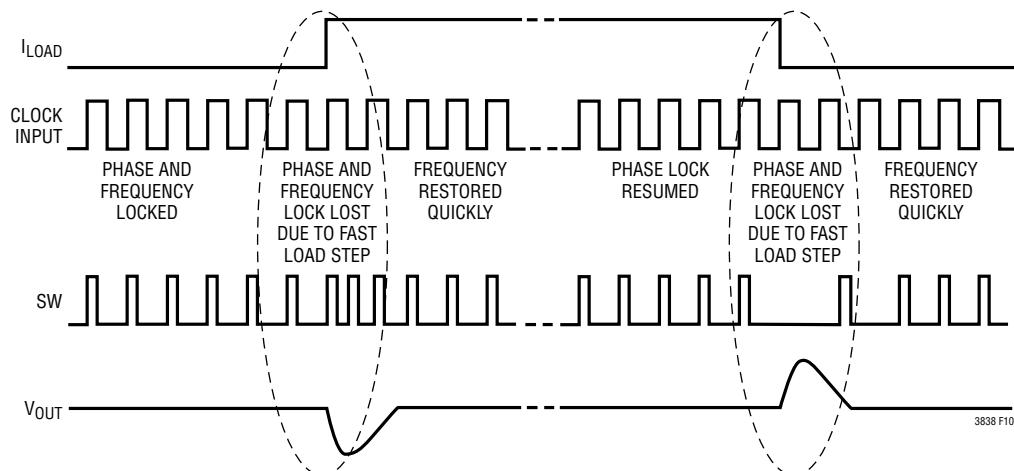


図10. トランジエント状態での位相ロック動作と周波数ロック動作

生させるため、意図的に若干(V_{IN} 、 V_{OUT} 、および f から計算した連続導通オン時間の約1.2倍)に延長されます。

(最小オン時間に近い)非常に短いオン時間をアプリケーションが必要とする場合は、システムがその全周波数同期範囲を維持できないことがあります。最小オン時間に近づくと、無負荷または軽負荷の条件では位相/周波数ロックが解除される場合もあります。その条件では、TG/BGの不動作時間のためにSWのオン時間がTGのオン時間より実質的に長くなります。これについては、「最小オン時間、最小オフ時間、およびドロップアウト動作」で詳しく説明します。

最小オン時間、最小オフ時間、およびドロップアウト動作

最小オン時間は、LTC3838のTG(上側ゲート)ピンを“H”、つまり「オン」状態に維持できる最小時間です。最小オン時間は、スイッチング・レギュレータの動作条件に依存しており、 V_{IN} ピンおよび V_{OUT} ピンの電圧、ならびに外付け抵抗 R_T の値の関数です。30nsという最小オン時間を達成できるのは、 V_{IN} をその最大値である38Vに接続しているときに、 V_{OUT} ピンをその最小値である0.6Vに接続した場合です。 V_{OUT} の値がこれより大きい場合や V_{IN} の値がこれより小さい場合、達成できる最小オン時間は長くなります。谷モード制御アーキテクチャではオン時間を短くすることができるので、LTC3838は降圧比の高いアプリケーションに適しています。

実効オン時間は、このTGオン時間とは異なる場合があります。前者はSWノードのパルス幅によって決定されますが、後者はスイッチング・レギュレータの負荷条件だけでなく、外付け部品にも依存するからです。この違いにつながる要因の1つは、パワーMOSFETの特性です。たとえば、上側のパワーMOSFETのターンオン遅延がターンオフ遅延より大幅に短い場合、実効オン時間はTGオン時間より長くなり、最小の実効オン時間はより大きい値に制限されます。

強制連続モードでは、図11に示すように、TGの「オン」状態とBGの「オン」状態の間の不動作時間が原因で、軽負荷動作では実効オン時間がさらに長くなります。BGがオフしてからTGがオンするまでの不動作時間の間、インダクタ電流は逆方向に流れ、TGが実際にオンになる前にSWノードを充電して“H”になります。逆方向の電流は通常は小さいので、立ち上がりエッジは緩やかになります。立ち下がりエッジでは、上側FETがオフしてから下側FETがオンするまでに、SWノードは長時間“H”的状態にとどまります。これは、SWノードを“L”にするためのピーク・インダクタ電流が軽負荷では小さいためです。SWノードの立ち上がりエッジと立ち下がりエッジが緩やかになつた結果、実効オン時間は長くなり、TGオン時間では完全に制御できなくなります。最小オン時間に近づくと、これが原因で軽負荷時にある程度の位相ジッタが生じることがあります。負荷電流が増加するとエッジは急になり、位相ロック動作が改善されます。

アプリケーション情報

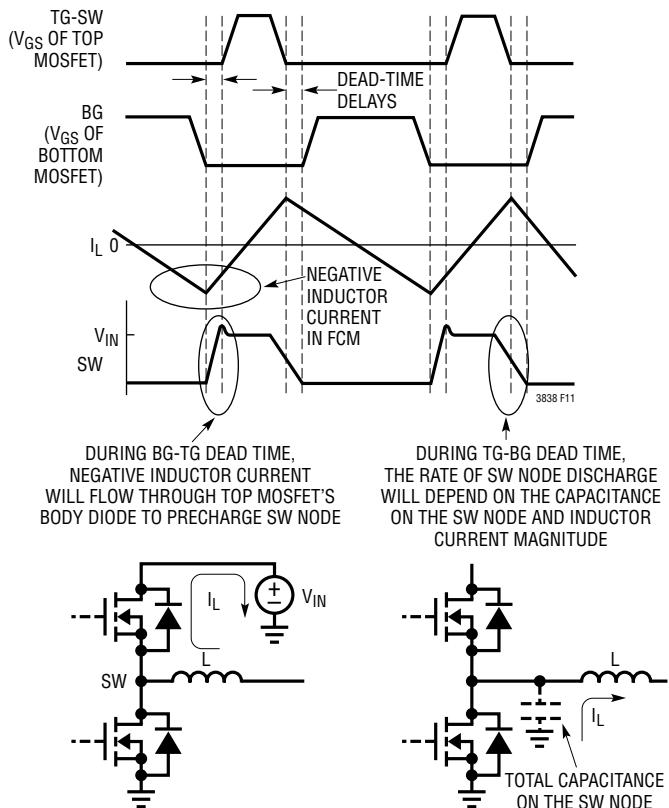


図11. 強制連続モード動作での軽負荷時のオン時間の延長

連続モード動作では、最小オン時間の制限により、最小デューティ・サイクルは次のようにになります。

$$D_{MIN} = f \cdot t_{ON(MIN)}$$

ここで、 $t_{ON(MIN)}$ はスイッチング・レギュレータの実効最小オン時間です。この式が示すように、動作周波数を下げると、最小デューティ・サイクルの制約が緩和されます。LTC3838が可能な最小オン時間が、スイッチング周波数を維持するためにデューティ・サイクルによって要求されるオン時間より長い場合、スイッチング周波数が減少してデューティ・サイクルを維持する必要がありますが、出力電圧は引き続き安定化状態を維持します。この動作は、サイクルをスキップしてリップルが大きくなるという、固定周波数のスイッチング・レギュレータで典型的に見られる動作よりも通常は望ましいものです。

「標準的性能特性」の $t_{ON(MIN)}$ の曲線は、 $V_{IN} = 38V$ 、 $V_{OUT} = 0.6V$ 、あるいは設定 $f = 2MHz$ (つまり、 $R_T = 18k$)という極端なケースで、TGおよびBGの負荷を最小にして測定されて

います。さまざまな V_{IN} 、 V_{OUT} 、あるいは f を使用したアプリケーションでは、実現可能な $t_{ON(MIN)}$ は一般的に大きくなります。また、軽負荷での周波数ロックおよび位相ロックを保証するには、不動作時間(「電気的特性」の $t_D(TG/BG) + t_D(BG/TG)$)を考慮して十分な余裕をとる必要があります。

比較的短いオン時間が必要なアプリケーションでは、パワーMOSFETを選ぶときに注意する必要があります。オン時間が不十分なためにMOSFETのゲートを完全にオンすることができないと、 $R_{DS(ON)}$ が大きくなるので、かなりの放熱と効率低下が生じる可能性があります。このことは、パワーMOSFETが早期に故障する原因となる可能性もあります。

最小オフ時間は、TGピンの電圧が“L”になってから速やかに“H”に戻るまでの最小時間です。この最小オフ時間には、BG(下側ゲート)がオンしてからオフに戻るまでの時間と、TGがオフになってからBGがオフになるまでの不動作時間による遅延と、BGがオフになってからTGがオフになるまでの不動作時間による遅延が含まれます。LTC3838で実現できる最小オフ時間は90nsです。

スイッチング・レギュレータの**実効**最小オフ時間、つまりSWノードが“L”にとどまることができる最短時間は、この最小オフ時間とは異なる場合があります。実効最小オフ時間に影響する主な要因は、 Q_g やオン/オフ時の遅延など、上側および下側のパワーMOSFETの電気的特性です。これらの特性により、SWノードの実効最小オフ時間は長くなることも短くなることもあります。大サイズの(Q_g の大きい)パワーMOSFETは、ゲートの充放電時間が長くなるため、通常は実効最小オフ時間が長くなる傾向があります。これに対して、オン時の遅延とオフ時の遅延の均衡がとれていないと、実効最小オフ時間は短くなることがあります。

最小オフ時間の制限により、最大デューティ・サイクルは次のようにになります。

$$D_{MAX} = 1 - f \cdot t_{OFF(MIN)}$$

ここで、 $t_{OFF(MIN)}$ はスイッチング・レギュレータの実効最小オフ時間です。動作周波数を下げると、最大デューティ・サイクルの制約が緩和されることがあります。

アプリケーション情報

たとえば、入力電圧が低下したために最大デューティ・サイクルに達すると、出力はレギュレーション不能状態になります。ドロップアウトを避けるための最小入力電圧は次のとおりです。

$$V_{IN(MIN)} = \frac{V_{OUT}}{D_{MAX}}$$

ドロップアウトの開始時には、2つの不連続なオフ時間を生じる約500mVの V_{IN} の領域があります。1つは最小オフ時間であり、もう1つは最小オフ時間より約40ns～60ns長いオフ時間です。この2次オフ時間は、内部電流コンパレータが作動するときの追加の遅延によるものです。2つのオフ時間の平均値は、出力をレギュレーション状態に保つために必要なデューティ・サイクルになります。SWノードのジッタは大きい場合があり、外部クロックに同期しているときは特に顕著ですが、出力電圧リップルは比較的小さい値にとどまります。

フォルト状態:電流制限と過電圧

電流モード・コントローラの最大インダクタ電流は、最大検出電圧によって制限されます。LTC3838では、最大検出電圧は V_{RNG} ピンの電圧で制御されます。谷電流モード制御では、最大検出電圧と検出抵抗によって最大許容インダクタ谷電流が決まります。対応する出力電流制限値は、次式で得られます。

$$I_{LIMIT} = \frac{V_{SENSE(MAX)}}{R_{SENSE}} + \frac{1}{2} \cdot \Delta I_L$$

この電流制限値を確認して、 $I_{LIMIT(MIN)} > I_{OUT(MAX)}$ となるようにします。電流制限値は、ワーストケースの効率で最大出力電力を発生するのに必要なインダクタ電流より大きくなります。

一般に、ワーストケースの効率になるのは、 V_{IN} と周囲温度とともに最大の場合です。想定されるMOSFETの接合部温度と、MOSFETスイッチを加熱する要因である I_{LIMIT} の値に整合性がとれているか確認することが重要です。

グランドへの短絡が発生した場合に電流をさらに制限するため、LTC3838はフォールドバック電流制限回路を内蔵しています。出力の低下が50%を超えた場合は、最大検出電圧は次第に低下し、帰還電圧が0Vに達すると最大値の約1/4になります。

帰還電圧が0.6Vの安定化目標値の7.5%を超えると、過電圧(OV)状態と見なされます。このような過電圧状態では、上側MOSFETは直ちにオフし、下側MOSFETは過電圧状態が解消されるまで無期限にオンのままになります。過電圧状態が解消されるのは、帰還電圧が7.5%のしきい値より標準で2%のヒステリシス以上低い値に再度低下するときです。過電圧状態の間、電流制限は動作しません。過電圧状態が持続し、BGが長時間オン状態になると、インダクタと下側MOSFETを流れる電流が最大定格を超えて、負荷を保護するためにインダクタとMOSFETが犠牲になる場合があります。

OPTI-LOOP補償

ITHピンを使ってOPTI-LOOP補償を行えば、幅広い負荷と出力コンデンサに対してトランジメント応答を最適化することができます。ITHピンにより、制御ループ動作を最適化できるだけでなく、DC結合され、ACフィルタを通した閉ループ応答のテスト・ポイントも得られます。このテスト・ポイントでのDCステップ、立ち上がり時間、およびセトリングは、閉ループ応答を正確に反映します。2次特性が支配的なシステムを想定すれば、位相余裕や減衰係数は、このピンで見られるオーバーシュートのパーセンテージを使用して推定することができます。

ITHピンに直列の $R_{ITH-CITH1}$ フィルタを外付けすることにより、支配的なポールゼロ・ループ補償が設定されます。PCBのレイアウトを完了し、特定の出力コンデンサの種類と容量値を決定したら、これらの値を調整してトランジメント応答を最適化することができます。出力コンデンサのさまざまな種類と値によってループ帰還係数の利得と位相が決まるので、まず出力コンデンサを選択する必要があります。

高周波ノイズを減衰するため、ITHピンとSGNDの間に小さいコンデンサ C_{ITH2} を追加することができます。この C_{ITH2} を追加するとループ利得特性にポールが追加されるので、大きすぎるとシステムの安定性に影響することがあります。このコンデンサを選択するときは、追加されるポールが相当な余裕を持ってループ帯域幅より高くなるようにします。

アプリケーション情報

レギュレータのループ応答は負荷トランジェント応答を見て確認することもできます。立ち上がり時間が $1\mu\text{s} \sim 10\mu\text{s}$ の全負荷電流の20%~100%の出力電流パルスによって、帰還ループを開くことなく全体的なループの安定性を判断することができる V_{OUT} 波形とITH電圧のトランジェント応答波形が発生します。OPTI-LOOP補償の詳細な説明については、「アプリケーション・ノート76」を参照してください。

スイッチング・レギュレータは負荷電流のステップに応答するのに数サイクルを要します。負荷ステップが生じると、 V_{OUT} は $\Delta I_{\text{LOAD}} \cdot ESR$ に等しい大きさだけ即座にシフトします。ここで、ESRは C_{OUT} の等価直列抵抗です。また、 ΔI_{LOAD} によって C_{OUT} の充電または放電も開始されるので、レギュレータが V_{OUT} をその定常状態値に戻すのに使用する帰還誤差信号が発生します。この回復期間に V_{OUT} をモニタして、安定性に問題があることを示すオーバーシュートやリンギングがないかチェックすることができます。

現実的な負荷ステップを発生する実用的な方法としては、抵抗性負荷とパワーMOSFETを直列に接続し、その後この2つを出力コンデンサの両端に直接接続して、適当な信号発生器でそのゲートを駆動します。負荷電流のステップ変化によって生じる初期出力電圧ステップは帰還ループの帯域幅内にない場合があるため、位相余裕を決定するのに初期出力電圧ステップを使用することはできません。出力電圧のセトリング動作は閉ループ・システムの安定性により深く関係します。ただし、フィルタを通して補償された帰還ループ応答をITHピンで確認する方が勝ります。

ループの利得は R_{ITH} を大きくすると増加し、ループの帯域幅は C_{ITH1} を小さくすると拡大します。 C_{ITH1} を減少させるのと同じ比率で R_{ITH} を増加させればゼロの周波数は変化しないので、最も重要な周波数範囲での帰還ループの位相を一定に保つことができます。さらに、図1に示すように、フィードフォワード・コンデンサ C_{FF} を追加して高周波数応答を改善することができます。コンデンサ C_{FF} は、 R_{FB2} との組み合わせで高周波のゼロを発生することにより位相進みを得ることができます。位相余裕が改善されます。

大容量の電源バイパス・コンデンサが接続されている負荷で切り替えが行われると、さらに大きなトランジェントが発生することがあります。負荷に接続された放電済みのバイパス・コンデンサがコンバータの C_{OUT} と実質的に並列接続状態になるため、 V_{OUT} が急速に低下します。 C_{OUT} を負荷に接続しているスイッチの抵抗が低く、このスイッチが急速に駆動された場合、出力電圧でのこの急激なステップ変化を防止するのに十分な電流を迅速に供給できるレギュレータはありません。解決策は負荷スイッチのドライバがオンになる速度を制限することです。Hot Swap™コントローラはこの目的専用に設計され、通常は電流制限機能、短絡保護、ソフトスタート機能が組み込まれています。

負荷解放トランジェントの検出

降圧スイッチング・レギュレータの出力電圧要件が低くなり、 V_{IN} 対 V_{OUT} の降圧比が大きくなつて、負荷トランジェントがより急速になつたときに、主要な課題は、急速な負荷電流の減少時つまり「負荷解放」トランジェントの間、 V_{OUT} でのオーバーシュートを制限することです。

インダクタ電流のスルーレート $dI_L/dt = V_L/L$ は、インダクタ両端の電圧 $V_L = V_{\text{SW}} - V_{\text{OUT}}$ に比例します。上側MOSFETがオンすると、 $V_L = V_{\text{IN}} - V_{\text{OUT}}$ となるので、インダクタ電流は増加します。下側MOSFETがオンすると、 $V_L = V_{\text{SW}} - V_{\text{OUT}} = -V_{\text{OUT}}$ となるので、インダクタ電流は減少します。 V_{OUT} が非常に小さいと、電流減少中のインダクタ両端の差動電圧 V_L が小さくなるので、インダクタ電流のスルーレートは負荷電流の変化に追従するのに必要な速度より低くなります。インダクタ電流が過剰な場合は出力コンデンサが充電され、それによって V_{OUT} にオーバーシュートが発生します。

負荷解放トランジェントの間に下側MOSFETがオフになる可能性がある場合は、下側MOSFETのボディ・ダイオードをインダクタ電流が流れるので、前述の式は修正して下側MOSFETのボディ・ダイオードの電圧降下分を計算に入れ、 $V_L = -(V_{\text{OUT}} + V_{\text{BD}})$ とすることができます。 V_{BD} によって合計値は大幅に増加するので、 V_{OUT} 単独の場合と比較して、出力電圧が低くなるにつれてメリットは明らかに増えます。

アプリケーション情報

V_{OUT} に負荷解放によるオーバーシュートがあると、エラーアンプ出力ITHは急速に低下します。ITH電圧はインダクタ電流の設定値に比例します。負荷トランジエント状態になると、この負荷電流設定値が急速に変化します。つまり、ITH電圧の一次導関数である負のスパイクが発生します。

LTC3838では、トランジエント検出(DTR)ピンを使用して、ITH電圧の一次導関数をモニタし、負荷解放トランジエントを検出します。機能図を参照すると、DTRピンはDTRコンパレータの入力であり、DTRコンパレータの内部リファレンス電圧の値はINTV_{CC}の1/2です。このピンを使用してトランジエントを検出するには、機能図に示すように、ITH補償のために追加のR_{ITH}抵抗をINTV_{CC}に接続し、ITH補償用部品であるC_{ITH1}、R_{ITH1}、およびR_{ITH2}の接続点をDTRピンに接続します。これでDTRピンの電圧は、C_{ITH1}および(R_{ITH1}//R_{ITH2})で構成されるハイパス・フィルタを介して、インダクタ電流設定値の一次導関数に比例するようになります。

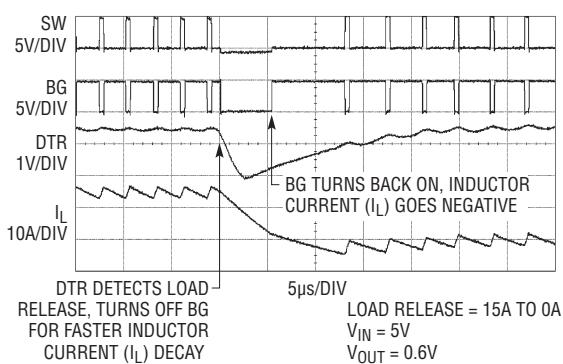
2つのR_{ITH}抵抗でINTV_{CC}とSGNDの間に抵抗分割器を構成し、(定常状態の負荷での) DTRピンのDC電圧(つまりITH電圧)をINTV_{CC}の1/2よりわずかに高い値にバイアスします。補償性能は、同じC_{ITH1}を使用し、R_{ITH1}//R_{ITH2}を、従来の単一抵抗によるOPTI-LOOP補償で使用したR_{ITH}と等しくすることで同一になります。これにより、DTRの期間に必要なRC時定数も得られます。DTRの感度は、DTRの電圧とINTV_{CC}の1/2の電圧とのDCバイアス電圧差で調整できます。この差は、DC負荷電流が流れた場合のITHのリップル電圧がDTRを作動しない限り、200mV程度まで低い値に設定できます。

DTRピンから流れる2.5μAの内部プルアップ電流によって抵抗分割器の上側にオフセットが追加されるので、DTRピンのDCバイアス電圧とINTV_{CC}の1/2の電圧との全電圧差は以下のようにになることに注意してください。

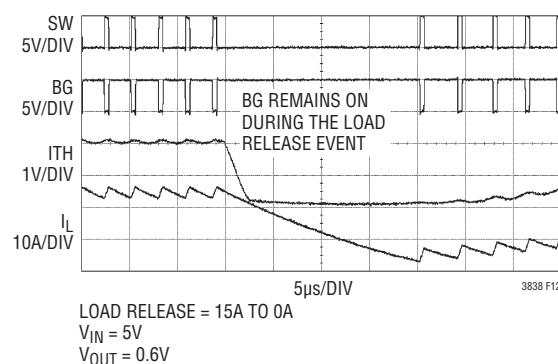
$$V_{DTR} - 0.5V_{INTVCC} = \left[\frac{R_{ITH1}}{(R_{ITH1} + R_{ITH2})} - 0.5 \right] \cdot 5.3V + 2.5\mu A \cdot (R_{ITH1} / R_{ITH2})$$

図12に示すように、負荷電流が急激に減少すると、 V_{OUT} にオーバーシュートが発生し、ITHの電圧は急速に低下します。DTRピンはコンデンサを介してITHピンに結合しているので、DTRピンの電圧も急速に低下します。DTR電圧がINTV_{CC}の1/2の電圧より低くなるほど負荷トランジエントが急激な場合は、負荷解放事象が検出されます。下側ゲート(BG)はオフになるため、下側MOSFETのボディ・ダイオードにインダクタ電流が流れます。これにより、SWノードの電位は、シリコン・ダイオードの順方向電圧だけPGNDより低くなります。このため、インダクタの両端により低い負の差動電圧($V_{SW} - V_{OUT}$)が発生するので、インダクタ電流は急速に0まで低下し、したがって V_{OUT} のオーバーシュートを小さくすることができます。

DTRコンパレータの出力は、逆方向のインダクタ電流検出(I_{REV})および過電圧(OV)状態によって無効になります。この意味は、過電圧状態が存在しない限り、SENSE⁺の方がSENSE⁻より電圧が高い(つまり、インダクタ電流が正である)とBGはオフになるということです。インダクタ電流が0まで低下し、その後逆方向に流れ出すと、DTRの電圧が依然INTV_{CC}の1/2より低い場合でも、(たとえば、MODE/PLLIN



(12a) DTR Enabled



(12b) DTR Disabled

図12. トランジエント検出(DTR)機能をイネーブルした場合とディスエーブルした場合の V_{OUT} のオーバーシュートの比較

アプリケーション情報

ピンがINTV_{CC}に接続されているか、入力クロックが存在する)強制連続モードでは、BGはオンに戻ります。これは、インダクタ電流を迅速に負に反転させて、V_{OUT}のオーバーシュートを抑えられるようにするためにです。もちろん、MODE/PLLINピンが不連続モードに設定されている(つまり、SGNDに接続されている)場合には、DTR機能がディスエーブルされているとBGはオフであるように、インダクタ電流が逆方向に流れているときもBGはオフのままです。

また、V_{OUT}が過電圧状態の範囲(標準で7.5%)より高くなると、DTR機能が無効になるので、BGはオンします。したがって、DTR機能によってV_{OUT}のオーバーシュートを効果的に低減するには、オーバーシュートを抑えるために必要な負荷ステップの大きさによって過電圧保護機能が作動しないように、アプリケーションには十分な出力容量を使用する必要があります。

(V_{OUT}を0.6Vに設定し、それに応じてITHの補償回路を調整することによって設計例の回路から変更した)0.6V出力のアプリケーションを試すと、このトランジエント検出機能により、オーバーシュート・ピーク電圧が大幅に低下するだけでなく、負荷解放ステップ時にレギュレーションを再開するための時間も短縮されることが分かります(「標準的性能特性」のアプリケーションの例を参照)。

このDTR機能を使うと、下側MOSFETのボディ・ダイオードが導通するので、下側MOSFETの損失が増えることが予想されます。頻繁に大きな負荷ステップを生じる負荷が存在すると、下側MOSFETの温度が高くなる可能性があります。これは、設計に関する重要な検討事項です。デモ基板での実験では、100%から50%までの連続負荷ステップ・パルス列を50%のデューティ・サイクルおよび100kHzの周波数で出力に加えると、20°C上昇します。

このDTR機能が不要な場合は、DTRピンをINTV_{CC}に接続するか、または2.5μAの内部電流源によってDTRピンの電位がINTV_{CC}まで上昇するようにDTRピンを開放のままにしておけば、DTR機能をディスエーブルすることができます。

効率に関する検討事項

スイッチング・レギュレータのパーセント表示での効率は、出力電力を入力電力で割って100%を掛けたものに等しくなります。個々の損失を解析して、効率を制限する要素が何であり、また何が変化すれば最も効率が改善されるかを判断することが、多くの場合有益です。パーセント表示での効率は、次式で表すことができます。

$$\% \text{効率} = 100\% - (L1\% + L2\% + L3\% + \dots)$$

ここで、L1%、L2%などは入力電力に対するパーセント値で表した個々の損失です。回路内の電力を消費するすべての要素で電力損失が生じますが、通常、LTC3838の回路の損失の大部分はいくつかの主な損失要因によって生じます。

1. I²R損失。これは、MOSFET、インダクタ、電流検出抵抗のDC抵抗成分から発生するもので、大出力電流時には電力損失の大部分を占めます。連続モードでは、インダクタLを平均出力電流が流れますが、この電流は上側MOSFETと下側MOSFETとの間で分かれます。2つのMOSFETのR_{D(S)ON}がほぼ等しい場合、1つのMOSFETの抵抗値をインダクタのDC抵抗値(DCR)および基板トレースの抵抗値と合計して、I²R損失を求めることができます。たとえば、それぞれのR_{D(S)ON} = 8mΩ、R_L = 5mΩ、およびR_{SENSE} = 2mΩである場合、損失の範囲は、出力電流が1A～10Aの範囲で変化するのに応じて15mW～1.5Wになります。この結果、損失の範囲は5V出力では0.3%～3%となり、1.5V出力では1%～10%となります。外付け部品および出力電力レベルが同じ場合、効率はV_{OUT}の2乗に反比例して変化します。出力電圧が低く電流負荷の必要量が高い組み合わせでは、スイッチング・レギュレータ・システムでのこの損失項の重要性が高くなります。
2. 遷移損失。この損失は、ほとんどはスイッチ・ノードの遷移中に上側MOSFETが短時間飽和(ミラー)領域に留まるところから生じます。これは、入力電圧、負荷電流、ドライバ強度、MOSFET容量などの要因に依存し、入力電圧またはスイッチング周波数が高いと顕著になることがあります。

アプリケーション情報

3. DRV_{CC}電流。これはMOSFETドライバ電流とINTV_{CC}制御電流の合計です。MOSFETドライバ電流は、パワーMOSFETのゲート容量を切り替えることによって流れます。MOSFETのゲートが“L”から“H”に切り替わり、再び“L”に切り替わるたびに、DRV_{CC}からグランドに一定量の電荷dQが移動します。それによって生じるdQ/dtはDRV_{CC}から流れる電流であり、通常はコントローラのI_Q電流よりはるかに大きくなります。連続モードでは、次式のようになります。

$$I_{GATECHG} = f \cdot (Q_{g(TOP)} + Q_{g(BOT)})$$

ここで、Q_{g(TOP)}およびQ_{g(BOT)}は、それぞれ上側および下側MOSFETのゲート電荷です。

DRV_{CC}電源をEXTV_{CC}を介して供給すると、効率が数パーセント向上することがあり、特にV_{IN}の高いアプリケーションで可能性が高くなります。出力から得られる電圧源にEXTV_{CC}を接続すると、ドライバおよび制御回路が必要とするV_{IN}電流は、(デューティ・サイクル)/(効率)の倍率で増減します。たとえば、20Vから5Vへの降圧アプリケーションでは、DRV_{CC}電流が10mAの場合、V_{IN}電流は約2.5mAになります。これにより、(ドライバがV_{IN}から直接電力を供給されている場合)中間電流損失は10%以上からわずか数パーセントに減少します。

4. C_{IN}損失。入力コンデンサは、電源からの平均化されたDC電流にレギュレータが流し込む方形波の大入力電流を除去します。入力コンデンサ自体に流れる平均DC電流は0ですが、方形波状のAC電流は流れます。したがって、ESRでのRMS電流損失を最小限に抑えるため、入力コンデンサはESRが非常に低いものにする必要があります。上流のケーブル、ヒューズ、またはバッテリ内に追加のRMS損失が発生するのを防ぐため、入力電流のAC成分を除去するのに十分な容量も必要です。LTC3838の2相アーキテクチャは、ESRによる損失を改善しています。

「隠れた」銅トレース、ヒューズ、バッテリなどの抵抗により、DC電流の場合でも、効率が大幅に低下することがあるので、これらについて設計段階で検討しておくことが重要です。C_{OUT}のESR損失、下側MOSFETボディ・ダイオードの逆回復損失、およびインダクタのコア損失など、その他の損失による追加損失の占める割合は、通常は2%未満です。

スイッチング・レギュレータの電力損失は、理想的なデューティ・サイクルより高いデューティ・サイクルとして、または固定周波数の場合は理想的なオン時間より長いオン時間として反映されます。この効率を考慮したオン時間は次式のように算出することができます。

$$t_{ON} \approx t_{ON(IDEAL)} / \text{効率}$$

効率を改善するための調整を行う場合、入力電流は効率の変化を示す最良の指標です。変更を加えて入力電流が減少すれば、効率は向上しています。

設計例

V_{IN} = 4.5V ~ 26V、V_{OUT} = 1.2V、I_{OUT(MAX)} = 15A および f = 350kHz の降圧コンバータの1つのチャネルを考えます(図13のチャネル1を参照)。

安定化出力電圧は次式で求められます。

$$V_{OUT} = 0.6V \cdot \left(1 + \frac{R_{FB2}}{R_{FB1}} \right)$$

R_{FB1}に10kの抵抗を使用し、R_{FB2}にも10kの抵抗を使用します。

周波数は次式で設定されます。

$$R_T [k\Omega] = \frac{41550}{f [kHz]} - 2.2 = \frac{41550}{350} - 2.2 \approx 116.5$$

これに最も近い1%精度の抵抗の標準値である115kを使用します。

最小オン時間になるのは、V_{IN}が最大のときです。「標準的性能特性」のt_{ON(MIN)}の曲線を参考にして、V_{IN}が最大のときのt_{ON(MIN)}は、LTC3838が実現できる値より大きいことを確認し、不動作時間(「電気的特性」のt_{D(TG/BG)} + t_{D(TG/BG)})のために軽負荷時の実効オン時間が長くなることを見込んで十分な余裕を持たせてください。このアプリケーションの最小オン時間は次のようになります。

$$t_{ON(MIN)} = \frac{V_{OUT}}{V_{IN(MAX)} \cdot f} = \frac{1.2V}{24V \cdot 350kHz} = 143ns$$

アプリケーション情報

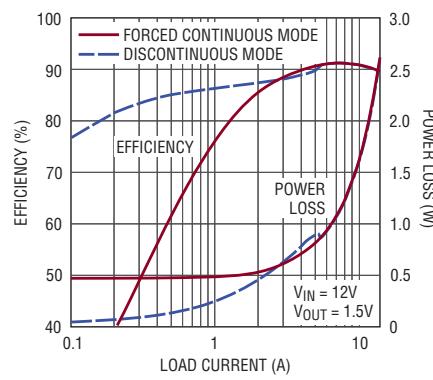
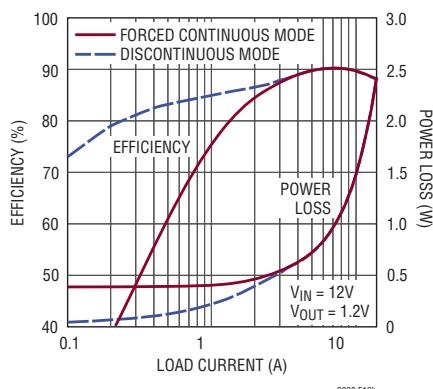
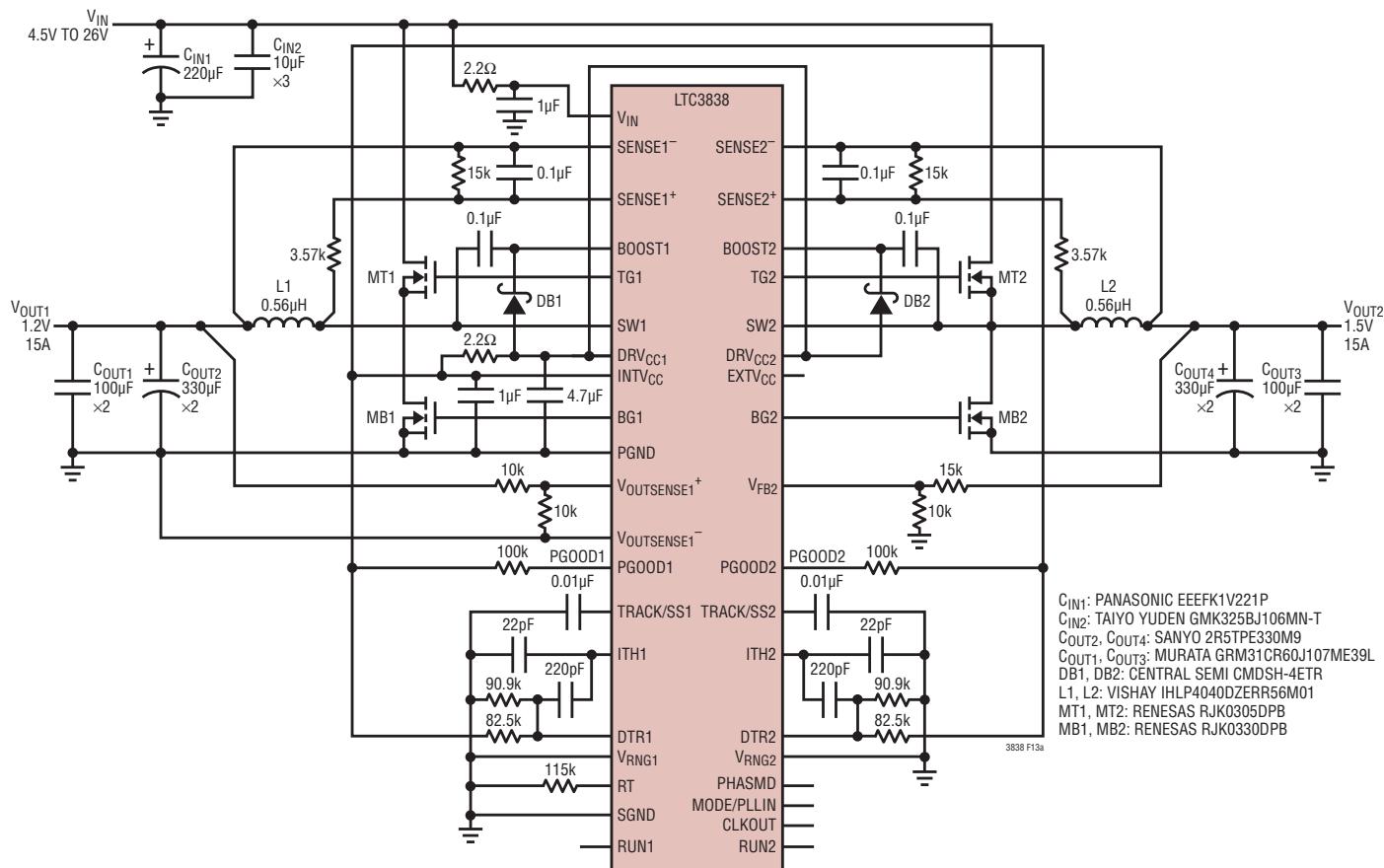


図13. 設計例:4.5V～26V入力、1.2V/15Aおよび1.5V/15Aデュアル出力、350kHz降圧コンバータ(PCRによる検出方式、DTRをイネーブル)

アプリケーション情報

調整された動作周波数を使用して、 V_{IN} が最大のときリップル電流が40%となるようにインダクタ値を設定します。

$$L = \left(\frac{1.2V}{350\text{kHz} \cdot 40\% \cdot 15A} \right) \left(1 - \frac{1.2V}{24V} \right) = 0.54\mu\text{H}$$

これに最も近い標準値である $0.56\mu\text{H}$ を選択します。

この結果生じる最大リップル電流は次のとおりです。

$$\Delta I_L = \left(\frac{1.2V}{350\text{kHz} \cdot 0.56\mu\text{H}} \right) \left(1 - \frac{1.2V}{24V} \right) = 5.8\text{A}$$

多くの場合、高電力アプリケーションで効率を最大にするには、 R_{SENSE} による電流検出よりもDCRによる電流検出の方が適しています。DCRフィルタの値を決定するには、まずインダクタのメーカを選択する必要があります。この設計例では、値が $0.56\mu\text{H}$ で $DCR_{MAX} = 1.8\text{m}\Omega$ のVishayのIHLP-4040DZ-01モデルを選択します。これから次の値が得られます。

$$V_{SENSE(MAX)} = 1.8\text{m}\Omega \cdot [1 + (100^\circ\text{C} - 25^\circ\text{C}) \cdot 0.4\%/\text{C}] \\ \cdot (15A - 5.8A/2) = 28\text{mV}$$

最大検出電圧 $V_{SENSE(MAX)}$ は、追加調整を行なわなくても LTC3838 が対応できる範囲内にあります。したがって、DCR フィルタにはインダクタ両端間に接続する単純な RC フィルタを使用することができます。C に $0.1\mu\text{F}$ を選択すると、R は次のように計算できます。

$$R_{DCR} = \frac{L}{DCR \cdot C_{DCR}} = \frac{0.56\mu\text{H}}{1.8\text{m}\Omega \cdot 0.1\mu\text{F}} = 3.1\text{k}\Omega$$

その結果、 V_{RNG} ピンの電圧は次のようになります。

$$V_{RNG} = \frac{V_{SENSE(MAX)}}{0.05} = 28\text{mV} \cdot 20 = 0.56\text{V}$$

この電圧は、INTVCCピンと信号グランド(SGND)の間に接続した抵抗分割器を使用して発生させることができます。 V_{IN} が低くなることによってINTVCCが低くなるなど、あらゆる条件で最大負荷電流の15Aを供給可能にし、LTC3838自体の $V_{SENSE(MAX)}$ の変動範囲が規格値以内になるように、 V_{RNG} を高くして余裕を確保する必要があります。

V_{RNG} を設定する優れた方法でかつ推奨の方法は、 V_{RNG} ピンを単にSGNDに接続して $V_{RNG} = 0.6\text{V}$ 相当にすることと、さ

らに、「DCRによるインダクタ電流検出」で説明したように、最大出力電流を保証できるように、DCRフィルタに抵抗を追加して $V_{SENSE(MAX)}$ が小さくなるよう調整し、LTC3838自体の $V_{SENSE(MAX)}$ 規格の下限より十分な余裕を持たせることです。

この設計例では、 3.57k と 15k の抵抗分割器を使用します。以前に計算した $V_{SENSE(MAX)}$ は、 28mV から 22.6mV に小さくなります。この値は、 $V_{RNG} = 0.6\text{V}$ でのLTC3838の $V_{SENSE(MAX)}$ 規格の下限に近い値です。等価 $R_{DCR} = 3.57\text{k}/15\text{k} = 2.9\text{k}\Omega$ は、 $R_{DCR}-CDCR$ とL-DCRの整合した回路網では、前に計算した 3.1k よりわずかに小さいことに注意してください。この不一致により、 V_{SENSE} のリップルはわずかに大きくなります。

$V_{SENSE(MAX)}$ の規格上限値と最低動作温度での $DCR(MIN)$ を考慮して、ピーク・インダクタ電流がインダクタを飽和させないこと、およびパワーMOSFETの定格を超えないことを必ず確認してください。

外付けのNチャネルMOSFETには、上側のMOSFET(メイン・スイッチ)に、ルネサステクノロジのRJK0305DBP(最大 $R_{DS(ON)} = 13\text{m}\Omega$ 、 $C_{MILLER} = 150\text{pF}$ 、 $V_{GS} = 4.5\text{V}$ 、 $\theta_{JA} = 40^\circ\text{C/W}$ 、 $T_{J(MAX)} = 150^\circ\text{C}$)を選択します。下側のMOSFET(同期スイッチ)には、RJK0330DBP(最大 $R_{DS(ON)} = 3.9\text{m}\Omega$ 、 $V_{GS} = 4.5\text{V}$ 、 $\theta_{JA} = 40^\circ\text{C/W}$ 、 $T_{J(MAX)} = 150^\circ\text{C}$)を選択します。 $V_{IN} = 24\text{V}$ 、標準の $T_J = 125^\circ\text{C}$ での各MOSFETの電力損失は、以下のように計算することができます。

$$P_{TOP} = \left(\frac{1.2V}{24V} \right) (15A)^2 (13m\Omega) [1 + 0.4\%(125^\circ\text{C} - 25^\circ\text{C})] \\ + (24V)^2 \left(\frac{15A}{2} \right) (150pF) \left[\frac{2.5\Omega}{5.3V - 3V} + \frac{1.2\Omega}{3V} \right] (350\text{kHz}) \\ = 0.54\text{W}$$
$$P_{BOT} = \left(\frac{24V - 1.2V}{24V} \right) (15A)^2 (3.9m\Omega) [1 + 0.4\%(125^\circ\text{C} - 25^\circ\text{C})] \\ = 1.2\text{W}$$

周囲温度 $T_A = 75^\circ\text{C}$ での接合部温度は以下のようになります。

$$T_{J(TOP)} = 75^\circ\text{C} + (0.54\text{W})(40^\circ\text{C/W}) = 97^\circ\text{C}$$

$$T_{J(BOT)} = 75^\circ\text{C} + (1.2\text{W})(40^\circ\text{C/W}) = 123^\circ\text{C}$$

アプリケーション情報

これらの数値は、高い周囲温度での動作時には適切な放熱に注意を払うべきであることを示しています。

容量とRMSリップル電流定格が十分なC_{IN}コンデンサを選択します。図6によるワーストケースのデューティ・サイクルについて考えてみます。SWノードの位相が完全に交互に入れ替わる定常状態で動作する場合、2つのチャネルが全負荷時に7.5A RMSを超える電流を発生することはありません。この設計例では、10μF/35VのX5R型セラミック・コンデンサを3つ並列に接続してRMSリップル電流を吸収し、220μFの大容量アルミ電解コンデンサで安定性を確保します。10μF 1210サイズのX5R型セラミック・コンデンサの場合は、各デバイスを流れるリップル電流が3A RMSより少なくなるようにしてください。大容量のコンデンサは、与えられた回路モデルによるシミュレーションに従って、RMS定格に合致するものを選択します。

出力コンデンサC_{OUT}は、インダクタ・リップル電流と負荷ステップによる出力電圧の変化を最小限に抑えるため、4.5mΩという低ESRのものを選択します。出力電圧リップルは、次式で得られます。

$$\Delta V_{\text{OUT(RIPPLE)}} = \Delta I_{\text{L(MAX)}} \cdot \text{ESR} = 5.85\text{A} \cdot 4.5\text{m}\Omega = 26\text{mV}$$

ただし、10Aの負荷ステップが生じると、出力の変化は最大で次のようになります。

$$\Delta V_{\text{OUT(STEP)}} = \Delta I_{\text{LOAD}} \cdot \text{ESR} = 10\text{A} \cdot 4.5\text{m}\Omega = 45\text{mV}$$

オプションで100μFのセラミック出力コンデンサを2つ追加すると、出力リップルでのESRおよびESLの影響が最小限に抑えられ、負荷ステップ応答が改善されます。

40kのITH補償抵抗R_{ITH}と220pFのC_{ITH}を経験的に選択して、高速トランジエント応答を実現し、ITHピンとSGNDの間にC_{ITH2} = 22pFを直接追加して、スイッチング周波数でのシステム利得をロールオフし、高周波ノイズを減衰させます。

トランジエント検出(DTR)機能を設定するため、等価R_{ITH} = R_{ITH1}/R_{ITH2}が40kに近い抵抗を選択します。ここでは、1%精度の抵抗R_{ITH1} = 90.9k(低電位側)およびR_{ITH2} = 82.5k

(高電位側)が使用されます。これにより、等価R_{ITH}は43.2kになります。DCバイアスしきい値はINTV_{CC}の1/2の電位よりも128mV高くなります。等価補償抵抗R_{ITH}の精度がそれほど重要でなくても、このDCバイアスしきい値の相対精度を保証するため、INTV_{CC}からSGNDまでの抵抗分割器の抵抗には必ず1%以下の許容差のものを使用してください。DTR機能をディスエーブルするには、SGNDとの間に1本のR_{ITH}抵抗を接続し、DTRピンをINTV_{CC}に接続するだけで済みます。

PCBレイアウトのチェックリスト

プリント回路基板のレイアウトを図14に示します。連続モードで動作している2相同期整流式レギュレータの枝分かれしたさまざまな経路に現れる電流波形を図15に示します。以下のチェックリストを使用して、LTC3838が正しく動作するようにしてください。

- ノイズの結合を減らし、放熱を改善するため、通常は専用のグランド・プレーンがある多層プリント回路基板が適しています。グランド・プレーン層は、MOSFET、インダクタ、検出抵抗、入力と出力のコンデンサなどの電力部品の配線層と隣接させる必要があります。
- SGNDとPGNDは分離します。レイアウトの終了時に、SGNDピンからPGNDの露出パッドを通ってPGNDピンまでデバイスの下を通る1本のPCBトレースを使ってSGNDとPGNDを接続します。
- 駆動系のすべての部品はPGNDを基準にします。ノイズの影響を受けやすいピン(たとえば、ITH、RT、TRACK/SS、VRNG)に接続するすべての部品はSGNDピンに戻します。PGNDには十分な面積を確保しますが、SGNDの面積は小規模に抑えます。入力コンデンサおよび出力コンデンサと同じ側に、低インピーダンスで広い銅領域のPCB中心点がある、修正版の「星形グランド」技法を使います。
- C_{IN}、C_{OUT}、MOSFET、D_B、インダクタなどの電力部品は、1つの狭い領域にまとめて配置します。この領域への大電流経路(V_{IN}、V_{OUT}、PGNDなど)には、幅は広いができるだけ短いトレースを使用して、銅損失を最小限に抑えます。

アプリケーション情報

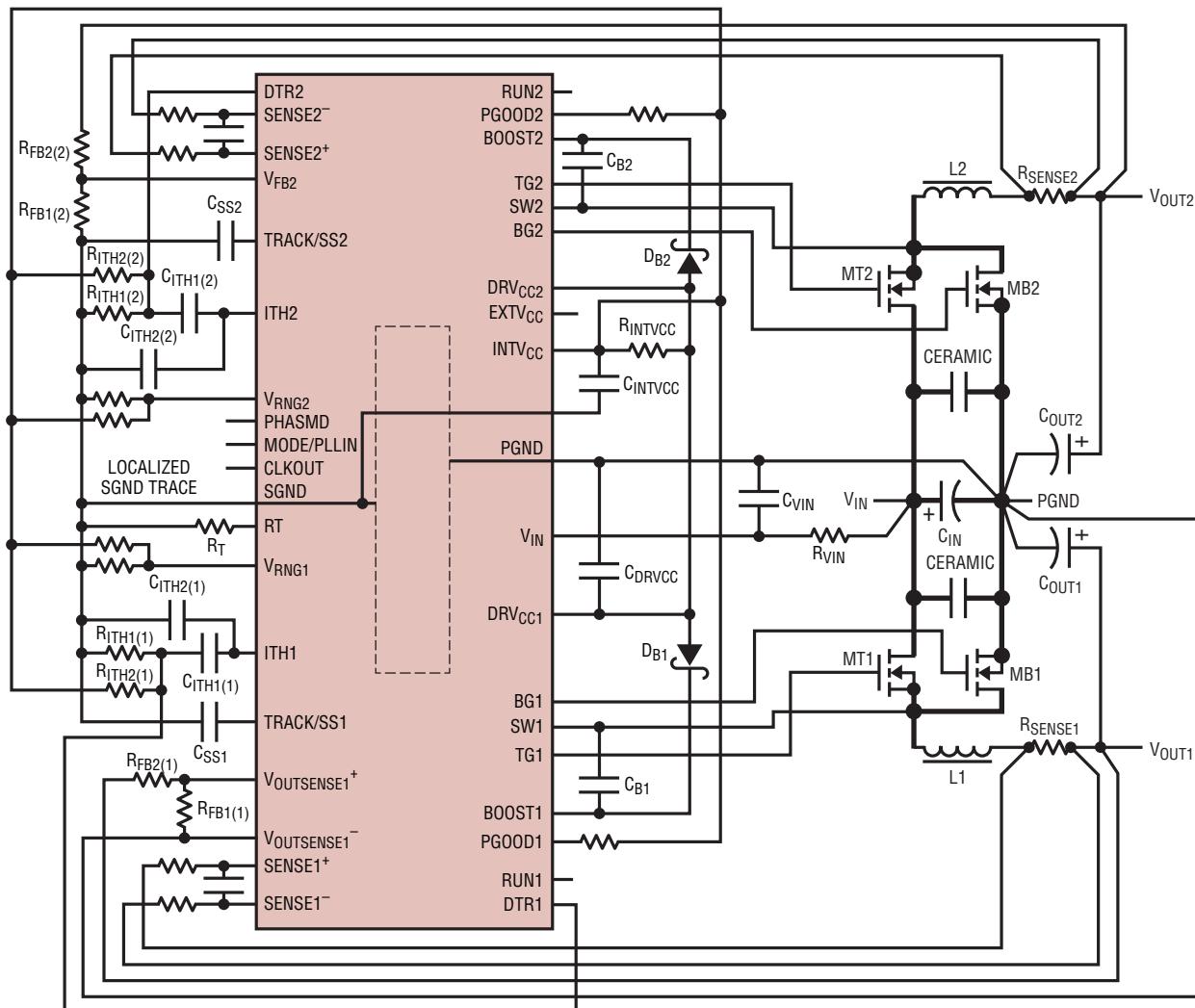


図14. PCBの推奨レイアウト図

- スイッチ・ノード(SW1、SW2)、上側ゲート(TG1、TG2)、および昇圧ノード(BOOST1、BOOST2)を、ノイズの影響を受けやすい小信号ノード、特に反対側のチャネルの電圧検出帰還ピンおよび電流検出帰還ピンから離しておきます。これらのノードには非常に大きな信号や動きの速い信号があるため、LTC3838の「出力側」(パワー関連ピンはデバ

イスの右側)に保ち、占有するPCトレース面積が最小になるようにします。面積の小さいスイッチ・ノード(SW)プレーンを使用してMOSFETの冷却を改善し、EMIを低く抑えます。DCRによる検出を使用している場合は、上側のフィルタ抵抗(図5ではR1のみ)をスイッチ・ノードの近くに配置します。

アプリケーション情報

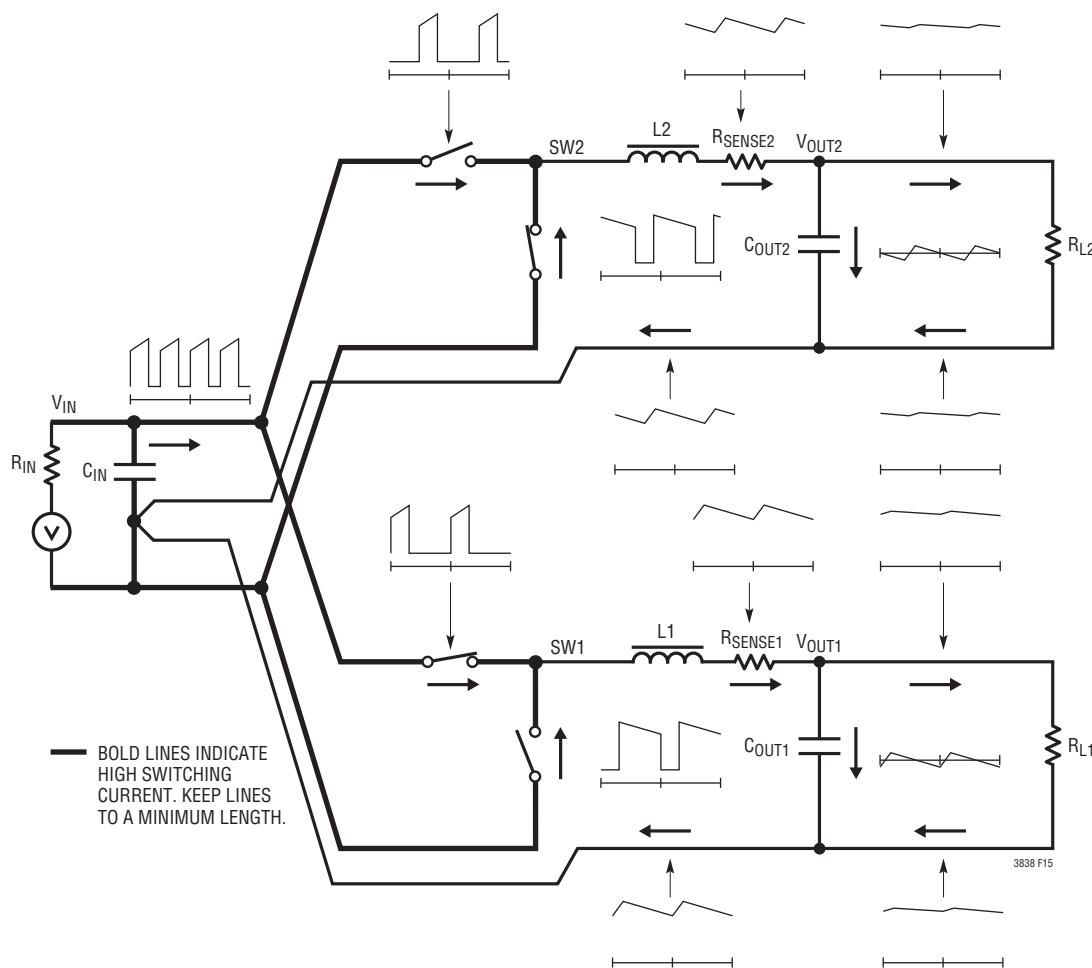


図15. 分岐電流の波形

- 2つのチャネルの上側のNチャネルMOSFETは、 C_{IN} を共通のドレイン接続箇所にして、互いに短い距離の範囲内(できれば1cm未満)に配置する必要があります。2つのチャネルの入力デカップリングを分割すると大きな共振ループが形成されることがあるので、入力デカップリングは分割しないでください。
- 入力コンデンサ C_{IN} はパワーMOSFETの近くに接続します。このコンデンサは、MOSFETのトランジエント・スパイク

電流を供給します。上側MOSFETのドレンは、入力コンデンサ C_{IN} のセラミック部分の(+)電極にできるだけ近づけて接続します。下側MOSFETのソースは、同じセラミック・コンデンサ C_{IN} の(-)電極にできるだけ近づけて接続します。これらのセラミック・コンデンサは、 di/dt の高い電流を局所的にバイパスします。また、上側MOSFETと下側MOSFETのPCBトレース長さを短くして高周波EMIを最小限に抑え、誘導性リンクによるMOSFETの電圧ストレスを防止します。

アプリケーション情報

- 上側と下側のNチャネルMOSFET、およびC_{IN}コンデンサで形成される経路では、リードとPCBトレースを短くします。出力コンデンサの(-)端子はC_{IN}の(-)端子の近くに接続しますが、前述のループからは遠ざけます。これは、「細分化された」スイッチング電流が入力グランドと出力グランドの間の経路を流れ同相出力電圧リップルが発生しないように、入力グランドへのケルビン(4線)接続の効果を得るためです。
- 数個の小型セラミック出力コンデンサC_{OUT}を検出抵抗の近くと残りの大容量出力コンデンサの前に配置することができます。
- SENSE⁺ピンとSENSE⁻ピンの間のフィルタ・コンデンサは、必ずこれらのピンにできるだけ近づけて配置します。検出抵抗またはインダクタの下から半田付けパッドへのケルビン(4線)接続により、正確な電流検出を実現します。1対の検出トレースを最小の間隔で一緒に配線します。R_{SENSE}を使用する場合は、それをノイズのない出力側のインダクタに接続し、そのフィルタ抵抗はSENSE⁺/SENSE⁻ピンの近くに配置します。ただし、DCRによる検出の場合、フィルタ抵抗の端子はSWノードなので、フィルタ抵抗はインダクタの近くに配置し、SENSE⁺/SENSE⁻ピンからは遠ざけます。
- デバイスの左側にあるノイズの影響を受けやすいピンに接続されている小信号用部品を、それぞれのピンにできるだけ近づけます(SENSE⁺/SENSE⁻、V_{OUTSENSE1}⁺/V_{OUTSENSE1}⁻、V_{FB2}、RT、ITH、V_{RNG}の各ピンを優先)。こうすることにより、これらのピンにノイズが結合する可能性が最小限に抑えられます。LTC3838を多層基板の底面側に配置できる場合は、グランド・プレーンを使用して基板の上面側にある主要な電力部品から隔離し、底面側にあるノイズの影響を受けやすい部品にノイズが結合しないようにしてください。
- 帰還抵抗分割器R_{FB1}、R_{FB2}は、抵抗分割器から取り出した帰還電圧がノイズ源によって乱されないように、チャネル1の場合はV_{OUTSENSE1}⁺ピンおよびV_{OUTSENSE1}⁻ピンの近くに、チャネル2の場合はV_{FB2}ピンの近くに配置します。最適な出力レギュレーションを得るために、離れた場所のPCBトレースを出力コンデンサの端子に直接配線します(チャネル1の差動検出では、1対の素線を互いに近づけて使用します)。
- デカップリング・コンデンサC_{ITH2}はITHピンとSGNDピンの間に配置し、短い直線のトレースで接続します。
- クロック信号をMODE/PLLINピンに入力するか、またはCLKOUTピンから出力する場合は、影響を受けやすいピンにクロックが結合しないように、十分に分離します。
- デカップリング用のセラミック・コンデンサC_{INTVCC}を、INTVCCピンとSGNDの間に、できるだけデバイスに近づけて配置します。
- デカップリング用のセラミック・コンデンサC_{DRVCC}を、DRVCC₁ピンとDRVCC₂ピンの接続点とPGNDの間に、デバイスに近づけて配置します。
- LTC3838へのV_{IN}入力をRCフィルタでフィルタ処理します。フィルタ・コンデンサをV_{IN}ピンの近くに配置します。
- ビアを使用する必要がある場合は、隣接したビアを使用してLTC3838のSGNDプレーンおよびPGNDプレーンに部品を接続します。電力部品には大きなビアを複数使用します。
- すべての層のすべての未使用領域を銅箔で覆います。銅で覆うことにより、電力部品の温度上昇を抑えることができます。銅領域はDCレール(たとえば、PGND)のみに接続します。

PCBのレイアウトとデバッグ

両方のコントローラを同時にオンするのは必ず各コントローラの個々の性能をチェックした後にしてください。回路をテストするときは、電流プローブを使ってインダクタの電流をモニタするのが効率的です。出力スイッチング・ノード(SWピン)をモニタしてオシロスコープを内部発振器出力CLKOUTまたは外部クロック(使用している場合)に同期させます。実際の出力電圧も同様にプローブで調べます。アプリケーションで想定される動作電圧および電流範囲で適正な性能が出ているかチェックします。

動作周波数は、全入力電圧範囲で一定に保たれている必要があります。位相は、適切に設計された低ノイズのPCB実装

アプリケーション情報

回路では、すべてのサイクルで一定に保たれている必要があります。SWノードの位相が変動する場合、電流検出入力または電圧検出入力でノイズを拾っているか、またはループ補償が適切でない可能性があります。レギュレータの帯域幅を最適化する必要がない場合は、ループを過補償にしてPCBレイアウトの不備を補うことができます。

コントローラの一方のチャネルが(その電流コンパレータの作動点の直後に)オンしていて、他方のチャネルがオン時間の終了時に上側MOSFETをオフしている場合の動作領域には、特に注意する必要があります。これにより、どちらのチャネルにもノイズ結合による軽度な位相ロック・ジッタが生じることがあります。

V_{IN} をその公称レベルから下げて、ドロップアウト状態のレギュレータ動作を確認します。出力をモニタしながらさらに V_{IN} を下げて動作を確認し、低電圧ロックアウト回路の動作をチェックします。

問題があるのは出力電流が大きいときのみ、または入力電圧が高いときのみであるかどうかを調べます。入力電圧が高くかつ出力電流が小さいときに問題が発生する場合は、BOOST、SW、TGおよびBGの各接続と、影響を受けやすい電圧ピンおよび電流ピンとの間の容量性結合を調べます。

電流検出ピン間に接続するコンデンサは、デバイスのピンのすぐ近くに配置する必要があります。このコンデンサは、高周波容量性結合による差動ノイズの混入の影響を最小限に抑えるのに役立ちます。

入力電圧が低くかつ電流输出力負荷が大きいときに問題が起きる場合は、 C_{IN} 、上側と下側のMOSFETなどの部品と、影響を受けやすい電流および電圧検出トレースとの誘導性結合を調べます。

さらに、これらの部品とデバイスのSGNDピンの間の共通グランド経路の電圧ピックアップも調べてください。

高スイッチング周波数動作

スイッチング周波数が高いと、ノイズの影響を受けやすくなることがあります。サイクルごとの不安定性や位相ロック・ジッタを防止するために特別な注意が必要な場合があります。まず、推奨レイアウトの技法に注意深く従って、スイッチング電圧/電流の大きいトレースからの結合を減らします。さらに、低ESRで低インピーダンスのX5RまたはX7Rのセラミック入力コンデンサ(負荷電流1A当たり最大5μF)が必要な場合があります。必要な場合は、検出抵抗の値とVRNGの設定値を大きくしてリップル検出電圧を高くし、ノイズ耐性を向上させます。

LTC3838

標準的応用例

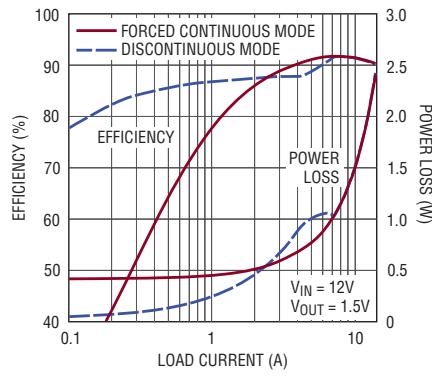
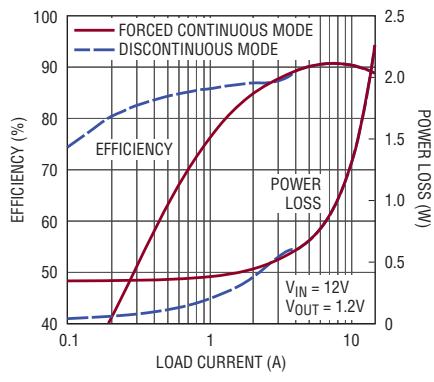
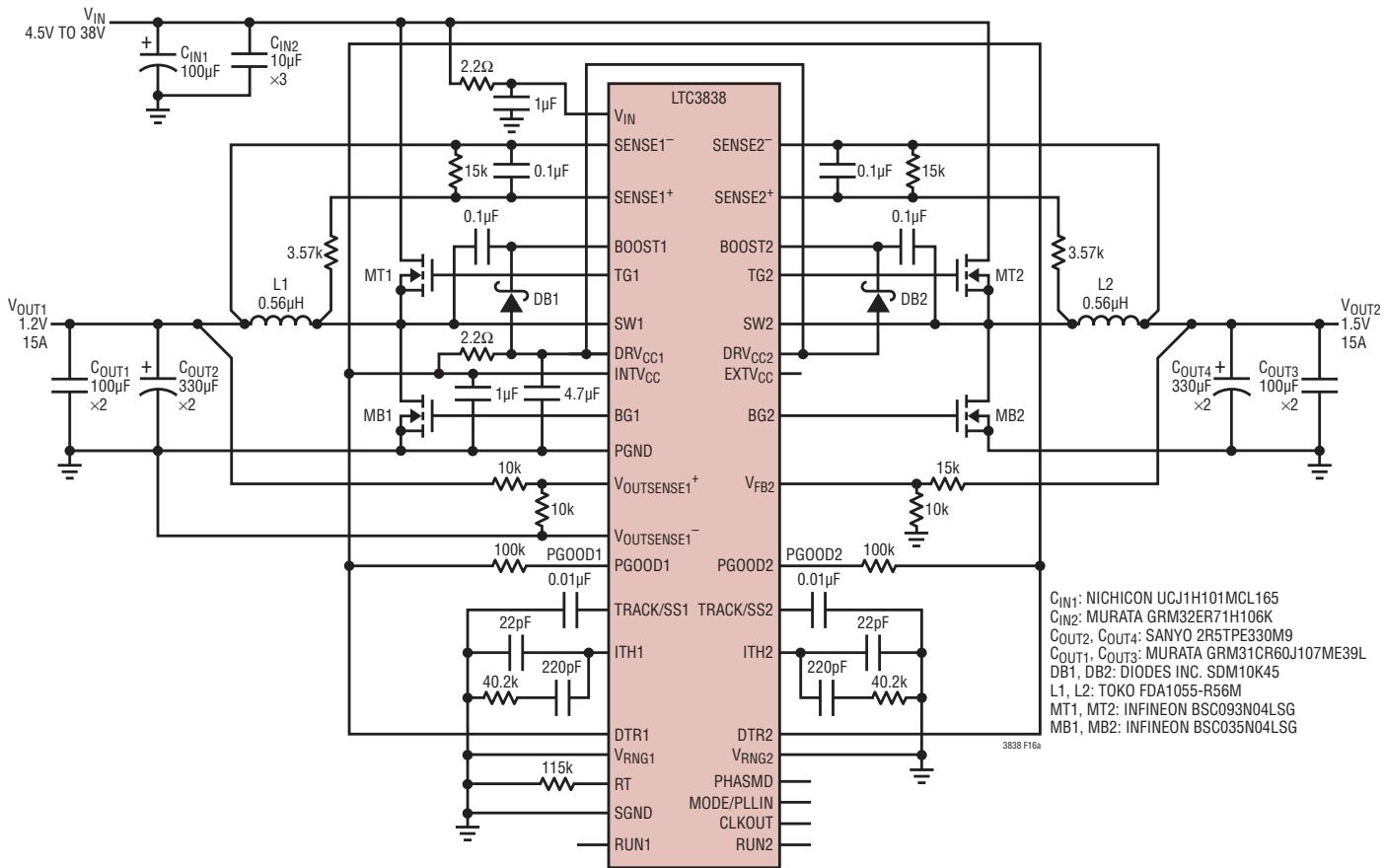
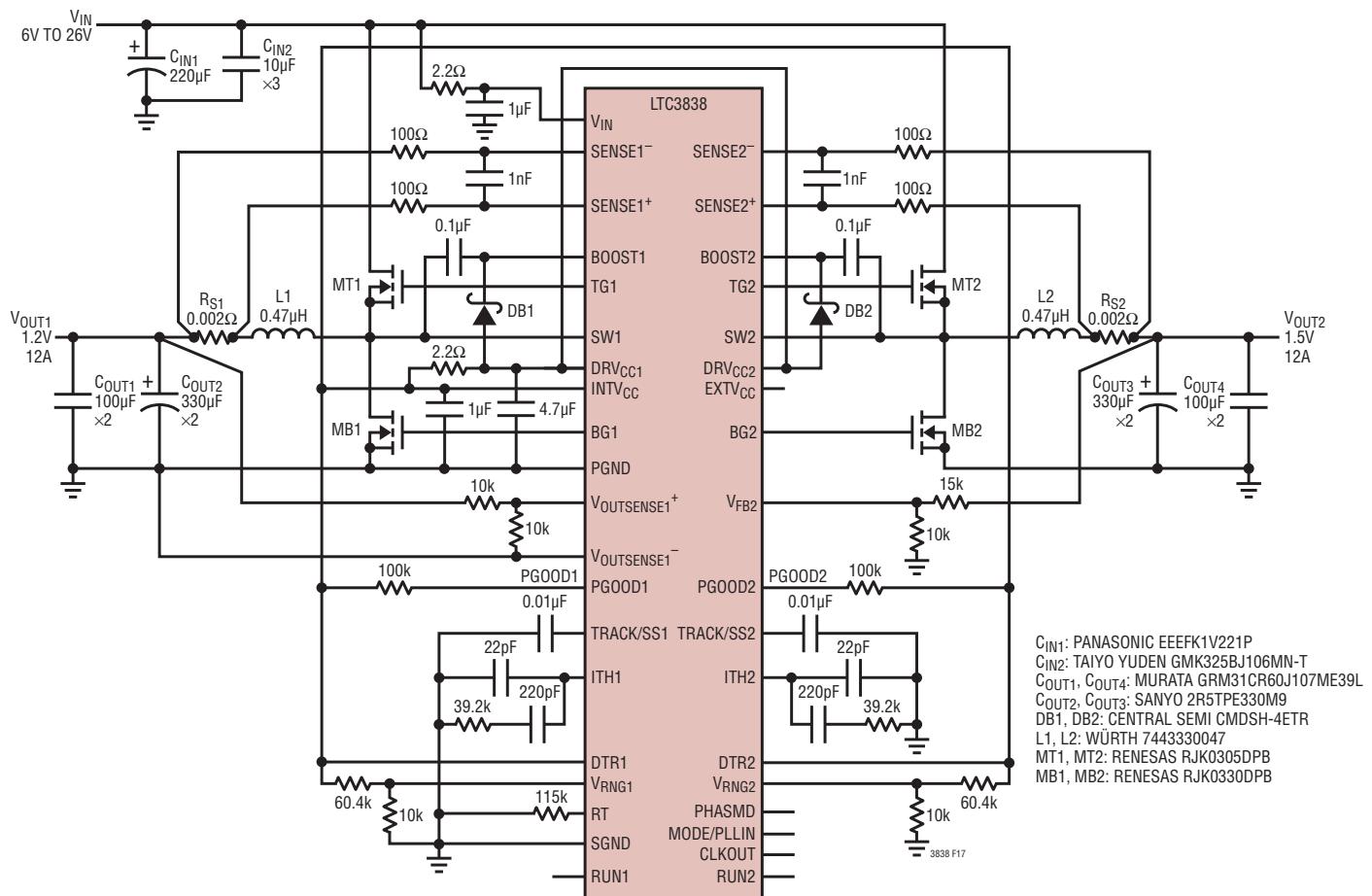


図16. 4.5V～38V入力、1.2V/15Aおよび1.5V/15Aデュアル出力、350kHz降圧コンバータ(DCRによる検出方式)

標準的応用例

図17. 6V～26V入力、1.2V/15Aおよび1.5V/15Aデュアル出力、350kHz降圧コンバータ(R_{SENSE}による検出方式)

標準的応用例

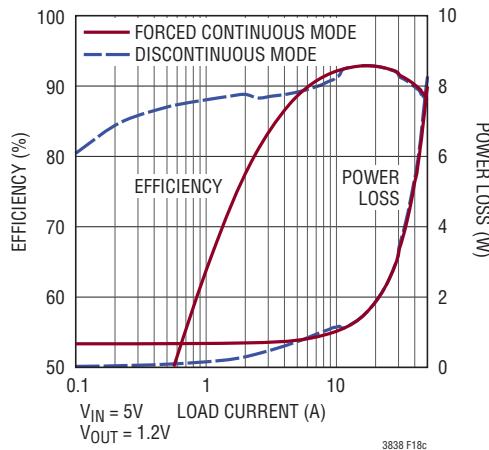
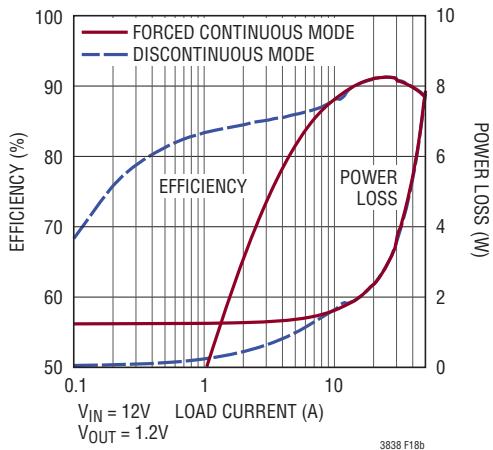
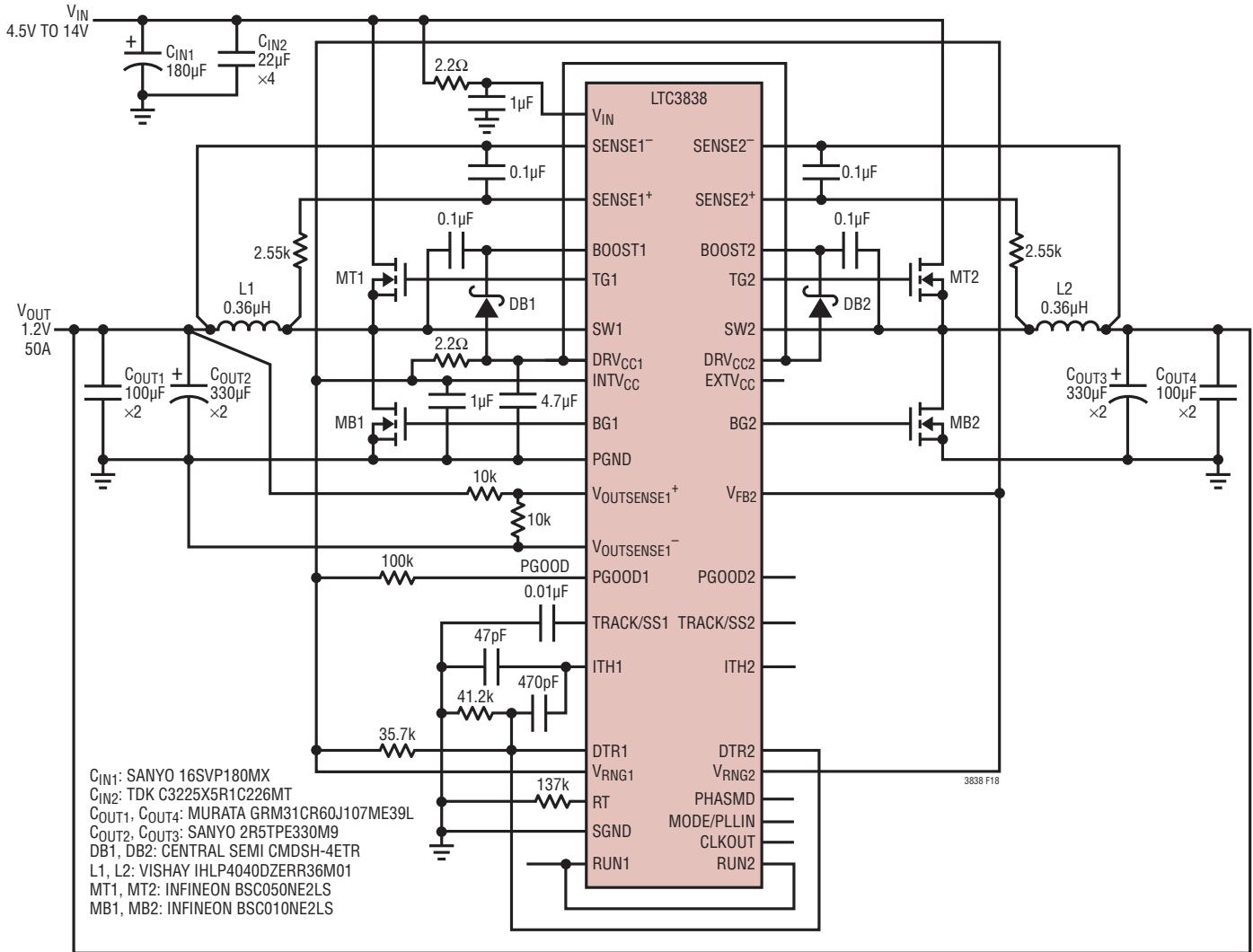


図18. 4.5V～14V入力、1.2V/50Aの2相单一出力、300kHz降圧コンバータ(DCRによる検出方式、DTRをイネーブル)

標準的応用例

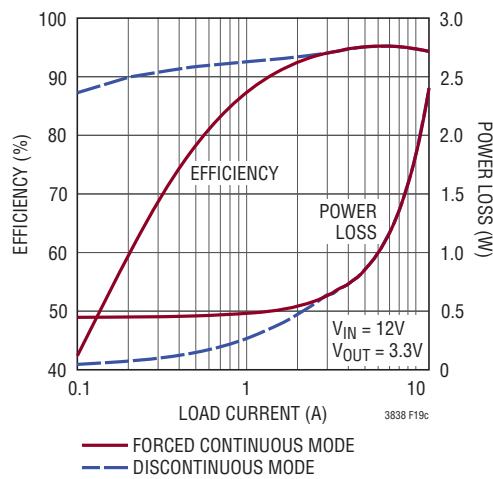
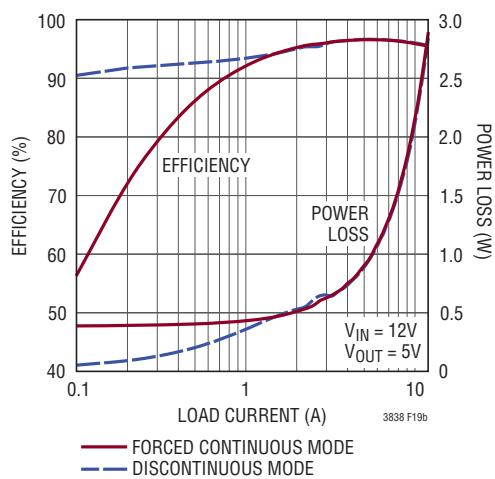
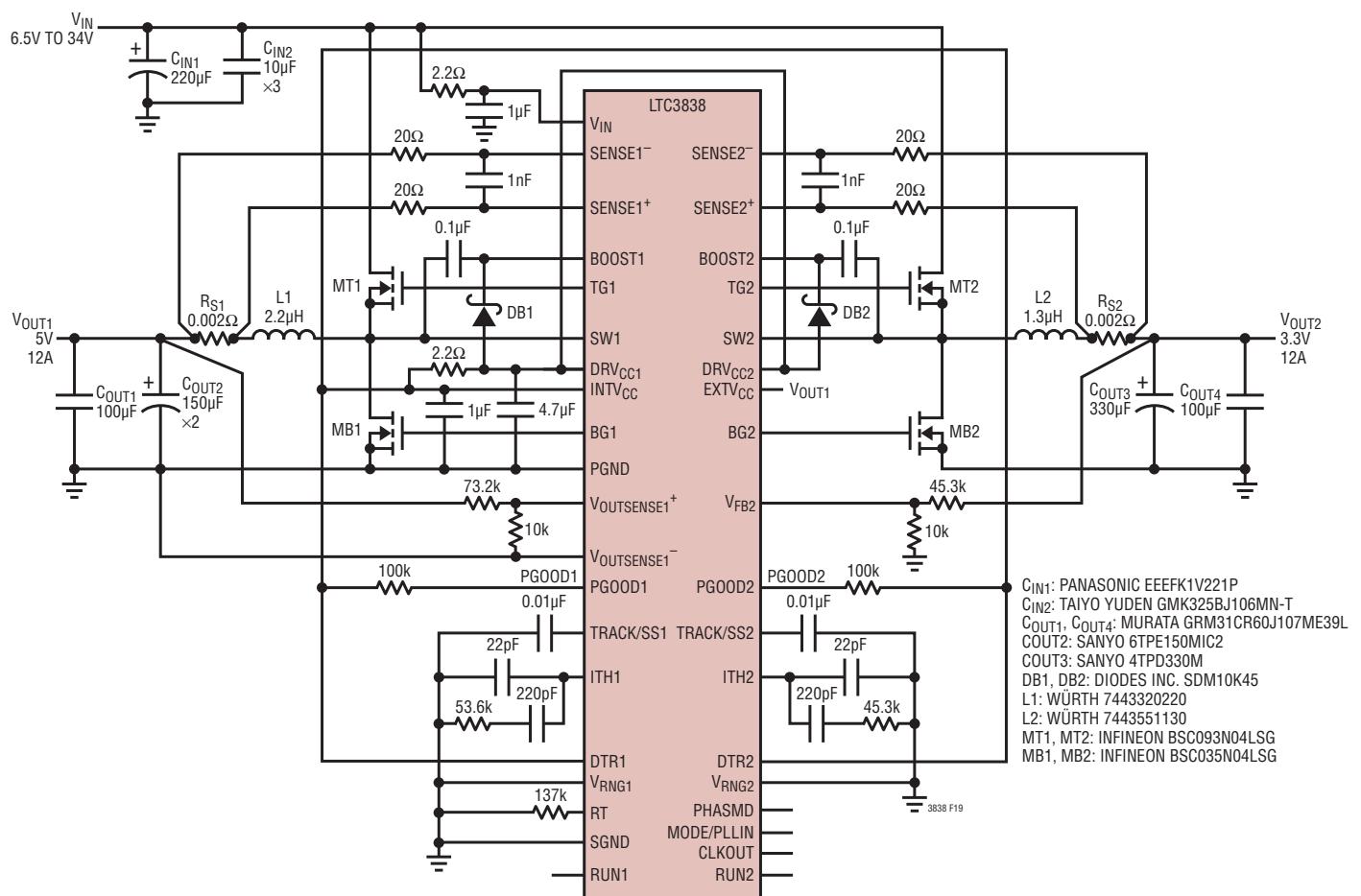


図19. 6.5V～34V入力、5V/12Aおよび3.3V/12Aデュアル出力、300kHz降圧コンバータ(RSENSEによる検出方式、5V出力をEXTV_{CC}に接続)

LTC3838

標準的応用例

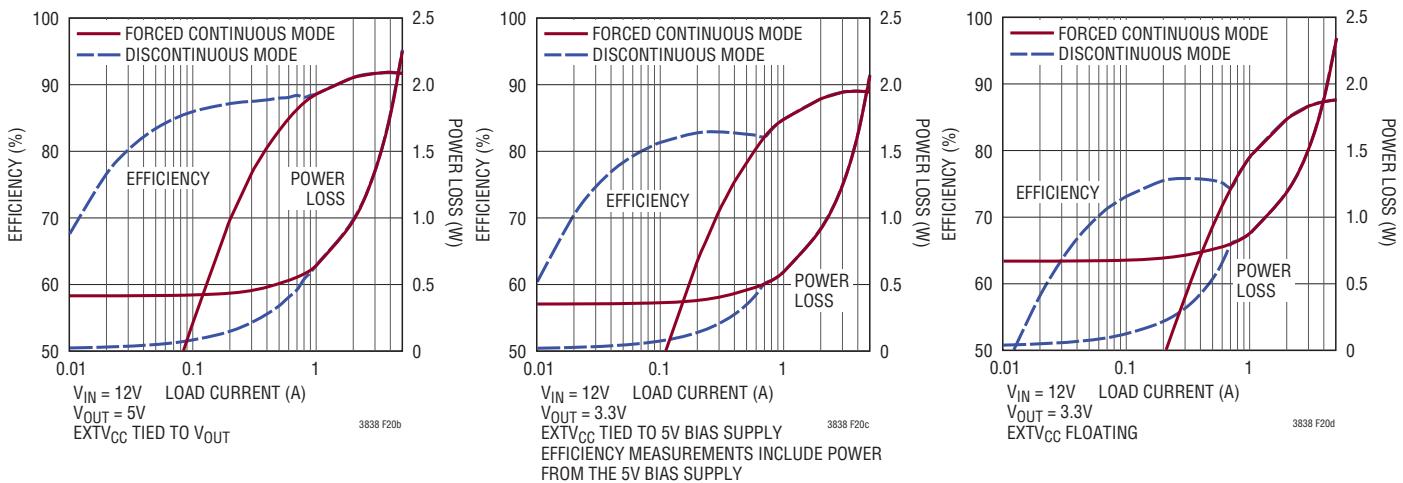
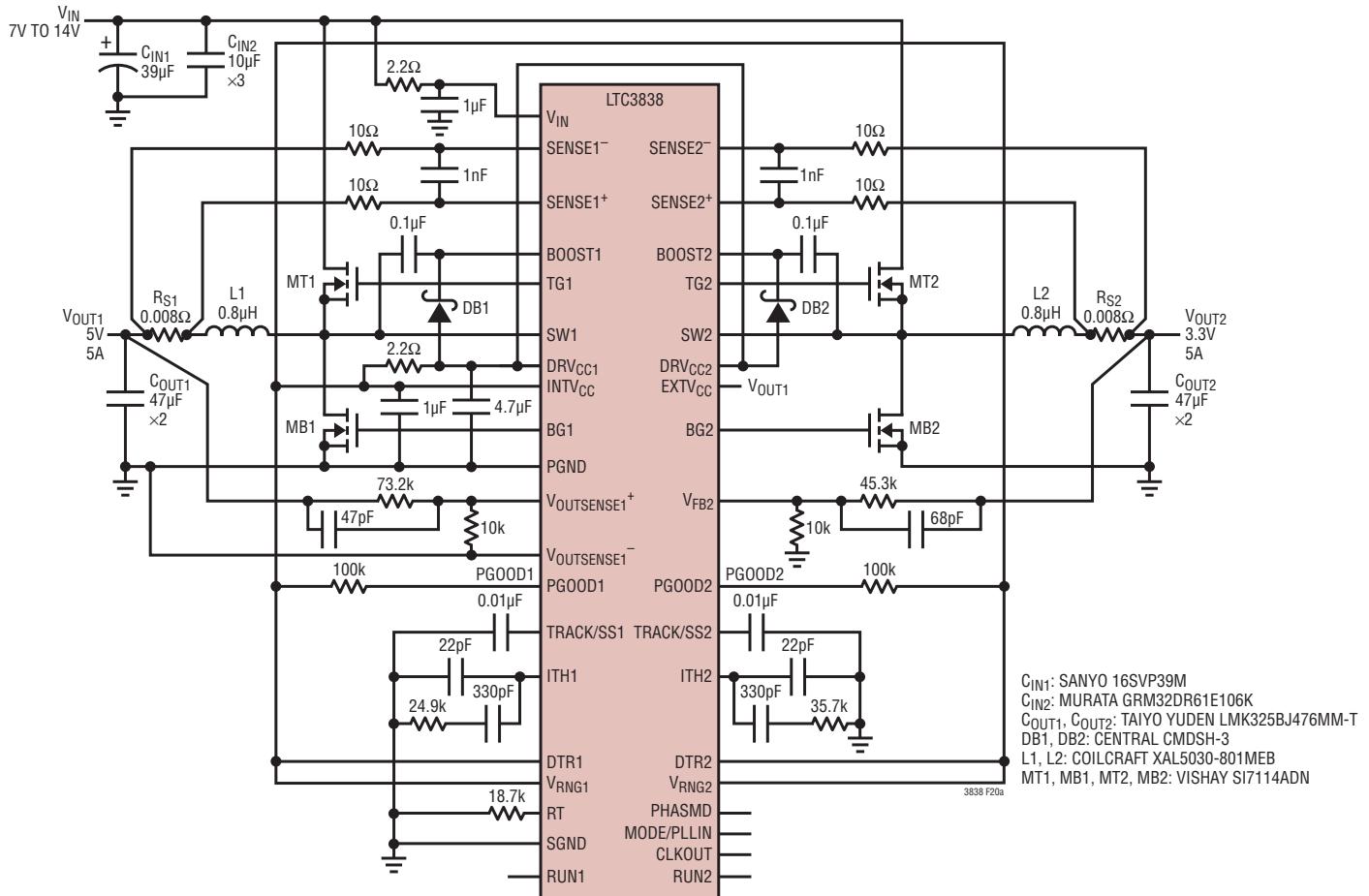
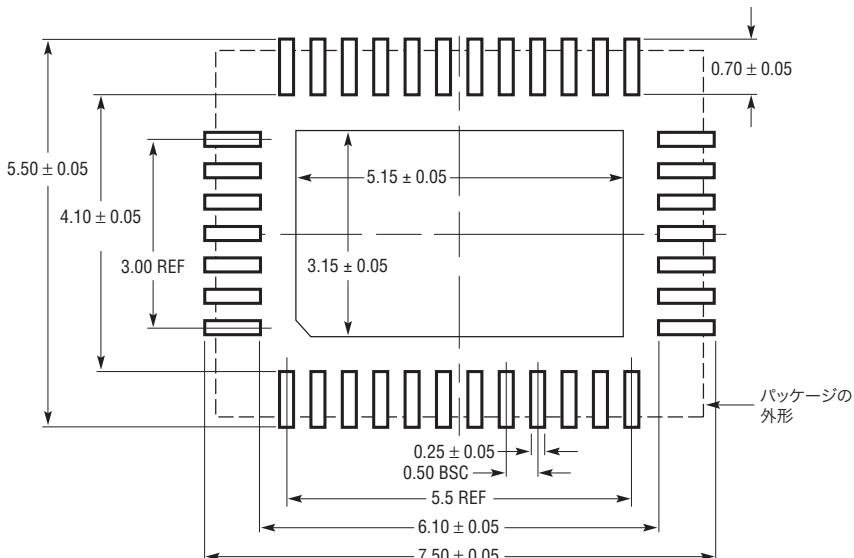


図20. 7V～14V入力、5V/5Aおよび3.3V/5Aデュアル出力、2MHz降圧コンバータ(R_{SENSE} による検出方式、 $EXTV_{CC}$ を5V出力に接続)

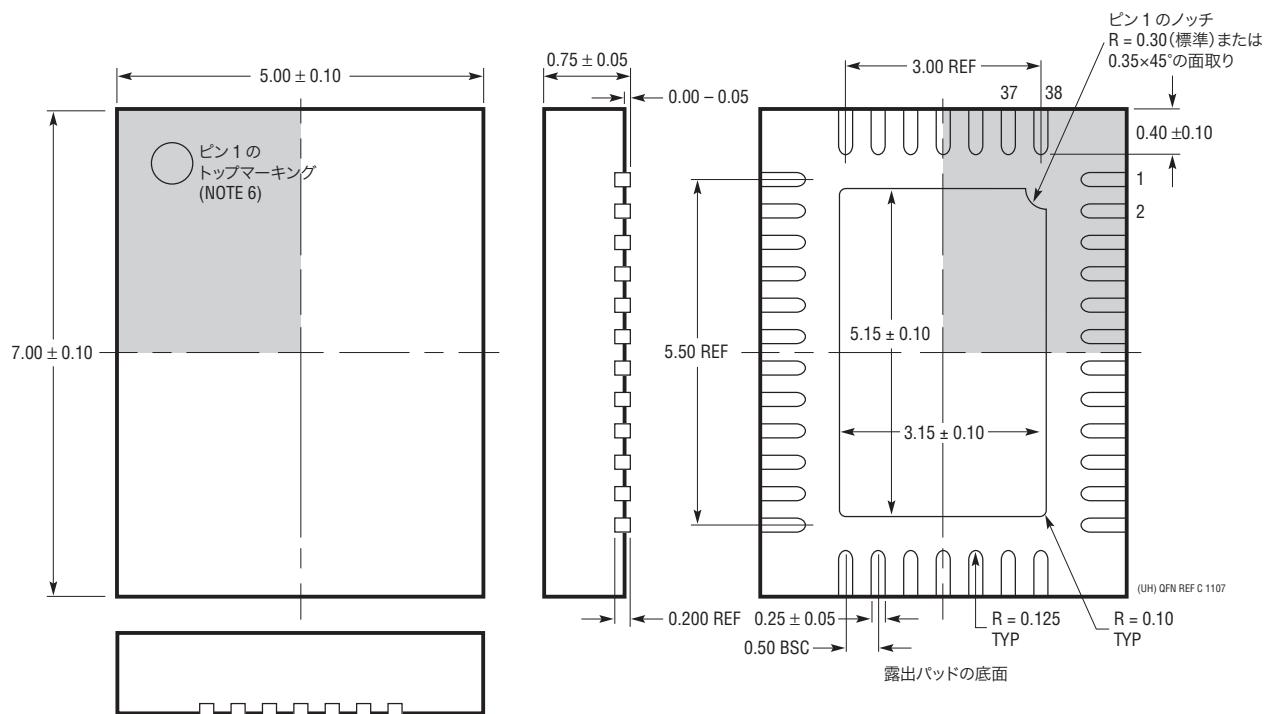
パッケージ

最新のパッケージ図面については、<http://www.linear-tech.co.jp/designtools/packaging/> を参照してください。

**UHFパッケージ
38ピン・プラスチックQFN(5mm×7mm)
(Reference LTC DWG # 05-08-1701 Rev C)**



推奨半田パッド・レイアウト
半田付けされない領域には半田マスクを使用する



注記：

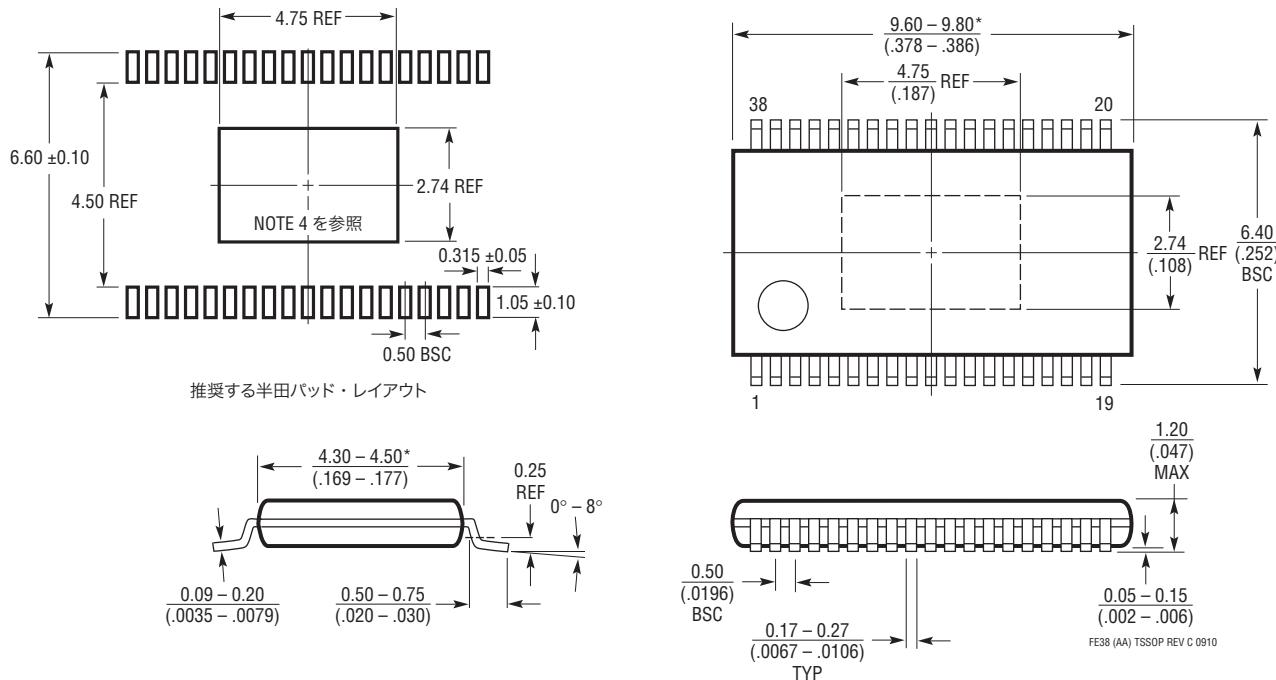
- 左記
1. 図面は JEDEC のパッケージ外形 MO-220 の
バリエーション(WHKD)に適合
2. 図は実寸とは異なる
3. 全ての寸法はミリメートル
4. パッケージ底面の露出パッドの寸法にはモールドのバリを含まない。
モールドのバリは(もしあれば)各サイドで 0.20mm を超えないこと
5. 露出パッドは半田めっきとする
6. 紅色の部分はパッケージのトップとボトムのピン 1 の位置の参考に過ぎない

パッケージ

最新のパッケージ図面については、<http://www.linear-tech.co.jp/designtools/packaging/> を参照してください。

**FE パッケージ
38 ピン・プラスチック TSSOP (4.4mm)
(Reference LTC DWG # 05-08-1772 Rev C)**

露出パッド・バリエーション AA

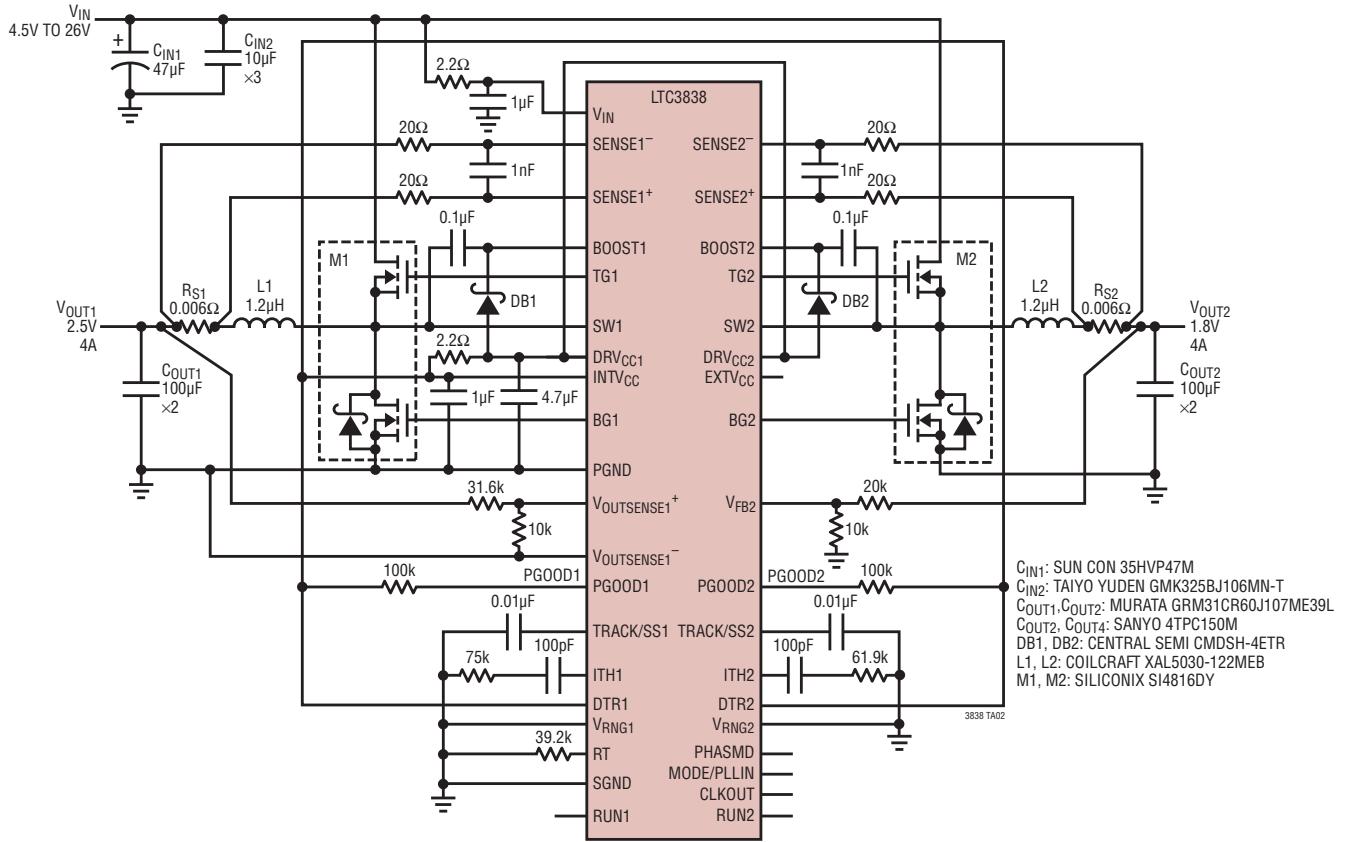


改訂履歴

REV	日付	概要	ページ番号
A	6/12	電気的特性の規格値の明記、EXTV _{CC} 切り替え電圧:4.6V	3、4、5、13

標準的応用例

4.5V～26V入力、2.5V/4Aおよび1.8V/4Aデュアル出力、1MHz降圧コンバータ(R_{SENSE} による検出方式、デュアル・チャネルのパワーFET使用)



関連製品

製品番号	説明	注釈
LTC3833	差動アンプ付き、高速オン時間制御、高周波数同期整流式降圧コントローラ	動作周波数: 200kHz～2MHz、4.5V ≤ VIN ≤ 38V、0.6V ≤ VOUT ≤ 5.5V、3mm×4mm QFN-20 および TSSOP-20 パッケージ
LTC3880/LTC3880-1	デジタル電源システム・マネージメント搭載、デュアル出力、PolyPhase 降圧 DC/DC コントローラ	EEPROM および 16 ビット ADC 内蔵、I ² C/PMBus インタフェース、VIN: 最大 24V、0.5V ≤ VOUT ≤ 5.5V、アナログ制御ループ
LTC3869/LTC3869-2	高精度電流分担機能付き、デュアル出力、2 相同期整流式降圧 DC/DC コントローラ	PLL による固定周波数: 250kHz～750kHz、4V ≤ VIN ≤ 38V、VOUT3: 最大 12.5V
LTC3855	差動アンプおよび DCR 温度補償機能付き、デュアル出力、2 相同期整流式降圧 DC/DC コントローラ	PLL による固定周波数: 250kHz～770kHz、4.5V ≤ VIN ≤ 38V、0.8V ≤ VOUT ≤ 12V
LTC3856	差動アンプ付き、最大 12 相動作のシングル出力、2 チャネル同期整流式降圧 DC/DC コントローラ	PLL による固定周波数: 250kHz～770kHz、4.5V ≤ VIN ≤ 38V、0.8V ≤ VOUT ≤ 5V
LTC3860	差動アンプおよびスリーステート出力駆動回路付き、デュアル、マルチフェーズ、同期整流式降圧 DC/DC コントローラ	パワー・ブロック、DRMOS デバイスまたは外部ドライバ/MOSFET で動作、3V ≤ VIN ≤ 24V、tON(MIN) = 20ns
LTC3850/LTC3850-1 LTC3850-2	デュアル出力、2 相、同期整流式降圧 DC/DC コントローラ、 R_{SENSE} または DCR による電流検出	PLL による固定周波数: 250kHz～780kHz、4V ≤ VIN ≤ 30V、0.8V ≤ VOUT ≤ 5.25V
LTC3829	差動アンプ付き、最大 6 相動作のシングル出力、3 チャネル同期整流式降圧 DC/DC コントローラ	コントローラの位相ロック可能な固定周波数: 250kHz～770kHz、4.5V ≤ VIN ≤ 38V、0.8V ≤ VOUT ≤ 5V
LTC3853	トリプル出力、マルチフェーズ、 R_{SENSE} または DCR による電流検出およびトラッキング対応、同期整流式降圧 DC/DC コントローラ	PLL による固定周波数: 250kHz～750kHz、4V ≤ VIN ≤ 24V、VOUT3: 最大 13.5V