

# 入力同相電圧範囲が広い、 オクタル、16ビット、200kspsの ±10.24V 差動入力 SoftSpan A/D コンバータ

## 特長

- 各チャンネルのスループット: 200ksps
- 8つの同時サンプリング・チャンネル
- INL (最大): ±1LSB
- 欠落コードのない16ビットを保証
- 同相電圧範囲の広い差動入力
- チャンネルごとの SoftSpan 入力電圧レンジ:  
±10.24V、0V ~ 10.24V、±5.12V、0V ~ 5.12V  
±12.5V、0V ~ 12.5V、±6.25V、0V ~ 6.25V
- シングル・コンバージョンの SNR: 94.4dB (標準)
- THD: -109dB (標準、 $f_{IN} = 2\text{kHz}$ )
- CMRR: 118dB (標準、 $f_{IN} = 200\text{Hz}$ )
- レール・トゥ・レールのオーバードライブ耐性
- 125°C までの動作を保証
- リファレンスとバッファを内蔵 (4.096V)
- SPI CMOS (1.8V ~ 5V) と LVDS のシリアル I/O
- 内部変換クロック、サイクル待ち時間なし
- 電力損失: 140mW (標準)
- 48ピン (7mm×7mm) LQFP パッケージ

## アプリケーション

- プログラマブル・ロジック・コントローラ
- 産業用プロセス制御
- 電源システムの監視
- テストと測定

## 概要

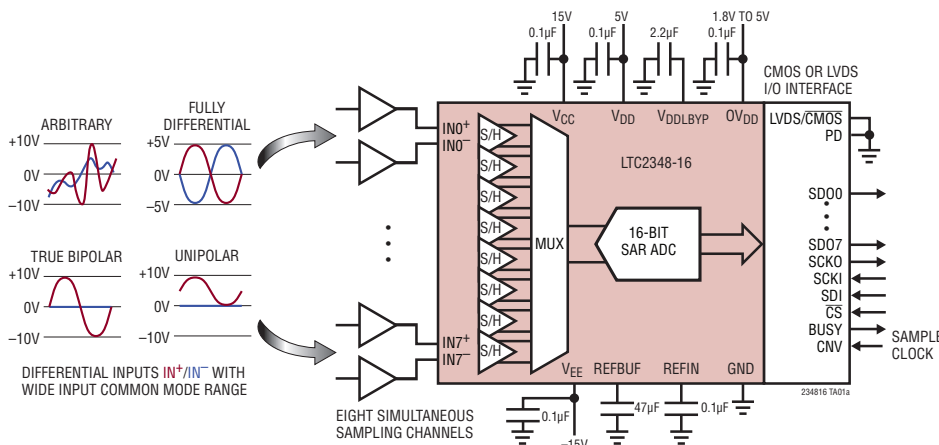
LTC®2348-16は、差動入力で入力同相電圧範囲の広い、16ビット、低ノイズ、8チャンネル、同時サンプリング逐次比較レジスタ (SAR) A/D コンバータです。5V 低電圧電源から高電圧電源まで柔軟に対応して動作でき、内蔵のリファレンスとバッファを使用できる、この SoftSpan™ A/D コンバータの各チャンネルは、変換ごとに、±10.24V、0V ~ 10.24V、±5.12V、または 0V ~ 5.12V の信号を入力できるよう、個別に設定できます。また、チャンネルを個別にディスエーブルして他のチャンネルのスループットを上げることもできます。

LTC2348-16のアナログ入力は入力同相電圧範囲が広く CMRR が 118dB であり、さまざまな信号を A/D コンバータで直接デジタル化できるため、信号チェーンの設計を簡素化できます。このような入力信号の柔軟性と ±1LSB の INL、欠落コードのない16ビットの分解能、94.4dB の SNR を有する LTC2348-16は、広いダイナミック・レンジが要求されるさまざまな高電圧用途に最適です。

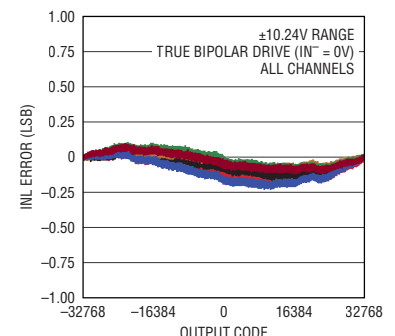
LTC2348-16には、ピンで選択可能な SPI CMOS (1.8V ~ 5V) と LVDS のシリアル・インタフェースが用意されています。CMOS モード時は使用する出力データ・レーン数を 1 ~ 8 個の間で調整できるため、バス幅とデータ・スループットを最適化できます。

LT、LT、LTC、LTM、Linear Technology および Linear のロゴはリニアテクノロジー社の登録商標です。SoftSpan はリニアテクノロジー社の商標です。その他全ての商標の所有権は、それぞれの所有者に帰属します。7705765、7961132、8319673 を含む米国特許によって保護されています。その他にも出願中の特許があります。

## 標準的応用例



## 積分非直線性と出力コードと チャンネル



234816fa

# LTC2348-16

## 絶対最大定格

(Note 1, 2)

電源電圧 ( $V_{CC}$ )	$-0.3V \sim (V_{EE} + 40V)$
電源電圧 ( $V_{EE}$ )	$-17.4V \sim 0.3V$
電源電圧差 ( $V_{CC} - V_{EE}$ )	40V
電源電圧 ( $V_{DD}$ )	6V
電源電圧 ( $OV_{DD}$ )	6V

内蔵の安定化電源をバイパス ( $V_{DDLBY}$ ) (Note 3)

アナログ入力電圧

$IN0^+ \sim IN7^+$ 、 $IN0^- \sim IN7^-$ (Note 4)	$(V_{EE} - 0.3V) \sim (V_{CC} + 0.3V)$
REFIN	$-0.3V \sim 2.8V$
REFBUF、CNV (Note 5)	$-0.3V \sim (V_{DD} + 0.3V)$

デジタル入力電圧 (Note 5)  $(-0.3V) \sim (OV_{DD} + 0.3V)$

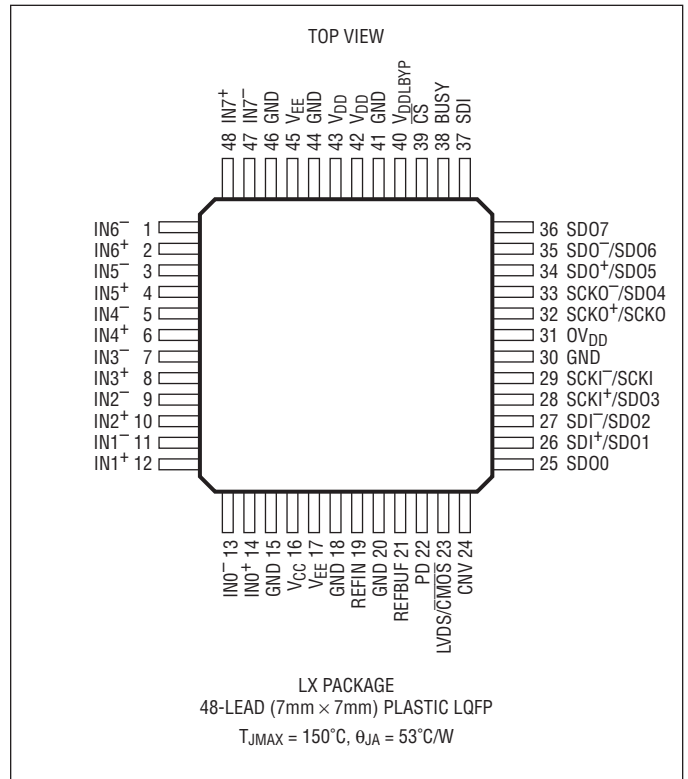
デジタル出力電圧 (Note 5)  $(-0.3V) \sim (OV_{DD} + 0.3V)$

電力損失 ..... 500mW

動作温度範囲

LTC2348C	$0^\circ C \sim 70^\circ C$
LTC2348I	$-40^\circ C \sim 85^\circ C$
LTC2348H	$-40^\circ C \sim 125^\circ C$
保存温度範囲	$-65^\circ C \sim 150^\circ C$

## ピン配置



## 発注情報

鉛フリー仕様	トレイ	製品マーキング*	パッケージ	温度範囲
LTC2348CLX-16#PBF	LTC2348CLX-16#PBF	LTC2348LX-16	48-Lead (7mm×7mm) Plastic LQFP	$0^\circ C$ to $70^\circ C$
LTC2348ILX-16#PBF	LTC2348ILX-16#PBF	LTC2348LX-16	48-Lead (7mm×7mm) Plastic LQFP	$-40^\circ C$ to $85^\circ C$
LTC2348HLX-16#PBF	LTC2348HLX-16#PBF	LTC2348LX-16	48-Lead (7mm×7mm) Plastic LQFP	$-40^\circ C$ to $125^\circ C$

より広い動作温度範囲で規定されるデバイスについては、弊社へお問い合わせください。\* 温度グレードは出荷時のコンテナのラベルで識別されます。

鉛フリー仕様の製品マーキングの詳細については、<http://www.linear-tech.co.jp/leadfree/>

## 電氣的特性

● は全動作温度範囲での規格値を意味する。それ以外は  $T_A = 25^\circ\text{C}$  での値。(Note 6)

記号	パラメータ	条件		最小値	標準値	最大値	単位
$V_{IN+}$	Absolute Input Range ( $IN0^+$ to $IN7^+$ )	(Note 7)	●	$V_{EE}$		$V_{CC} - 4$	V
$V_{IN-}$	Absolute Input Range ( $IN0^-$ to $IN7^-$ )	(Note 7)	●	$V_{EE}$		$V_{CC} - 4$	V
$V_{IN+} - V_{IN-}$	Input Differential Voltage Range	SoftSpan 7: $\pm 2.5 \cdot V_{REFBUF}$ Range (Note 7)	●	$-2.5 \cdot V_{REFBUF}$		$2.5 \cdot V_{REFBUF}$	V
		SoftSpan 6: $\pm 2.5 \cdot V_{REFBUF}/1.024$ Range (Note 7)	●	$-2.5 \cdot V_{REFBUF}/1.024$		$2.5 \cdot V_{REFBUF}/1.024$	V
		SoftSpan 5: 0V to $2.5 \cdot V_{REFBUF}$ Range (Note 7)	●	0		$2.5 \cdot V_{REFBUF}$	V
		SoftSpan 4: 0V to $2.5 \cdot V_{REFBUF}/1.024$ Range (Note 7)	●	0		$2.5 \cdot V_{REFBUF}/1.024$	V
		SoftSpan 3: $\pm 1.25 \cdot V_{REFBUF}$ Range (Note 7)	●	$-1.25 \cdot V_{REFBUF}$		$1.25 \cdot V_{REFBUF}$	V
		SoftSpan 2: $\pm 1.25 \cdot V_{REFBUF}/1.024$ Range (Note 7)	●	$-1.25 \cdot V_{REFBUF}/1.024$		$1.25 \cdot V_{REFBUF}/1.024$	V
		SoftSpan 1: 0V to $1.25 \cdot V_{REFBUF}$ Range (Note 7)	●	0		$1.25 \cdot V_{REFBUF}$	V
$V_{CM}$	Input Common Mode Voltage Range	(Note 7)	●	$V_{EE}$		$V_{CC} - 4$	V
$V_{IN+} - V_{IN-}$	Input Differential Overdrive Tolerance	(Note 8)	●	$-(V_{CC} - V_{EE})$		$(V_{CC} - V_{EE})$	V
$I_{IN}$	Analog Input Leakage Current		●	-1		1	$\mu\text{A}$
$C_{IN}$	Analog Input Capacitance	Sample Mode			50		pF
		Hold Mode			10		pF
CMRR	Input Common Mode Rejection Ratio	$V_{IN+} = V_{IN-} = 18\text{V}_{P-P}$ 200Hz Sine	●	100	118		dB
$V_{IHCNV}$	CNV High Level Input Voltage		●	1.3			V
$V_{ILCNV}$	CNV Low Level Input Voltage		●			0.5	V
$I_{INCNV}$	CNV Input Current	$V_{IN} = 0\text{V}$ to $V_{DD}$	●	-10		10	$\mu\text{A}$

## コンバータの特性

● は全動作温度範囲での規格値を意味する。それ以外は  $T_A = 25^\circ\text{C}$  での値。(Note 9)

記号	パラメータ	条件		最小値	標準値	最大値	単位
	Resolution		●	16			Bits
	No Missing Codes		●	16			Bits
	Transition Noise	SoftSpans 7 and 6: $\pm 10.24\text{V}$ and $\pm 10\text{V}$ Ranges SoftSpans 5 and 4: 0V to $10.24\text{V}$ and 0V to $10\text{V}$ Ranges SoftSpans 3 and 2: $\pm 5.12\text{V}$ and $\pm 5\text{V}$ Ranges SoftSpan 1: 0V to $5.12\text{V}$ Range			0.33 0.65 0.5 1.0		LSB <sub>RMS</sub> LSB <sub>RMS</sub> LSB <sub>RMS</sub> LSB <sub>RMS</sub>
INL	Integral Linearity Error	(Note 10)	●	-1	$\pm 0.3$	1	LSB
DNL	Differential Linearity Error	(Note 11)	●	-0.9	$\pm 0.2$	0.9	LSB
ZSE	Zero-Scale Error	(Note 12)	●	-550	$\pm 160$	550	$\mu\text{V}$
	Zero-Scale Error Drift				$\pm 2$		$\mu\text{V}/^\circ\text{C}$
FSE	Full-Scale Error	(Note 12)	●	-0.1	$\pm 0.025$	0.1	%FS
	Full-Scale Error Drift				$\pm 2.5$		ppm/ $^\circ\text{C}$

## ダイナミック精度

● は全動作温度範囲での規格値を意味する。それ以外は  $T_A = 25^\circ\text{C}$  での値。  $A_{IN} = -1\text{dBFS}$ 。(Note 9、13)

記号	パラメータ	条件		最小値	標準値	最大値	単位
SINAD	Signal-to-(Noise + Distortion) Ratio	SoftSpans 7 and 6: $\pm 10.24\text{V}$ and $\pm 10\text{V}$ Ranges, $f_{IN} = 2\text{kHz}$	●	91.8	94.3		dB
		SoftSpans 5 and 4: $0\text{V}$ to $10.24\text{V}$ and $0\text{V}$ to $10\text{V}$ Ranges, $f_{IN} = 2\text{kHz}$	●	87.2	90.1		dB
		SoftSpans 3 and 2: $\pm 5.12\text{V}$ and $\pm 5\text{V}$ Ranges, $f_{IN} = 2\text{kHz}$	●	89.3	92.0		dB
		SoftSpan 1: $0\text{V}$ to $5.12\text{V}$ Range, $f_{IN} = 2\text{kHz}$	●	84.0	87.0		dB
SNR	Signal-to-Noise Ratio	SoftSpans 7 and 6: $\pm 10.24\text{V}$ and $\pm 10\text{V}$ Ranges, $f_{IN} = 2\text{kHz}$	●	92.3	94.4		dB
		SoftSpans 5 and 4: $0\text{V}$ to $10.24\text{V}$ and $0\text{V}$ to $10\text{V}$ Ranges, $f_{IN} = 2\text{kHz}$	●	87.3	90.1		dB
		SoftSpans 3 and 2: $\pm 5.12\text{V}$ and $\pm 5\text{V}$ Ranges, $f_{IN} = 2\text{kHz}$	●	89.5	92.0		dB
		SoftSpan 1: $0\text{V}$ to $5.12\text{V}$ Range, $f_{IN} = 2\text{kHz}$	●	84.1	87.0		dB
THD	Total Harmonic Distortion	SoftSpans 7 and 6: $\pm 10.24\text{V}$ and $\pm 10\text{V}$ Ranges, $f_{IN} = 2\text{kHz}$	●		-109	-101	dB
		SoftSpans 5 and 4: $0\text{V}$ to $10.24\text{V}$ and $0\text{V}$ to $10\text{V}$ Ranges, $f_{IN} = 2\text{kHz}$	●		-111	-104	dB
		SoftSpans 3 and 2: $\pm 5.12\text{V}$ and $\pm 5\text{V}$ Ranges, $f_{IN} = 2\text{kHz}$	●		-113	-104	dB
		SoftSpan 1: $0\text{V}$ to $5.12\text{V}$ Range, $f_{IN} = 2\text{kHz}$	●		-114	-103	dB
SFDR	Spurious Free Dynamic Range	SoftSpans 7 and 6: $\pm 10.24\text{V}$ and $\pm 10\text{V}$ Ranges, $f_{IN} = 2\text{kHz}$	●	101	110		dB
		SoftSpans 5 and 4: $0\text{V}$ to $10.24\text{V}$ and $0\text{V}$ to $10\text{V}$ Ranges, $f_{IN} = 2\text{kHz}$	●	105	112		dB
		SoftSpans 3 and 2: $\pm 5.12\text{V}$ and $\pm 5\text{V}$ Ranges, $f_{IN} = 2\text{kHz}$	●	105	114		dB
		SoftSpan 1: $0\text{V}$ to $5.12\text{V}$ Range, $f_{IN} = 2\text{kHz}$	●	105	115		dB
	Channel-to-Channel Crosstalk	One Channel Converting $18\text{V}_{P-P}$ $200\text{Hz}$ Sine in $\pm 10.24\text{V}$ Range, Crosstalk to All Other Channels			-109		dB
	-3dB Input Bandwidth				7		MHz
	Aperture Delay				1		ns
	Aperture Delay Matching				150		ps
	Aperture Jitter				3		ps <sub>RMS</sub>
	Transient Response	Full-Scale Step, 0.005% Settling			360		ns

## 内部リファレンスの特性

● は全動作温度範囲での規格値を意味する。それ以外は  $T_A = 25^\circ\text{C}$  での値。(Note 9)

記号	パラメータ	条件		最小値	標準値	最大値	単位
$V_{REFIN}$	Internal Reference Output Voltage			2.043	2.048	2.053	V
	Internal Reference Temperature Coefficient	(Note 14)	●		5	20	ppm/ $^\circ\text{C}$
	Internal Reference Line Regulation	$V_{DD} = 4.75\text{V}$ to $5.25\text{V}$			0.1		mV/V
	Internal Reference Output Impedance				20		k $\Omega$
$V_{REFIN}$	REFIN Voltage Range	REFIN Overdriven (Note 7)		1.25		2.2	V

## リファレンス・バッファ特性

● は全動作温度範囲での規格値を意味する。それ以外は  $T_A = 25^\circ\text{C}$  での値。(Note 9)

記号	パラメータ	条件		最小値	標準値	最大値	単位
$V_{REFBUF}$	Reference Buffer Output Voltage	REFIN Overdriven, $V_{REFIN} = 2.048\text{V}$	●	4.091	4.096	4.101	V
	REFBUF Voltage Range	REFBUF Overdriven (Notes 7, 15)	●	2.5		5	V
	REFBUF Input Impedance	$V_{REFIN} = 0\text{V}$ , Buffer Disabled			13		k $\Omega$
$I_{REFBUF}$	REFBUF Load Current	$V_{REFBUF} = 5\text{V}$ , 8 Channels Enabled (Notes 15, 16) $V_{REFBUF} = 5\text{V}$ , Acquisition or Nap Mode (Note 15)	●		1.5 0.39	1.9	mA mA

## デジタル入力とデジタル出力

● は全動作温度範囲での規格値を意味する。それ以外は  $T_A = 25^\circ\text{C}$  での値。(Note 9)

記号	パラメータ	条件		最小値	標準値	最大値	単位
<b>CMOS デジタル入力とデジタル出力</b>							
$V_{IH}$	High Level Input Voltage		●	$0.8 \cdot OV_{DD}$			V
$V_{IL}$	Low Level Input Voltage		●		$0.2 \cdot OV_{DD}$		V
$I_{IN}$	Digital Input Current	$V_{IN} = 0V \text{ to } OV_{DD}$	●	-10		10	$\mu\text{A}$
$C_{IN}$	Digital Input Capacitance				5		pF
$VOH$	High Level Output Voltage	$I_{OUT} = -500\mu\text{A}$	●	$OV_{DD} - 0.2$			V
$VOL$	Low Level Output Voltage	$I_{OUT} = 500\mu\text{A}$	●			0.2	V
$I_{OZ}$	Hi-Z Output Leakage Current	$V_{OUT} = 0V \text{ to } OV_{DD}$	●	-10		10	$\mu\text{A}$
$I_{SOURCE}$	Output Source Current	$V_{OUT} = 0V$			-50		mA
$I_{SINK}$	Output Sink Current	$V_{OUT} = OV_{DD}$			50		mA

## LVDS デジタル入力とデジタル出力

$V_{ID}$	Differential Input Voltage		●	200	350	600	mV
$R_{ID}$	On-Chip Input Termination Resistance	$\overline{CS} = 0V, V_{ICM} = 1.2V$ $\overline{CS} = OV_{DD}$	●	90	106 10	125	$\Omega$ M $\Omega$
$V_{ICM}$	Common-Mode Input Voltage		●	0.3	1.2	2.2	V
$I_{ICM}$	Common-Mode Input Current	$V_{IN+} = V_{IN-} = 0V \text{ to } OV_{DD}$	●	-10		10	$\mu\text{A}$
$V_{OD}$	Differential Output Voltage	$R_L = 100\Omega$ Differential Termination	●	275	350	425	mV
$V_{OCM}$	Common-Mode Output Voltage	$R_L = 100\Omega$ Differential Termination	●	1.1	1.2	1.3	V
$I_{OZ}$	Hi-Z Output Leakage Current	$V_{OUT} = 0V \text{ to } OV_{DD}$	●	-10		10	$\mu\text{A}$

## 電源要件

● は全動作温度範囲での規格値を意味する。それ以外は  $T_A = 25^\circ\text{C}$  での値。(Note 9)

記号	パラメータ	条件		最小値	標準値	最大値	単位
$V_{CC}$	Supply Voltage		●	0		38	V
$V_{EE}$	Supply Voltage		●	-16.5		0	V
$V_{CC} - V_{EE}$	Supply Voltage Difference		●	10		38	V
$V_{DD}$	Supply Voltage		●	4.75	5.00	5.25	V
$I_{VCC}$	Supply Current	200ksps Sample Rate, 8 Channels Enabled	●		1.8	2.2	mA
		Acquisition Mode	●		3.8	4.5	mA
		Nap Mode	●		0.7	0.9	mA
		Power Down Mode	●		1	15	$\mu\text{A}$
$I_{VEE}$	Supply Current	200ksps Sample Rate, 8 Channels Enabled	●	-2.8	-2.2		mA
		Acquisition Mode	●	-4.9	-4.0		mA
		Nap Mode	●	-1.1	-0.8		mA
		Power Down Mode	●	-15	-1		$\mu\text{A}$

## CMOS I/O モード

$OV_{DD}$	Supply Voltage		●	1.71		5.25	V
$I_{VDD}$	Supply Current	200ksps Sample Rate, 8 Channels Enabled	●		15.2	17.5	mA
		200ksps Sample Rate, 8 Channels Enabled, $V_{REFBUF} = 5V$ (Note 15)	●		13.4	15.4	mA
		Acquisition Mode	●		1.6	2.1	mA
		Nap Mode	●		1.4	1.9	mA
		Power Down Mode (C-Grade and I-Grade)	●		65	175	$\mu\text{A}$
		Power Down Mode (H-Grade)	●		65	450	$\mu\text{A}$

# LTC2348-16

## 電源要件

●は全動作温度範囲での規格値を意味する。それ以外は  $T_A = 25^\circ\text{C}$  での値。(Note 9)

記号	パラメータ	条件		最小値	標準値	最大値	単位
I <sub>OVDD</sub>	Supply Current	200ksps Sample Rate, 8 Channels Enabled ( $C_L = 25\text{pF}$ )	●		1.6	2.6	mA
		Acquisition or Nap Mode	●		1	20	$\mu\text{A}$
		Power Down Mode	●		1	20	$\mu\text{A}$
P <sub>D</sub>	Power Dissipation	200ksps Sample Rate, 8 Channels Enabled	●		140	169	mW
		Acquisition Mode	●		125	152	mW
		Nap Mode	●		30	40	mW
		Power Down Mode (C-Grade and I-Grade)	●		0.36	1.4	mW
		Power Down Mode (H-Grade)	●		0.36	2.8	mW

## LVDS I/O モード

OV <sub>DD</sub>	Supply Voltage		●	2.375		5.25	V
I <sub>VDD</sub>	Supply Current	200ksps Sample Rate, 8 Channels Enabled	●		17.7	20.4	mA
		200ksps Sample Rate, 8 Channels Enabled, $V_{\text{REFBUF}} = 5\text{V}$ (Note 15)	●		16.1	18.5	mA
		Acquisition Mode	●		3.2	3.8	mA
		Nap Mode	●		3.0	3.7	mA
		Power Down Mode (C-Grade and I-Grade)	●		65	175	$\mu\text{A}$
		Power Down Mode (H-Grade)	●		65	450	$\mu\text{A}$
I <sub>OVDD</sub>	Supply Current	200ksps Sample Rate, 8 Channels Enabled ( $R_L = 100\Omega$ )	●		7	8.5	mA
		Acquisition or Nap Mode ( $R_L = 100\Omega$ )	●		7	8.0	mA
		Power Down Mode	●		1	20	$\mu\text{A}$
P <sub>D</sub>	Power Dissipation	200ksps Sample Rate, 8 Channels Enabled	●		166	199	mW
		Acquisition Mode	●		151	180	mW
		Nap Mode	●		55	69	mW
		Power Down Mode (C-Grade and I-Grade)	●		0.36	1.4	mW
		Power Down Mode (H-Grade)	●		0.36	2.8	mW

## A/D コンバータのタイミング特性

●は全動作温度範囲での規格値を意味する。それ以外は  $T_A = 25^\circ\text{C}$  での値。(Note 9)

記号	パラメータ	条件		最小値	標準値	最大値	単位
f <sub>SMPL</sub>	Maximum Sampling Frequency	8 Channels Enabled	●			200	ksps
		7 Channels Enabled	●			225	ksps
		6 Channels Enabled	●			266	ksps
		5 Channels Enabled	●			300	ksps
		4 Channels Enabled	●			375	ksps
		3 Channels Enabled	●			450	ksps
		2 Channels Enabled	●			625	ksps
		1 Channel Enabled	●			1000	ksps
t <sub>CYC</sub>	Time Between Conversions	8 Channels Enabled, f <sub>SMPL</sub> = 200ksps	●	5000			ns
		7 Channels Enabled, f <sub>SMPL</sub> = 225ksps	●	4444			ns
		6 Channels Enabled, f <sub>SMPL</sub> = 266ksps	●	3750			ns
		5 Channels Enabled, f <sub>SMPL</sub> = 300ksps	●	3333			ns
		4 Channels Enabled, f <sub>SMPL</sub> = 375ksps	●	2666			ns
		3 Channels Enabled, f <sub>SMPL</sub> = 450ksps	●	2222			ns
		2 Channels Enabled, f <sub>SMPL</sub> = 625ksps	●	1600			ns
		1 Channel Enabled, f <sub>SMPL</sub> = 1000ksps	●	1000			ns
t <sub>CONV</sub>	Conversion Time	N Channels Enabled, $1 \leq N \leq 8$	●	450•N	500•N	550•N	ns
t <sub>ACQ</sub>	Acquisition Time (t <sub>ACQ</sub> = t <sub>CYC</sub> - t <sub>CONV</sub> - t <sub>BUSY<sub>LH</sub></sub> )	8 Channels Enabled, f <sub>SMPL</sub> = 200ksps	●	570	980		ns
		7 Channels Enabled, f <sub>SMPL</sub> = 225ksps	●	564	924		ns
		6 Channels Enabled, f <sub>SMPL</sub> = 266ksps	●	420	730		ns
		5 Channels Enabled, f <sub>SMPL</sub> = 300ksps	●	553	813		ns
		4 Channels Enabled, f <sub>SMPL</sub> = 375ksps	●	436	646		ns
		3 Channels Enabled, f <sub>SMPL</sub> = 450ksps	●	542	702		ns
		2 Channels Enabled, f <sub>SMPL</sub> = 625ksps	●	470	580		ns
		1 Channel Enabled, f <sub>SMPL</sub> = 1000ksps	●	420	480		ns

234816fa

## A/D コンバータのタイミング特性

● は全動作温度範囲での規格値を意味する。それ以外は  $T_A = 25^\circ\text{C}$  での値。(Note 9)

記号	パラメータ	条件		最小値	標準値	最大値	単位
$t_{CNVH}$	CNV High Time		●	40			ns
$t_{CNVL}$	CNV Low Time		●	420			ns
$t_{BUSY LH}$	CNV $\uparrow$ to BUSY Delay	$C_L = 25\text{pF}$	●			30	ns
$t_{QUIET}$	Digital I/O Quiet Time from CNV $\uparrow$		●	20			ns
$t_{PDH}$	PD High Time		●	40			ns
$t_{PDL}$	PD Low Time		●	40			ns
$t_{WAKE}$	REFBUF Wake-Up Time	$C_{REFBUF} = 47\mu\text{F}$ , $C_{REFIN} = 0.1\mu\text{F}$			200		ms

## CMOS I/O モード

$t_{SCKI}$	SCKI Period	(Notes 17, 18)	●	10			ns
$t_{SCKIH}$	SCKI High Time		●	4			ns
$t_{SCKIL}$	SCKI Low Time		●	4			ns
$t_{SSDISCKI}$	SDI Setup Time from SCKI $\uparrow$	(Note 17)	●	2			ns
$t_{HSDISCKI}$	SDI Hold Time from SCKI $\uparrow$	(Note 17)	●	1			ns
$t_{DSDOSCKI}$	SDO Data Valid Delay from SCKI $\uparrow$	$C_L = 25\text{pF}$ (Note 17)	●			7.5	ns
$t_{HSDOSCKI}$	SDO Remains Valid Delay from SCKI $\uparrow$	$C_L = 25\text{pF}$ (Note 17)	●	1.5			ns
$t_{SKEW}$	SDO to SCKO Skew	(Note 17)	●	-1	0	1	ns
$t_{DSDOBUSYL}$	SDO Data Valid Delay from BUSY $\downarrow$	$C_L = 25\text{pF}$ (Note 17)	●	0			ns
$t_{EN}$	Bus Enable Time After $\overline{CS}\downarrow$	(Note 17)	●			15	ns
$t_{DIS}$	Bus Relinquish Time After $\overline{CS}\uparrow$	(Note 17)	●			15	ns

## LVDS I/O モード

$t_{SCKI}$	SCKI Period	(Note 19)	●	4			ns
$t_{SCKIH}$	SCKI High Time	(Note 19)	●	1.5			ns
$t_{SCKIL}$	SCKI Low Time	(Note 19)	●	1.5			ns
$t_{SSDISCKI}$	SDI Setup Time from SCKI	(Notes 11, 19)	●	1.2			ns
$t_{HSDISCKI}$	SDI Hold Time from SCKI	(Notes 11, 19)	●	-0.2			ns
$t_{DSDOSCKI}$	SDO Data Valid Delay from SCKI	(Notes 11, 19)	●			6	ns
$t_{HSDOSCKI}$	SDO Remains Valid Delay from SCKI	(Notes 11, 19)	●	1			ns
$t_{SKEW}$	SDO to SCKO Skew	(Note 11)	●	-0.4	0	0.4	ns
$t_{DSDOBUSYL}$	SDO Data Valid Delay from BUSY $\downarrow$	(Note 11)	●	0			ns
$t_{EN}$	Bus Enable Time After $\overline{CS}\downarrow$		●			50	ns
$t_{DIS}$	Bus Relinquish Time After $\overline{CS}\uparrow$		●			15	ns



## A/Dコンバータのタイミング特性

**Note 1:**「絶対最大定格」のセクションに記載された値を超えるストレスはデバイスに回復不可能な損傷を与える可能性があります。また、長期にわたって絶対最大定格条件に曝すと、デバイスの信頼性と寿命に悪影響を与えるおそれがある。

**Note 2:**全ての電圧値はグラウンドを基準にしている。

**Note 3:**  $V_{DDLBP}$  は内蔵電圧レギュレータの出力であり、「ピン機能」の項に示すようにこのピンをGNDにバイパスする場合は必ず  $2.2\mu\text{F}$  のセラミック・コンデンサに接続すること。いかなる外部回路にも、このピンを接続しないでください。

**Note 4:** これらのピンの電圧を  $V_{EE}$  より低くするか、 $V_{CC}$  より高くすると、その電圧は内部のダイオードによってクランプされる。この製品は、電圧が  $V_{EE}$  より低くなるか、 $V_{CC}$  より高くなっても、ラッチアップを生じることなく最大  $100\text{mA}$  までの入力電流に対応できる。

**Note 5:** これらのピンの電圧をグラウンドより低くするか、 $V_{DD}$  ピンまたは  $0V_{DD}$  ピンの電圧より高くすると、内部のダイオードによってクランプされる。この製品は、これらのピンの電圧がグラウンドより低くなるか、 $V_{DD}$  ピンまたは  $0V_{DD}$  ピンの電圧より高くなった場合でも、ラッチアップを生じることなく最大  $100\text{mA}$  までの入力電流に対応できる。

**Note 6:** 注記がない限り、 $-16.5\text{V} \leq V_{EE} \leq 0\text{V}$ 、 $0\text{V} \leq V_{CC} \leq 38\text{V}$ 、 $10\text{V} \leq (V_{CC} - V_{EE}) \leq 38\text{V}$ 、 $V_{DD} = 5\text{V}$ 。

**Note 7:** 推奨動作条件。

**Note 8:** いずれかのチャンネルでこれらの限界値を超えた場合は、他のチャンネルの変換結果が信頼できなくなる可能性があります。デバイスの信頼性に関わるピンの電圧限界値については、絶対最大定格の項を参照。

**Note 9:** 注記がない限り、 $V_{CC} = 15\text{V}$ 、 $V_{EE} = -15\text{V}$ 、 $V_{DD} = 5\text{V}$ 、 $0V_{DD} = 2.5\text{V}$ 、 $f_{SAMPL} = 200\text{ksps}$ 、内部リファレンスとバッファ、双極性 SoftSpan レンジ内の真の双極性入力信号駆動、単極性 SoftSpan レンジ内の単極性入力信号駆動。

**Note 10:** 積分非直線性は、実際の伝達曲線の端点を通る直線からのコードの偏差として定義されている。偏差は量子化幅の中心から測定される。

**Note 11:** 設計によって保証されているが、テストされない。

**Note 12:** 双極性 SoftSpan レンジ7、6、3、2の場合の双極性ゼロスケール誤差は、出力コードが  $0000\ 0000\ 0000\ 0000$  と  $1111\ 1111\ 1111\ 1111$  の間を往復しているときに、 $-0.5\text{LSB}$  から測定されたオフセット電圧である。これらの SoftSpan レンジの場合のフルスケール誤差は、最初と最後のコード遷移の理想値からのワーストケースの偏差であり、オフセット誤差の影響を含む。単極性 SoftSpan レンジ5、4、1の場合のゼロスケール誤差は、出力コードが  $0000\ 0000\ 0000\ 0000$  と  $0000\ 0000\ 0000\ 0001$  の間を往復しているときに、 $0.5\text{LSB}$  から測定されたオフセット電圧である。これらの SoftSpan レンジの場合のフルスケール誤差は、最後のコード遷移の理想値からのワーストケースの偏差であり、オフセット誤差の影響を含む。

**Note 13:** dB 単位で示す全ての仕様値は、対応する SoftSpan 入力レンジのクロストークを除去した分のフルスケール値である。クロストークを含む値は、クロストーク含有信号振幅という。

**Note 14:** 温度係数は出力電圧の最大変化を規定温度範囲で割って計算される。

**Note 15:** REFBUFF をオーバードライブする場合は、REFIN =  $0\text{V}$  に設定して内部リファレンス・バッファをディスエーブルしなければならない。

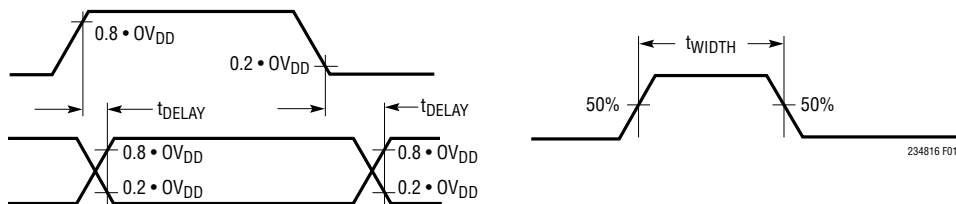
**Note 16:**  $I_{REFBUF}$  は、サンプル・レートとアクティブなチャンネルの数に比例して変化する。

**Note 17:** パラメータは  $0V_{DD} = 1.71\text{V}$ 、 $0V_{DD} = 2.5\text{V}$ 、および  $0V_{DD} = 5.25\text{V}$  でテストされ、保証されている。

**Note 18:**  $t_{SCKI}$  の周期が最小  $10\text{ns}$  であるため、立ち上がりで捕捉する場合は最大  $100\text{MHz}$  のシフト・クロック周波数が可能である。

**Note 19:** LVDS 差動入力ペアの場合、 $V_{ICM} = 1.2\text{V}$ 、 $V_{ID} = 350\text{mV}$ 。

### CMOSのタイミング特性



### LVDSのタイミング特性(差動)

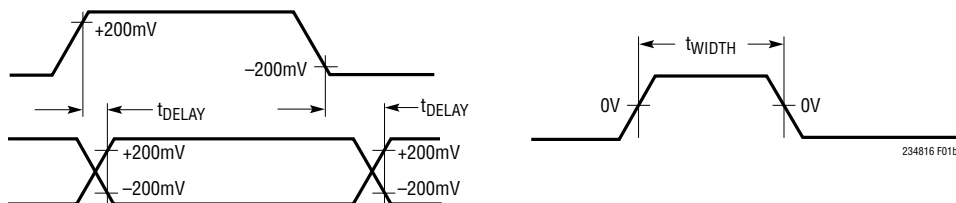
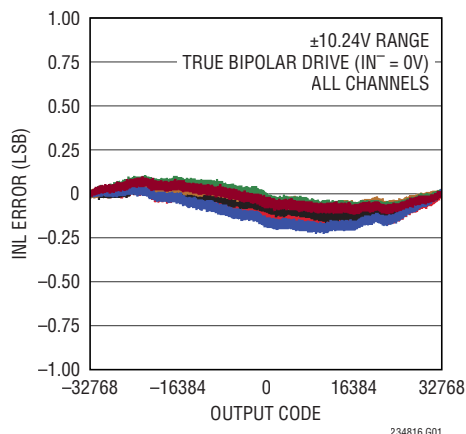


図1. タイミング仕様の電圧レベル

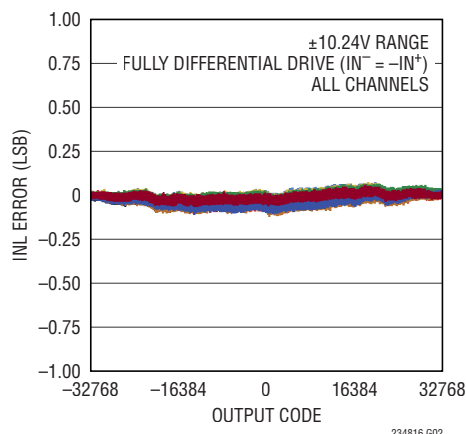


**標準的性能特性** 注記がない限り、 $T_A = 25^\circ\text{C}$ 、 $V_{CC} = +15\text{V}$ 、 $V_{EE} = -15\text{V}$ 、 $V_{DD} = 5\text{V}$ 、 $0V_{DD} = 2.5\text{V}$ 、内部リファレンスとバッファ  
( $V_{REFBUF} = 4.096\text{V}$ )、 $f_{SAMPL} = 200\text{ksps}$ 。

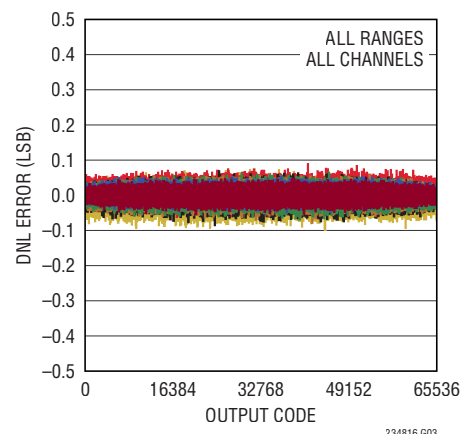
積分非直線性と  
出力コードとチャンネル



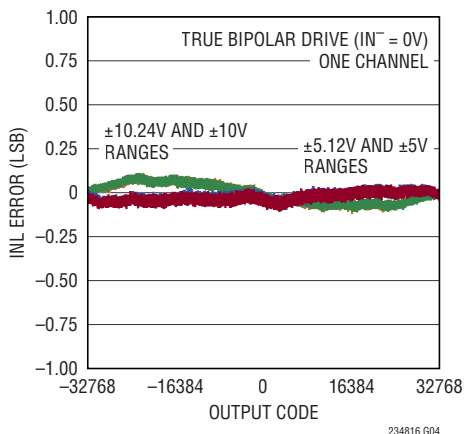
積分非直線性と  
出力コードとチャンネル



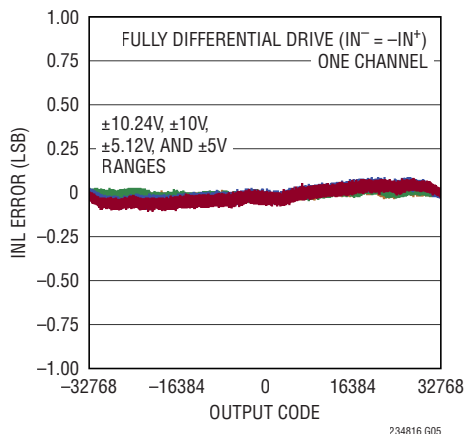
差動非直線性と  
出力コードとチャンネル



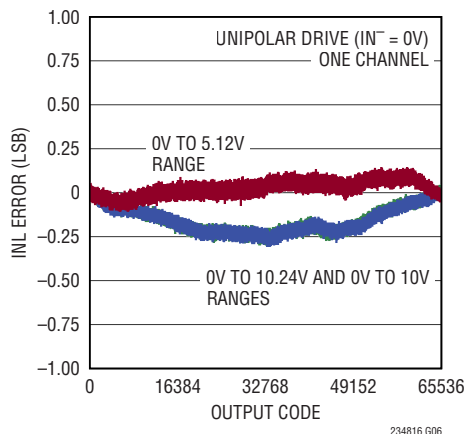
積分非直線性と  
出力コードとレンジ



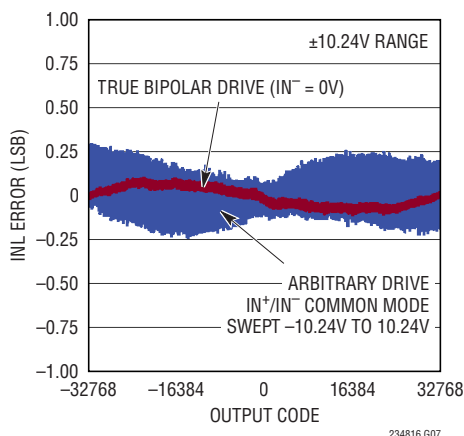
積分非直線性と  
出力コードとレンジ



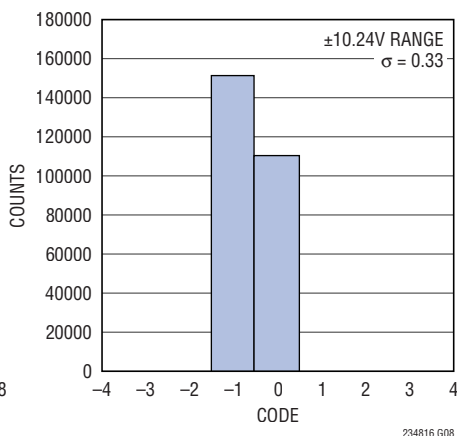
積分非直線性と  
出力コードとレンジ



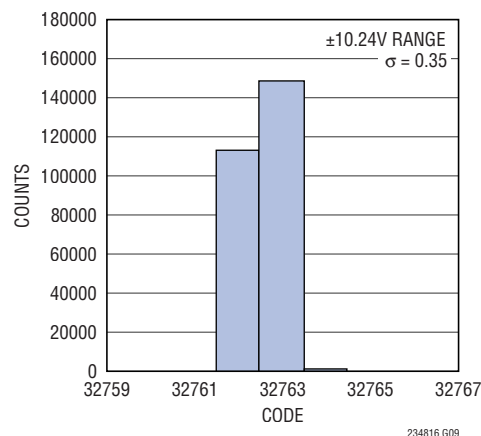
積分非直線性と出力コード



DC ヒストグラム (ゼロスケール)



DC ヒストグラム  
(フルスケール付近)

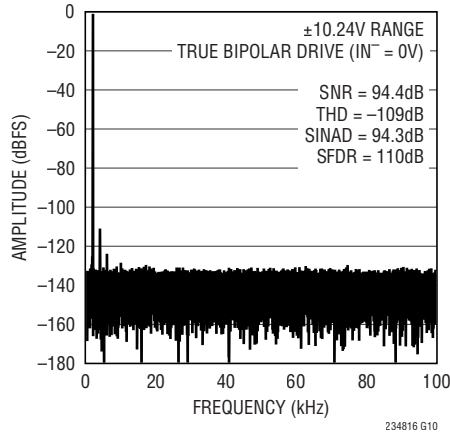


# LTC2348-16

## 標準的性能特性

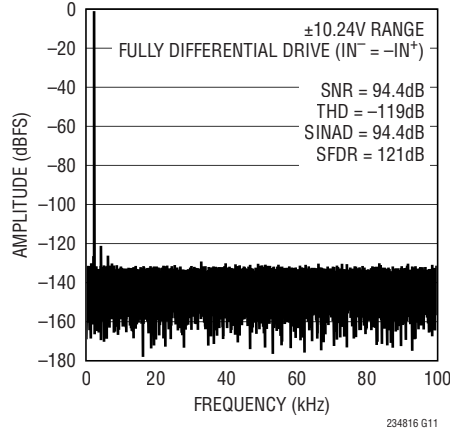
注記がない限り、 $T_A = 25^\circ\text{C}$ 、 $V_{CC} = +15\text{V}$ 、 $V_{EE} = -15\text{V}$ 、 $V_{DD} = 5\text{V}$ 、 $0V_{DD} = 2.5\text{V}$ 、内部リファレンスとバッファ  
( $V_{REFBUF} = 4.096\text{V}$ )、 $f_{SAMPL} = 200\text{ksps}$ 。

32kポイントのFFT、  
 $f_{SAMPL} = 200\text{kHz}$ 、 $f_{IN} = 2\text{kHz}$



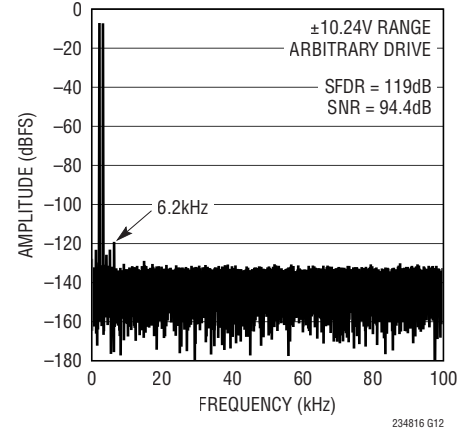
234816 G10

32kポイントのFFT、  
 $f_{SAMPL} = 200\text{kHz}$ 、 $f_{IN} = 2\text{kHz}$



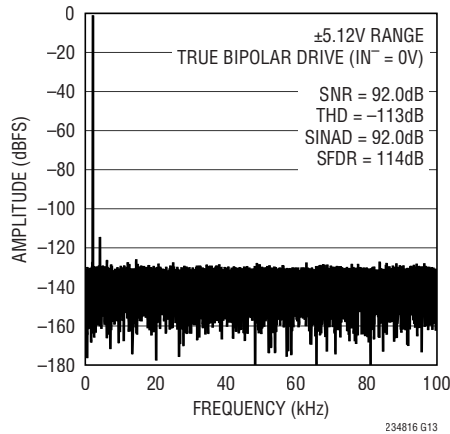
234816 G11

32kポイントの任意ツートーンFFT  
 $f_{SAMPL} = 200\text{kHz}$ 、 $IN^+ = -7\text{dBFS } 2\text{kHz}$   
正弦波、 $IN^- = -7\text{dBFS } 3.1\text{kHz}$ 正弦波



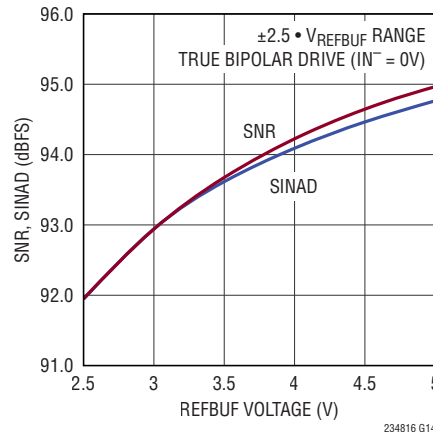
234816 G12

32kポイントのFFT  $f_{SAMPL} = 200\text{kHz}$ 、  
 $f_{IN} = 2\text{kHz}$



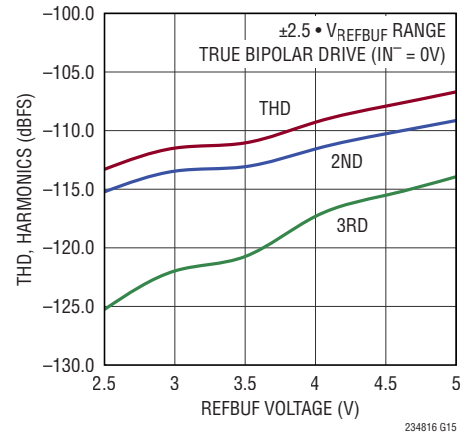
234816 G13

SNRおよびSINADと $V_{REFBUF}$ 、  
 $f_{IN} = 2\text{kHz}$



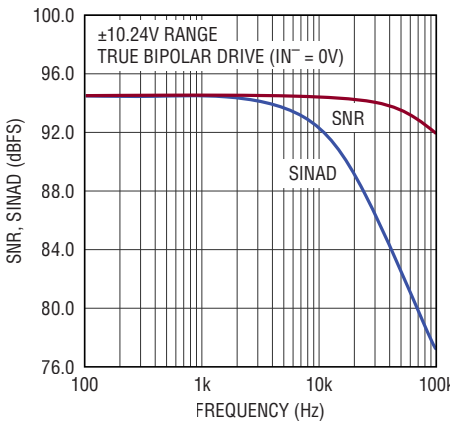
234816 G14

THDおよび高調波と $V_{REFBUF}$ 、  
 $f_{IN} = 2\text{kHz}$



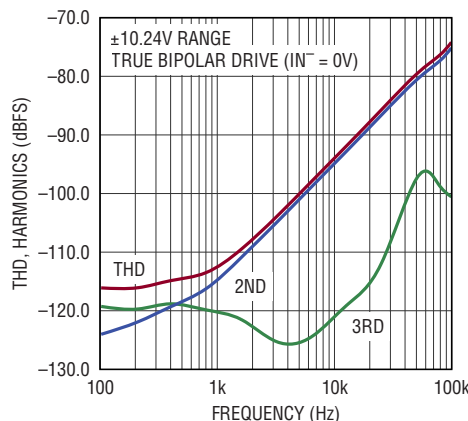
234816 G15

SNRおよびSINADと入力周波数



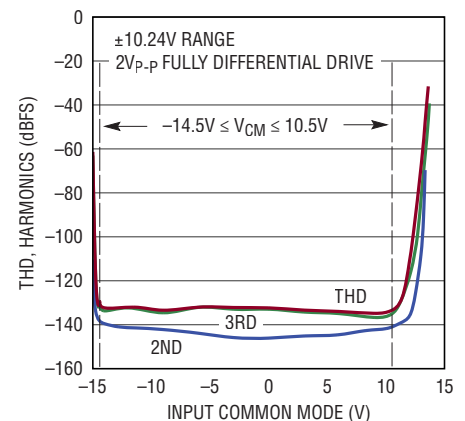
234816 G16

THDおよび高調波と入力周波数



234816 G17

THDおよび高調波と入力同相電圧、  
 $f_{IN} = 2\text{kHz}$

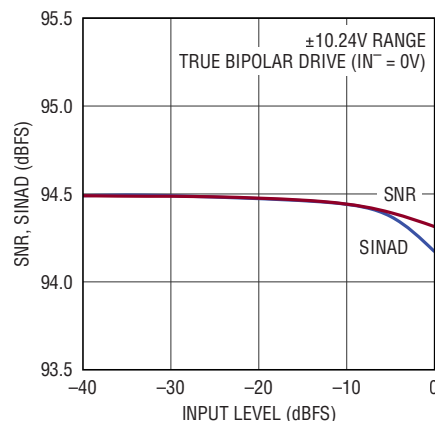


234816 G18

234816fa

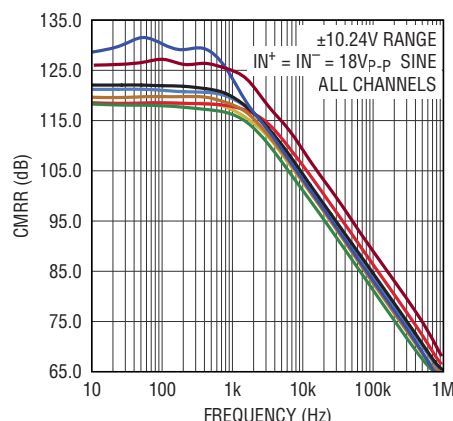
**標準的性能特性** 注記がない限り、 $T_A = 25^\circ\text{C}$ 、 $V_{CC} = +15\text{V}$ 、 $V_{EE} = -15\text{V}$ 、 $V_{DD} = 5\text{V}$ 、 $0V_{DD} = 2.5\text{V}$ 、内部リファレンスとバッファ  
( $V_{REFBUF} = 4.096\text{V}$ )、 $f_{SAMPL} = 200\text{ksps}$ 。

**SNRおよびSINADと入力レベル、 $f_{IN} = 2\text{kHz}$**



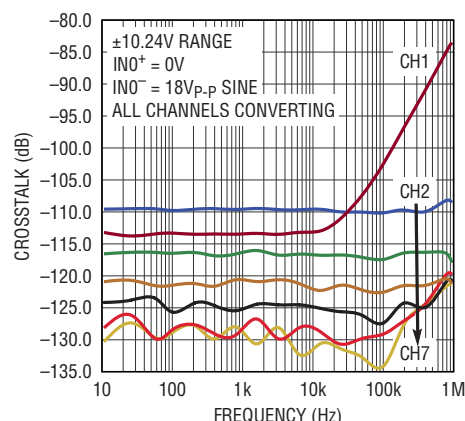
234816 G19

**CMRRと入力周波数およびチャンネル**



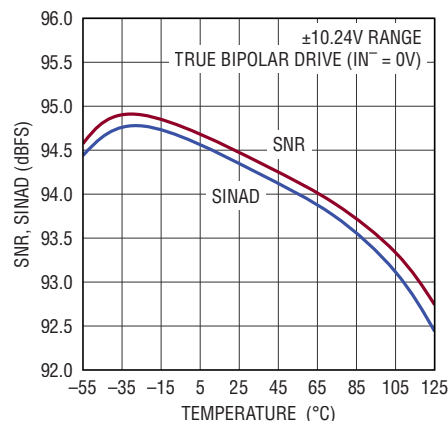
234816 G20

**クロストークと入力周波数およびチャンネル**



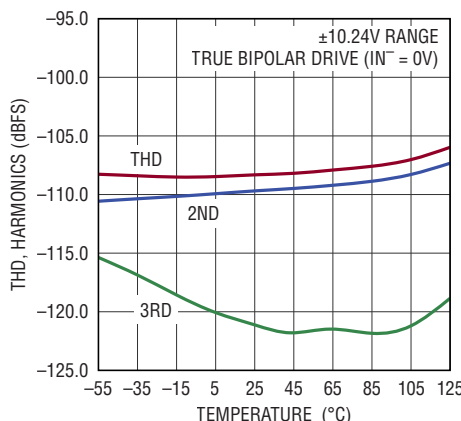
234816 G21

**SNRおよびSINADと温度、 $f_{IN} = 2\text{kHz}$**



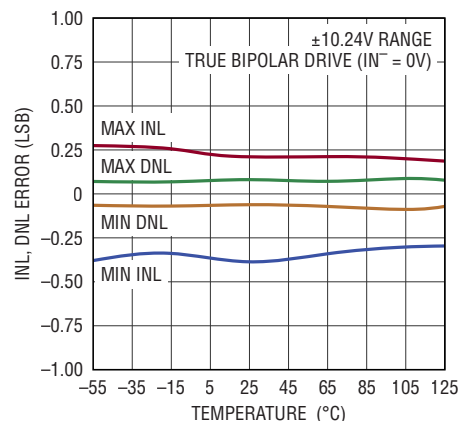
234816 G22

**THDおよび高調波と温度、 $f_{IN} = 2\text{kHz}$**



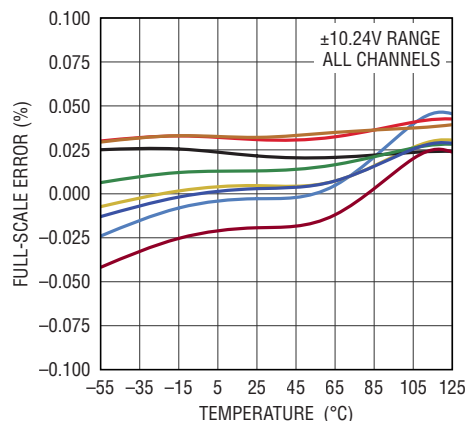
234816 G23

**INL, DNLと温度**



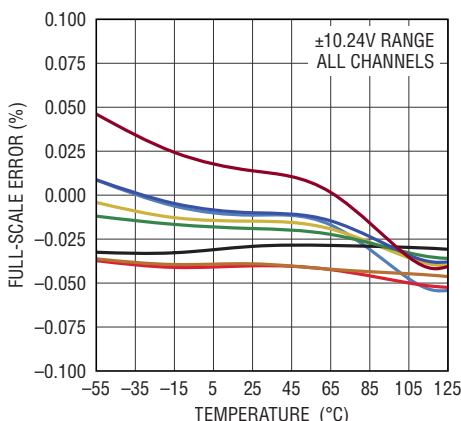
234816 G24

**正のフルスケール誤差と温度およびチャンネル**



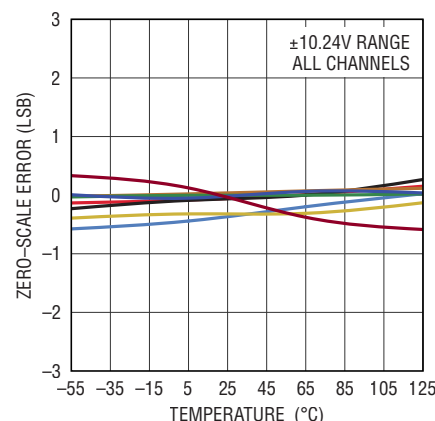
234816 G25

**負のフルスケール誤差と温度およびチャンネル**



234816 G26

**ゼロスケール誤差と温度およびチャンネル**



234816 G27

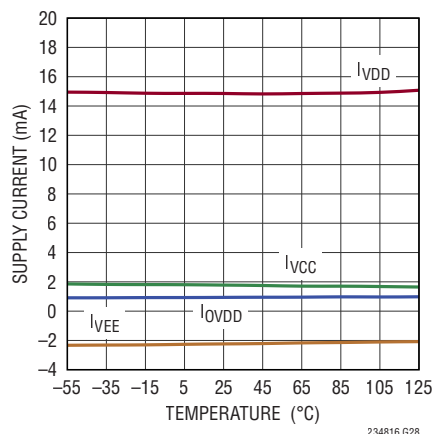
234816fa

# LTC2348-16

## 標準的性能特性

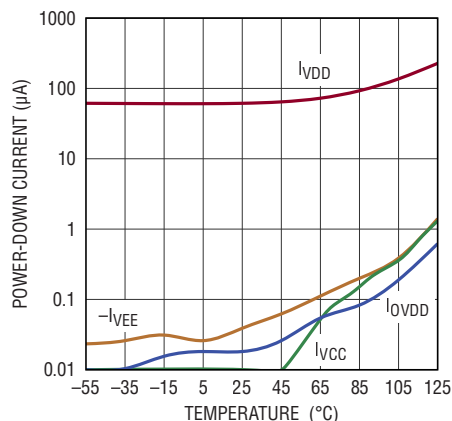
注記がない限り、 $T_A = 25^\circ\text{C}$ 、 $V_{CC} = +15\text{V}$ 、 $V_{EE} = -15\text{V}$ 、 $V_{DD} = 5\text{V}$ 、 $0V_{DD} = 2.5\text{V}$ 、内部リファレンスとバッファ  
( $V_{REFBUF} = 4.096\text{V}$ )、 $f_{SAMPL} = 200\text{ksps}$ 。

電源電流と温度



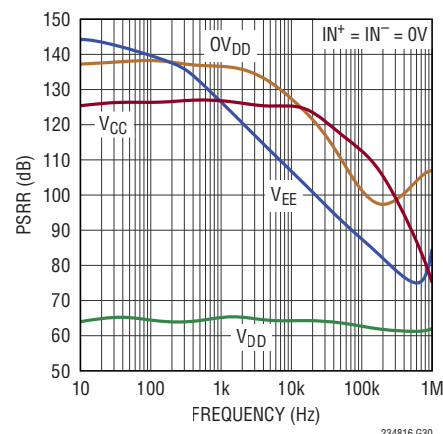
234816 G28

パワーダウン時電流と温度



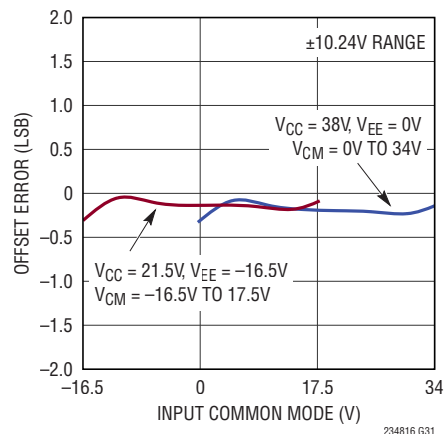
234816 G29

PSRRと周波数



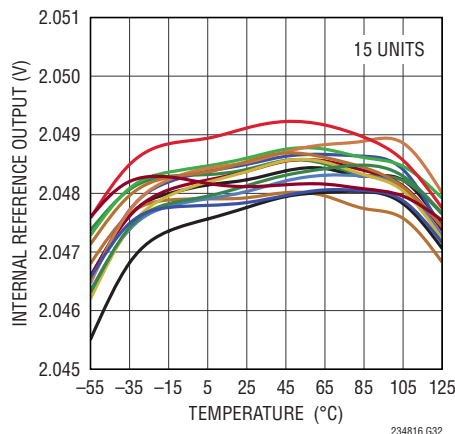
234816 G30

オフセット誤差と入力同相電圧



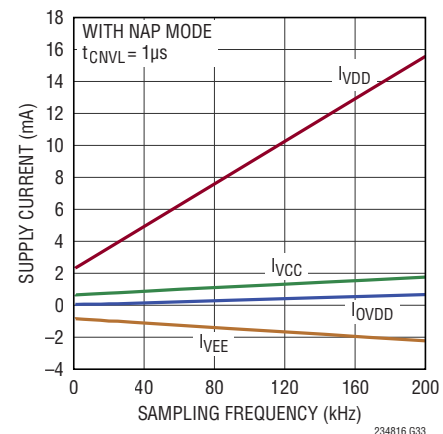
234816 G31

内部リファレンス出力と温度



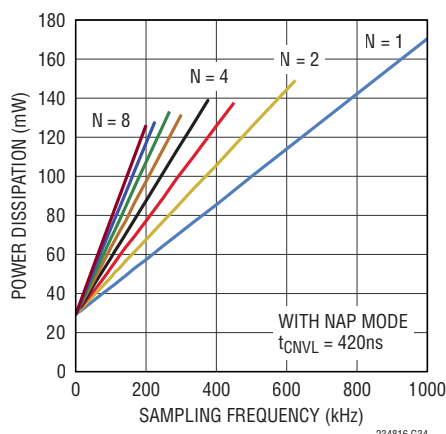
234816 G32

電源電流とサンプリング・レート



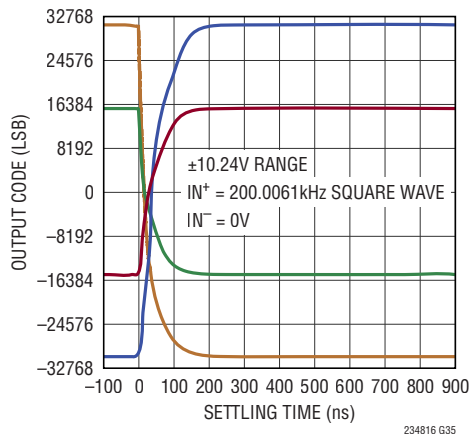
234816 G33

電力損失とサンプリング・レートおよび  
イネーブルされているチャンネル数 N



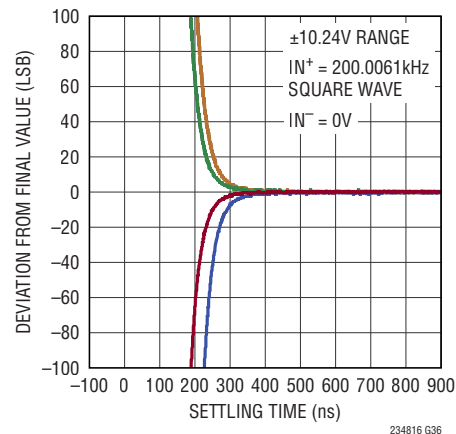
234816 G34

ステップ応答  
(大信号セトリング時間)



234816 G35

ステップ応答  
(ファイン・セトリング時間)



234816 G36

234816fa

## ピン機能

### 全てのデジタルI/Oモードで同じピン

**IN0<sup>+</sup> ~ IN7<sup>+</sup>、IN0<sup>-</sup> ~ IN7<sup>-</sup> (ピン1、2、3、4、5、6、7、8、9、10、11、12、13、14、47、48) :** 正と負のアナログ入力、チャンネル0~7。コンバータは全てのチャンネルの ( $V_{IN+} - V_{IN-}$ ) を同時にサンプリングし、デジタル化します。これらの入力、入力同相電圧範囲が広く ( $V_{EE} \leq V_{CM} \leq V_{CC} - 4V$ )、同相信号除去比が高いため、さまざまな信号の範囲に対応できます。フルスケール入力範囲は、チャンネルの SoftSpan 設定により決まります。

**GND (ピン15、18、20、30、41、44、46) :** グランド・ピン。全てのGNDピンを、切れ目のないグランド・プレーンに接続してください。

**V<sub>CC</sub> (ピン16) :** 正の高電圧電源。V<sub>CC</sub>の範囲は、GNDに対して0V ~ 38V、V<sub>EE</sub>に対して10V ~ 38Vです。V<sub>CC</sub>は、0.1μFのセラミック・コンデンサを使用してピンの近くでGNDにバイパスします。V<sub>CC</sub>をGNDに短絡させるアプリケーションの場合は、このコンデンサを省略できます。

**V<sub>EE</sub> (ピン17、45) :** 負の高電圧電源。V<sub>EE</sub>の範囲は、GNDに対して0V ~ -16.5V、V<sub>CC</sub>に対して-10V ~ -38Vです。ピン17と45を接続し、0.1μFのセラミック・コンデンサを使用して、V<sub>EE</sub>システムをピン17に近い位置でGNDにバイパスします。V<sub>EE</sub>をGNDに短絡させるアプリケーションの場合は、このコンデンサを省略できます。

**REFIN (ピン19) :** バンドギャップ・リファレンス出力/リファレンス・バッファ入力。内蔵のバンドギャップ・リファレンスはこのピンに公称2.048Vを出力します。内部リファレンス・バッファは、V<sub>REFIN</sub>をコンバータのマスタ・リファレンス電圧 V<sub>REFBUF</sub> = 2 • V<sub>REFIN</sub> まで増幅してREFBUFピンに出力します。内部リファレンスを使用する場合は、バンドギャップ出力ノイズを除去するため、0.1μFのセラミック・コンデンサを使用してREFINをピンの近くでGND (ピン20) にバイパスします。さらに高い精度が必要な場合は、外部リファレンスによって1.25V ~ 2.2Vの範囲でREFINをオーバードライブします。

**REFBUF (ピン21) :** 内部リファレンス・バッファの出力。内部リファレンス・バッファは、V<sub>REFIN</sub>を増幅してコンバータのマスタ・リファレンス電圧 V<sub>REFBUF</sub> = 2 • V<sub>REFIN</sub> をこのピンに出力します。内部バンドギャップ・リファレンスを使用する場合、このピンの公称電圧は4.096Vです。REFBUFは、47μFのセラミック・コンデンサを使用してピンの近くでGND (ピン20) にバ

イパスします。内部リファレンス・バッファをディセーブルするには、REFINのバッファ入力をグランド接続します。バッファをディセーブルする場合は、外部リファレンス電圧を使用して2.5V ~ 5Vの範囲でREFBUFをオーバードライブします。内部リファレンス・バッファを使用する場合は、REFBUFに接続される全ての外部回路の負荷を10μA未満に制限してください。外部回路へのV<sub>REFBUF</sub>は、高入力インピーダンス・アンプを使用してバッファすることを推奨します。

**PD (ピン22) :** パワーダウン入力。このピンが“H”になるとLTC2348-16はパワーダウンされ、その後の変換要求は無視されます。変換中にこの状態になった場合は、変換が完了した時点でデバイスがパワーダウン・モードになります。変換が行われていない間にこのピンを2回“H”にすると、パワーオン・リセット時と同様な内部グローバル・リセットが開始されます。ロジック・レベルはOV<sub>DD</sub>によって決まります。

**LVDS/CMOS (ピン23) :** I/Oモードの選択。LVDS I/Oモードを選択する場合はこのピンをOV<sub>DD</sub>に接続し、CMOS I/Oモードを選択する場合はこのピンを接地します。ロジック・レベルはOV<sub>DD</sub>によって決まります。

**CNV (ピン24) :** 変換開始入力。このピンの立ち上がりエッジで、内部のサンプル・アンド・ホールド回路がホールド・モードになり、新たに変換が開始されます。CNVはCSでゲート制御されていないため、シリアルI/Oバスの状態に関係なく変換を開始できます。

**BUSY (ピン38) :** ビジー出力。BUSY信号は、現在変換処理中であることを示します。このピンは各変換の開始時に“L”から“H”に遷移し、変換が完了するまで“H”のままとなります。ロジック・レベルはOV<sub>DD</sub>によって決まります。

**V<sub>DDL</sub>BYP (ピン40) :** 2.5Vの内部レギュレータのバイパス・ピン。このピンの電圧は、内部レギュレータを介してV<sub>DD</sub>から生成されます。このピンは、2.2μFのセラミック・コンデンサを使用してピンの近くでGNDにバイパスする必要があります。いかなる外部回路にも、このピンを接続しないでください。

**V<sub>DD</sub> (ピン42、43) :** 5V電源。V<sub>DD</sub>の範囲は4.75V ~ 5.25Vです。ピン42と43を接続し、共有の0.1μFのセラミック・コンデンサを使用して、V<sub>DD</sub>システムをピンに近い位置でGNDにバイパスします。



## ピン機能

## CMOS I/O モード

**SDO0～SDO7 (ピン 25、26、27、28、33、34、35、および 36) :** CMOS シリアル・データ出力、チャンネル 0～7。SCKI の各立ち上がりエッジで、最新の変換結果とチャンネル構成情報が SDO ピンに出力されます。出力データの形式については、「デジタル・インタフェース」の項を参照してください。使用しない SDO 出力ピンには何も接続しないでください。ロジック・レベルは  $OV_{DD}$  によって決まります。

**SCKI (ピン 29) :** CMOS シリアル・クロック入力。SCKI は、シリアル I/O クロックで駆動してください。SCKI の立ち上がりエッジで SDI のシリアル・データがラッチされ、シリアル・データが SDO0～SDO7 に出力されます。標準的な SPI バス動作の場合は、SCKI の立ち上がりエッジでレシーバの出力データを捕捉してください。SCKI は、“H”でも“L”でもアイドリング状態にできます。ロジック・レベルは  $OV_{DD}$  によって決まります。

**$OV_{DD}$  (ピン 31) :** I/O インタフェースの電源。CMOS I/O モード時、 $OV_{DD}$  の範囲は 1.71V～5.25V です。 $OV_{DD}$  は、0.1 $\mu$ F のセラミック・コンデンサを使用してピンの近くで GND (ピン 30) にバイパスします。

**SCKO (ピン 32) :** CMOS シリアル・クロック出力。SCKI の立ち上がりエッジは、SDO0～SDO7 のシリアル出力データ・ストリームにスキュー・マッチングされる SCKO の遷移をトリガします。その結果、SCKO の周波数は SCK の 1/2 になります。SCKO の立ち上がりエッジと立ち下がりエッジを使用すると、レシーバ (FPGA) の SDO データを 2 倍のデータ・レート (DDR) で捕捉できます。標準的な SPI バス動作の場合は、SCKO は使用せず、未接続のままにしておいてください。SCKO は、BUSY の立ち下がりエッジで強制的に“L”になります。ロジック・レベルは  $OV_{DD}$  によって決まります。

**SDI (ピン 37) :** CMOS シリアル・データ入力。このピンは、SCKI の立ち上がりエッジでラッチされた、必要に応じた 24 ビットの SoftSpan 設定ワード (表 1a を参照) で駆動してください。全てのチャンネルを SoftSpan 7 のみで動作するように設定する場合は、SDI を  $OV_{DD}$  に接続します。ロジック・レベルは  $OV_{DD}$  によって決まります。

**$\overline{CS}$  (ピン 39) :** チップ・セレクト入力。シリアル・データ I/O バスは  $\overline{CS}$  ピンが“L”になるとイネーブルされ、 $\overline{CS}$  ピンが“H”になるとディスエーブルされます。 $\overline{CS}$  は、外部シフト・クロック SCKI をゲート制御することもできます。ロジック・レベルは  $OV_{DD}$  によって決まります。

## LVDS I/O モード

**SDO0、SDO7、SDI (ピン 25、36、37) :** CMOS シリアル・データの入出力。LVDS I/O モード時、これらのピンは高インピーダンスになります。

**SDI<sup>+</sup>、SDI<sup>-</sup> (ピン 26、27) :** LVDS の正負のシリアル・データ入力。SDI<sup>+</sup>/SDI<sup>-</sup> は、SCKI<sup>+</sup>/SCKI<sup>-</sup> の立ち上がりエッジと立ち下がりエッジの両方でラッチされた、必要に応じた 24 ビットの SoftSpan 設定ワード (表 1a を参照) で差動駆動してください。SDI<sup>+</sup>/SDI<sup>-</sup> 入力のペアは、 $\overline{CS}$  が“L”のときは 100 $\Omega$  の差動抵抗で内部的に終端されます。

**SCKI<sup>+</sup>、SCKI<sup>-</sup> (ピン 28、29) :** LVDS の正負のシリアル・クロック入力。SCKI<sup>+</sup>/SCKI<sup>-</sup> は、シリアル I/O クロックで差動駆動してください。SCKI<sup>+</sup>/SCKI<sup>-</sup> の立ち上がりエッジと立ち下がりエッジで SDI<sup>+</sup>/SDI<sup>-</sup> のシリアル・データがラッチされ、シリアル・データが SDO<sup>+</sup>/SDO<sup>-</sup> に出力されます。 $\overline{CS}$  の遷移時などには、SCKI<sup>+</sup>/SCKI<sup>-</sup> を“L”でアイドリング状態に保持してください。SCKI<sup>+</sup>/SCKI<sup>-</sup> 入力のペアは、 $\overline{CS} = 0$  のときは 100 $\Omega$  の差動抵抗で内部的に終端されます。

**$OV_{DD}$  (ピン 31) :** I/O インタフェースの電源。LVDS I/O モード時、 $OV_{DD}$  の範囲は 2.375V～5.25V です。 $OV_{DD}$  は、0.1 $\mu$ F のセラミック・コンデンサを使用してピンの近くで GND (ピン 30) にバイパスします。

**SCKO<sup>+</sup>、SCKO<sup>-</sup> (ピン 32、33) :** LVDS の正負のシリアル・クロック出力。SCKO<sup>+</sup>/SCKO<sup>-</sup> は、SCKI<sup>+</sup>/SCKI<sup>-</sup> に入力され SDO<sup>+</sup>/SDO<sup>-</sup> のシリアル・データ・ストリームとスキュー・マッチングされたシリアル I/O クロックを出力します。SCKO<sup>+</sup>/SCKO<sup>-</sup> の立ち上がりエッジと立ち下がりエッジを使用すると、レシーバ (FPGA) の SDO<sup>+</sup>/SDO<sup>-</sup> データを捕捉できます。SCKO<sup>+</sup>/SCKO<sup>-</sup> 出力のペアは、レシーバ (FPGA) で 100 $\Omega$  の抵抗を使用して差動で終端する必要があります。

**SDO<sup>+</sup>、SDO<sup>-</sup> (ピン 34、35) :** LVDS の正負のシリアル・データ出力。SCKI<sup>+</sup>/SCKI<sup>-</sup> の立ち上がりエッジと立ち下がりエッジの両方で、最新の変換結果とチャンネル構成情報が SDO<sup>+</sup>/SDO<sup>-</sup> に出力されます。動作はチャンネル 0 から実行されます。SDO<sup>+</sup>/SDO<sup>-</sup> 出力のペアは、レシーバ (FPGA) で 100 $\Omega$  の抵抗を使用して差動で終端する必要があります。

**$\overline{CS}$  (ピン 39) :** チップ・セレクト入力。シリアル・データ I/O バスは  $\overline{CS}$  ピンが“L”になるとイネーブルされ、 $\overline{CS}$  ピンが“H”になるとディスエーブルされ高インピーダンスになります。 $\overline{CS}$  は、外部シフト・クロック SCKI<sup>+</sup>/SCKI<sup>-</sup> をゲート制御することもできます。 $\overline{CS}$  が“H”のときは、SCKI<sup>+</sup>/SCKI<sup>-</sup> と SDI<sup>+</sup>/SDI<sup>-</sup> の入力ペアの内部 100 $\Omega$  差動終端抵抗がディスエーブルされます。ロジック・レベルは  $OV_{DD}$  によって決まります。

## 設定値一覧表

表 1a. SoftSpan 設定値一覧表。この表と表 1b を使用して、必要なアナログ入力レンジに応じて、各チャンネルに使用する個々の SoftSpan のバイナリ・コード SS[2:0] を選択してください。複数の SoftSpan コードを組み合わせることで 24 ビットの SoftSpan 設定ワード S[23:0] を作成します。図 19 のように、シリアル・インタフェースを使用して LTC2348-16 に SoftSpan 設定ワードを書き込みます。

バイナリ SoftSpan コード SS[2:0]	アナログ入力電圧レンジ	フルスケール電圧範囲	変換結果のバイナリ形式
111	$\pm 2.5 \cdot V_{REFBUF}$	$5 \cdot V_{REFBUF}$	Two's Complement
110	$\pm 2.5 \cdot V_{REFBUF}/1.024$	$5 \cdot V_{REFBUF}/1.024$	Two's Complement
101	0V to $2.5 \cdot V_{REFBUF}$	$2.5 \cdot V_{REFBUF}$	Straight Binary
100	0V to $2.5 \cdot V_{REFBUF}/1.024$	$2.5 \cdot V_{REFBUF}/1.024$	Straight Binary
011	$\pm 1.25 \cdot V_{REFBUF}$	$2.5 \cdot V_{REFBUF}$	Two's Complement
010	$\pm 1.25 \cdot V_{REFBUF}/1.024$	$2.5 \cdot V_{REFBUF}/1.024$	Two's Complement
001	0V to $1.25 \cdot V_{REFBUF}$	$1.25 \cdot V_{REFBUF}$	Straight Binary
000	Channel Disabled	Channel Disabled	All Zeros

表 1b. リファレンス設定値一覧表。LTC2348-16 では、リファレンスを以下の 3 種類のいずれかに設定できます。アナログ入力範囲のスケールとコンバータのマスタ・リファレンス電圧、 $V_{REFBUF}$

リファレンス設定値	$V_{REFIN}$	$V_{REFBUF}$	バイナリ SoftSpan コード SS[2:0]	アナログ入力電圧レンジ
内部リファレンスと内部バッファ	2.048V	4.096V	111	$\pm 10.24V$
			110	$\pm 10V$
			101	0V to 10.24V
			100	0V to 10V
			011	$\pm 5.12V$
			010	$\pm 5V$
			001	0V to 5.12V
外部リファレンスと内部バッファ (REFIN ピンを外部で オーバードライブ)	1.25V (Min Value)	2.5V	111	$\pm 6.25V$
			110	$\pm 6.104V$
			101	0V to 6.25V
			100	0V to 6.104V
			011	$\pm 3.125V$
			010	$\pm 3.052V$
			001	0V to 3.125V
	2.2V (Max Value)	4.4V	111	$\pm 11V$
			110	$\pm 10.742V$
			101	0V to 11V
			100	0V to 10.742V
			011	$\pm 5.5V$
			010	$\pm 5.371V$
			001	0V to 5.5V



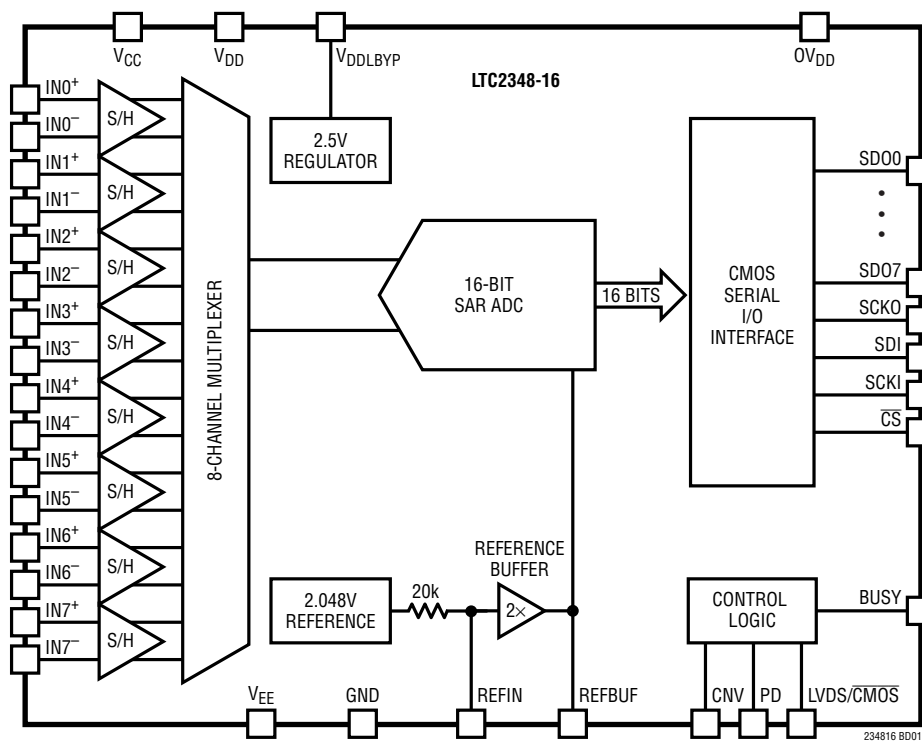
設定値一覧表

表 1b リファレンス設定値一覧表(続き)。LTC2348-16では、リファレンスを以下の3種類のいずれかに設定できます。  
アナログ入力範囲のスケールとコンバータのマスタ・リファレンス電圧、V<sub>REFBUF</sub>

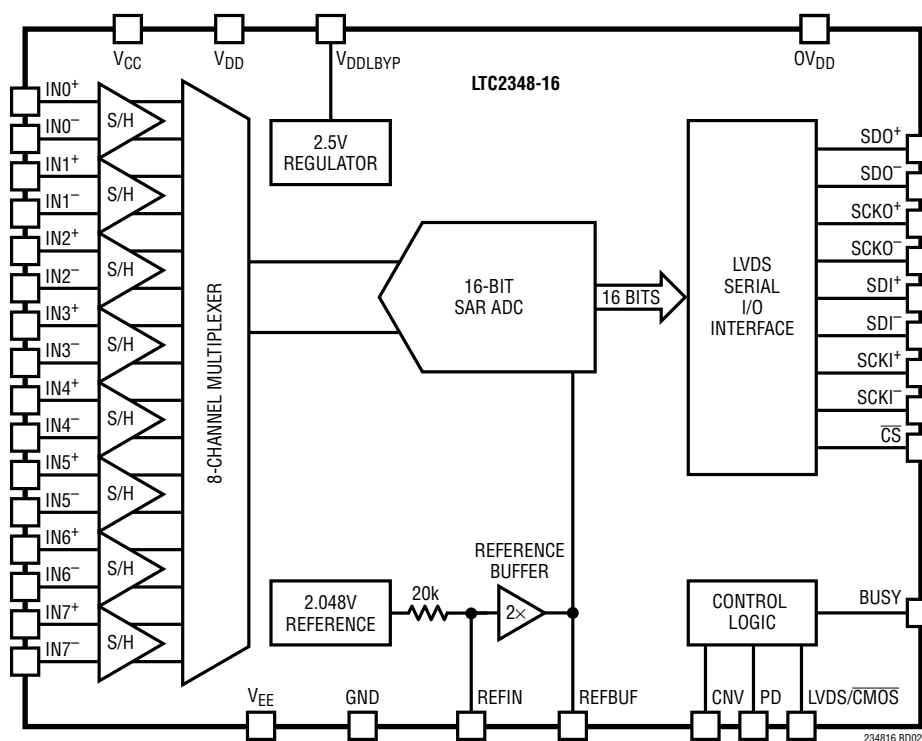
リファレンス設定値	V <sub>REFIN</sub>	V <sub>REFBUF</sub>	バイナリ SoftSpan コード SS[2:0]	アナログ入力電圧レンジ
外部リファレンス、バッファなし (REFBUFピンを外部で オーバードライブ、 REFINピンを接地)	0V	2.5V (Min Value)	111	±6.25V
			110	±6.104V
			101	0V to 6.25V
			100	0V to 6.104V
			011	±3.125V
			010	±3.052V
			001	0V to 3.125V
	0V	5V (Max Value)	111	±12.5V
			110	±12.207V
			101	0V to 12.5V
			100	0V to 12.207V
			011	±6.25V
			010	±6.104V
			001	0V to 6.25V

## 機能ブロック図

## CMOS I/O モード



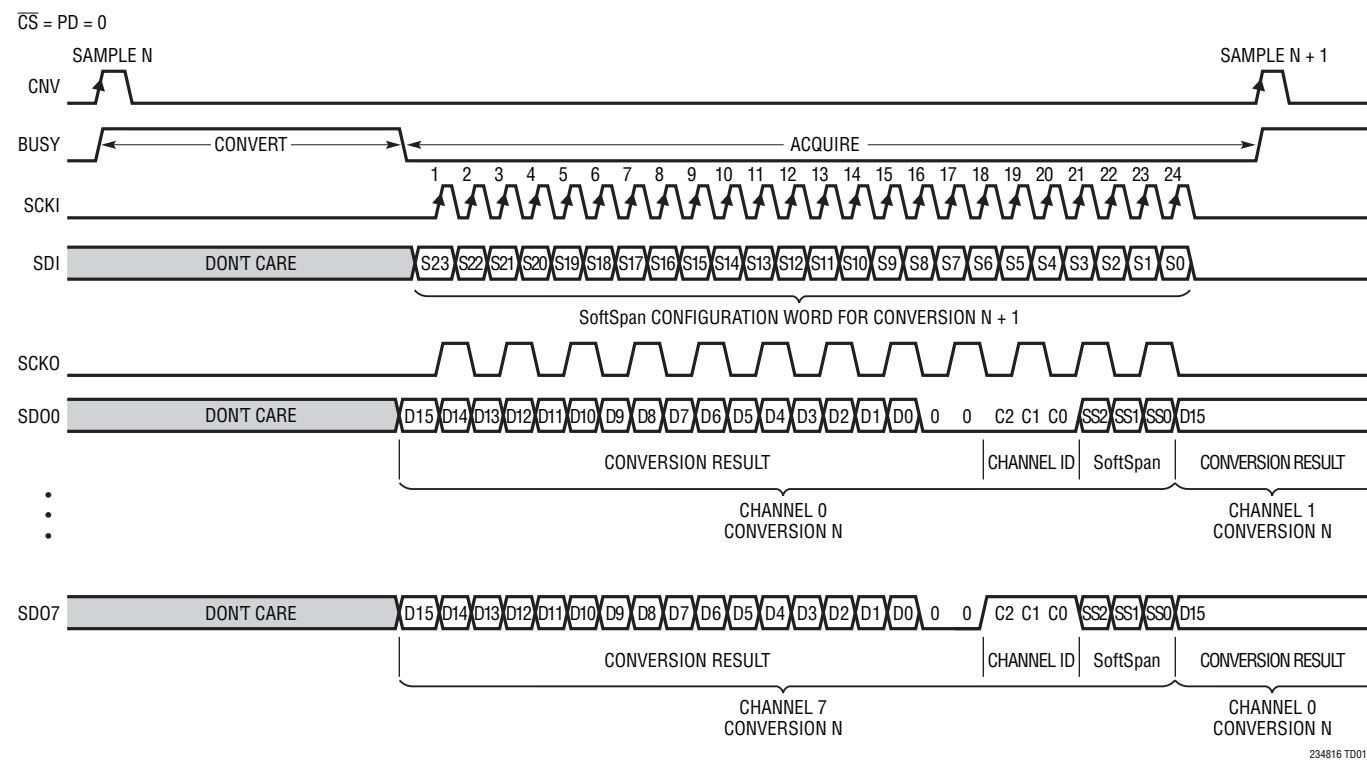
## LVDS I/O モード



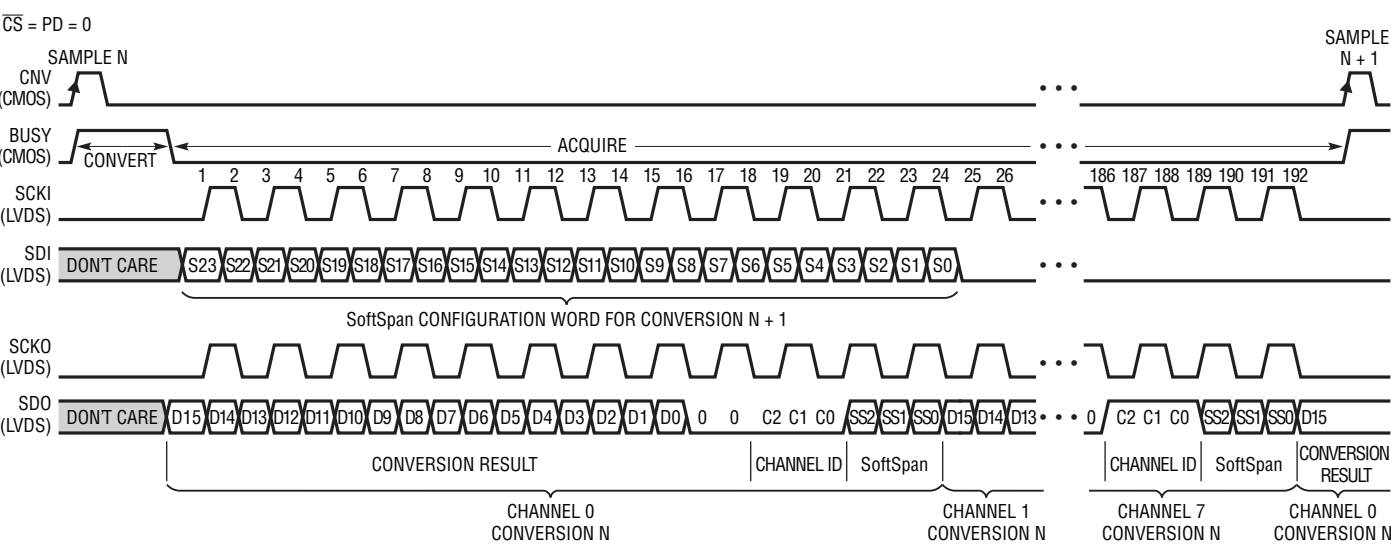
234816fa

タイミング図

CMOS I/O モード



LVDS I/O モード



## アプリケーション情報

### 概要

LTC2348-16は、差動入力で入力同相電圧範囲の広い、16ビット、低ノイズ、8チャンネル、同時サンプリング逐次比較レジスタ (SAR) A/D コンバータです。この A/D コンバータは、5V の低電圧から公称  $\pm 15\text{V}$  の高電圧まで柔軟に、対応して動作できます。低ドリフトの内蔵リファレンスとバッファ ( $V_{\text{REFBUF}} =$  公称  $4.096\text{V}$ ) を使用できる、この SoftSpan A/D コンバータの各チャンネルは、変換ごとに、 $\pm 10.24\text{V}$ 、 $0\text{V} \sim 10.24\text{V}$ 、 $\pm 5.12\text{V}$ 、または  $0\text{V} \sim 5.12\text{V}$  の信号を入力できるよう、個別に設定できます。外部  $12.5\text{V}$  リファレンスを使用すると、入力信号範囲を最大  $\pm 5\text{V}$  まで拡大できます。また、チャンネルを個別にディスエーブルして他のチャンネルのスループットを上げることもできます。

LTC2348-16 のアナログ入力は入力同相電圧範囲が広く CMRR が大きい (標準で  $118\text{dB}$ 、 $V_{\text{IN}+} = V_{\text{IN}-} = 18\text{V}_{\text{P-P}}$   $200\text{Hz}$  正弦波) ため、さまざまな信号を A/D コンバータで直接デジタル化でき、信号チェーンの設計を簡素化できます。絶対同相入力電圧の範囲は、高電圧電源の選択により決まり、グラウンドを中心に非対称にバイアスでき、正または負の電源をグラウンドに直接接続することもできます。このような入力信号の柔軟性と  $\pm 1\text{LSB}$  の INL、欠落コードのない 16 ビットの分解能、 $94.4\text{dB}$  の SNR を有する LTC2348-16 は、広いダイナミック・レンジが要求されるさまざまな高電圧用途に最適です。

LTC2348-16 には、ピンで選択可能な SPI CMOS ( $1.8\text{V} \sim 5\text{V}$ ) と LVDS のシリアル・インタフェースが用意されており、旧型のマイクロコントローラとも最新の FPGA と同等に通信できます。CMOS モード時はアプリケーションが使用するシリアル出力データ・レーン数を 1 ～ 8 個の間で調整できるため、バス幅とデータ・スループットを最適化できます。通常、LTC2348-16 で、各チャンネルのスループットが  $200\text{ksp/s}$  の条件で 8 つのアナログ入力チャンネルを同時に変換するときの消費電力は、 $140\text{mW}$  です。オプションのナップ・モードとパワーダウン・モードを使用すると、非動作時の消費電力をさらに低減できます。

### コンバータの動作

LTC2348-16 は 2 つの段階で動作します。収集段階では、各チャンネルのサンプル・アンド・ホールド (S/H) 回路のサンプル・コンデンサが対応するアナログ入力ピンに接続され、差動アナログ入力電圧 ( $V_{\text{IN}+} - V_{\text{IN}-}$ ) に追従します。CNV ピンの立ち上がりエッジで、全てのチャンネルのサンプル・アンド・ホールド回路がトラック・モードからホールド・モードになり、全てのチャンネルの入力信号を同時にサンプリングして変換を開始します。変換段階では、同時に 1 つずつ、各チャンネルのサンプリング・コンデンサが 16 ビットの電荷再分配型コンデンサ D/A コンバータ (CDAC) に接続されます。CDAC は逐次比較アルゴリズムにより逐次制御され、差動コンパレータを使用して、サンプリングされた入力電圧を、チャンネルの SoftSpan フルスケール範囲のバイナリ加重した分数 (例:  $V_{\text{FSR}}/2$ 、 $V_{\text{FSR}}/4 \dots V_{\text{FSR}}/65536$ ) と、効率的に比較します。この処理の終了時、CDAC の出力はチャンネルのサンプリングされたアナログ入力を近似する値になります。こうして全てのチャンネルが変換されると、A/D コンバータの制御ロジックが各チャンネルから 16 ビットのデジタル出力コードを準備して、シリアル転送に備えます。

### 伝達関数

LTC2348-16 は、各チャンネルのフルスケールの電圧範囲を  $2^{16}$  レベルにデジタル化します。表 1a、1b のように、A/D コンバータのマスタ・リファレンス電圧  $V_{\text{REFBUF}}$  とチャンネルの SoftSpan 設定により、入力電圧レンジ、フルスケール範囲、LSB のサイズ、変換結果のバイナリ形式が決まります。たとえば、内部リファレンスとバッファ ( $V_{\text{REFBUF}} =$  公称値  $4.096\text{V}$ ) を使用し、SoftSpan 7 でチャンネルが  $\pm 10.24\text{V}$  の双極性アナログ入力電圧レンジに対応するように設定する場合は、フルスケール範囲  $20.48\text{V}$ 、LSB  $312.5\mu\text{V}$  になります。その他の SoftSpan 設定とリファレンス電圧を使用して、より広範囲の双極性、単極性の入力を変換することもできます。変換結果は、いずれの双極性 SoftSpan レンジでも 2 の補数のバイナリ形式で出力され、いずれの単極性 SoftSpan レンジでもストレート・バイナリ形式で出力されます。理想的な 2 の補数の伝達関数を図 2 に、理想的なストレート・バイナリの伝達関数を図 3 に示します。

## アプリケーション情報

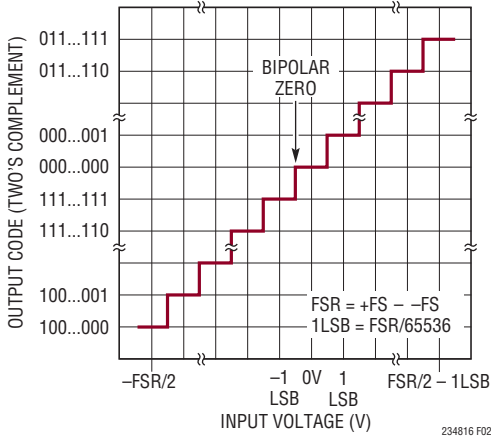


図2. LTC2348-16の2の補数の伝達関数

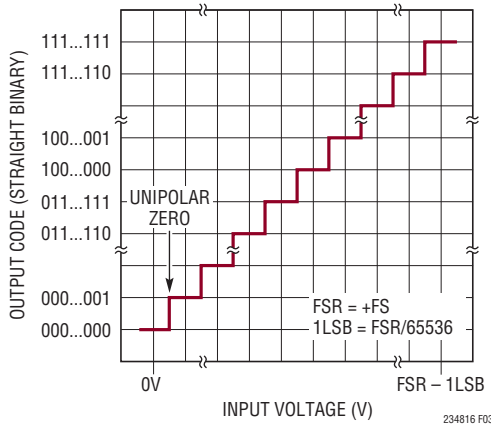


図3. LTC2348-16のストレート・バイナリ伝達関数

### アナログ入力

LTC2348-16の各チャネルは、A/Dコンバータの同相信号除去比(CMRR)が高いため両入力ピンに共通な不要な信号を抑制して、広い同相入力電圧範囲にわたってアナログ入力ピン間の電圧差( $V_{IN+} - V_{IN-}$ )を同時にサンプリングできます。同相入力電圧範囲が広くCMRRが高いため、各ピンの電圧が( $V_{CC} - 4V$ )  $\sim$   $V_{EE}$ の範囲内に保たれた場合は、アナログ入力 $IN^+/IN^-$ が相互に自由な関係で振れることができます。このユニークな特長を備えたLTC2348-16は、疑似差動の単極性信号、疑似差動の真の双極性信号、完全差動信号などの従来型のアナログ入力信号を含むさまざまな信号の範囲に対応でき、信号チェーンの設計を簡素化できます。

高圧電源で動作範囲が広いと、入力同相電圧の柔軟性が高くなります。電圧差の限界値( $10V \leq V_{CC} - V_{EE} \leq 38V$ )の条件が守られている限り、 $V_{CC}$ と $V_{EE}$ をそれぞれの許容動作範囲内の任意の値に個別にバイアスでき、いずれかの電源を直接グランドに接続することもできます。LTC2348-16は、同相入力電圧範囲がこのような特長を備えているため、個々のアプリケーションの条件に合わせて対応できます。

全てのSoftSpanレンジで、各チャネルのアナログ入力を、図4に示す等価回路によりモデル化できます。収集動作開始時、40pFのサンプリング・コンデンサ( $C_{IN}$ )は、それぞれのオン抵抗が約600 $\Omega$  ( $R_{IN}$ )のサンプリング・スイッチを介してアナログ入力ピン $IN^+/IN^-$ に接続されます。収集開始時の両方のサンプリング・コンデンサの初期電圧は、前回の変換からサンプリングされた同相電圧( $V_{IN+} + V_{IN-}$ )/2とほぼ同じ値になります。 $IN^+$ と $IN^-$ に接続される外部回路は、収集動作周期の間にサンプリング・コンデンサが初期電圧から新たな入力ピン電圧になるときに、ソースまたはシンクとして、 $R_{IN}$ に電流を流す必要があります。変換時や、ナップ・モード時、パワーダウン・モード時にアナログ入力に流れるのはわずかな漏れ電流だけです。入力のダイオードはESD保護機能を果たします。

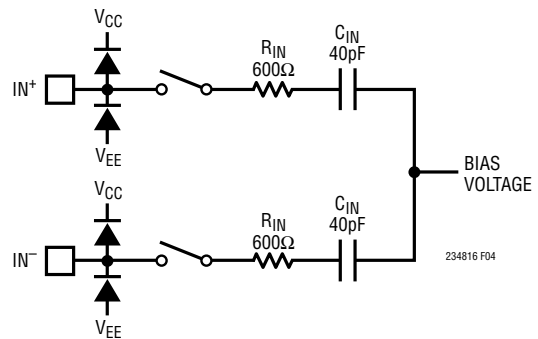


図4. 差動アナログ入力の等価回路  
(図は1つのチャネルを示す)

## アプリケーション情報

### 両極性 SoftSpan 入力電圧レンジ

チャンネルを SoftSpan レンジ 7、6、3、または 2 に設定した場合、表 1a のように、LTC2348-16 は、それぞれ  $\pm 2.5 \cdot V_{REFBUF}$ 、 $\pm 2.5 \cdot V_{REFBUF}/1.024$ 、 $\pm 1.25 \cdot V_{REFBUF}$ 、または  $\pm 1.25 \cdot V_{REFBUF}/1.024$  の双極性レンジ上で差動アナログ入力電圧 ( $V_{IN+} - V_{IN-}$ ) をデジタル化します。これらの SoftSpan レンジは、 $IN^+$  と  $IN^-$  が相互に上下に振れるような入力信号をデジタル化する場合に役立ちます。典型的な例としては、同相電圧 ( $V_{IN+} + V_{IN-}$ )/2 を中心にして相互の位相差が 180 度の状態で  $IN^+$  と  $IN^-$  が駆動される場合や、 $IN^-$  で駆動されて基準となるグラウンド・レベルの上下に振れる疑似差動の真の双極性の入力信号の場合などがあります。選択されている SoftSpan レンジに関わらず、 $IN^+/IN^-$  アナログ入力の同相入力電圧範囲が広く CMRR が高いため、各ピンの電圧が ( $V_{CC} - 4V$ ) と  $V_{EE}$  の範囲内に保たれた場合は、これらのアナログ入力が相互に自由な関係で振れることができます。全ての双極性 SoftSpan レンジで出力データは 2 の補数形式です。

### 単極性 SoftSpan 入力電圧レンジ

チャンネルを SoftSpan レンジ 5、4、または 1 に設定した場合、表 1a のように、LTC2348-16 は、それぞれ  $0V \sim 2.5 \cdot V_{REFBUF}$ 、 $0V \sim 2.5 \cdot V_{REFBUF}/1.024$ 、または  $0V \sim 1.25 \cdot V_{REFBUF}$  の単極性レンジ上で差動アナログ入力電圧 ( $V_{IN+} - V_{IN-}$ ) をデジタル化します。これらの SoftSpan レンジは、 $IN^+$  が  $IN^-$  より大きい値に保たれるような入力信号をデジタル化する場合に役立ちます。典型的な例としては、 $IN^+$  が  $IN^-$  で駆動されて基準となるグラウンド・レベルより大きい範囲で振れるような疑似差動単極性入力信号の場合などがあります。選択されている SoftSpan レンジに関わらず、 $IN^+/IN^-$  アナログ入力の同相入力電圧範囲が広く CMRR が高いため、各ピンの電圧が ( $V_{CC} - 4V$ )  $\sim V_{EE}$  の範囲内に保たれた場合は、これらのアナログ入力が相互に自由な関係で振れることができます。全ての単極性 SoftSpan レンジで出力データはストレート・バイナリ形式です。

### 入力駆動回路

収集周期の間に、収集開始時の各チャンネルのサンプリング・コンデンサの初期電圧が新たな入力ピン電圧に遷移して収束する必要があります。 $IN^+$  と  $IN^-$  に接続される外部回路は、このセトリング動作時に、ソースまたはシンクとして、 $R_{IN}$  に電流を流す必要があります。LTC2348-16 のサンプリング回路網の RC 時定数が 24ns であるため、フルスケール・ステップへの 16 ビットのセトリング時間は、約  $11 \cdot (R_{IN} \cdot C_{IN}) = 264ns$  になります。アナログ入力ピンに接続されている外部回路自身のインピーダンスとセトリング時間のため、全体のセトリングに要する時間は長くなります。低インピーダンスの信号源は、利得誤差なく LTC2348-16 の入力を直接駆動できますが、高インピーダンスの信号源は、収集時に十分にセトリングを行え A/D コンバータの直線性と歪み性能を最適化できるよう、バッファする必要があります。DC 入力信号の場合でも、サンプリング・コンデンサの電圧が、収集開始時のアナログ入力ピンの電圧とは異なるため、セトリング時間に配慮することは重要です。

ほとんどの用途では、バッファ・アンプを使用して LTC2348-16 のアナログ入力を駆動する必要があります。バッファ・アンプは出力インピーダンスが低いため、収集段階でアナログ信号の高速セトリングが可能です。また、バッファ・アンプは、収集開始時に信号源とアナログ入力での電荷の流れを切り離します。

### 入力のフィルタリング

入力のバッファ・アンプやその他のサポート回路のノイズと歪みは、A/D コンバータのノイズと歪みに上乗せされるため、これらを考慮する必要があります。ノイズの多い入力信号は、ノイズを最小限に抑えるため、バッファ・アンプの前で帯域幅の小さいフィルタによりフィルタ処理する必要があります。多くのアプリケーションでは、図 5 に示す簡単な 1 ポールの RC ローパス・フィルタで十分です。

バッファの出力部では、オン抵抗 ( $R_{IN}$ ) 600Ω のサンプリング・スイッチと 40pF サンプリング・コンデンサ ( $C_{IN}$ ) で形成されたローパス RC フィルタ回路網が、各チャンネルの入力帯域幅を 7MHz に制限します。この帯域幅は十分高速であり、収集時に十分な遷移収束時間を確保できただけでなくドライバの広帯域ノイズをフィルタ処理できます。この帯域幅での SNR の



## アプリケーション情報

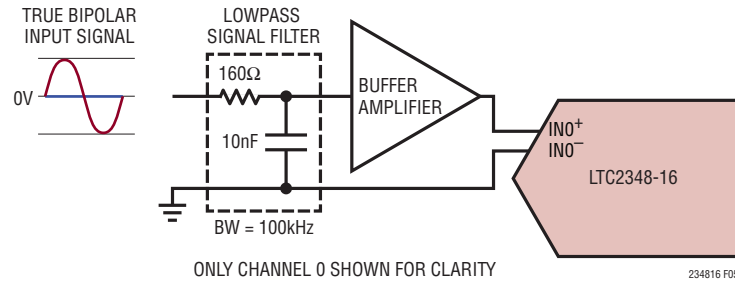


図5. 入力フィルタリング機能を有する真の双極性信号チェーン

低下を最小限に抑えられるよう、ノイズ密度の小さいバッファ・アンプを選択する必要があります。フィルタ回路網をバッファの出力とA/Dコンバータの入力の間に追加して、バッファに対するノイズの影響を最小限に抑えると同時に、A/Dコンバータの収集時のトランジェント電圧によるバッファへの妨害電圧を減らすこともできます。多くのアプリケーションでは、簡単な1ポールのローパスRCフィルタで十分です。ただし、セトリングが不十分だとINLとTHDの性能が制限されることがあるため、A/Dコンバータの収集時間( $t_{ACQ}$ )内にアナログ入力を16ビット分解能まで完全にセトリングさせることができるように、このフィルタのRC時定数を十分に小さくすることが重要です。また、サンプリング周波数( $f_{SAMPL}$ )とイネーブルされているチャンネルの数によって最短収集時間が異なることに注意してください。

RCフィルタのコンデンサと抵抗は歪みを大きくする可能性があるため、これらの部品は高品質のものを使用します。NPO/COGタイプやシルバーマイカ・タイプの誘電体のコンデンサは優れた直線性を示します。表面実装型カーボン抵抗は、半田付け工程で生じる損傷および自己発熱により歪みが生じることがあります。表面実装型金属皮膜抵抗は、この2つの問題に対してはるかに耐性があります。

### 任意の入力信号と完全差動アナログ入力信号のバッファリング

LTC2348-16は同相入力電圧範囲が広くCMRRが高いため、各ピンの電圧が( $V_{CC} - 4V$ )  $\sim$   $V_{EE}$ の範囲内に保たれた場合は、各チャンネルの $IN^+$ 、 $IN^-$ ピンが相互に自由な関係で振れることができます。このユニークな特長を備えたLTC2348-16は、さまざまな信号の範囲に対応でき、信号チェーンの設計を簡素化できます。多くのアプリケーションでは、チャンネルの $IN^+$ 、 $IN^-$ ピンを直接既存の信号チェーン回路に接続しても、A/Dコンバータの収集時間( $t_{ACQ}$ )内にチャンネルのサンプリング回路網が16ビット分解能のレベルまで収束できません。このような場合は、図6aのように、信号源とA/Dコンバータ入力ピンの間に2つの単位利得バッファを挿入することを推奨します。この回路での使用を推奨するいくつかのアンプとローパス・フィルタの組み合わせを、表2に示します。LT1469は、高速セトリング特性、優れた直線性、低オフセットを兼ね備えた上に、 $5nV/\sqrt{Hz}$ の入力換算ノイズ密度を実現しており、図6b  $\sim$  6eのFFTのグラフで示すように、A/Dコンバータのデータシートに示すSNRとTHDの規格値を全て満たすことができます。SNRやTHDの性能が多少低くても良いようなアプリケーションの場合は、より消費電力の少ないLT1355でLTC2348-16

表2. 図6aおよび9に示すバッファ回路に推奨するアンプとフィルタの組み合わせ。  
図6aの回路を使用し $\pm 10.24V$ の範囲で測定したAC性能

アンプ	$R_{FILT}$ ( $\Omega$ )	$C_{FILT}$ (pF)	入力信号の駆動	SNR (dB)	THD (dB)	SINAD (dB)	SFDR (dB)
$\frac{1}{2}$ LT1469	49.9	1000	FULLY DIFFERENTIAL	94.4	-119	94.4	121
$\frac{1}{2}$ LT1355	100	270	FULLY DIFFERENTIAL	94.3	-119	94.3	120
$\frac{1}{2}$ LT1469	49.9	1000	TRUE BIPOLAR	94.4	-109	94.3	110
$\frac{1}{2}$ LT1355	100	270	TRUE BIPOLAR	94.3	-107	94.1	108
$\frac{1}{2}$ LT1469	0	0	TRUE BIPOLAR	93.9	-109	93.8	110
$\frac{1}{2}$ LT1355	0	0	TRUE BIPOLAR	94.0	-107	93.8	108
$\frac{1}{2}$ LT1358	100	270	TRUE BIPOLAR	94.4	-109	94.3	110



## アプリケーション情報

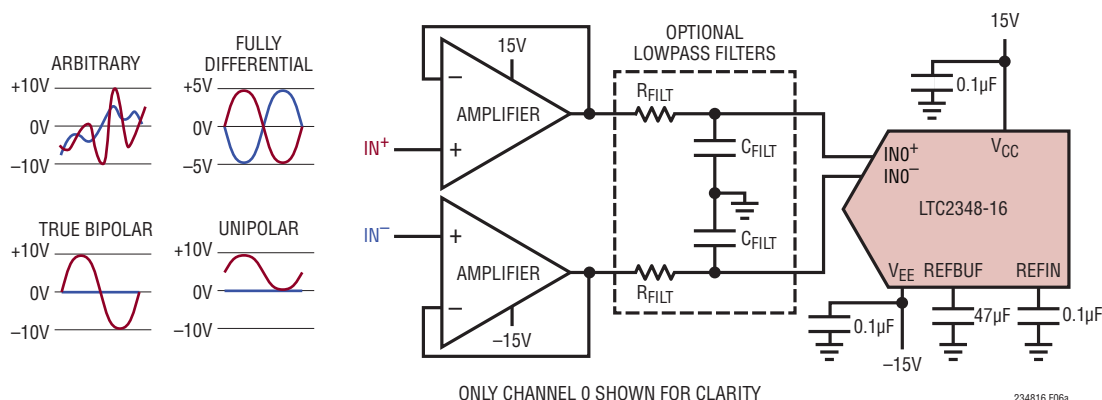


図 6a. 任意の信号、完全差動信号、真の双極性信号、単極性信号のバッファリング。  
推奨するアンプとフィルタの組み合わせについては表 2 を参照

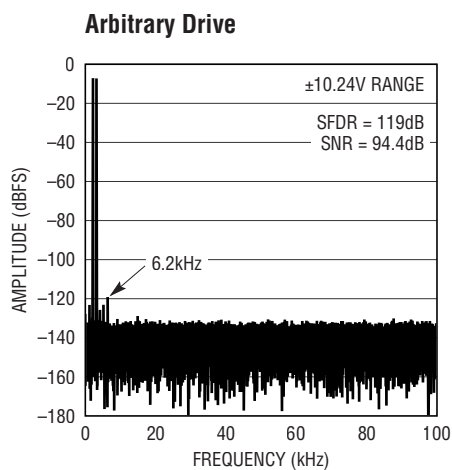


図 6b. ツートーン・テスト。IN<sup>+</sup> = -7dBFS 2kHz 正弦波、  
IN<sup>-</sup> = -7dBFS 3.1kHz 正弦波、32k ポイントの FFT、f<sub>SAMPL</sub> = 200ksps。  
図 6a の回路と LT1469 アンプ、R<sub>FILT</sub> = 49.9Ω、C<sub>FILT</sub> = 1000pF

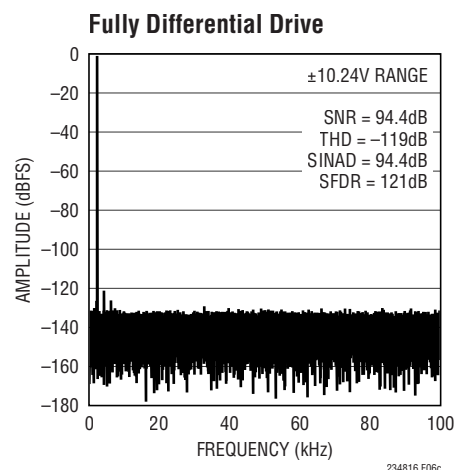


図 6c. IN<sup>+</sup>/IN<sup>-</sup> = -1dBFS 2kHz の完全差動正弦波、V<sub>CM</sub> = 0V、  
32k ポイントの FFT、f<sub>SAMPL</sub> = 200ksps。図 6a の回路と LT1469 アンプ、  
R<sub>FILT</sub> = 49.9Ω、C<sub>FILT</sub> = 1000pF

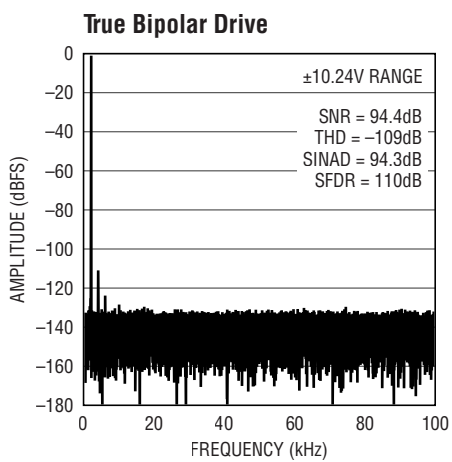


図 6d. IN<sup>+</sup> = -1dBFS 2kHz の真の双極性正弦波、IN<sup>-</sup> = 0V、  
2k ポイントの FFT、f<sub>SAMPL</sub> = 200ksps。図 6a の回路と LT1469 アンプ、  
R<sub>FILT</sub> = 49.9Ω、C<sub>FILT</sub> = 1000pF

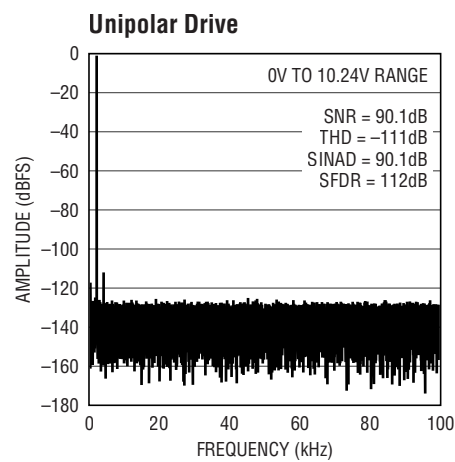


図 6e. IN<sup>+</sup> = -1dBFS 2kHz の単極性正弦波、IN<sup>-</sup> = 0V、  
32k ポイントの FFT、f<sub>SAMPL</sub> = 200ksps。図 6a の回路と  
LT1469 アンプ、R<sub>FILT</sub> = 49.9Ω、C<sub>FILT</sub> = 1000pF

234816fa

## アプリケーション情報

を駆動できます。LT1355は、高速セトリング特性、優れた直線性、中程度のオフセットを兼ね備えた上に、 $10\text{nV}/\sqrt{\text{Hz}}$ の入力換算ノイズ密度を実現しており、LT1469に比べ、SNRの低下をわずか0.1dB、THDの低下をわずか2dBに抑えながらLTC2348-16を駆動できます。表2のように、LT1469とLT1355はどちらも、ローパス・フィルタなしの状態で使用しても、広帯域ノイズの増加に起因するSNRの低下を0.5dB以下に抑えられます。最短収集時間( $t_{\text{ACQ}}$ )が500ns未満になるようなサンプリング周波数の場合、最高のセトリング、直線性、THD性能を実現するためには、LT1469またはLT1355はローパス・フィルタなしで、LT1358はローパス・フィルタとともに使用してください。

図6bに示すツートーン・テストは、LTC2348-16の入力の任意駆動性能が分かります。このテストでは、 $-7\text{dBFS}$  2kHzのシングルエンド正弦波で $\text{IN}^+$ を、 $-7\text{dBFS}$  3.1kHzのシングルエンド正弦波で $\text{IN}^-$ を、同時に駆動します。これらの信号は、より一般的な任意の入力信号の場合と同様に、同相電圧と差動電圧を組み合わせてによりアナログ入力を広範囲に変化させます。また、これらの信号は、スペクトル表現も単純です。同相的な影響を受けない理想的な差動コンバータの場合、この信号は、それぞれが1つの正弦波周波数に対応する2つの $-7\text{dBFS}$ のスペクトル・トーンとしてデジタル化されます。図6bのFFTのグラフはLTC2348-16の応答を示すものであり、

$\text{IN}^-$ の3.1kHzの正弦波に対する第2高調波歪み応答によりSFDRが119dBに抑えられ、このコンバータの理想的な性能に近くなっています。

LTC2348-16は、広い入力同相電圧範囲の任意の信号変化に高いCMRRで対応できるため、さまざまなアプリケーションに容易に対応できます。実際に、多くのセンサで得られる差動センサ電圧は大きな同相信号の上に乗っています。LTC2348-16によりこのような信号をデジタル化する1つの方法を、図7aに示します。アンプ段では、必要なセンサ信号が約10V/Vの差動利得で増幅され、不必要な同相信号はA/DコンバータのCMRRにより除去されます。この回路では、A/Dコンバータの $\pm 5\text{V}$ のSoftSpanレンジを使用しています。図7bは、この回路のCMRRの測定値であり、最も一般的な市販の計装用アンプと同様な性能を示します。図7cは、この回路のAC性能の測定値です。

図8に示す別の回路の例では、LTC2348-16の2つのチャネルを使用して、測定用抵抗器で、広い同相電圧範囲にわたる電圧と双方向の電流を同時に測定しています。この種のアプリケーションの多くは外部回路のインピーダンスが十分に小さいため、バッファを使用しなくてもA/Dコンバータのサンプリング回路網が完全に収束できます。

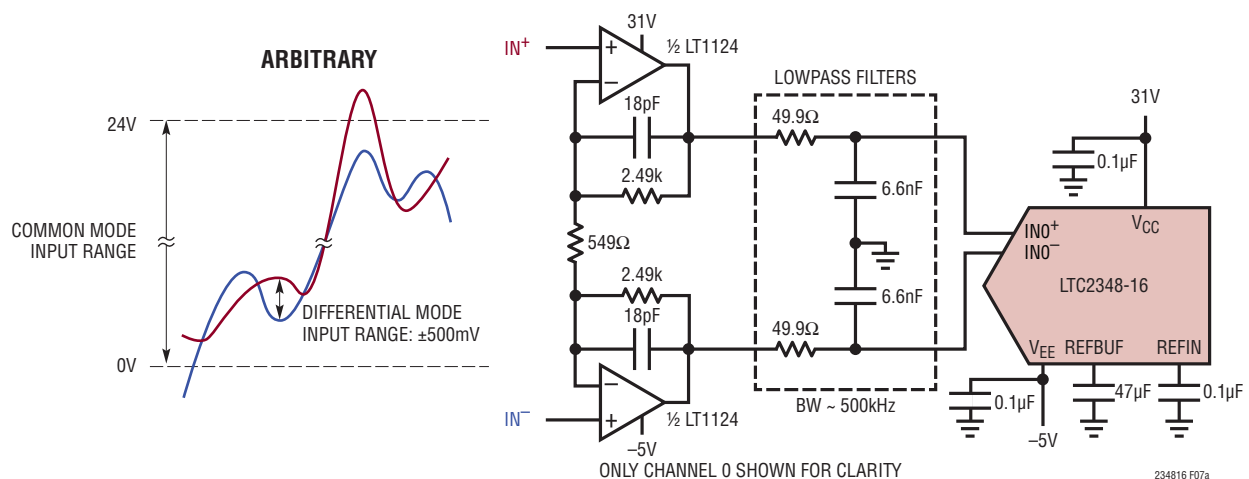


図7a. 広い同相電圧範囲で差動信号をデジタル化

## アプリケーション情報

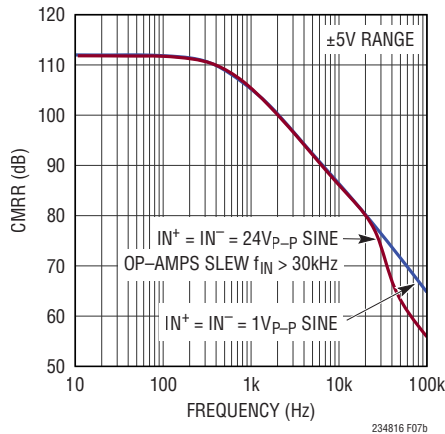
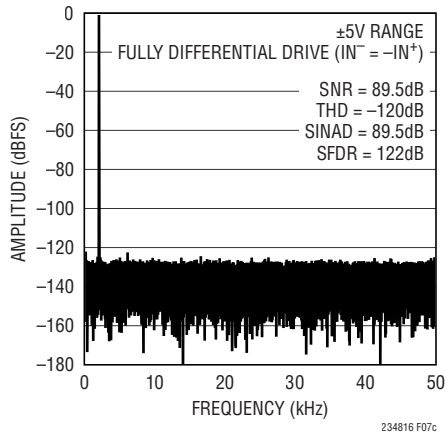
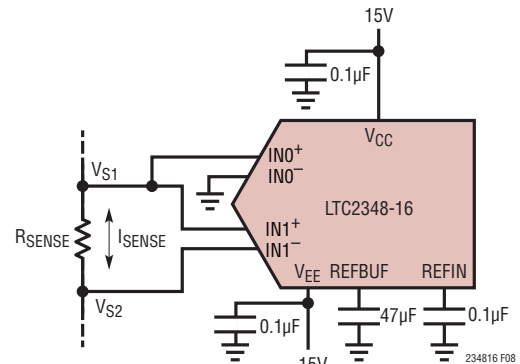


図7b. CMRRと入力周波数。回路は図7a

図7c.  $IN^+/IN^- = 450\text{mV}$  2kHz 完全差動正弦波、 $0\text{V} \leq V_{CM} \leq 24\text{V}$ 、32kポイントのFFT、 $f_{SAMPL} = 100\text{ksps}$ 。回路は図7a

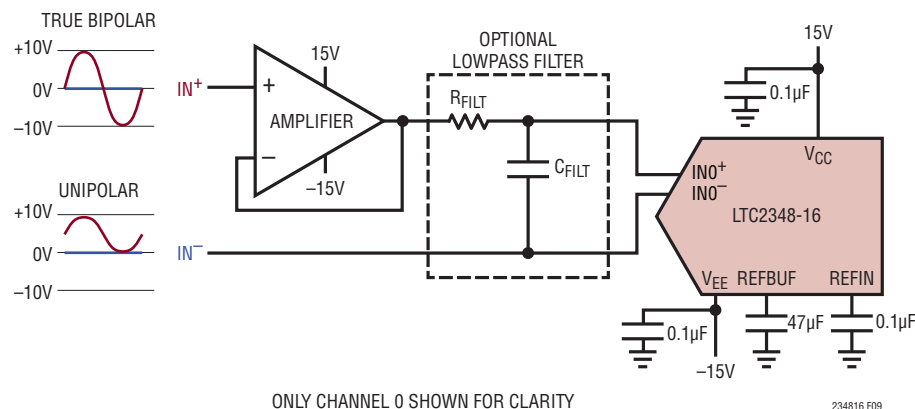
ONLY CHANNELS 0 AND 1 SHOWN FOR CLARITY

$$I_{SENSE} = \frac{V_{S1} - V_{S2}}{R_{SENSE}} \quad \begin{matrix} -10.24\text{V} \leq V_{S1} \leq 10.24\text{V} \\ -10.24\text{V} \leq V_{S2} \leq 10.24\text{V} \end{matrix}$$

図8. 広い同相電圧範囲で電圧(CH0)と電流(CH1)を同時に検出

## シングルエンドのアナログ入力信号のバッファリング

図6aの回路はシングルエンドの入力信号をバッファリングできますが、シングルエンドの信号のリファレンス・レベルのインピーダンスが本質的に小さくバッファリングが不要な場合は図9の回路の方が適しています。この回路では、1つのドライバとローパス・フィルタが不要になるため、部品点数と消費電力を減らし、ドライバのノイズに起因するSNRの低下を抑えることができます。表2で推奨されているドライバとフィルタの組み合わせを使用した場合、シングルエンド入力信号を有するこの回路でも、図6aの回路と同等の性能が得られます。



ONLY CHANNEL 0 SHOWN FOR CLARITY

図9. シングルエンド入力信号のバッファリング。推奨するアンプとフィルタの組み合わせについては表2を参照

## アプリケーション情報

### A/D コンバータのリファレンス

前出の表 1b のように、LTC2348-16 では、リファレンスを以下の 3 種類のいずれかに設定できます。第 1 の設定では、内部バンドギャップ・リファレンスとリファレンス・バッファの両方を使用します。第 2 の設定では、外部的に内部リファレンスをオーバードライブしますが内部バッファは状態が保持され、外部リファレンスを A/D コンバータの変換状態の遷移から隔離します。この設定は、複数の A/D コンバータで 1 つの高精度外部リファレンスを共有する場合に理想的です。第 3 の設定では、内部バッファをディスエーブルし、REFBUF ピンを外部的にオーバードライブします。

### 内部リファレンスと内部バッファ

LTC2348-16 は、工場出荷時に 2.048V に調整された、オンチップ、低ノイズ、低ドリフト (最大 20ppm/°C)、温度補償バンドギャップ・リファレンスを内蔵しています。リファレンスの出力は図 10a のように 20kΩ の抵抗器を介して REFIN ピンに接続され、内蔵のリファレンス・バッファへの入力となります。内部バンドギャップ・リファレンスを使用する場合は、広帯域ノイズをフィルタ処理するため、0.1μF のセラミック・コンデンサを使用して REFIN ピンをピンの近くで GND (ピン 20) にバイパスする必要があります。リファレンス・バッファは、 $V_{REFIN}$  を増幅してコンバータのマスタ・リファレンス電圧  $V_{REFBUF} = 2 \cdot V_{REFIN}$  を REFBUF ピンに出力します。内部バンドギャップ・リファレンスを使用する場合、このピンの公称電圧は 4.096V です。リファレンス・バッファを補償し、変換時の過渡電流を吸収してノイズを最小限に抑えるため、少なくとも 1 つの 47μF のセラミック・コンデンサ (X7R、10V、1210 サイズ、または X5R、10V、0805 サイズ) を使用して REFBUF をピンの近くで GND (ピン 20) にバイパスする必要があります。

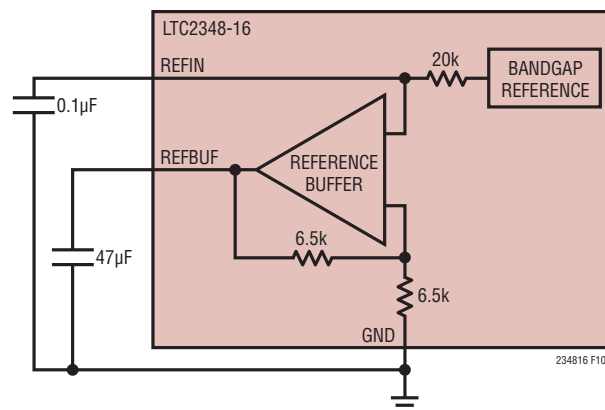


図 10a. 内部リファレンスと内部バッファの構成

### 外部リファレンスと内部バッファ

内部バンドギャップ・リファレンスの出力が 20kΩ の抵抗器により REFIN ピンから分離されているため、さらに高い精度や低いドリフトが要求される場合は、図 10b のように、外部リファレンスにより REFIN を容易にオーバードライブできます。REFIN ピンでの外部リファレンス電圧オーバードライブの有効範囲は 1.25V ~ 2.2V であるため、コンバータのマスタ・リファレンス電圧  $V_{REFBUF}$  は 2.5V ~ 4.4V になります。リニアテクノロジーでは、さまざまなアプリケーションの要求を満たすように設計された高性能リファレンスを取り揃えております。LTC6655-2.048 は小型、低消費電力、高精度なので、LTC2348-16 と組み合わせて内部リファレンスのオーバードライブに使用するのに最適です。LTC6655-2.048 は、高精度アプリケーション向けに 0.025% (最大) の初期精度と 2ppm/°C (最大) の温度係数を実現しています。LTC6655-2.048 は H グレードの温度範囲で完全に規定されており、LTC2348-16 の最大 125°C の拡張

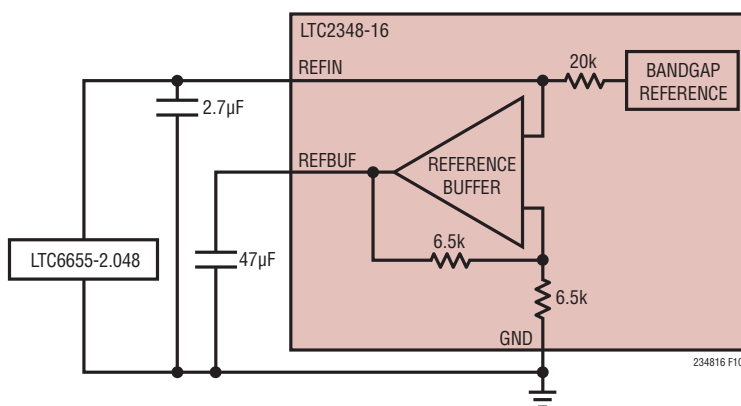


図 10b. 外部リファレンスと内部バッファの構成

## アプリケーション情報

温度範囲での動作を補完します。2.7 $\mu$ F~100 $\mu$ Fのセラミック・コンデンサをREFINピンの近くに配置して、LTC6655-2.048をバイパスすることを推奨します。

### 外部リファレンスとディスエーブルされた内部バッファ

内部リファレンス・バッファは、最大で $V_{REFBUF} = 4.4V$ まで対応できます。図10cのようにREFINを接地して内部バッファをディスエーブルすると、2.5V~5Vの範囲の外部リファレンス電圧でREFBUFをオーバードライブできます。外部5Vリファレンスを使用してREFBUFをオーバードライブすると、最大限の入力信号範囲とSNRを実現できます。リファレンス・バッファをディスエーブルした状態でも、バッファ・フィードバック抵抗器群によりREFBUFピンの負荷は13k $\Omega$ になります。LTC6655-5は、LTC6655-2.048と同様に小型、高精度、低ドリフトで、拡張温度範囲に対応し、LTC2348-16とペアで使用した場合、94.9dBの標準SNRを実現します。変換時の過渡電流吸収してノイズを最小限に抑えるため、少なくとも1つの47 $\mu$ Fのセラミック・コンデンサ(X7R、10V、1210サイズ、またはX5R、10V、0805サイズ)を使用してLTC6655-5をREFBUFピンの近くでGND(ピン20)にバイパスする必要があります。

各変換サイクル中に、LTC2348-16コンバータにはREFBUFピンから電荷( $Q_{CONV}$ )が流れます。短時間の場合は、この電荷の大部分が外部REFBUFバイパス・コンデンサから供給されますが、比較的長時間の場合は、全ての電荷がリファレンス・バッファから(内部リファレンス・バッファがディスエーブルされている場合は外部リファレンスから)供給されます。この流入電荷は、DC電流 $I_{REFBUF} = Q_{CONV} \cdot f_{SMPL}$ と一致し、サンプル・レートに比例します。図11に示すように、長時間のアイドル状態の後、集中的にサンプリングされるアプリケーションでは、 $I_{REFBUF}$ は短時間で約0.4mAから1.5mAになります( $V_{REFBUF} = 5V$ 、 $f_{SMPL} = 200kHz$ )。この電流のステップによ

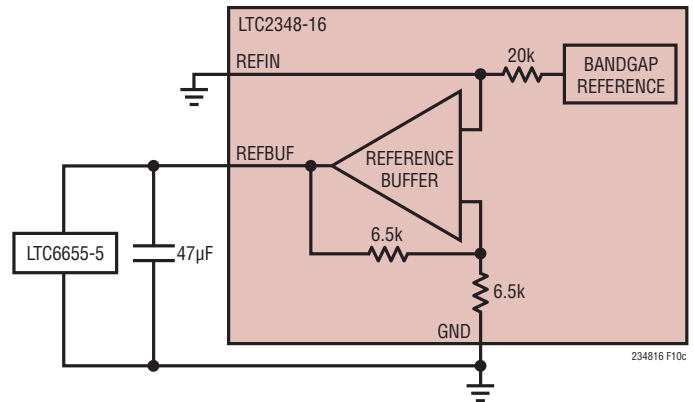


図10c. 外部リファレンスとディスエーブルされた内部バッファの構成

り、外部リファレンスのトランジェント応答がトリガされます。 $V_{REFBUF}$ の誤差はコンバータの精度に影響を与えるため、このトランジェント応答には注意が必要です。外部リファレンスを使用してREFBUFをオーバードライブする場合は、高速でセトリングするLTC6655ファミリのリファレンスの使用を推奨します。

### 内部リファレンス・バッファのトランジェント応答

集中的なサンプリングを使用するアプリケーションで最高の性能を実現するためには、外部リファレンスと内部リファレンス・バッファを使用するように設定する必要があります。内部リファレンス・バッファは、アイドル期間後に集中的な変換が行われる際の $V_{REFBUF}$ の変化を最小限に抑えられるよう、専用に設計されています。リファレンスの設定が異なる2つの場合について、入力がフルスケール近くにまでなるときのLTC2348-16の集中的な変換の応答を比較したのが、図12



図11. 集中的なサンプリングを示すCNVの波形



## アプリケーション情報

です。第1の設定では内部リファレンス・バッファを使用し LTC6655-2.048により外部的にREFINをオーバードライブしているのに対し、第2の設定では内部リファレンス・バッファをディスエーブルし外部のLTC6655-4.096によりREFBUFをオーバードライブしています。どちらの場合も、REFBUFは、47μFのセラミック・コンデンサでGNDにバイパスしています。

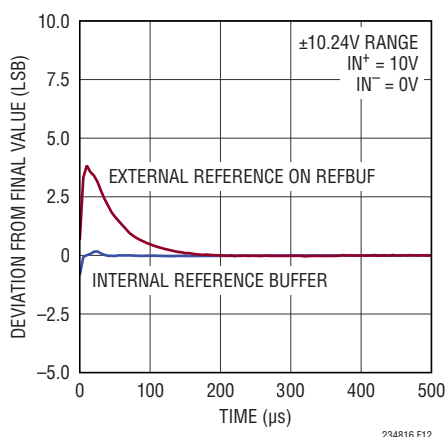


図 12. LTC2348-16の集中的な変換の応答、 $f_{\text{SAMPL}} = 200\text{ksps}$

## ダイナミック性能

A/Dコンバータの周波数応答、歪み、およびノイズを定格スループットでテストするには、高速フーリエ変換(FFT)の手法が使われます。低歪みの正弦波を入力し、そのデジタル出力をFFTアルゴリズムを使って解析することにより、基本波の外側の周波数に関してA/Dコンバータのスペクトル成分を調べることができます。LTC2348-16では、AC歪みとノイズの測定値について、いずれも保証されたテスト済みの限界値を示しています。

## 信号対ノイズ+歪み比(SINAD)

信号対ノイズ+歪み比(SINAD)は、基本入力周波数のRMS振幅とA/Dコンバータ出力での他の全ての周波数成分のRMS振幅の比です。出力の帯域は、サンプリング周波数の1/2未満に制限されています(DCは除く)。図13は、LTC2348-16が、2kHzの真の双極性入力信号で、サンプリング・レート200kHzのとき、±10.24Vの範囲でSINAD標準値94.3dBを実現していることを示します。

## 信号対ノイズ比(SNR)

信号対ノイズ比(SNR)は、基本入力周波数のRMS振幅と、最初の5つの高調波およびDCを除く他の全ての周波数成分のRMS振幅の比です。図13は、LTC2348-16が、2kHzの真の双極性入力信号で、サンプリング・レート200kHzのとき、±10.24Vの範囲でSNR標準値94.4dBを実現していることを示します。

## 全高調波歪み(THD)

全高調波歪み(THD)は、入力信号の全ての高調波のRMS値の合計と基本波のRMS値との比です。帯域外高調波は、DCとサンプリング周波数の半分( $f_{\text{SAMPL}}/2$ )の間の周波数帯域で折り返しエラーを生じます。THDは次のように表されます。

$$\text{THD} = 20 \log \frac{\sqrt{V_2^2 + V_3^2 + V_4^2 \dots V_N^2}}{V_1}$$

ただし、 $V_1$ は基本周波数の振幅のRMS振幅、 $V_2 \sim V_N$ は2次～n次の各高調波の振幅です。図13は、LTC2348-16が、2kHzの真の双極性入力信号で、サンプリング・レート200kHzのとき、±10.24Vの範囲でTHD標準値-109dB ( $N = 6$ )を実現していることを示します。

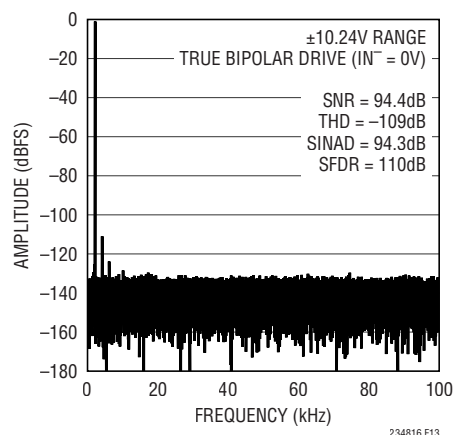


図 13. 32kポイントのFFT ( $f_{\text{SAMPL}} = 200\text{ksps}$ ,  $f_{\text{IN}} = 2\text{kHz}$ )

## アプリケーション情報

### 電源に関する検討事項

LTC2348-16には、4つの電源、すなわち、正負の高電圧電源 ( $V_{CC}$ と $V_{EE}$ )、メインの5V電源 ( $V_{DD}$ )、デジタル入出力 (I/O) インタフェース用電源 ( $OV_{DD}$ ) が必要です。電圧差の限界値 ( $10V \leq V_{CC} - V_{EE} \leq 38V$ ) の条件が守られている限り、 $V_{CC}$ と $V_{EE}$ をそれぞれの許容動作範囲内の任意の値に個別にバイアスでき、いずれかの電源を直接グランドに接続することもできます。LTC2348-16は、同相入力電圧範囲がこのような特長を備えているため、個々のアプリケーションの条件に合わせて対応できます。LTC2348-16は $OV_{DD}$ 電源の柔軟性が高いため、2.5Vシステムや3.3Vシステムなど、1.8V～5Vで動作するCMOSロジックと通信できます。LVDS I/Oモードを使用する場合、 $OV_{DD}$ の範囲は2.375V～5.25Vです。

### 電源シーケンシング

LTC2348-16には電源シーケンシングに関する特別な要件はありません。「絶対最大定格」のセクションに記載されている最大電圧の関係を遵守するよう注意する必要があります。LTC2348-16は、最初の電源投入時、および $V_{DD}$ が2Vより低くなったときに必ずA/Dコンバータ (LTC2348-16) をリセットするパワーオン・リセット (POR) 回路を内蔵しています。電源電圧が公称の電源電圧範囲内に戻ると、POR回路はA/Dコンバータを再度初期化します。初期化の期間が確実に終了するように、PORイベントの10ms後までは変換を開始しないようにします。内部リファレンス・バッファを使用する場合は、電源がオンになりREFBUFバイパス・コンデンサを再充電できるよう、200msの時間を確保してください。この時点より前に変換を開始すると、結果が無効になります。

### タイミングと制御

#### CNVのタイミング

LTC2348-16のサンプリングと変換はCNVによって制御されます。CNVピンの立ち上がりエッジで、全てのチャンネルのサンプル・アンド・ホールド回路がトラック・モードからホールド・モードになり、全てのチャンネルの入力信号を同時にサンプリングして変換を開始します。変換開始後は、「リセットのタイミング」のセクションで説明するように、A/Dコンバータをリセットする以外の方法で早期に変換を終了させることはできません。最適な性能を得るには、クリーンな低ジッタの信号でCNVを駆動し、データI/Oラインの遷移がCNVの立ち上がりエッジに至るのを避ける必要があります。また、チャンネル間のクロストークを最小限に抑えるためには、CNVの立ち上がりエッジの前後の100nsの間中はアナログ入力が高スループレートにならないようにする必要があります。コンバータのステータスはBUSY出力で分かります。BUSY出力は各変換の開始時に“L”から“H”に遷移し、変換が完了するまで“H”に保たれます。内部での変換処理中の外部的障害を最小限に抑えるため、CNVを“H”にして変換を開始してから40ns～60ns後、またはBUSYの立ち下がりエッジ後に、CNVを“L”に戻す必要があります。低消費電力のナップ・モード動作を活用するために必要なCNVのタイミングについては、「ナップ・モード」のセクションを参照してください。

#### 内部変換クロック

LTC2348-16には、N個のチャンネルをイネーブルした状態で $550 \cdot N$ nsの最大変換時間を達成するように調整されている内部クロックがあります。8つのチャンネルを同時に変換する場合の最小データ収集時間は570nsであり、外部調整なしに、200kspsのスループット性能が保証されています。

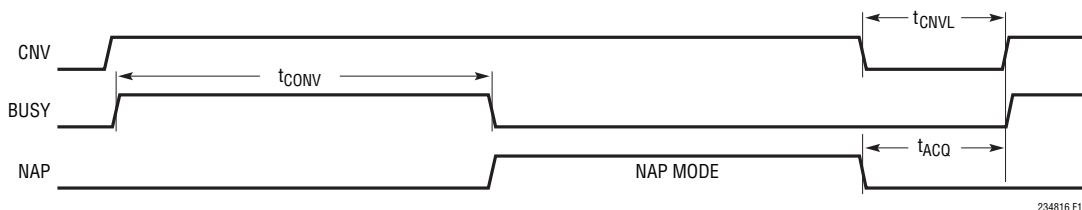


図 14. LTC2348-16 のナップ・モードのタイミング



# LTC2348-16

## アプリケーション情報

### ナップ・モード

LTC2348-16は、1回の変換完了後にナップ・モードに移行して、変換と変換の間の電力消費量を低減することができます。このモードではデバイスの回路の一部がオフになりますが、アナログ入力信号のサンプリングに関連する回路も含まれます。ナップ・モードをイネーブルするには、図14に示すように、変換と変換の間、CNVピンを“H”に保ちます。ナップ・モードに入った後に新しい変換を開始するには、CNVピンを“L”にして420ns以上保持し、その後再度“H”にします。ナップ・モード使用時のコンバータの収集時間( $t_{ACQ}$ )は、CNVの“L”の時間( $t_{CNVL}$ )で設定されます。

### パワーダウン・モード

PDピンが“H”になるとLTC2348-16はパワーダウンされ、その後の変換要求は無視されます。変換中にこの状態になった場合は、変換が完了した時点でデバイスがパワーダウン・モードになります。このモードでは、わずかなレギュレータ・スタンバイ電流しかデバイスに流れないため、消費電力は標準値で0.36mWとなります。パワーダウン・モード終了時は、PDピンを“L”にして10ms以上保持すると変換処理が開始されます。内部リファレンス・バッファを使用する場合は、電源がオンになりREFBUFバイパス・コンデンサを再充電できるよう、200msの時間を確保してください。この時点より前に変換を開始すると、結果が無効になります。

### リセットのタイミング

LTC2348-16では、電源をオン/オフせずに、パワーオン・リセットの場合と同様なグローバル・リセットを実行できます。この機能は、システム・レベルのイベント後にシステム全体の状態を既知の同期値に復帰させる場合に役立ちます。グローバル・リセットを実行するには、図15のように、間で変換が行われないタイミングでPDを2回“H”にします。PDの2回目の立ち上がりエッジでリセット・イベントがトリガされ、内部タイマにより非同期的に終了します。リセットを行うと、全てのシリアル・

データ出力レジスタがクリアされ、内部SoftSpan設定レジスタは、全てのチャンネルがSoftSpan 7であるデフォルト状態に復帰します。変換中にリセットがトリガされると、変換は直ちに停止します。PDを“H”にする通常のパワーダウン動作は、リセットの影響を受けません。PDピンを“L”にして10ms以上保持すると変換処理が開始されます。内部リファレンス・バッファを使用する場合は、電源がオンになりREFBUFバイパス・コンデンサを再充電できるよう、200msの時間を確保してください。この時点より前に変換を開始すると、結果が無効になります。

### 電力損失とサンプリング周波数

ナップ・モードを使用すると、LTC2348-16の電力損失は、図16に示すように、サンプリング周波数が低下するにつれて減少します。このように電力損失の平均値が減少するのは、ナップ・モードの間はLTC2348-16の回路の一部がオフになり、一時休止状態で経過する変換サイクル( $t_{CYC}$ )の割合が、サンプリング周波数( $f_{SAMPL}$ )が減少するにつれて増加するからです。

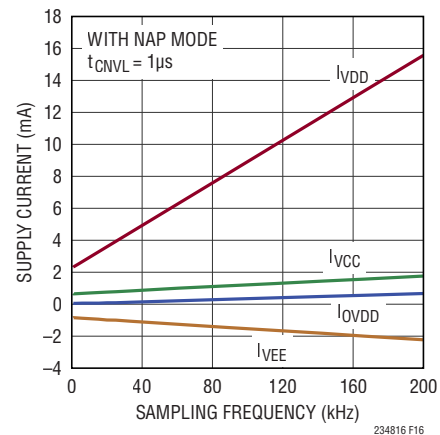


図16. LTC2348-16の電力損失はサンプリング周波数の低下とともに減少

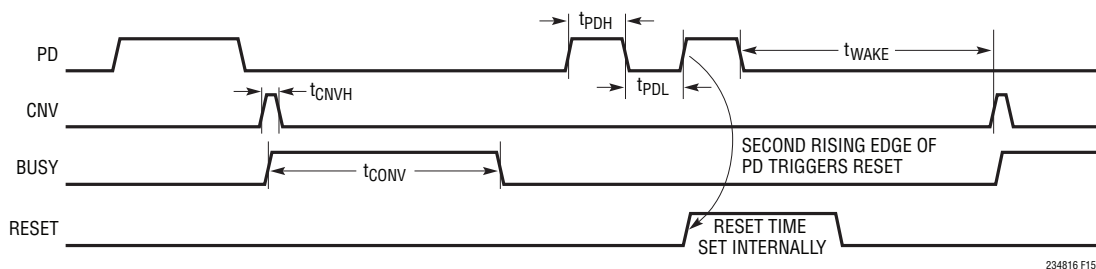


図15. LTC2348-16のリセットのタイミング

## アプリケーション情報

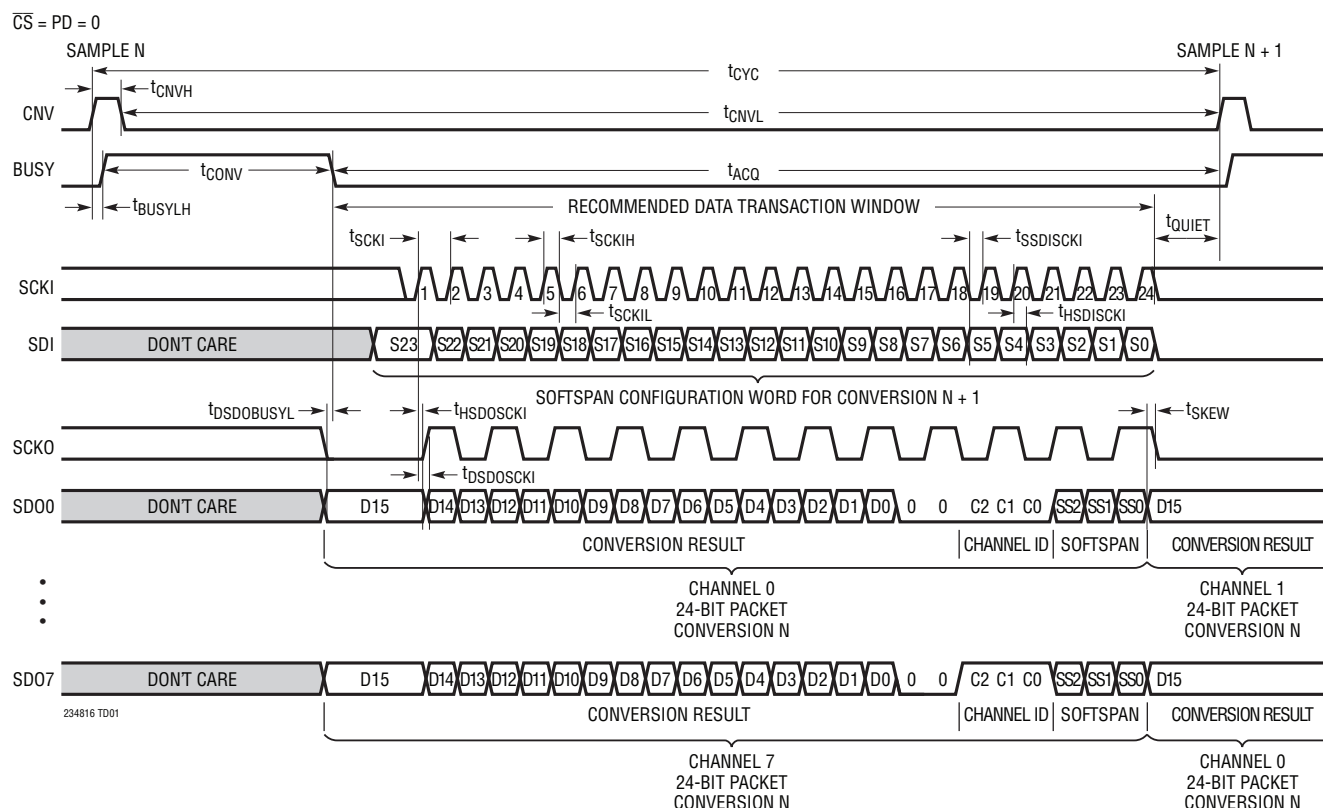


図 17. シリアル CMOS I/O モード

## デジタル・インタフェース

LTC2348-16はCMOSとLVDSのシリアル・インタフェースを装備しており、LVDS/CMOSピンで選択できます。LTC2348-16はOV<sub>DD</sub>電源の柔軟性が高いため、2.5Vシステムや3.3Vシステムなど、1.8V～5Vで動作するCMOSロジックと通信でき、LVDSインタフェースは低ノイズなデジタル設計をサポートします。CMOSモード時はアプリケーションがシリアル・データ出力のレーン1～8を使用できるため、バス幅とデータ・スループットを最適化できます。また、このようなI/Oインタフェース・オプションがあるため、LTC2348-16は、旧型のマイクロコントローラとも最新のFPGAとも同等に通信できます。

## シリアル CMOS I/O モード

図 17のように、CMOS I/Oモードでは、シリアル・データバスは、シリアル・クロック入力SCKI、シリアル・データ入力SDI、シリアル・クロック出力SCKO、8レーンのシリアル・データ出

力SDO0～SDO7から構成されます。LTC2348-16との通信は、このバス上で、あらかじめ定義されたデータ処理時間ウィンドウ内に行われます。このウィンドウ内で、デバイスは、次の変換用の24ビットSoftSpan設定ワードをSDIで受信し、直近の変換の結果とチャネル設定情報を含む24ビットの packets をSDO0～SDO7に出力します。LTC2348-16の電源投入またはリセットの10ms後、および各変換の最後のBUSYの立ち下がりエッジで、新しいデータ処理ウィンドウ期間になります。推奨使用例では、図 17のように、次の変換の開始より少なくとも20ns以上の時間(t<sub>QUIET</sub>)だけ前には、データ処理が完了している必要があります。新しいSoftSpan設定ワードが受信されるのはこの推奨データ処理ウィンドウの時間内ですが、SoftSpanの変更は直ちに有効になり、次の変換開始前に必要なアナログ入力セトリング時間が長くなることはありません。次の変換の開始後でも変換データを読み込むことはできませんが、変換精度が低下するため、この方法はお勧めしません。

## アプリケーション情報

BUSYの立ち下がりエッジで新しいデータ処理ウィンドウ期間になる直前に、SCKOは強制的に“L”になり、SDO0～SDO7はそれぞれに対応するアナログ入力チャネル0～7での最新の変換結果に更新されます。SCKIの立ち上がりエッジで、変換結果とアナログ入力チャネル設定情報がクロックに従ってSDO0～SDO7にシリアル出力され、SDO0～SDO7のデータにスキュー・マッチングされるSCKOの遷移がトリガされます。その結果、SCKOの周波数はSCKの1/2になります。また、SCKIの立ち上がりエッジでは、SDIに送られたSoftSpan設定ワードもラッチされ、これらの設定ワードを使用して、24ビットの内部SoftSpan設定レジスタがプログラムされます。詳しくは、「CMOS I/Oモード時のSoftSpan設定レジスタのプログラミング」のセクションを参照してください。CMOS I/Oモードでは、SCKIを、“H”でも“L”でもアイドル状態にできます。図18のように、CMOSバスは、 $\overline{CS}$ ピンが“L”になるとイネーブルされ、 $\overline{CS}$ ピンが“H”になるとディスエーブルされて高インピーダンスになるため、複数のデバイスでバスを共有できます。

SDO0～SDO7のデータの形式は24ビットの packets であり、16ビットの変換結果と、それに続く2つの埋め込み用のゼロ、3ビットのアナログ・チャネルID、3ビットのSoftSpanコードから構成され、全ての項目はMSBが先頭になる形で表現されます。図17および18のように、各SDOのレーンには、全てのアナログ入力チャネルに対応するこれらの packets が、順番に循環的に出力されます。たとえば、SDO0に出力される最初の24ビットの packets 出力はアナログ入力チャネル0に対応し、続けてチャネル1～7に対応する packets が出力されていきます。次に、SDO0のデータ出力はチャネル0にラップバックし、

このパターンが無期限に繰り返されます。他のSDOレーンも同様な循環パターンに従って動作しますが、各レーンで最初に現れる最初の packets が、関連付けられているアナログ入力チャネルに対応することだけが異なります。

LTC2348-16を標準的なSPIバスとインタフェースさせる場合は、SCKIの立ち上がりエッジでレシーバの出力データを捕捉してください。この場合、SCKOは使用されません。また、この場合は通常、複数のSDOレーンを使用することもできません。LTC2348-16をFPGAやCPLDとインタフェースさせるような他のアプリケーションの場合は、SCKOの立ち上がりエッジと立ち下がりエッジを使用して、SDO0～SDO7のシリアル出力データを2倍のデータ・レート(DDR)で捕捉できます。SCKOを使用してデータを捕捉すると、温度や電源に起因する遅延時間の変動に対する耐性が高くなります。

## 8つの全レーンでのシリアルCMOS出力データの捕捉

表3のように、SDO0～SDO7の8つのシリアル・データ出力レーン全てから最初の packets (合計で24回のSCKIサイクル)を捕捉することにより、各チャネルごとに45MHzのSCKI周波数で200kspsの最大スループットを実現できます。また、この構成では、3ビットのアナログ・チャネルIDと3ビットのSoftSpanコードが不要でありデバイスのSoftSpan設定が変更されていない場合は、わずか16回のSCKIサイクルで、全てのチャネルから変換結果を捕捉することができます。複数のレーンを使用したデータの捕捉は通常、取り込みハードウェアがFPGAまたはCPLDの場合に最適ですが、他のアプリケーションでも条件によっては効果的な場合があります。

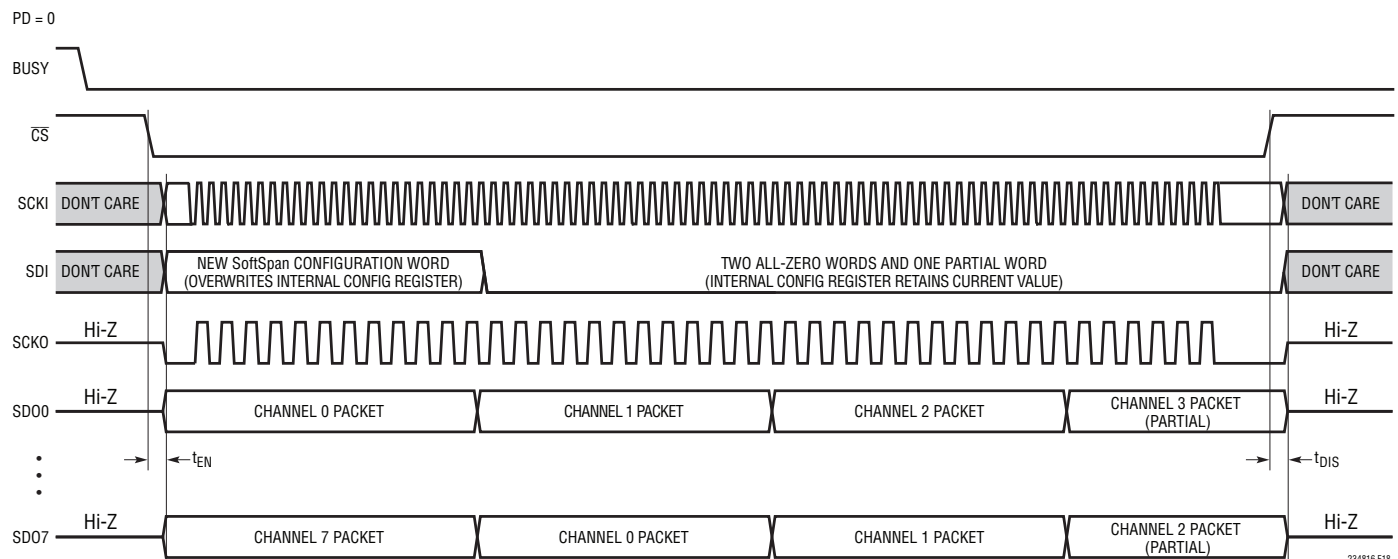


図18. 内部SoftSpan設定レジスタの動作。 $\overline{CS}$ に対するシリアルCMOSバスの応答

234816fa

アプリケーション情報

8つ未満のレーンでのシリアルCMOS出力データの捕捉

8つの全レーンでのシリアル・データ捕捉に対応できないアプリケーションの場合は、LTC2348-16の設定を変更しなくても、使用するレーン数を減らすことができます。たとえば、SDO0、SDO2、SDO4、SDO6から最初の2つのパケット(合計SCKIサイクル数は48)を捕捉する場合は、4つの出力レーンを使用して、それぞれアナログ入力チャンネル0と1、2と3、4と5、6と7に対応するデータが得られます。同様に、SDO0とSDO4から最初の4つのパケット(合計SCKIサイクル数は96)を捕捉する場合は、2つの出力レーンを使用して、それぞれアナログ入力チャンネル0～3、4～7に対応するデータが得られます。1つのレーンにしか対応できず、SDO0から最初の8つのパケット(合計SCKIサイクル数は192)を捕捉する場合は、全てのアナログ入力チャンネルに対応するデータが得られます。表3のように、4つのレーンを使用する場合は、SCKI周波数90MHzで最大200ksp/チャンネルのスループットを実現できますが、2つまたは1つのレーンしか使用しない場合は、CMOSの最大SCKI周波数が100MHzという限界があるため、スループットが200ksp/チャンネル未満に制約されてしまいます。データの捕捉に使用するレーン、および使用するレーンの総数の選択については、上記の特殊な例に限定されるものではないことに注意してください。個々のアプリケーションによっては、他の方法を選択した方が良好な結果が得られる場合もあります。

CMOS I/O モード時のSoftSpan 設定レジスタのプログラミング

24ビットの内部SoftSpan 設定レジスタは、LTC2348-16の全てのアナログ入力チャンネルのSoftSpan レンジを制御します。デバイスの電源投入後やりリセット後のデフォルト状態では、このレジスタは全てが1になり、SoftSpan 7、±2.5・VREFBUF の範

囲で変換処理を行うように、各チャンネルが設定されます(表 1a を参照)。このレジスタの状態を変更するには、図 17のように、データ処理ウィンドウの期間中に新しい24ビットのSoftSpan 設定ワードをSDIに書き込みます。新しいSoftSpan 設定ワードが受信されるのはこの推奨データ処理ウィンドウの時間内ですが、SoftSpan の変更は直ちに有効になり、次の変換開始前に必要なアナログ入力セトリング時間が長くなることはありません。チャンネルのSoftSpan コードをSS[2:0] = 000に設定すると、チャンネルが直ちにディスエーブルされ、次の変換では設定に応じてtCONVが短くなります。同様に、前にディスエーブルしたチャンネルをイネーブルしても、次の変換の開始前のアナログ入力のセトリング時間を長くする必要はありません。シリアルSoftSpan 設定ワード、内部SoftSpan 設定レジスタ、各チャンネルの3ビットのSoftSpan コードの間の対応を、図 19に示します。

データ処理ウィンドウの期間中に与えたSCKI 立ち上がりエッジの数が24 未満の場合、SDIで受信した部分的な設定ワードは無視され、SoftSpan 設定レジスタは更新されません。正確に24 回のSCKI 立ち上がりエッジを与えた場合は、受信したSoftSpan 設定ワードS[23:0]に応じてSoftSpan 設定レジスタが更新されます。ただし、S[23:0]が全てゼロである場合は例外的な動作が発生します。この場合は、SoftSpan 設定レジスタが更新されず、アプリケーションは、SDIを“L”でアイドリングさせることで現在のSoftSpan 設定を保持できます。データ処理ウィンドウの期間中に与えたSCKI 立ち上がりエッジの数が24 を超える場合は、SDIで受信した24ビットの完全なそれぞれの制御ワードが新しいSoftSpan 設定ワードと見なされ、前述のようにSoftSpan 設定レジスタに適用されます。部分的な設定ワードは無視されます。

表 3. 一般的な出力バス構成で8つのチャンネルをイネーブルした状態でさまざまなスループットを実現するのに必要なSCKI周波数。網かけの項目は、その設定ではスループットを実現できないことを示す。  
 $f_{SCKI} = (SCKI \text{ サイクル数}) / (t_{ACQ}(\text{MIN}) - t_{QUIET})$  により計算

I/O モード	SDO レーン数	SCKI サイクル数	各スループットの実現に必要な $f_{SCKI}$ (MHz)		
			200ksp/チャンネル ( $t_{ACQ} = 570\text{ns}$ )	100ksp/チャンネル ( $t_{ACQ} = 5570\text{ns}$ )	50ksp/チャンネル ( $t_{ACQ} = 15570\text{ns}$ )
CMOS	8	16	30	3	2
	8	24	45	5	2
	4	48	90	9	4
	2	96	Not Achievable	18	7
	1	192	Not Achievable	35	13
LVDS	1	96	180 (360Mbps)	18 (36Mbps)	7 (14Mbps)



## アプリケーション情報

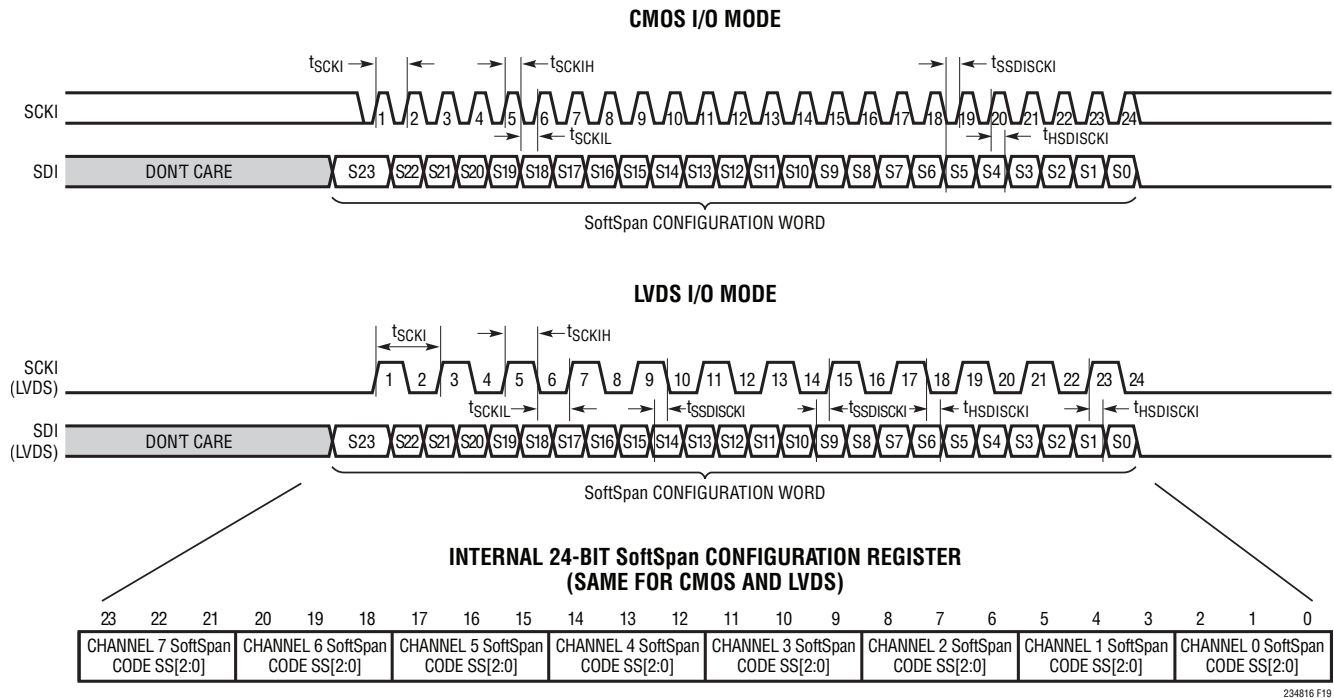


図 19. シリアル SoftSpan 設定ワード、内部 SoftSpan 設定レジスタ、各アナログ入力チャネルの 3 ビットの SoftSpan コードの間の対応

通常、アプリケーションは、図 17、18 のように SoftSpan 設定レジスタを更新します。BUSY の立ち下がりエッジで新しいデータ処理ウィンドウの期間に入った後の最初の 24 回の SCKI サイクル中に、24 ビットの SoftSpan 設定ワードを SDI に書き込みます。24 回目の SCKI 立ち上がりエッジの後、この新しい設定ワードが内部設定レジスタに上書きされます。この後は、さらに SCKI サイクルが加えられてもレジスタの内容が保持されるよう、データ処理ウィンドウの残りの時間中は SDI を“L”に保ちます。データ処理ウィンドウの期間全体にわたって SDI を“L”に保持すると、加えられた SCKI サイクルの数に関係なく、複数回の変換に対して SoftSpan の設定を保持できます。

### シリアル LVDS I/O モード

LVDS I/O モードでは、正負の信号ペア (LVDS<sup>+</sup>/LVDS<sup>-</sup>) と、差動的にコード化されたビット (LVDS<sup>+</sup> - LVDS<sup>-</sup>) を使用して、情報が送信されます。通常、これらの信号は、特性インピーダンス 100Ω の差動伝送線路を使用して送られます。通常、ロジック 1 と 0 は、それぞれ差動電圧 +350mV、-350mV により表現されます。分かりやすくするため、全ての LVDS タイミング図とインタフェースについての説明には、物理的な値でなく論理値を使用しています。

図 20 のように、LVDS I/O モードの場合、シリアル・データバスは、シリアル・クロック差動入力 SCKI、シリアル・データ差動入力 SDI、シリアル・クロック差動出力 SCKO、シリアル・データ差動出力 SDO から構成されます。LTC2348-16 との通信は、このバス上で、あらかじめ定義されたデータ処理時間ウィンドウ内に行われます。このウィンドウ内で、デバイスが、次の変換用の 24 ビット SoftSpan 設定ワードを SDI で受信し、直近の変換の結果とチャネル設定情報を含む 24 ビットの packets を SDO に出力します。LTC2348-16 の電源投入またはリセットの 10ms 後、および各変換の最後の BUSY の立ち下がりエッジで、新しいデータ処理ウィンドウ期間になります。推奨使用例では、図 20 のように、次の変換の開始より少なくとも 20ns 以上の時間 (t<sub>QUIET</sub>) だけ前には、データ処理が完了している必要があります。新しい SoftSpan 設定ワードが受信されるのはこの推奨データ処理ウィンドウの時間内ですが、SoftSpan の変更は直ちに有効になり、次の変換開始前に必要なアナログ入力セトリング時間が長くなることはありません。次の変換の開始後でも変換データを読み込むことはできますが、変換精度が低下するため、この方法はおすすめしません。

## アプリケーション情報

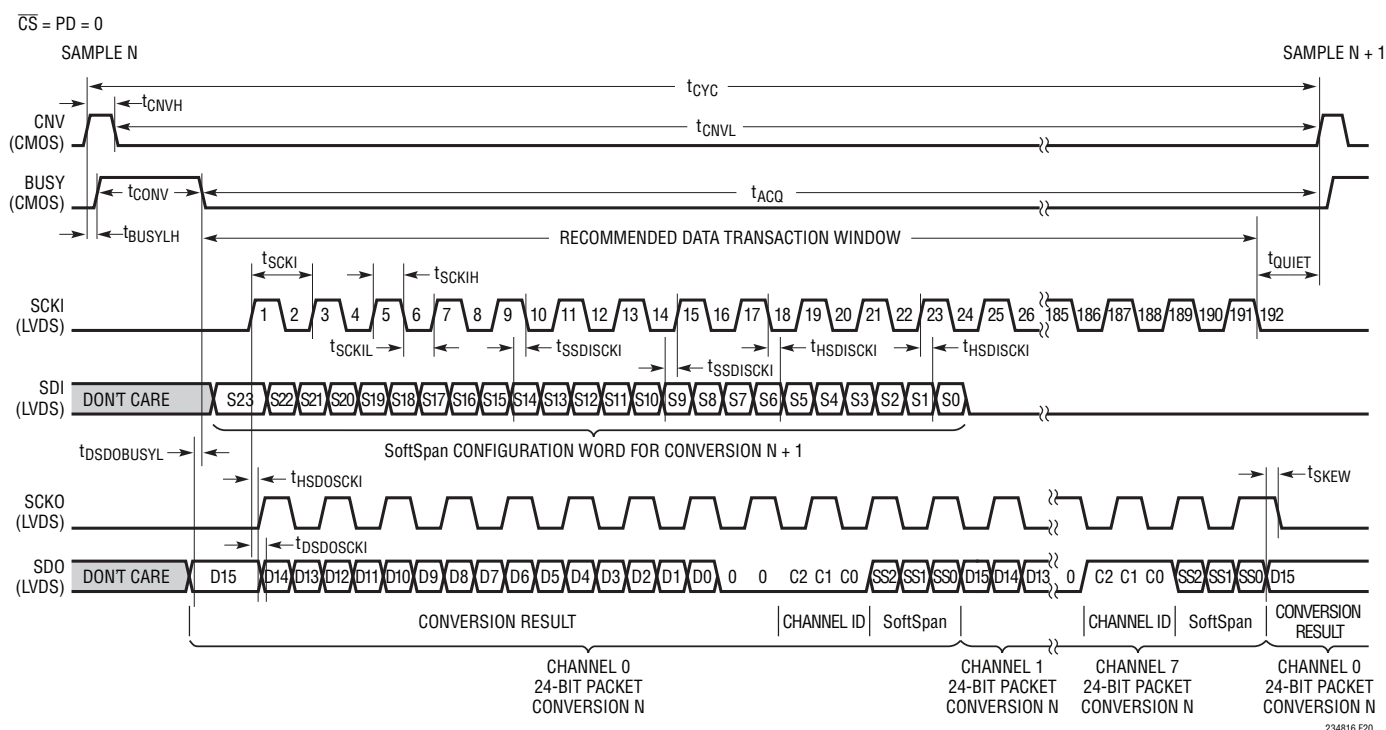


図 20. シリアル LVDS I/O モード

$BUSY$ の立ち下がりエッジで新しいデータ処理ウィンドウ期間になる直前に、 $SDO$ はアナログ入力チャンネル0で得られた最新の変換結果に更新されます。 $SCKI$ の立ち上がりエッジと立ち上がりエッジの両方で、変換結果とアナログ入力チャンネル設定情報がクロックに従って $SDO$ にシリアル出力されます。また、 $SCKI$ は $SCKO$ にもエコーされ、 $SDO$ のデータにスキュー・マッチングされます。可能な場合は必ず、 $SCKO$ の立ち上がりエッジと立ち下がりエッジを使用して $SDO$ のDDRシリアル出力データを捕捉することを推奨します。これにより、電源や温度に起因する遅延時間の変化への耐性を最適化できます。また、 $SCKI$ の立ち上がりエッジと立ち下がりエッジでは、 $SDI$ に送られたSoftSpan設定ワードもラッチされ、これらの設定ワードを使用して、24ビットの内部SoftSpan設定レジスタがプログラムされます。詳しくは、「LVDS I/Oモード時のSoftSpan設定レジスタのプログラミング」のセクションを参照してください。図21のように、LVDSバスは、 $\overline{CS}$ ピンが“L”になるとイネーブルされ、 $\overline{CS}$ ピンが“H”になるとディスエーブルされて高インピーダンスになるため、複数のデバイスでバスを共有できます。LVDSでの信号伝達は高速性に関係するため、LVDSバスの共有については慎重に考慮する必要があります。

ります。共有バスに起因する伝送線路の限界のため、達成可能な最大バス・クロック速度が制約される可能性もあります。 $\overline{CS}$ が“L”のとき、LVDS入力は100Ωの差動抵抗で内部的に終端処理されますが、出力はレシーバ(FPGA)で100Ωの抵抗により差動で終端処理する必要があります。 $\overline{CS}$ の遷移時など、LVDS I/Oモードでは $SCKI$ が“L”でアイドリング状態になっていなければなりません。

$SDO$ のデータの形式は24ビットの packets であり、16ビットの変換結果と、それに続く2つの埋め込み用のゼロ、3ビットのアナログ・チャンネルID、3ビットのSoftSpanコードから構成され、全ての項目はMSBが先頭になる形で表現されます。図20および21のように、 $SDO$ には、全てのアナログ入力チャンネルに対応するこれらの packets が、順番に循環的に出力されます。たとえば、 $SDO$ に出力される最初の24ビットの packets 出力はアナログ入力チャンネル0に対応し、続けてチャンネル1～7に対応する packets が出力されていきます。次に、 $SDO$ のデータ出力はチャンネル0にラップバックし、このパターンが無期限に繰り返されます。

## アプリケーション情報

## シリアルLVDS出力データの捕捉

表3のように、SDOでDDRの8つのパケット(合計で96回のSCKIサイクル)を捕捉することにより、180MHzのSCKI周波数で200kps/チャンネルの最大スループットを実現できます。LTC2348-16は、250MHzまでのLVDS SCKI周波数に対応できます。

## LVDS I/O モード時のSoftSpan設定レジスタのプログラミング

24ビットの内部SoftSpan設定レジスタは、LTC2348-16の全てのアナログ入力チャンネルのSoftSpanレンジを制御します。デバイスの電源投入後やりセット後のデフォルト状態では、このレジスタは全てが1になり、SoftSpan 7、 $\pm 2.5 \cdot V_{REFBUF}$ の範囲で変換処理を行うように、各チャンネルが設定されます(表1aを参照)。このレジスタの状態を変更するには、図20のように、データ処理ウィンドウの期間中に新しい24ビットのSoftSpan設定ワードをSDIに書き込みます。新しいSoftSpan設定ワードが受信されるのはこの推奨データ処理ウィンドウの時間内ですが、SoftSpanの変更は直ちに有効になり、次の変換開始前に必要なアナログ入力セトリング時間が長くなることはありません。チャンネルのSoftSpanコードをSS[2:0] = 000に設定すると、チャンネルが直ちにディスエーブルされ、次の変換では設定に応じて $t_{CONV}$ が短くなります。同様に、前にディスエーブルしたチャンネルをイネーブルしても、次の変換の開始前のアナログ入力のセトリング時間を長くする必要はありません。シリアルSoftSpan設定ワード、内部SoftSpan設定レジスタ、各チャンネルの3ビットのSoftSpanコードの間の対応を、図19に示します。

データ処理ウィンドウの期間中に与えたSCKIエッジ(立ち上がりと立ち下がり)の数が24未満の場合、SDIで受信した部分的な設定ワードは無視され、SoftSpan設定レジスタは更新されません。正確に24回のSCKIエッジを与えた場合は、受信したSoftSpan設定ワードS[23:0]に応じてSoftSpan設定レジスタが更新されます。ただし、S[23:0]が全てゼロである場合は例外的な動作が発生します。この場合は、SoftSpan設定レジスタが更新されず、アプリケーションは、SDIを“L”でアイドリングさせることで現在のSoftSpan設定を保持できます。データ処理ウィンドウの期間中に与えたSCKIエッジの数が24を超える場合は、SDIで受信した24ビットの完全なそれぞれの制御ワードが新しいSoftSpan設定ワードと見なされ、前述のようにSoftSpan設定レジスタに適用されます。部分的な設定ワードは無視されます。

通常、アプリケーションは、図20、21のようにSoftSpan設定レジスタを更新します。BUSYの立ち下がりエッジで新しいデータ処理ウィンドウの期間に入った後の最初の12回のSCKIサイクル中に、24ビットのDDR SoftSpan設定ワードをSDIに書き込みます。12回目のSCKI立ち上がりエッジの後、この新しい設定ワードが内部設定レジスタに上書きされます。この後は、さらにSCKIサイクルが加えられてもレジスタの内容が保持されるよう、データ処理ウィンドウの残りの時間中はSDIを“L”に保ちます。データ処理ウィンドウの期間全体にわたってSDIを“L”に保持すると、加えられたSCKIサイクルの数に関係なく、複数回の変換に対してSoftSpanの設定を保持できます。

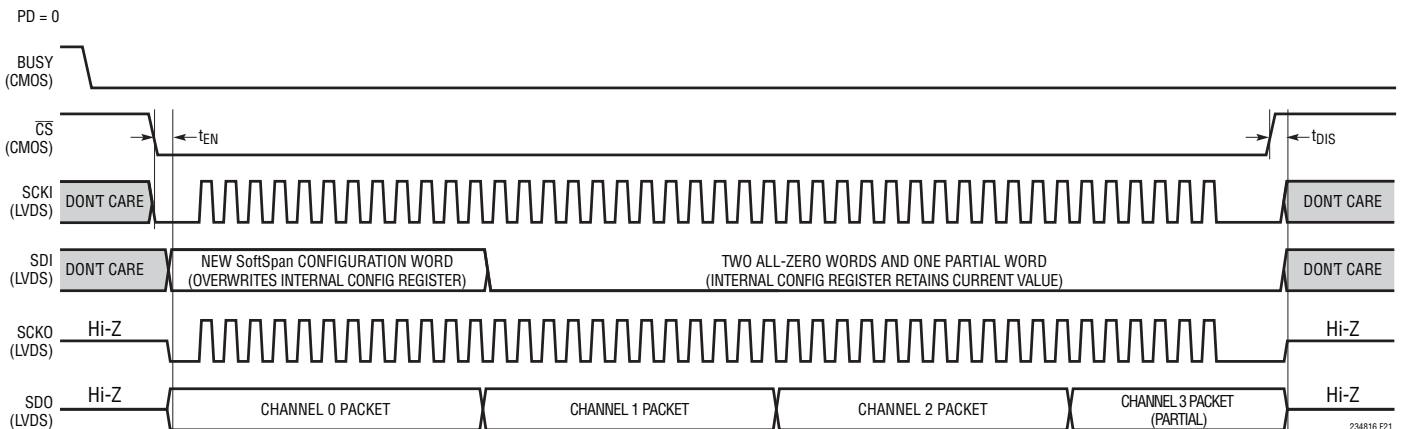


図21. 内部SoftSpan設定レジスタの動作。CSに対するシリアルLVDSバスの応答

234816fa



## 基板のレイアウト

LTC2348-16から最大限の性能を引き出すには、4層プリント回路基板(PCB)を推奨します。PCBのレイアウトでは、デジタル信号線とアナログ信号線をできるだけ離すようにします。特に、デジタル・クロックやデジタル信号を、アナログ信号の近くに配線したり、A/Dコンバータの下に配線したりしないように注意する必要があります。REFBUFからGND(ピン20)へのバイパス・コンデンサのリターン・ループの長さは、最小限に抑えてください。また、CNVを信号の近くに配線することは、立ち上がりエッジの妨げになる可能性があるため避けてください。

電源のバイパス・コンデンサは、できる限り電源ピンの近くに配置してください。A/Dコンバータを低ノイズで動作させるには、これらのバイパス・コンデンサに低インピーダンスの共通帰線を使用することが不可欠です。そのためには、切れ目のない単一のグラウンド・プレーンを推奨します。できれば、グラウンドを使用してアナログ入力の実線部分を遮蔽してください。

## リファレンスの設計

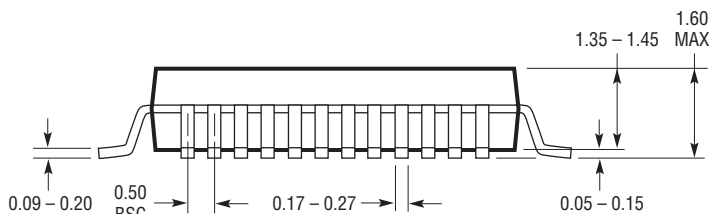
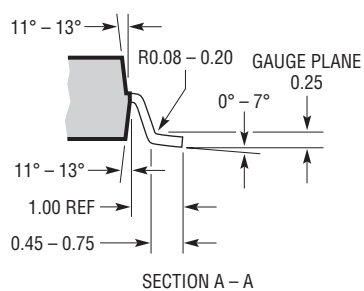
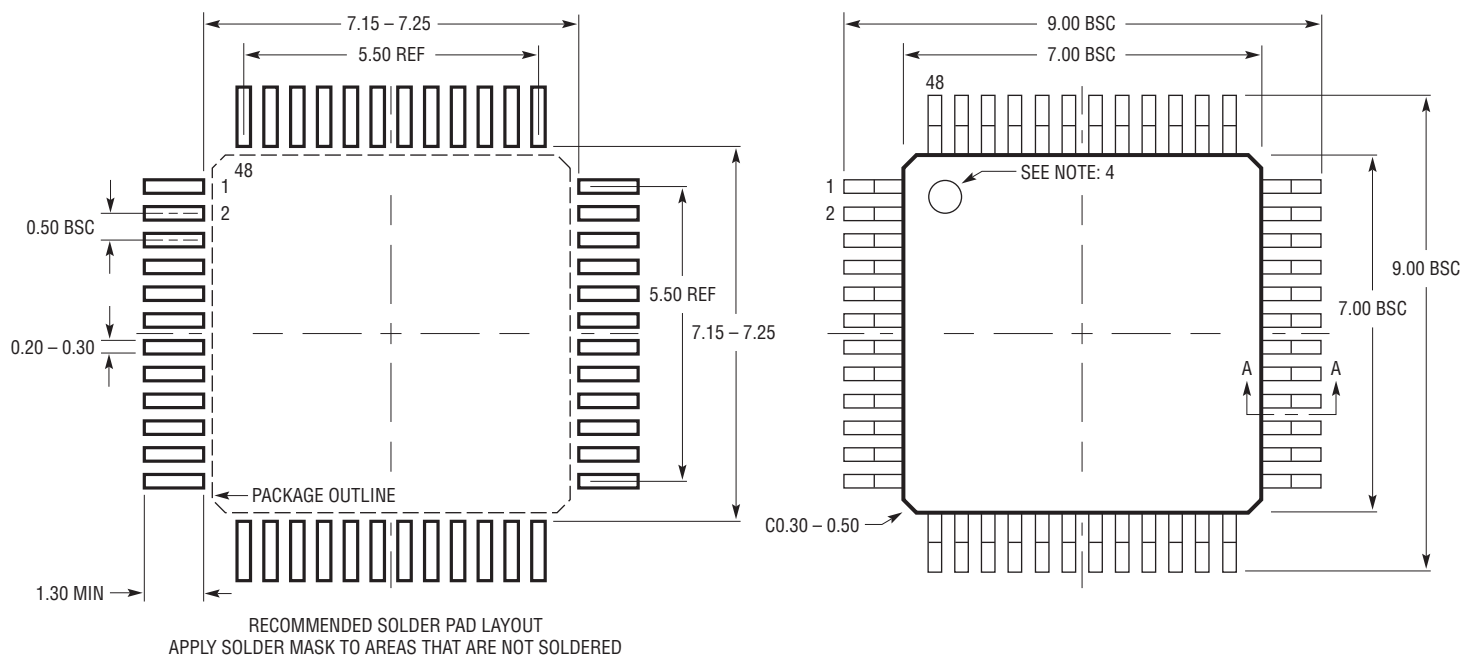
図面やPCBレイアウトなど、このコンバータのリファレンスの設計に関する詳細は、LTC2348-16評価キット [DC2094A](#) を参照してください。

# LTC2348-16

## パッケージの寸法

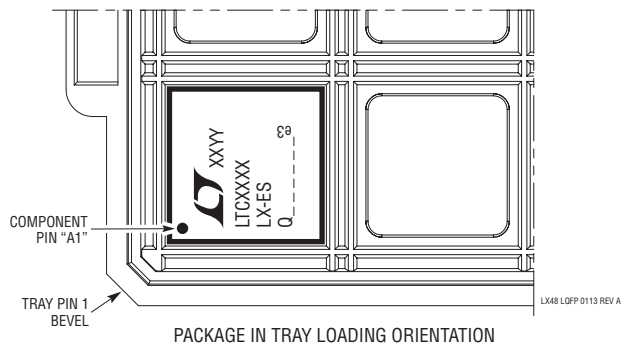
最新のパッケージ図面については、<http://www.linear-tech.co.jp/product/LTC2348-16#packaging> を参照してください。

### LX Package 48-Lead Plastic LQFP (7mm × 7mm) (Reference LTC DWG # 05-08-1760 Rev A)



#### 注記:

1. パッケージ寸法は JEDEC #MS-026 のパッケージ外形に適合
2. 寸法はミリメートル
3. 寸法にはモールドのバリを含まないモールドのバリは (もしあれば) 各サイドで 0.25mm を超えないこと
4. ピン 1 の識別マークはモールドのくぼみ、直径 0.50mm
5. 図は実寸とは異なる



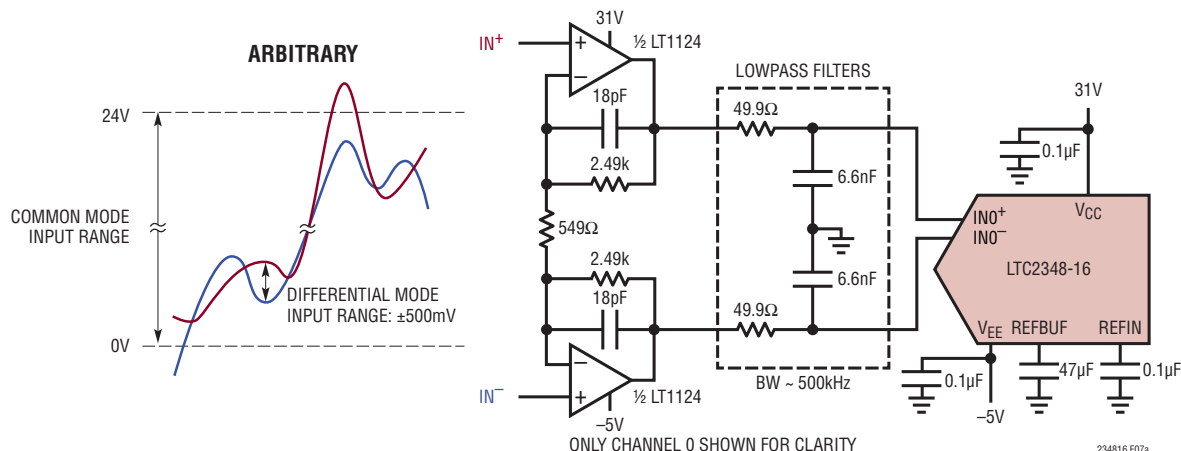
改訂履歴

バージョン	日付	概要または説明	ページ番号
A	02/16	「A/Dコンバータのタイミング特性」のセクションを更新	6
		新たに右のグラフを挿入：PSRRと周波数および電力損失とサンプリング・レート	12
		表2を更新	22
		「アプリケーション情報」のセクションを更新	24
		図16を更新	30
		表3を更新	33
		「基板レイアウト」のセクションを更新	37

# LTC2348-16

## 標準的応用例

広い同相電圧範囲で差動信号をデジタル化



## 関連製品

製品番号	概要または説明	注釈
<b>A/D コンバータ</b>		
LTC2348-18	18ビット、200ksps、8チャンネル同時サンプリング、INL: ±3LSB、シリアル A/D コンバータ	同相範囲の広い ±10.24V SoftSpan 入力、SNR: 97dB、CMOS および LVDS のシリアル I/O、7mm×7mm LQFP-48 パッケージ
LTC2378-20/LTC2377-20/ LTC2376-20	INL が ±0.5ppm の 20ビット、1Msps/500ksps/250ksps、シリアル、低消費電力 A/D コンバータ	2.5V 電源、±5V 完全差動入力、SNR: 104dB、MSOP-16 および 4mm×3mm DFN-16 パッケージ
LTC2338-18/LTC2337-18/ LTC2336-18	18ビット、1Msps/500ksps/250ksps シリアル、低消費電力 A/D コンバータ	5V 電源、±10.24V 完全差動入力、SNR: 104dB、MSOP-16 パッケージ
LTC2328-18/LTC2327-18/ LTC2326-18	18ビット、1Msps/500ksps/250ksps シリアル、低消費電力 A/D コンバータ	5V 電源、±10.24V 疑似差動入力、SNR: 95dB、MSOP-16 パッケージ
LTC2373-18/LTC2372-18	18ビット、1Msps/500ksps、8チャンネル、シリアル A/D コンバータ	5V 電源、8チャンネル・マルチプレクス、設定可能な入力範囲、SNR: 100dB、DGC、5mm×5mm QFN-32 パッケージ
LTC2379-18/LTC2378-18/ LTC2377-18/LTC2376-18	18ビット、1.6Msps/1Msps/500ksps/250ksps シリアル、低消費電力 ADC	2.5V 電源、差動入力、SNR: 101.2dB、入力範囲: ±5V、DGC、MSOP-16 および 4mm×3mm DFN-16 パッケージのピン互換ファミリ
LTC2380-16/LTC2378-16/ LTC2377-16/LTC2376-16	16ビット、2Msps/1Msps/500ksps/250ksps シリアル、低消費電力 A/D コンバータ	2.5V 電源、差動入力、SNR: 96.2dB、入力範囲: ±5V、DGC、MSOP-16 および 4mm×3mm DFN-16 パッケージのピン互換ファミリ
LTC2389-18/LTC2389-16	18/16ビット、2.5Msps パラレル/シリアル A/D コンバータ	5V 電源、ピンで設定可能な入力範囲、SNR: 99.8dB/96dB、パラレルまたはシリアル I/O、7mm×7mm LQFP-48 および QFN-48 パッケージ
LTC1859/LTC1858/ LTC1857	16/14/12ビット、8チャンネル、100ksps シリアル A/D コンバータ	±10V、SoftSpan、シングルエンド入力または差動入力、単一 5V 電源、SSOP-28 パッケージ
LTC1609	16ビット、200ksps シリアル A/D コンバータ	±10V、ユニポーラ/バイポーラ入力に設定可能、単一 5V 電源、SSOP-28 および SO-20 パッケージ
<b>D/A コンバータ</b>		
LTC2756/LTC2757	18ビット、シリアル/パラレル SoftSpan 電流出力 D/A コンバータ	INL/DNL: ±1LSB、ソフトウェアで選択可能な範囲、SSOP-28/7mm×7mm LQFP-48 パッケージ
LTC2668	16チャンネル、16/12ビット、±10V 電圧出力、SoftSpan D/A コンバータ	INL: ±4LSB、高精度リファレンス 10ppm/°C (最大)、6mm×6mm QFN-40 パッケージ
<b>リファレンス</b>		
LTC6655	高精度、低ドリフト、低ノイズのバッファ付きリファレンス	5V/2.5V/2.048V/1.25V、2ppm/°C、ピーク・トゥ・ピーク・ノイズ: 0.25ppm、MSOP-8 パッケージ
LTC6652	高精度、低ドリフト、低ノイズのバッファ付きリファレンス	5V/2.5V/2.048V/1.25V、5ppm/°C、ピーク・トゥ・ピーク・ノイズ: 2.1ppm、MSOP-8 パッケージ
<b>アンプ</b>		
LT1468/LT1469	シングル/デュアル 90MHz、22V/μs、16ビット高精度オペアンプ	低入力オフセット電圧: 75μV/125μV
LT1354/LT1355/LT1356	シングル/デュアル/クワッド 1mA、12MHz、400V/μs オペアンプ	高い DC 精度、あらゆる容量性負荷で安定した動作
LT1357/LT1358/LT1359	シングル/デュアル/クワッド 2mA、25MHz、800V/μs オペアンプ	高い DC 精度、あらゆる容量性負荷で安定した動作

234816fa