

特長

- 単一5V電源
- サンプリング・レート: 100ksps
- ±30V保護付きの8チャネル・マルチプレクサ
- ±10Vのバイポーラ入力範囲シングルエンドまたは差動
- INL: ±3LSB (LTC1856)、±1.5LSB (LTC1855)、±1LSB (LTC1854)
- 消費電力: 40mW (標準)
- SPI/MICROWIRE™互換のシリアルI/O
- パワー・シャットダウン: ナップ・モードとスリープ・モード
- SINAD: 87dB (LTC1856)
- 内部または外部リファレンスを使用
- 内部同期クロック
- 28ピンSSOPパッケージ

アプリケーション

- 産業用プロセス制御
- マルチプレクス・データ収集システム
- PC用高速データ収集
- デジタル信号処理

概要

LTC®1854/LTC1855/LTC1856は、8チャネル、低消費電力、12ビット/14ビット/16ビット、100kspsのA/Dコンバータ(ADC)です。これらのADCは単一5V電源で動作し、8チャネル・マルチプレクサはシングルエンド入力、数組の差動入力、あるいはシングルエンドと差動を組み合わせた入力にプログラム可能です。すべてのチャネルは±30Vまでフォールト保護されています。いずれのチャネルがフォールト状態になっても、選択されたチャネルの変換結果に影響を与えることはありません。

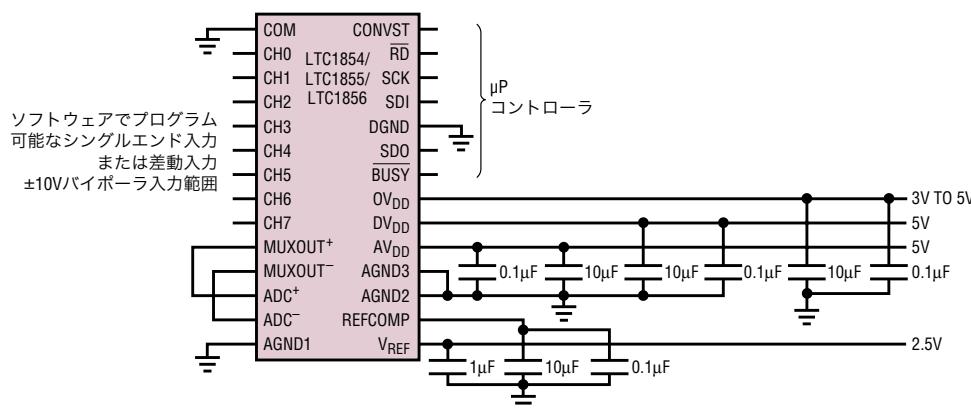
高精度リファレンスを内蔵しているので、外付け部品を最小限に抑えます。40mWの低消費電力に加え、ユーザが選択可能な2つのパワー・シャットダウン・モードを備えています。DC仕様には、±1.5LSB (LTC1855) と ±1LSB (LTC1854) のINLが含まれています。

内部クロックは5μsの最大変換時間に対してトリミングされています。また、100kspsのサンプリング・レートが保証されています。変換開始入力とデータレディ信号(BUSY)を個別に装備しているので、FIFO、DSP、マイクロプロセッサに容易に接続可能です。

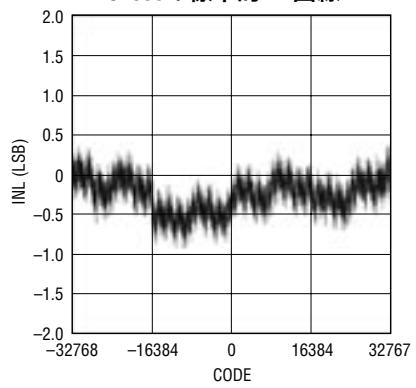
LT、LT、LTCおよびLTMはリニアテクノロジー社の登録商標です。
他のすべての商標はそれぞれの所有者に所有権があります。

標準的応用例

100kHz、12ビット/14ビット/16ビットのサンプリングADC



LTC1856の標準的INL曲線



185456 G01

LTC1854/LTC1855/LTC1856

絶対最大定格

(Note 1,2)

電源電圧($0V_{DD} = DV_{DD} = AV_{DD} = V_{DD}$) 6V

グランドの電圧差

DGND、AGND1、AGND2、AGND3 $\pm 0.3V$

アナログ入力電圧

ADC⁺、ADC⁻

(Note 3) (AGND1 - 0.3V) ~ (AV_{DD} + 0.3V)

CH0~CH7、COM $\pm 30V$

デジタル入力電圧 (Note 4) (DGND - 0.3V) ~ 10V

デジタル出力電圧 (DGND - 0.3V) ~ (DV_{DD} + 0.3V)

消費電力 500mW

動作温度範囲

LTC1854C/LTC1855C/LTC1856C 0°C ~ 70°C

LTC1854I/LTC1855I/LTC1856I -40°C ~ 85°C

保存温度範囲 -65°C ~ 150°C

リード温度 (半田付け、10秒) 300°C

パッケージ/発注情報

TOP VIEW		
COM	1	
CH0	2	
CH1	3	
CH2	4	
CH3	5	
CH4	6	
CH5	7	
CH6	8	
CH7	9	
MUXOUT ⁺	10	
MUXOUT ⁻	11	
ADC ⁺	12	
ADC ⁻	13	
AGND1	14	
	28	
	CONVST	
	27	
	RD	
	26	
	SCK	
	25	
	SDI	
	24	
	DGND	
	23	
	SDO	
	22	
	BUSY	
	21	
	OV _{DD}	
	20	
	DV _{DD}	
	19	
	AV _{DD}	
	18	
	AGND3	
	17	
	AGND2	
	16	
	REFCOMP	
	15	
	V _{REF}	
G PACKAGE		
28-LEAD PLASTIC SSOP		
T _{JMAX} = 110°C, θ _{JA} = 95°C/W		
ORDER PART NUMBER		
LTC1854CG	LTC1855CG	LTC1856CG
LTC1854IG	LTC1855IG	LTC1856IG
Order Options Tape and Reel: Add #TR Lead Free: Add #PBF Lead Free Tape and Reel: Add #TRPBF Lead Free Part Marking: http://www.linear-tech.co.jp/leadfree/		

より広い動作温度範囲で規定されるデバイスについては、弊社へお問い合わせください。

コンバータとマルチプレクサの特性

●は全動作温度範囲の規格値を意味する。それ以外はT_A=25°Cでの値。MUXOUTはADCの入力に接続されている。(Note 5,6)

PARAMETER	CONDITIONS	LTC1854			LTC1855			LTC1856			UNITS
		MIN	TYP	MAX	MIN	TYP	MAX	MIN	TYP	MAX	
Resolution		●	12		14		16				Bits
No Missing Codes		●	12		14		15				Bits
Transition Noise			0.06		0.25		1				LSB _{RMS}
Integral Linearity Error	(Note 7)	●		±1		±1.5		±3			LSB
Differential Linearity Error		●	-1	1	-1	1.5	-2	4			LSB
Bipolar Zero Error	(Note 8)	●		±5		±8		±23			LSB
Bipolar Zero Error Drift			±0.1		±0.1		±0.1				ppm/°C
Bipolar Zero Error Match			3		4		10				LSB
Bipolar Full-Scale Error	External Reference (Note 11)	●	±0.34		±0.14		±0.1				%
	Internal Reference (Note 11)		±0.45		±0.40		±0.4				%
Bipolar Full-Scale Error Drift	External Reference		±2.5		±2.5		±2.5				ppm/°C
	Internal Reference		±7		±7		±7				ppm/°C
Bipolar Full-Scale Error Match			5		10		15				LSB
Input Common Mode Range		●	±10		±10		±10				V
Input Common Mode Rejection Ratio			96		96		96				dB

アナログ入力

●は全動作温度範囲の規格値を意味する。それ以外は $T_A=25^\circ\text{C}$ での値。(Note 5)

PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
Analog Input Range	CH0 to CH7, COM		± 10		V
	ADC ⁺ , ADC ⁻ (Note 3)		ADC ⁻ ± 2.048		V
Impedance	CH0 to CH7, COM		31		$\text{k}\Omega$
	MUXOUT ⁺ , MUXOUT ⁻		5		$\text{k}\Omega$
Capacitance	CH0 to CH7, COM		5		pF
	Sample Mode ADC ⁺ , ADC ⁻		12		pF
	Hold Mode ADC ⁺ , ADC ⁻		4		pF
Input Leakage Current	ADC ⁺ , ADC ⁻ , CONVST = Low	●		± 1	μA

ダイナミック精度

●は全動作温度範囲の規格値を意味する。それ以外は $T_A=25^\circ\text{C}$ での値。MUXOUTはADCの入力に接続されている。(Note 5)

SYMBOL	PARAMETER	CONDITIONS	LTC1854			LTC1855			LTC1856			UNITS
			MIN	TYP	MAX	MIN	TYP	MAX	MIN	TYP	MAX	
S/(N + D)	Signal-to-(Noise + Distortion) Ratio	1kHz Input Signal	74			83			87			dB
THD	Total Harmonic Distortion	1kHz Input Signal, First Five Harmonics		-102			-95			-101		dB
	Peak Harmonic or Spurious Noise	1kHz Input Signal		-99			-99			-103		dB
	Channel-to-Channel Isolation	1kHz Input Signal		-120			-120			-120		dB
	-3dB Input Bandwidth			1			1			1		MHz
	Aperture Delay			-70			-70			-70		ns
	Aperture Jitter			60			60			60		ps
	Transient Response	Full-Scale Step (Note 9)		4			4			4		μs
	Overvoltage Recovery	(Note 12)		150			150			150		ns

LTC1854/LTC1855/LTC1856

内蔵リファレンス特性

●は全動作温度範囲の規格値を意味する。それ以外は $T_A=25^\circ\text{C}$ での値。(Note 5)

PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
V_{REF} Output Voltage	$I_{\text{OUT}} = 0$	● 2.475	2.50	2.525	V
V_{REF} Output Temperature Coefficient	$I_{\text{OUT}} = 0$		±10		ppm/°C
V_{REF} Output Impedance	$-0.1\text{mA} \leq I_{\text{OUT}} \leq 0.1\text{mA}$		8		kΩ
V_{REFCOMP} Output Voltage	$I_{\text{OUT}} = 0$		4.096		V

デジタル入力とデジタル出力

●は全動作温度範囲の規格値を意味する。それ以外は $T_A=25^\circ\text{C}$ での値。(Note 5)

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
V_{IH}	High Level Input Voltage	$V_{\text{DD}} = 5.25\text{V}$	● 2.4			V
V_{IL}	Low Level Input Voltage	$V_{\text{DD}} = 4.75\text{V}$	●		0.8	V
I_{IN}	Digital Input Current	$V_{\text{IN}} = 0\text{V}$ to V_{DD}	●		±10	μA
C_{IN}	Digital Input Capacitance			5		pF
V_{OH}	High Level Output Voltage	$V_{\text{DD}} = 4.75\text{V}$, $I_{\text{O}} = -10\mu\text{A}$, $0V_{\text{DD}} = V_{\text{DD}}$		4.74		V
		$V_{\text{DD}} = 4.75\text{V}$, $I_{\text{O}} = -200\mu\text{A}$, $0V_{\text{DD}} = V_{\text{DD}}$	●	4		V
V_{OL}	Low Level Output Voltage	$V_{\text{DD}} = 4.75\text{V}$, $I_{\text{O}} = 160\mu\text{A}$, $0V_{\text{DD}} = V_{\text{DD}}$		0.05		V
		$V_{\text{DD}} = 4.75\text{V}$, $I_{\text{O}} = 1.6\text{mA}$, $0V_{\text{DD}} = V_{\text{DD}}$	●	0.10	0.4	V
I_{OZ}	Hi-Z Output Leakage	$V_{\text{OUT}} = 0\text{V}$ to V_{DD} , $\overline{RD} = \text{High}$	●		±10	μA
C_{OZ}	Hi-Z Output Capacitance	$\overline{RD} = \text{High}$		15		pF
I_{SOURCE}	Output Source Current	$V_{\text{OUT}} = 0\text{V}$			-10	mA
I_{SINK}	Output Sink Current	$V_{\text{OUT}} = V_{\text{DD}}$			10	mA

電源条件

●は全動作温度範囲の規格値を意味する。それ以外は $T_A=25^\circ\text{C}$ での値。(Note 5)

PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS	
Positive Supply Voltage	(Notes 9 and 10)		4.75	5.00	5.25	V
Positive Supply Current		●	8.0	12	mA	
Nap Mode			5.5	7	mA	
Sleep Mode	$\text{CONVST} = 0\text{V}$ or 5V		8.0	13	μA	
Power Dissipation			40.0		mW	
Nap Mode			27.5		mW	
Sleep Mode	$\text{CONVST} = 0\text{V}$ or 5V		40.0		μW	

タイミング特性

●は全動作温度範囲の規格値を意味する。それ以外は $T_A=25^\circ\text{C}$ での値。(Note 5)

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
$f_{\text{SAMPLE(MAX)}}$	Maximum Sampling Frequency	Through CH0 to CH7 Inputs Through ADC ⁺ , ADC ⁻ Only	● 100 ● 166			kHz kHz
t_{CONV}	Conversion Time		● 4 ● 5			μs
t_{ACQ}	Acquisition Time	Through CH0 to CH7 Inputs Through ADC ⁺ , ADC ⁻ Only	● 4 ● 1			μs μs
f_{SCK}	SCK Frequency	(Note 13)	● 0		20	MHz
t_r	SDO Rise Time	See Test Circuits		6		ns
t_f	SDO Fall Time	See Test Circuits		6		ns
t_1	CONVST High Time		● 40			ns
t_2	CONVST to $\overline{\text{BUSY}}$ Delay	$C_L = 25\text{pF}$, See Test Circuits	● 15 ● 30			ns
t_3	SCK Period		● 50			ns
t_4	SCK High		● 10			ns
t_5	SCK Low		● 10			ns
t_6	Delay Time, $\text{SCK}\downarrow$ to SDO Valid	$C_L = 25\text{pF}$, See Test Circuits	● 25 ● 45			ns
t_7	Time from Previous SDO Data Remains Valid After $\text{SCK}\downarrow$	$C_L = 25\text{pF}$, See Test Circuits	● 5 ● 20			ns
t_8	SDO Valid After $\overline{\text{RD}}\downarrow$	$C_L = 25\text{pF}$, See Test Circuits	● 11 ● 30			ns
t_9	$\overline{\text{RD}}\downarrow$ to SCK Setup Time		● 20			ns
t_{10}	SDI Setup Time Before $\text{SCK}\uparrow$		● 0			ns
t_{11}	SDI Hold Time After $\text{SCK}\uparrow$		● 7			ns
t_{12}	SDO Valid Before $\overline{\text{BUSY}}\uparrow$	$\overline{\text{RD}} = \text{Low}$, $C_L = 25\text{pF}$, See Test Circuits	● 5 ● 20			ns
t_{13}	Bus Relinquish Time	See Test Circuits	● 10 ● 30			ns

Note 1: 絶対最大定格に記載された値を超えるストレスはデバイスに永続的損傷を与える可能性がある。長期にわたって絶対最大定格条件に曝すと、デバイスの信頼性と寿命に悪影響を与える可能性がある。

Note 2: すべての電圧値は、注記がない限り、DGND、AGND1、AGND2およびAGND3を結線したグランドを基準にしている。

Note 3: これらのピンの電圧がグランドより下に引き下げられるか、または $\text{AV}_{\text{DD}} = \text{DV}_{\text{DD}} = 0\text{V}_{\text{DD}} = \text{V}_{\text{DD}}$ より上に引き上げられると、内部のダイオードによってクランプされる。この製品は、グランドより低いか、または V_{DD} より高い電圧でラッチアップを生じることなしに100mAを超える入力電流を処理することができる。

Note 4: これらのピンの電圧がグランドより下に引き下げられると、内部のダイオードによってクランプされる。この製品は、ラッチアップを生じることなしに、グランドより下で100mAを超える入力電流を処理することができる。これらのピンは V_{DD} にクランプされない。

Note 5: 注記がない限り、 $\text{V}_{\text{DD}} = 5\text{V}$, $f_{\text{SAMPLE}} = 100\text{kHz}$, $t_r = t_f = 5\text{ns}$ 。

Note 6: 直線性、オフセットおよびフルスケールの各規格値は、グランドを基準にしたシングルエンドのアナログMUX入力、またはグランドに接続したADC⁻を基準にしたADC⁺に適用される。

Note 7: 積分非直線性は、実際の伝達曲線のエンドポイントを通る直線からのコードの偏差として定義されている。偏差は量子化幅の中心から測定される。

Note 8: バイポーラ・ゼロ誤差は、出力コードがLTC1856の場合は0000 0000 0000 0000と1111 1111 1111 1111の間を、LTC1855の場合は00 0000 0000 0000と11 1111 1111 1111の間を、さらにLTC1854の場合は0000 0000 0000と1111 1111 1111の間を行ったり来たりするとき、-0.5LSBから測定されたオフセット電圧である。

Note 9: 設計によって保証されているが、テストされない。

Note 10: 推奨動作条件。

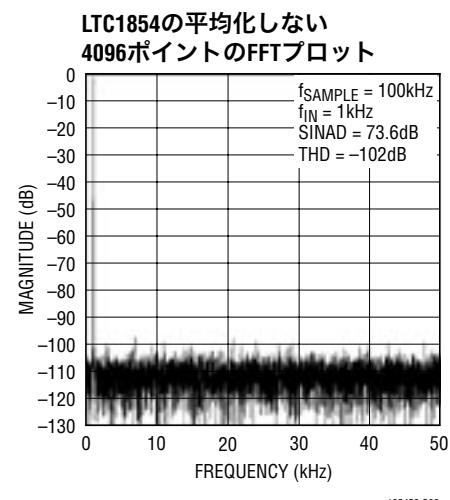
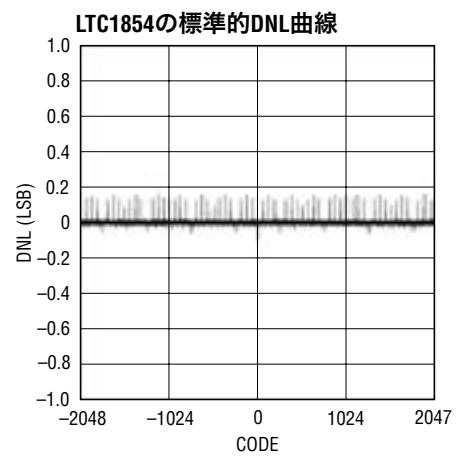
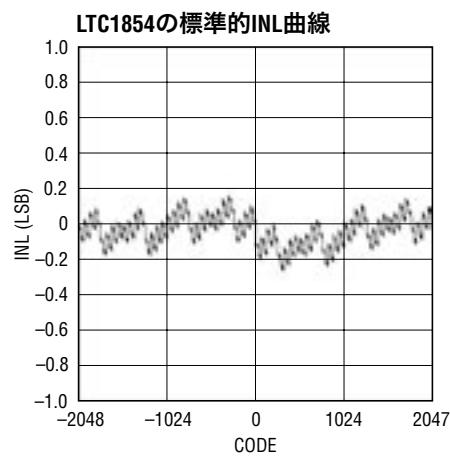
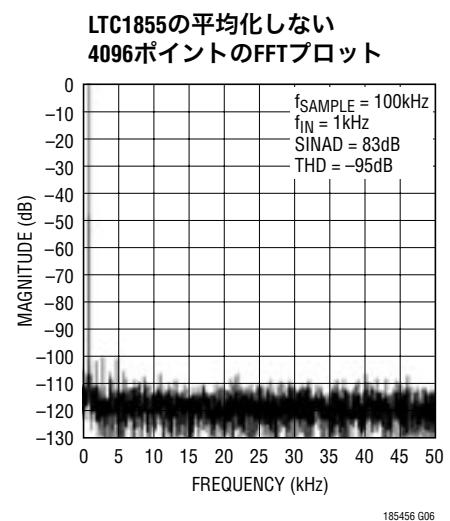
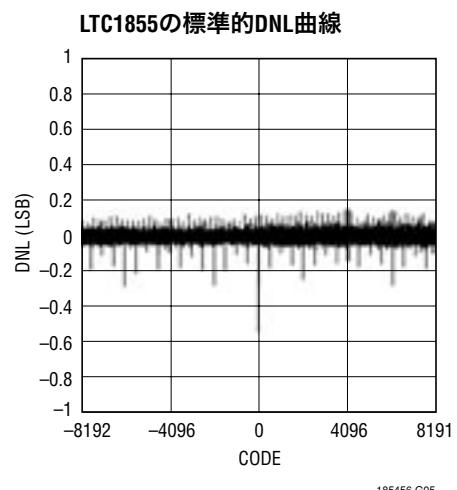
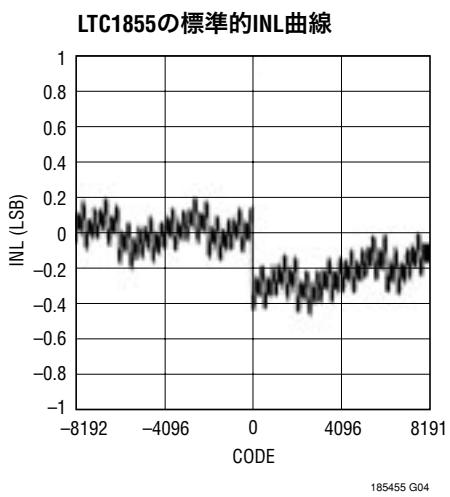
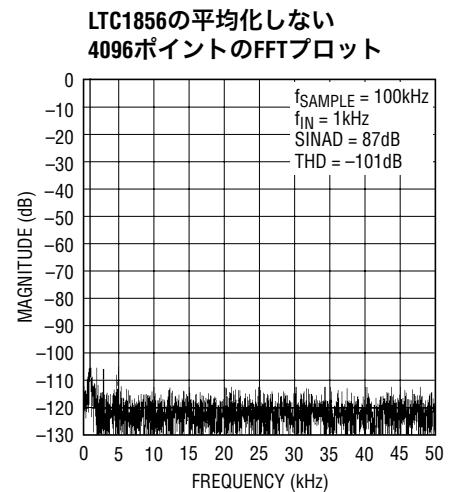
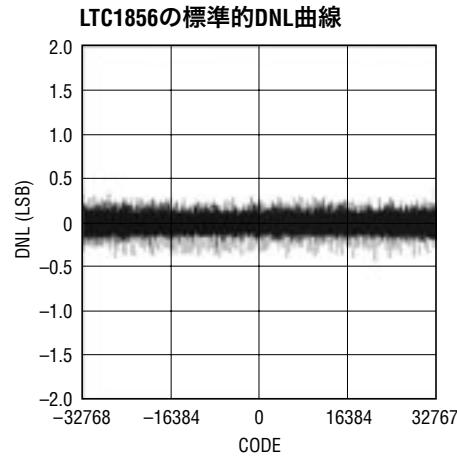
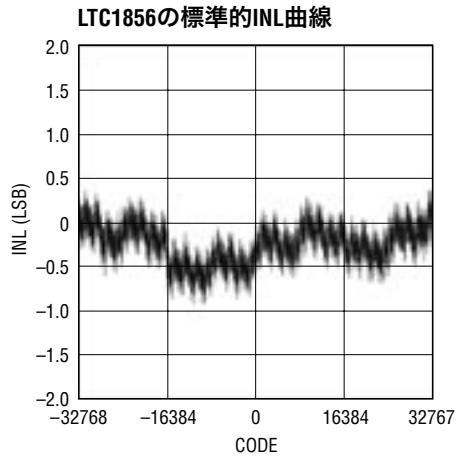
Note 11: フルスケール・バイポーラ誤差は、最初と最後のコードの理想的な遷移からの、-FSまたは+FSの未調整のワーストケースの変動をフルスケール・レンジで割ったもので、オフセット誤差の影響が含まれる。

Note 12: (2×FS)の入力過電圧後、規定された性能に回復する。

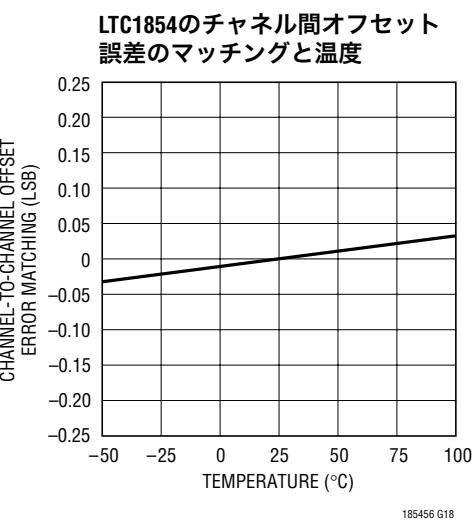
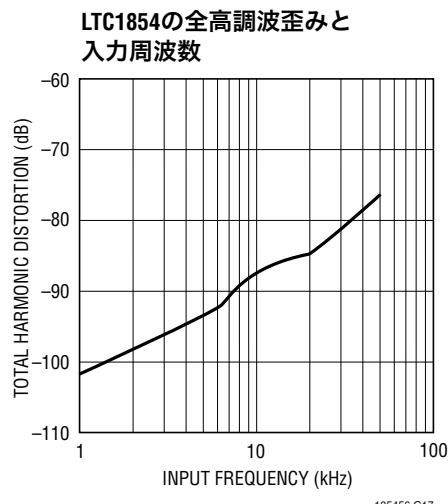
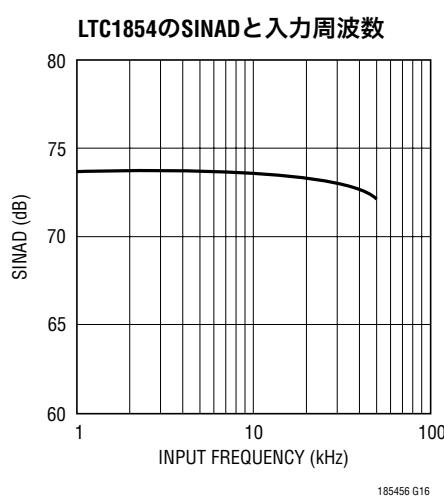
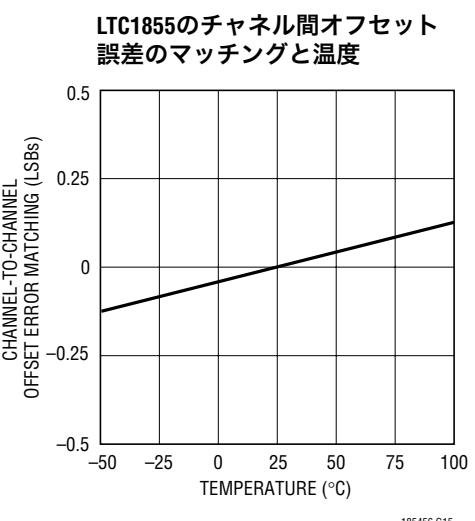
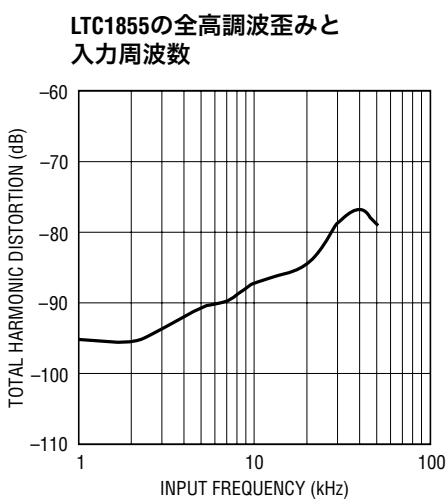
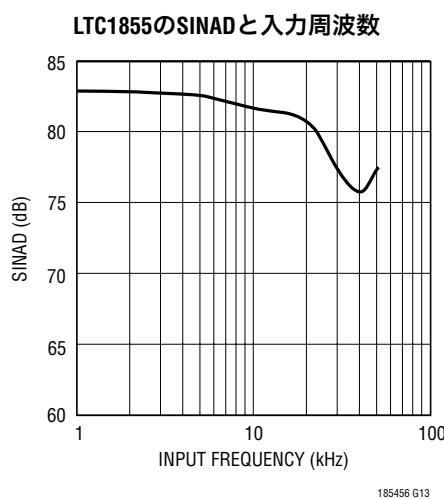
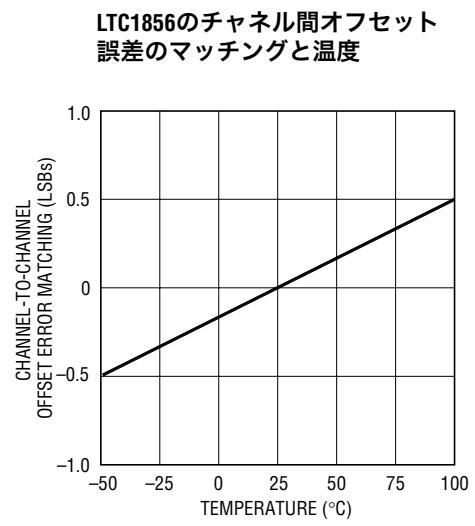
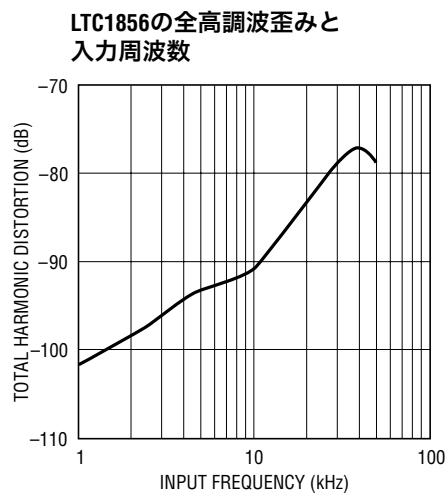
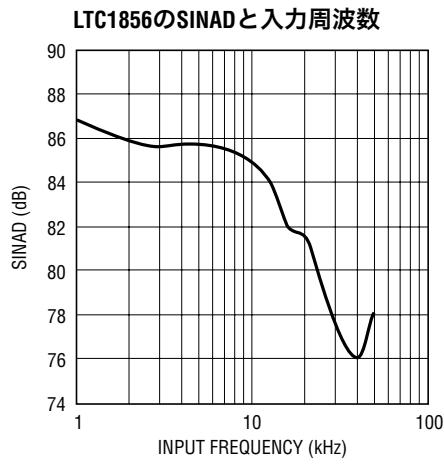
Note 13: t_6 の最大値は45nsなので、立上りキャプチャの場合50%デューティ・サイクルでは f_{SCK} は最大10MHzが可能で、立下りキャプチャの場合(受信ロジックのセットアップ時間が5nsのとき) f_{SCK} は最大20MHzが可能である。

LTC1854/LTC1855/LTC1856

標準的性能特性

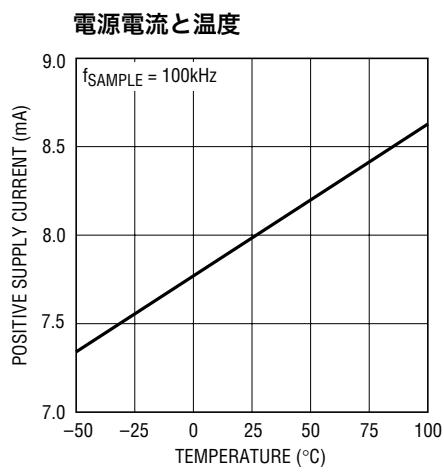
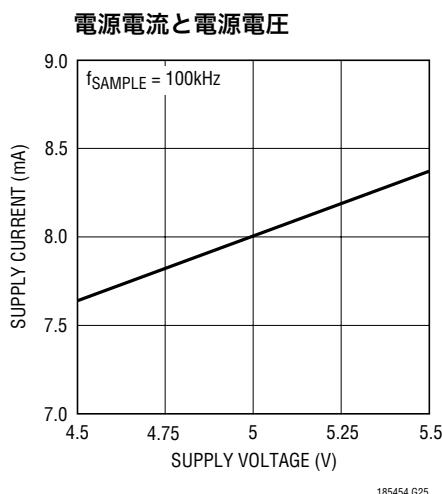
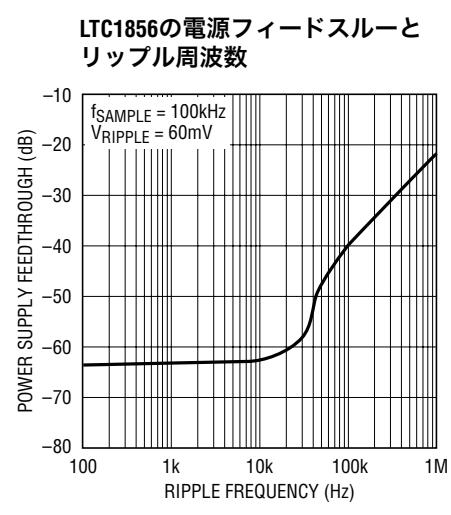
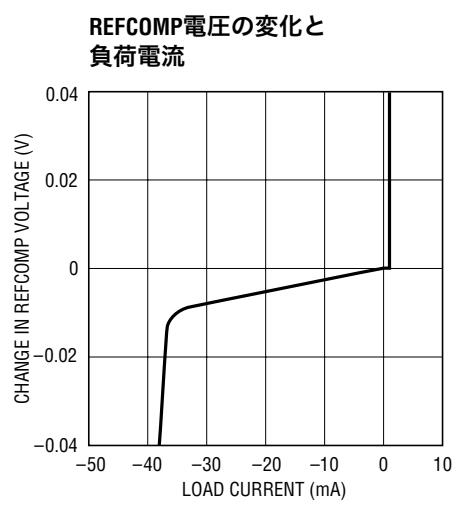
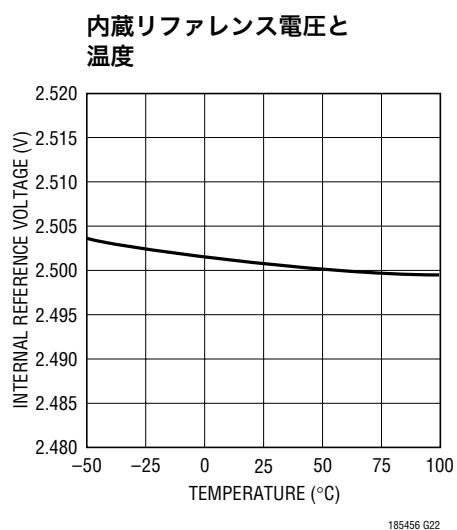
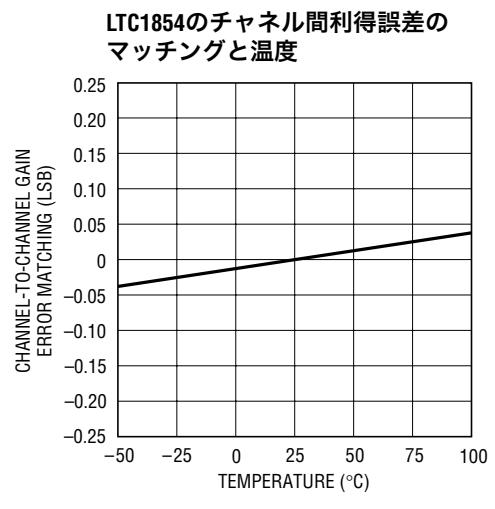
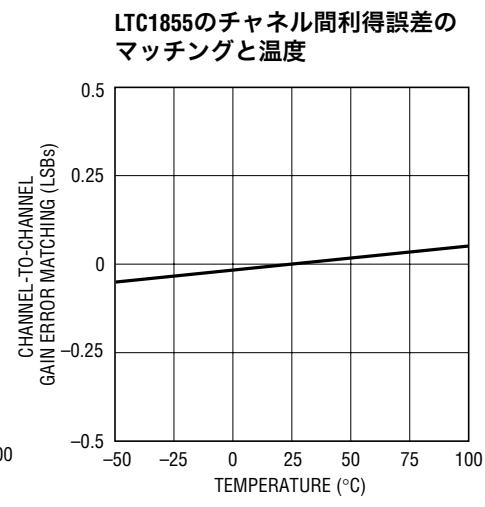
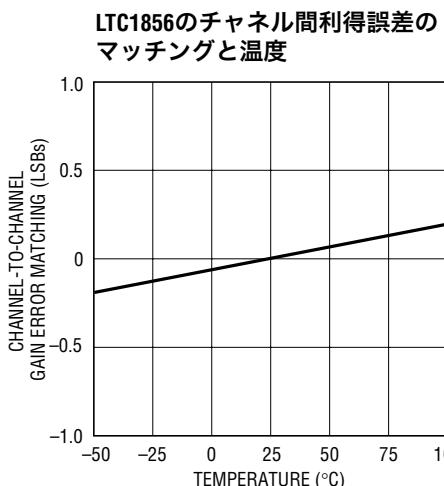


標準的性能特性



LTC1854/LTC1855/LTC1856

標準的性能特性



ピン機能

COM(ピン1):共通入力。これは全てのシングルエンド入力の負の基準点です。ノイズがあつてはならず、通常はアナログ・グランド・プレーンに接続します。

CH0(ピン2):アナログMUX入力。

CH1(ピン3):アナログMUX入力。

CH2(ピン4):アナログMUX入力。

CH3(ピン5):アナログMUX入力。

CH4(ピン6):アナログMUX入力。

CH5(ピン7):アナログMUX入力。

CH6(ピン8):アナログMUX入力。

CH7(ピン9):アナログMUX入力。

MUXOUT⁺(ピン10):正MUX出力。アナログ・マルチプレクサの出力。通常動作させるにはADC⁺に接続します。

MUXOUT⁻(ピン11):負MUX出力。アナログ・マルチプレクサの出力。通常動作させるにはADC⁻に接続します。

ADC⁺(ピン12):ADコンバータの正アナログ入力

ADC⁻(ピン13):ADコンバータの負アナログ入力

AGND1(ピン14):アナログ・グランド。

V_{REF}(ピン15):2.5Vリファレンス出力。1μFのタンタル・コンデンサを使ってアナログ・グランドにバイパスします。

REFCOMP(ピン16):リファレンス・バッファ出力。10μFのタンタル・コンデンサと0.1μFのセラミック・コンデンサを使ってアナログ・グランドにバイパスします。公称出力電圧は4.096Vです。

AGND2(ピン17):アナログ・グランド。

AGND3(ピン18):アナログ・グランド。これはサブストレート接続です。

AV_{DD}(ピン19):5Vアナログ電源。0.1μFのセラミック・コンデンサと10μFのタンタル・コンデンサを使ってアナログ・グランドにバイパスします。

DV_{DD}(ピン20):5Vデジタル電源。0.1μFのセラミック・コンデンサと10μFのタンタル・コンデンサを使ってデジタル・グランドにバイパスします。

0V_{DD}(ピン21):デジタル出力バッファ用の正電源(3V~5V)。0.1μFのセラミック・コンデンサと10μFのタンタル・コンデンサを使ってデジタル・グランドにバイパスします。

BUSY(ピン22):出力はコンバータの状態を示します。変換の進行中は“L”になります。

SDO(ピン23):シリアル・データ出力。

LTC1854/LTC1855/LTC1856

ピン機能

DGND(ピン24):デジタル・グランド。

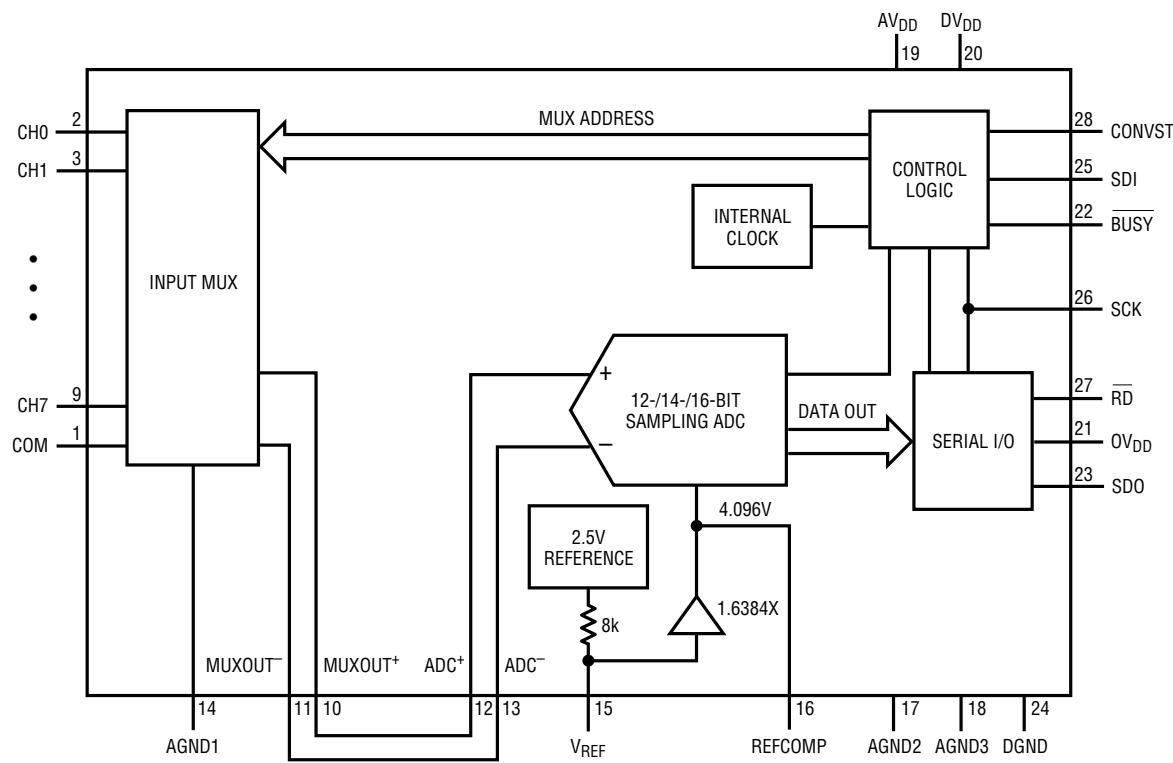
SDI(ピン25):シリアル・データ入力。

SCK(ピン26):シリアル・データ・クロック。

RD(ピン27):読み出し入力。このアクティブ“L”的信号はデジタル出力ピンSDOをイネーブルしてシリアル・インターフェースをイネーブルします。**RD**が“H”的ときSDIとSCKは無視されます。

CONVST(ピン28):変換スタート。CONVSTの立上りエッジでADCが変換を開始します。

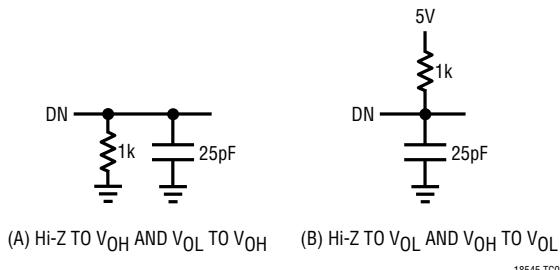
機能を示すブロック図



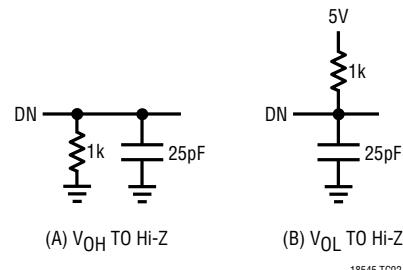
18545 BD

テスト回路

アクセス・タイミングの負荷回路

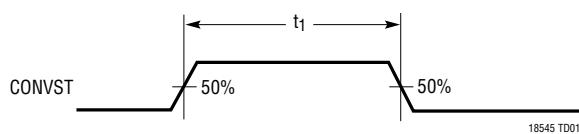


出力フロート遅延の負荷回路

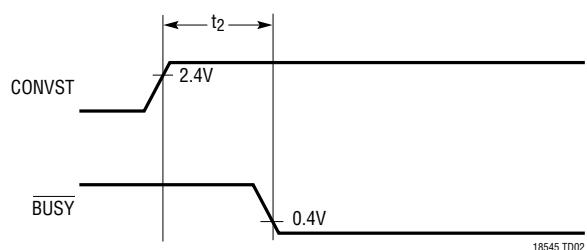


タイミング図

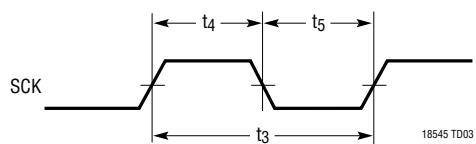
t_1 (ショート・パルス・モードの場合)



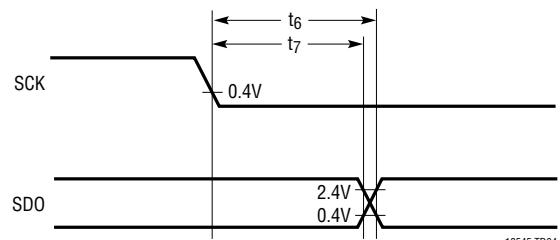
t_2 (CONVSTからBUSYまでの遅延)



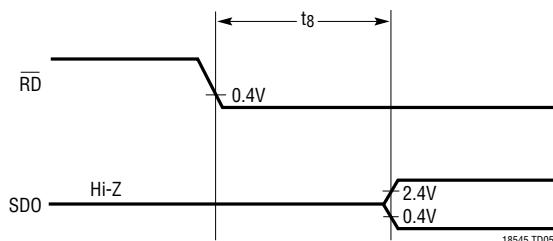
t_3 、 t_4 、 t_5 (SCKのタイミング)



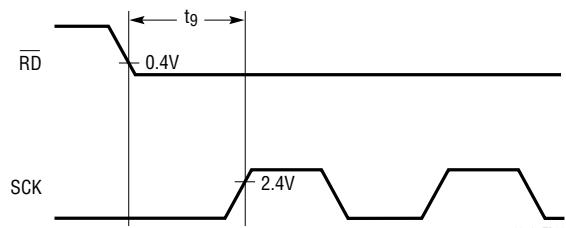
t_6 (遅延時間、SCK↓からSDOが有効になるまで)
 t_7 (SCK↓後、前のデータが有効に留まる時間)



t_8 (\overline{RD} ↓後、SDOが有効になるまで)



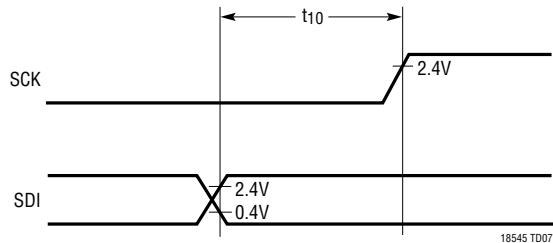
t_9 (\overline{RD} ↓からSCKのセットアップ時間)



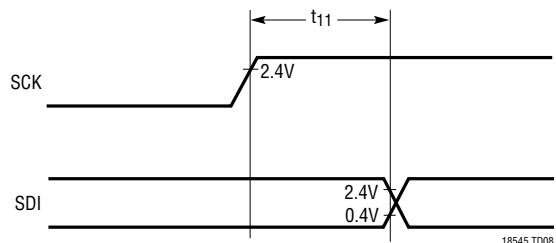
LTC1854/LTC1855/LTC1856

タイミング図

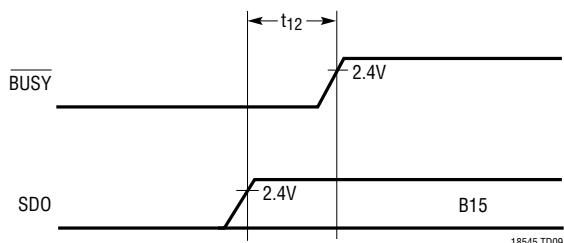
t_{10} (SCK↑の前のSDIのセットアップ時間),



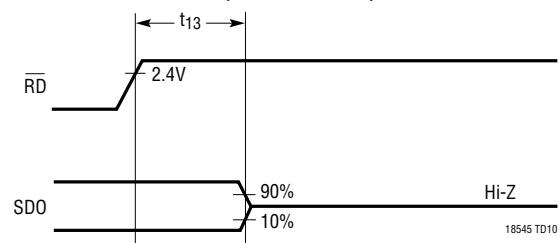
t_{11} (SCK↑後のSDIのホールド時間)



t_{12} (\overline{BUSY} ↑の前のSDO有効、 $\overline{RD} = 0$)



t_{13} (BUS解放時間)



アプリケーション情報

概要

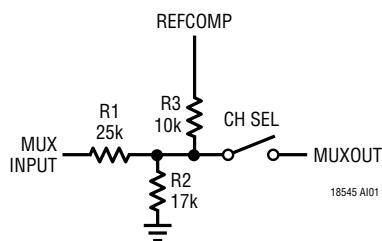
LTC1854/LTC1855/LTC1856は非反転、マルチチャネルのADCです。内蔵抵抗により各チャネルに減衰とオフセットが与えられます。精密に調整された減衰器により正確な入力レンジが保証されます。減衰器はマルチプレクサよりも前に置かれているので、マルチプレクサのオン抵抗による誤差は除去されます。

入力ワードにより、各チャネルまたはチャネル対にシングルエンド入力または差動入力が選択されます。未選択チャネルにはオーバーレンジ保護が備わっています。未使用チャネルに生じたオーバーレンジ状態が選択されたチャネルの変換結果に影響を与えることはありません。

変換の詳細

LTC1854/LTC1855/LTC1856は逐次比較アルゴリズムと内部サンプル&ホールド回路を使ってアナログ信号をそれぞれ12/14/16ビットのシリアル出力に変換します。これらのADCは高精度リファレンスと内部クロックを備えています。制御ロジックはマイクロプロセッサやDSPとの簡単なインターフェースを備えています。(データ形式については、「デジタル・インターフェース」のセクションを参照してください。)

MUX入力チャネルに与えられるアナログ信号は、下に示されているように、R1、R2およびR3によって形成される抵抗分割器ネットワークによってスケール調整されます。スケール調整された信号はMUXOUT(ピン10、11)に現れ、これらは通常動作ではADC入力(ピン12、13)に接続されます。



変換開始前に、8ビット・データワードがSCKの最初の8個の立上りエッジでSDI入力に取り込まれ、MUXアドレスおよびパワーダウン・モードを選択します。ADCは8ビット・データワードの6番目のクロックの立下りエッジで収集モードに入り、(変換を開始する)CONVST信号の立上りエッジで収集モードを終了します(図7参照)。サンプル&ホールド・コンデンサがアナログ信号を収集するのに十分な最小時間4μsが与えられます。変換サイクルが一度開始された後、再度開始することはできません。

変換の間、内部差動12/14/16ビット・キャパシタDACの出力はSARによって最上位ビット(MSB)から最下位ビット(LSB)に向かって順に処理されます。入力は差動キャパシタDACによって供給されるバイナリの重み付けをした電荷と逐次比較されます。ビットの決定は高速コンパレータによっておこなわれます。変換の最後にDACの出力はアナログ入力($ADC^+ - ADC^-$)と均衡します。 ADC^+ と ADC^- の差を表すSARの内容(12/14/16ビットのデータワード)は12/14/16ビットのシフト・レジスタに格納されます。

アナログ入力のドライブ

LTC1854/LTC1855/LTC1856の入力レンジは±10Vで、MUX入力は±30Vの過電圧保護がなされています。入力インピーダンスは標準31kΩなので、低インピーダンスのソースでドライブします。広帯域ノイズの入力へのカッピングは、図2に示されているように、3000pFのコンデンサを入力に接続することにより最小に抑えることができます。NPOタイプのコンデンサを使うと歪みが最小に抑えられます。コンデンサはデバイスの入力ピンにできるだけ近づけて配置します。アンプを使って入力をドライブする場合、アプリケーションにとって適切な精度、直線性およびノイズ・レベルのアンプを注意して選択します。LTC1854/LTC1855/LTC1856をドライブするのに適したオペアンプをまとめて以下に列挙します。(詳細な情報がリニアテクノロジー社のデータブックとオンライン(www.linear.com)で与えられています。)

LT[®]1007:低ノイズ高精度アンプ。2.7mAの電源電流、±5V～±15Vの電源。利得帯域幅積は8MHz。DCアプリケーション。

LTC1854/LTC1855/LTC1856

アプリケーション情報

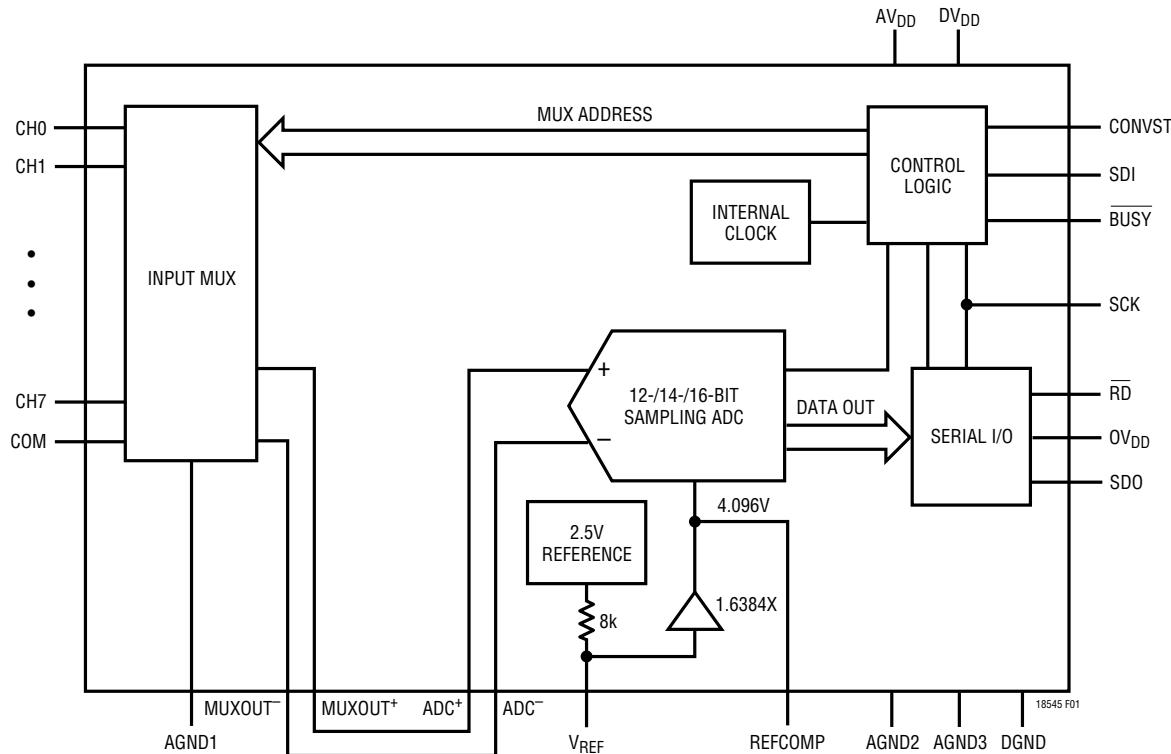


図1. LTC1854/LTC1855/LTC1856の簡略等価回路

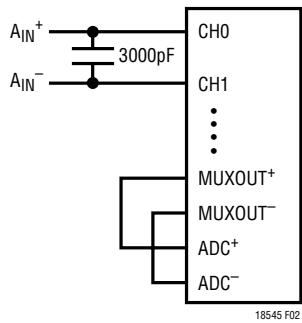


図2. アナログ入力フィルタ

LT1227: 140MHzビデオ帯域電流帰還型アンプ。10mAの電源電流。±5V～±15Vの電源。低ノイズおよび低歪み。

LT1468/LT1469: シングル/デュアルの90MHz、16ビット精度のオペアンプ。±5V～±15Vの電源。

LT1677: シングル、低ノイズのオペアンプ。最大±15Vの電源。

LT1792: シングル、低ノイズJFET入力のオペアンプ。±5V電源。

LT1793: シングル、低ノイズJFET入力のオペアンプ。10pAのバイアス電流、±5V電源。

LT1881/LT1882: デュアル/クワッド、200pAのバイアス電流、レール・トゥ・レール出力のオペアンプ。最大±15Vの電源。

LT1844/LT1885: デュアル/クワッド、400pAのバイアス電流、レール・トゥ・レール出力のオペアンプ。最大±15Vの電源。高速の応答時間とセトリング時間。

内部電圧リファレンス

LTC1854/LTC1855/LTC1856には温度補償され、曲率補正されたバンドギャップ・リファレンスが内蔵されており、製造時に2.50Vに調整されています。LTC1854/LTC1855/LTC1856のフルスケール・レンジは±10Vです。リファレンスの出力は、8k抵抗を介して、利得が1.6384倍のバッファの入力に接続されています(図3を参照)。バッファへの入力、つまりリファレンスの出力はV_{REF}(ピン15)に引き出されています。

アプリケーション情報

もっと精度が必要なら、内部リファレンスを外部リファレンスで置き換えることができます。バッファの出力は内部DACをドライブし、REFCOMP(ピン16)に引き出されています。REFCOMPピンを使って2mA以下の定常DC負荷をドライブすることができます。AC負荷をドライブするとコンバータの性能が低下することがありますので、AC負荷のドライブは推奨できません。

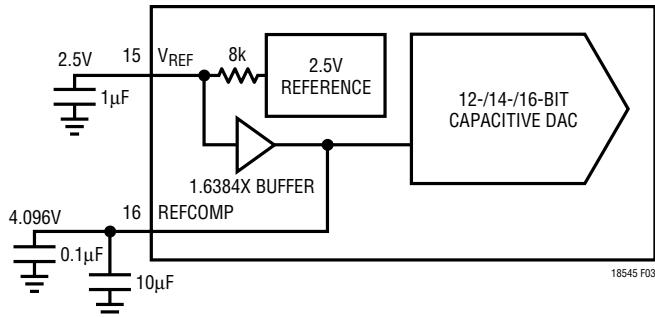


図3. 内部または外部のリファレンス・ソース

コード遷移ノイズを最小に抑えるには、V_{REF}ピンとREFCOMPピンをそれぞれコンデンサを使ってデカップリングし、広帯域ノイズをリファレンスとバッファから除去します。

フルスケールとオフセット

LTC1856の理想的な入力/出力特性を図4に示します。

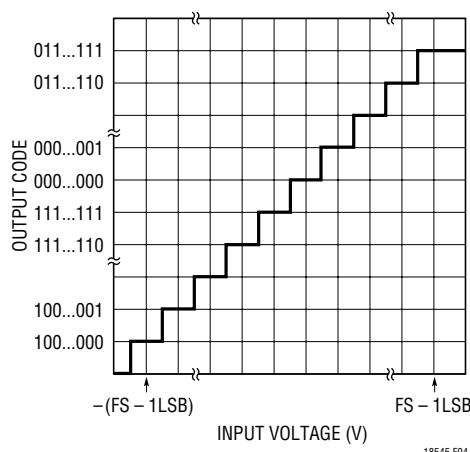


図4. バイポーラ伝達特性

コードの遷移は、隣接する整数のLSB値の中間で(つまり、-FS + 0.5LSB、-FS + 1.5LSB、-FS + 2.5LSB、... FS - 1.5LSB、FS - 0.5LSB)で生じます。出力は2の補数のバイナリで、次のようにになります。

$$1\text{LSB} = \frac{\text{FS} - (-\text{FS})}{65536} = \frac{20\text{V}}{65536} = 305.2\mu\text{V}$$

絶対精度が重要なアプリケーションでは、較正シーケンスの間にオフセット誤差とフルスケール誤差をゼロに調整することができます。オフセット誤差はフルスケール誤差の前に調整する必要があります。ゼロ・オフセットは「-」入力に与えられるオフセットを調整して達成することができます。シングルエンド入力の場合、このオフセットはCOMピンに与えます。差動入力の場合、「-」入力はMUXアドレスによって支配されます。

ゼロ・オフセット誤差の場合、-0.5LSBを「+」入力に与え、出力コードがLTC1856の場合は0000 0000 0000 0000と1111 1111 1111 1111の間、LTC1855の場合は00 0000 0000 0000と11 1111 1111 1111の間、さらにLTC1854の場合は0000 0000 0000と1111 1111 1111の間を行ったり来たりするまで、「-」入力のオフセットを調整します。

フルスケール調整の場合、FS - 1.5LSBの入力電圧を「+」入力に与え、出力コードがLTC1856の場合は0111 1111 1111 1110と0111 1111 1111 1111の間、LTC1855の場合は01 1111 1111 1110と01 1111 1111 1111の間、LTC1854の場合は0111 1111 1110と0111 1111 1111の間を行ったり来たりするまで適切なリファレンスを調整します。

これらの調整と製造時の調整はともに全てのチャネルに影響します。チャネル間のオフセットと利得誤差マッチングは「コンバータ特性」の表の規格値を満たすことが設計によって保証されています。

アプリケーション情報

DC性能

高分解能ADCに関連した遷移ノイズを測定する1つの方法として、MUXの入力にDC信号を与え、その出力コードを多数回の変換にわたって収集します。たとえば、図5はDC入力を4096回デジタル変換したときの出力コードの分布を示しています。これはガウス分布で、RMSコード遷移はLTC1856の場合約1LSBです。

デジタル・インターフェース

内部クロック

ADCには内部クロックが備わっており、 $4\mu\text{s}$ の標準変換時間を達成するように調整されています。外部調整は不要で、 $4\mu\text{s}$ の最大収集時間では100kspsのスループットが保証されています。

3Vの入力/出力と互換

LTC1854/LTC1855/LTC1856は5V電源で動作するので、5Vのデジタル・システムと簡単にインターフェースすることができます。これらのデバイスは3Vのデジタル・システムともインターフェースすることができます。LTC1854/LTC1855/LTC1856のデジタル入力ピン(SCK、SDI、CONVSTおよび $\overline{\text{RD}}$)は3V入力または5V入力を認識します。LTC1854/LTC1855/LTC1856には出力専用の電源ピン(OV_{DD})が備わっており、デジタル出力ピン(SDO、 $\overline{\text{BUSY}}$)の出力振幅をコントロールするので、デバイスは

3Vまたは5Vのデジタル・システムのどちらともインターフェースすることができます。SDO出力は2の補数です。

タイミングとコントロール

変換開始とデータ読み出しは2つのデジタル入力(CONVSTと $\overline{\text{RD}}$)で制御されます。変換を開始してサンプル&ホールドをホールド・モードにするには、CONVSTを少なくとも40nsの間“H”にします。一度開始されると変換が完了するまで再開始することはできません。コンバータの状態は $\overline{\text{BUSY}}$ 出力で示され、これは変換の進行中は“L”になります。

LTC1856の2つの異なる動作モードを図6aと図6bに示します。12ビットのLTC1854と14ビットのLTC1855の場合、SDOの最後のそれぞれ4ビットと2ビットはゼロを出力します。モード1(図6a)では、 $\overline{\text{RD}}$ は“L”に接続されます。CONVSTの立上りエッジにより変換が開始されます。データ出力は常にイネーブルされています。データ出力のMSBは変換後もそのまま出力されています。モード2(図6b)では、CONVSTと $\overline{\text{RD}}$ は相互に接続されています。CONVST信号の立上りエッジにより変換が開始されます。データ出力はこのときはスリーステートになります。変換が完了すると($\overline{\text{BUSY}}$ が“H”になると)、CONVSTと $\overline{\text{RD}}$ が“L”になり、前の変換のデータ出力がイネーブルされます。

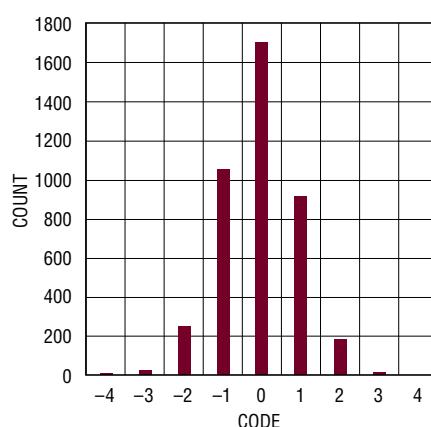


図5. LTC1856の4096回の変換のヒストグラム

アプリケーション情報

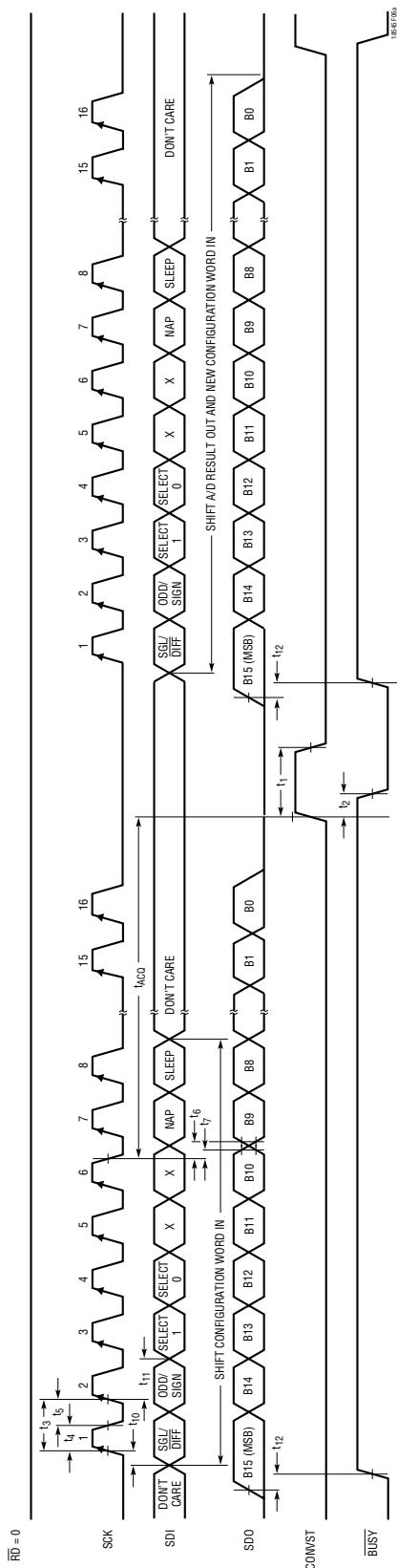


図6a. LTC1856*のモード1.0(CONVSTにより変換が開始され、データ出力は常にイネーブルされる($\overline{RD} = 0$)

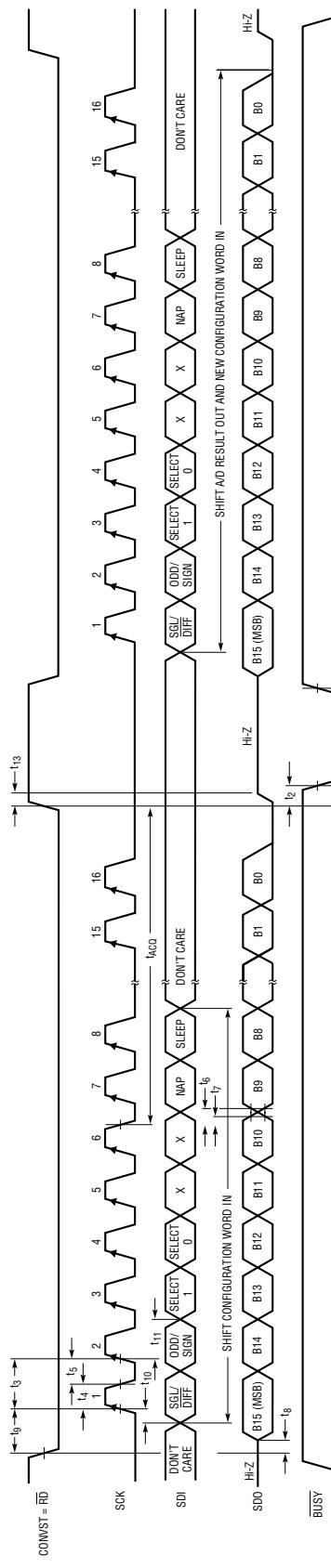


図6b. LTC1856*のモード2.0(CONVSTとRDは相互に接続されている。CONVSTにより変換が開始され、データ出力は常にイネーブルされる)

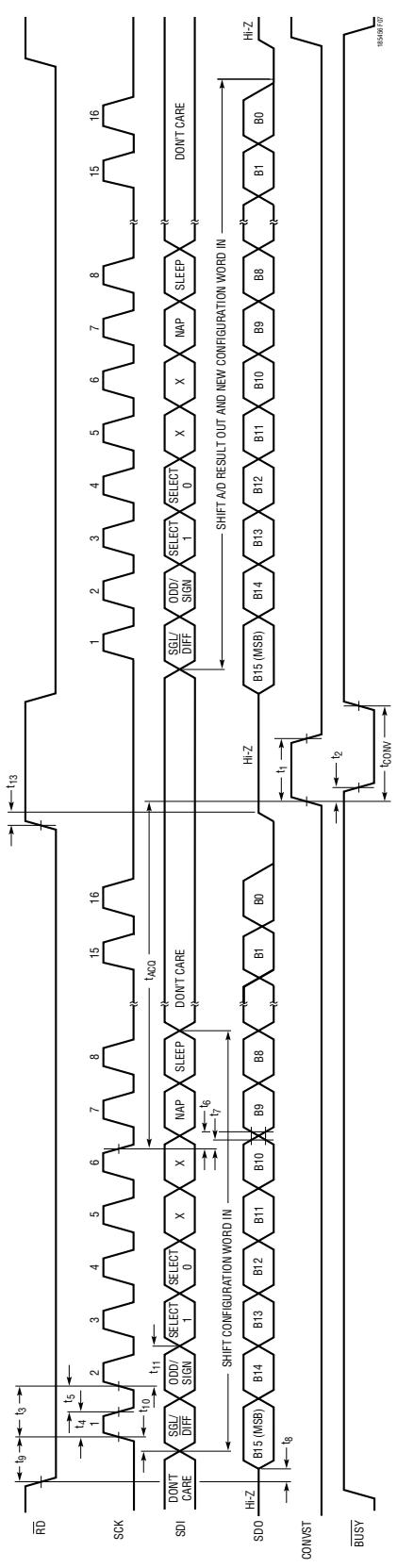


図7. LTC1856*の動作シーケンス

*12ビットのLTC1854と14ビットのLTC1855の場合、SD0の最後のそれぞれ4ビットと2ビットはゼロを出力します。

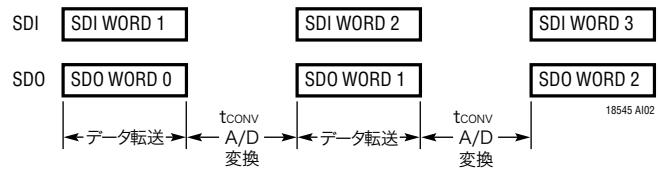
LTC1854/LTC1855/LTC1856

アプリケーション情報

シリアル・データ入力(SDI)のインターフェース

LTC1854/LTC1855/LTC1856は同期式全二重の3線シリアル・インターフェースを介してマイクロプロセッサや他の外部回路と通信します(図7を参照)。シフトクロック(SCK)はデータ転送の同期をとり、各ビットはSCKの立下りエッジで転送され、送信側のシステムと受信側のシステムの両方で、SCKの立上りエッジで捕捉されます。データは同時に送信され、受信されます(全二重)。

8ビットの入力ワードはSDI入力にシフトされて取り込まれ、次の変換のためにLTC1854/LTC1855/LTC1856の構成を設定します。同時に、前の変換結果がSDOラインに出力されます。データ交換の最後に、CONVSTに立上りエッジを与えて、要求された変換を開始します。tCONVが経過後、変換が完了し、その結果が次のデータ転送サイクルに出力されます。下に示されているように、変換結果はそれを要求した入力ワードより1変換だけ遅れます。



入力データワード

LTC1854/LTC1855/LTC1856の8ビットのデータワードは、SCKクロックの最初の8つの立上りエッジでSDI入力に取り込まれます。SDIピンへの追加入力は次の変換まで無視されます。入力ワードの8ビットは次のように定義されています。

SGL/ DIFF	ODD SIGN	SELECT 1	SELECT 0	DON'T CARE	DON'T CARE	NAP	SLEEP
MUXアドレス						パワーダウンの選択	

18545 AI03

表1. マルチプレクサのチャネル選択

MUXアドレス			差動チャネルの選択								MUXアドレス			シングルエンド・チャネルの選択								
SGL/ DIFF	ODD SIGN	SELECT 1 0	0	1	2	3	4	5	6	7	SGL/ DIFF	ODD SIGN	SELECT 1 0	0	1	2	3	4	5	6	7	COM
0	0	0 0	+	-							1	0	0 0	+								-
0	0	0 1			+	-					1	0	0 1		+							-
0	0	1 0				+	-				1	0	1 0				+					-
0	0	1 1						+	-		1	0	1 1					+				-
0	1	0 0	-	+							1	1	0 0		+							-
0	1	0 1			-	+					1	1	0 1				+					-
0	1	1 0				-	+				1	1	1 0					+				-
0	1	1 1						-	+		1	1	1 1						+			-

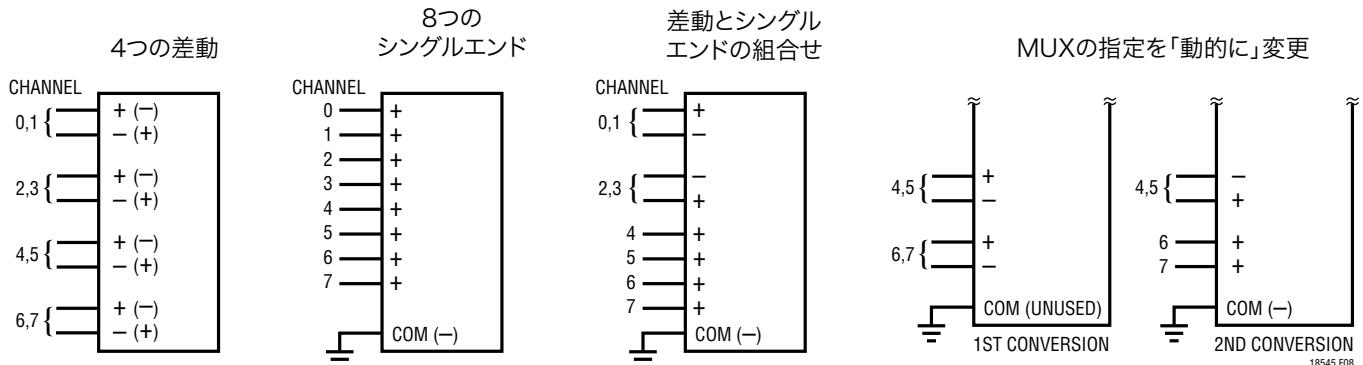


図8. LTC1854/LTC1855/LTC1856のマルチプレクサのオプションの例

185456fa

アプリケーション情報

MUXアドレス

入力ワードの最初の4ビットは要求される変換のMUX構成を指定します。与えられたチャネル選択に対して、コンバータは表1の選択された行の「+」と「-」の記号で示されている2つのチャネル間の電圧を測定します。シングルエンド・モードでは、すべての入力チャネルがCOMを基準にして測定されます。「+」入力と「-」入力の両方が同時にサンプルされるので、同相ノイズが除去されます。入力ワードのビット5とビット6はドントケア・ビットです。

パワーダウンの選択(ナップとスリープ)

入力ワードの最後の2ビット(ナップとスリープ)により、LTC1854/LTC1855/LTC1856の電力シャットダウン・モードが決定されます。表2を参照してください。Nap = 1およびSleep = 0のときナップ・モードが選択されます。ナップ・モードに入る前に、前の変換結果がクロックによって出力され、変換が1回実行されます。この変換が終了するとナップ・モードが始まります。変換の終了は $\overline{\text{BUSY}}$ 信号の立上りエッジで示されます。ナップ・モードは2番目のSCKの立下りエッジまで継続します(図9参照)。自動ナップは入力ワードがADCに書き込まれるたびにNap = 1が選択されると実行されます。

表2. パワーダウンの選択

ナップ	スリープ	パワーダウン・モード
0	0	パワーオン
1	0	ナップ
X	1	スリープ

Sleep = 1が選択されると、Nap入力の選択には無関係にスリープ・モードになります。前の変換結果をクロックで出力することができ、最後(16番目)のSCKの立下りエッジでスリープ・モードが開始されます。CONVSTはスリープ・モードの間“H”または“L”的どちらかに保つ必要があることに注意してください(図10参照)。スリープ・モードから覚醒させるには、CONVST信号に立上りエッジを与えてからSDIワードでSleep = 0を与えるとデバイスは最後(16番目)のSCKの立下りエッジで覚醒します(図11参照)。

スリープ・モードでは、すべてのバイアス電流がシャットダウンし、パワーオンリセット回路とリーク電流(約10 μ A)だけが残ります。スリープ・モードのウェイクアップ時間はREFCOMP(ピン16)に接続されたコンデンサの値に依存します。スリープ・モードのウェイクアップ時間はREFCOMP(ピン16)に推奨10 μ Fのコンデンサを接続すると標準で40msです。

ダイナミック特性

定格スループットでのADCの周波数応答、歪みおよびノイズをテストするにはFFT(高速フーリエ変換)のテスト方法が使われます。低歪みの正弦波を与えてそのデジタル出力をFFTアルゴリズムを用いて解析することにより、基本波の外側の周波数についてADCのスペクトルの内容を調べることができます。87dBのSINADと-101dBのTHDを示すLTC1856の標準的FFTプロットを図12に示します。

LTC1854/LTC1855/LTC1856

アプリケーション情報

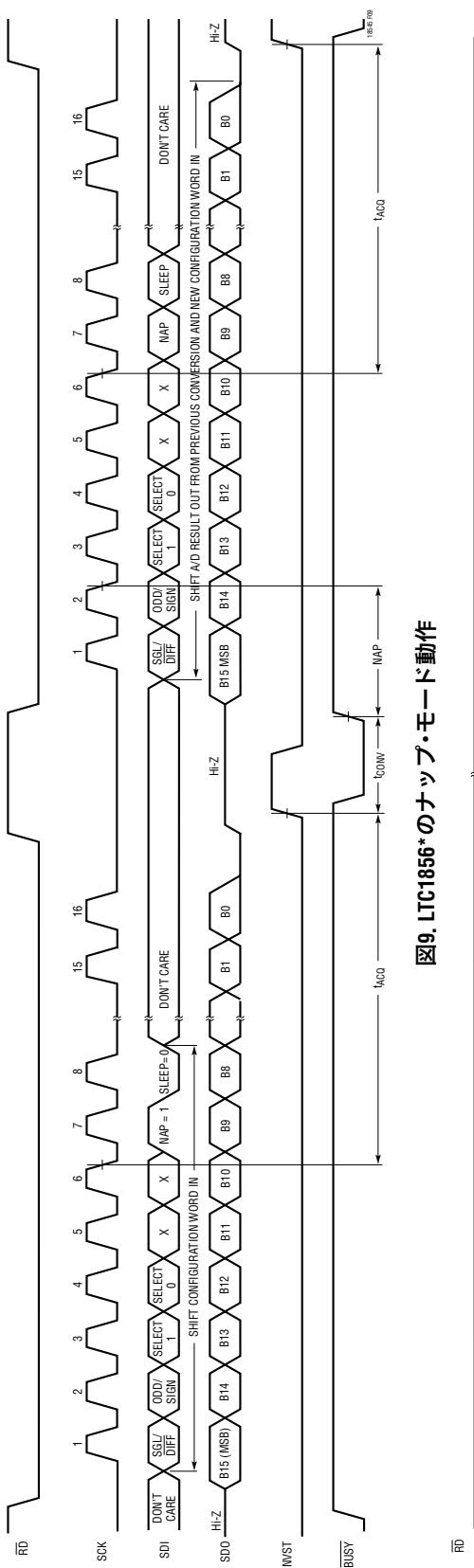


図9. LTC1856*のナップ・モード動作

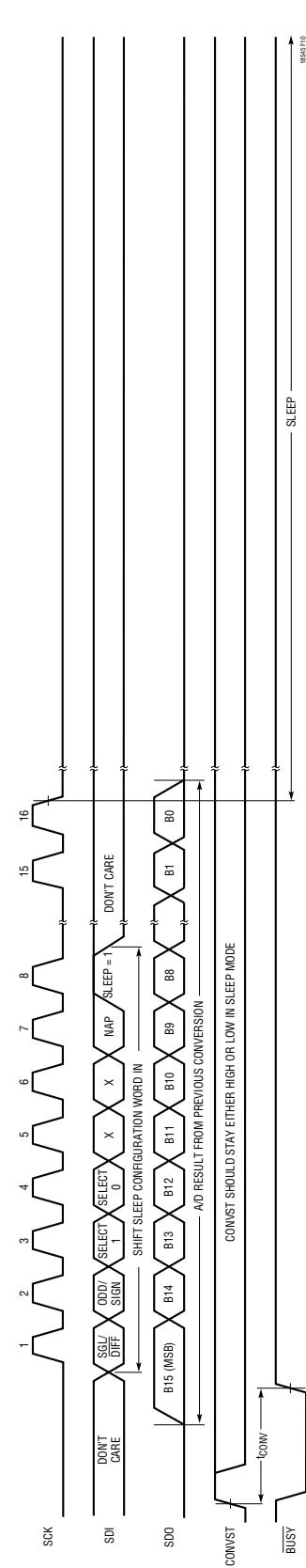


図10. LTC1856*のスリープ・モード動作

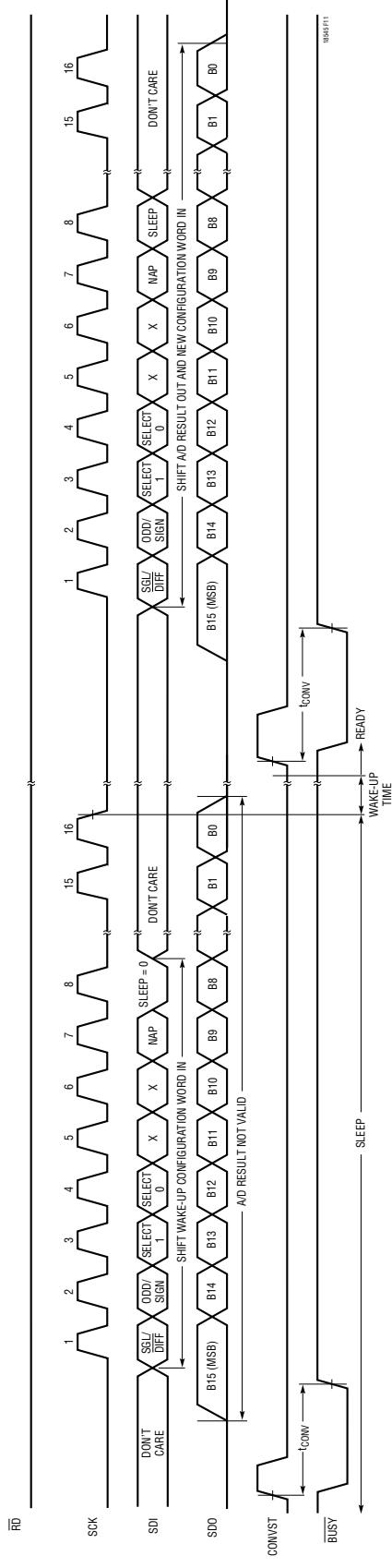


図11 171855*のスリープ・モードからの覚醒

*12ビットのIIC1854と14ビットのIIC1855の場合、SD0の最後のそれぞれ4ビットはゼロを出力します。

アプリケーション情報

信号と雑音+歪み比

信号と雑音+歪み比(SINAD)は、基本入力周波数のRMS振幅とADCの出力の他のすべての周波数成分のRMS振幅の比です。出力はDCより高くサンプリング周波数の半分より低い周波数に帯域が制限されています。100kHzのサンプリング・レートと1kHzの入力を使った87dBの標準的SINADを図12に示します。

全高調波歪み

全高調波歪み(THD)は入力信号の全高調波のRMS和の基本周波数に対する比です。帯域外高調波はDCとサンプリング周波数の半分の間の周波数帯域でエイリアスを生じます。THDは次のように表されます。

$$\text{THD} = 20 \log \frac{\sqrt{V_2^2 + V_3^2 + V_4^2 + \dots + V_N^2}}{V_1}$$

ここで、 V_1 は基本波のRMS振幅で、 $V_2 \sim V_N$ は2次～N次の高調波の振幅です。

基板のレイアウト、電源およびデカップリング

高分解能や高速のA/Dコンバータにはワイヤラップ・ボードは推奨できません。LTC1854/LTC1855/LTC1856から最良の性能を得るには、プリント回路基板が必要です。プリント回路基板のレイアウトでは、デジタル信号ラインとアナログ信号ラインをできるだけ分離します。特に、どのデジタル・トラックもアナログ信号トラックに沿って配置しないように、またADCの下に配置しないように注意します。アナログ入力はAGNDで囲って保護します。

MUXがADCに接続されているアプリケーションでは、MUXOUTをADCに接続しているトレースからADCにノイズがカップリングする可能性があります。したがって、MUXOUTピン(ピン10、11)をADCのピン(ピン12、13)に接続するトレースを短くすると問題を最小に抑えることができます。未使用的MUX入力は接地して、入力へのノイズのカップリングを防ぎます。

12ビット/14ビット/16ビットのADCから最良の性能を得るために有効な電源接地法を図13に示します。アナログ・グランド・プレーンとデジタル・グランド・プレーンの設計に特に注意を払ってください。

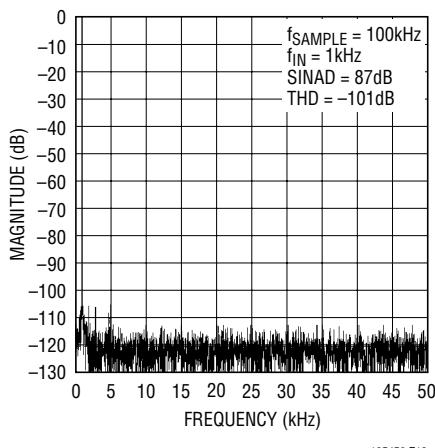


図12. LTC1856の平均化しない4096ポイントのFFTプロット

LTC1854/LTC1855/LTC1856

アプリケーション情報

LTC1854/LTC1855/LTC1856のDGNDピンはアナログ・グランド・プレーンに接続することができます。バイパス・コンデンサを電源ピン、リファレンスおよびリファレンスのバッファにできるだけ近づけて配置することが重要です。ADCの低ノイズ動作にはこれらのバイパス・コンデンサの低インピーダンス共通リターンが不可欠で、これらのトラックのフォイル幅はできるだけ広くします。ま

た、信号源とADCの間のどんなグランド電位差も入力信号に直列な誤差電圧として現れますので、グランド回路のインピーダンスをできるだけ小さくするよう注意します。デジタル出力ラッチと内蔵サンプリング・クロックはデジタル・グランド・プレーン上に配置されています。2つのグランド・プレーンは広い低インダクタンスの経路を通してADCのところで相互に接続されています。

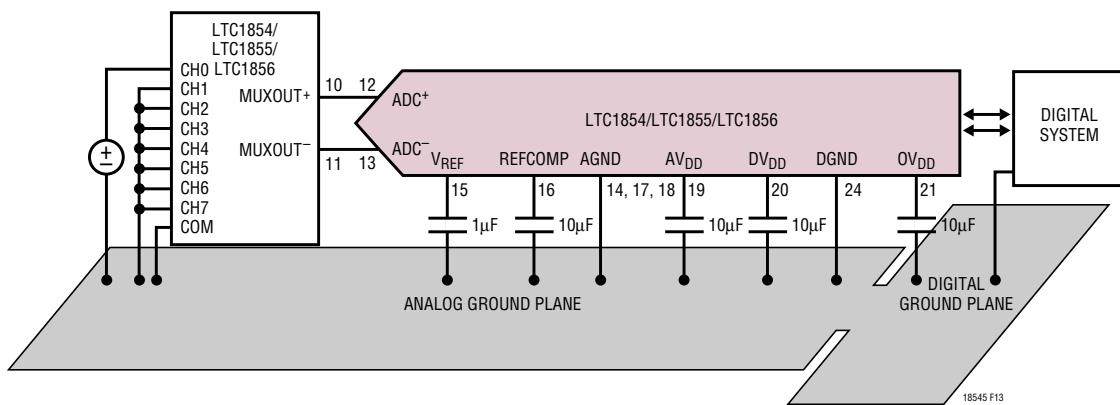
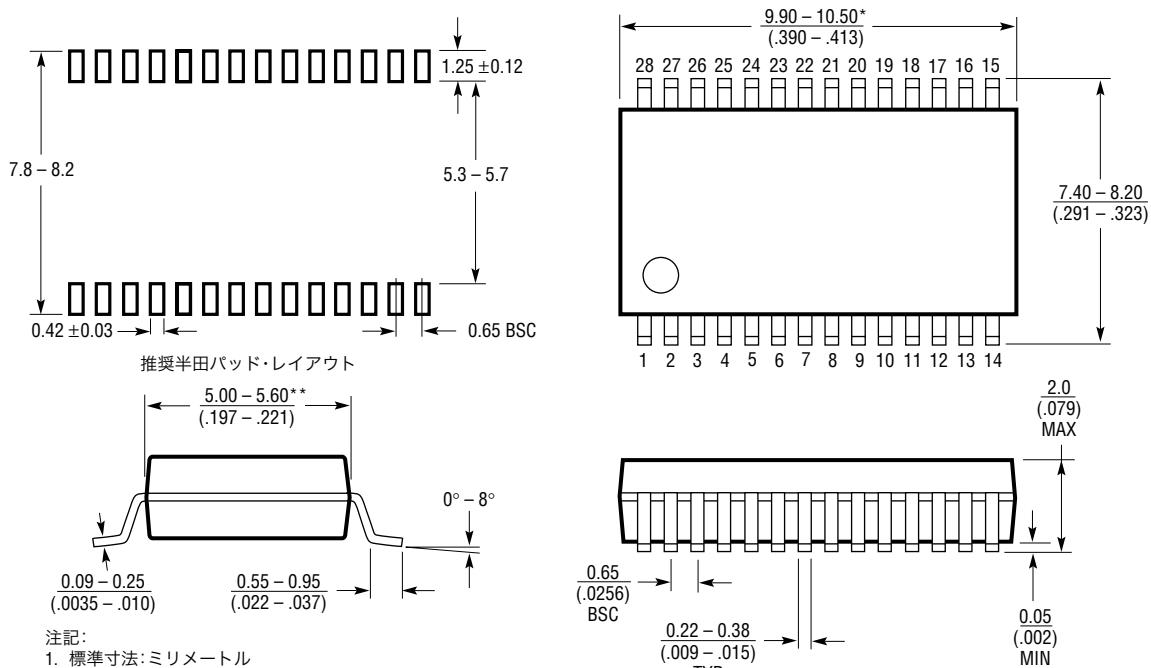


図13. 電源の接地方方法

パッケージ寸法

Gパッケージ
28ピン・プラスチックSSOP(5.3mm)
(Reference LTC DWG # 05-08-1640)

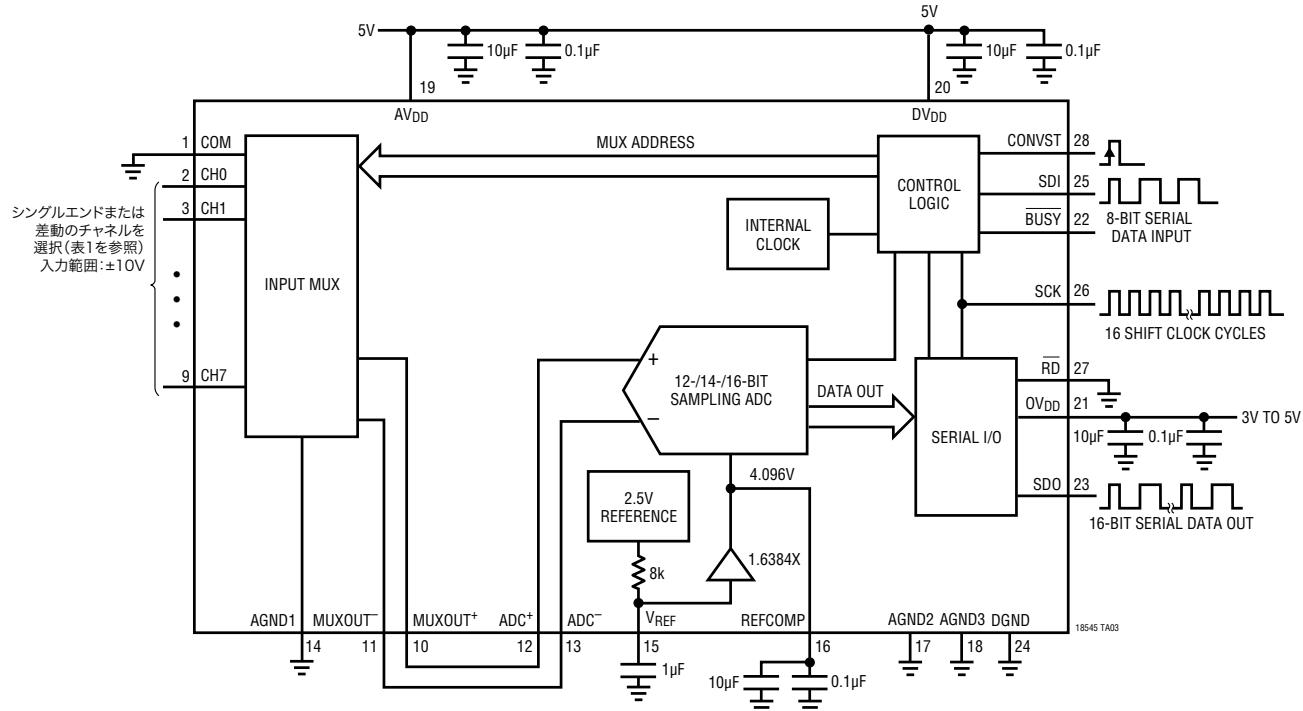


注記:

- 標準寸法: ミリメートル
- 寸法は ミリメートル (インチ)
- 図は実寸とは異なる
 - *寸法にはモールドのバリを含まない。モールドのバリは各サイドで0.152mm(0.006")を超えないこと
 - **寸法にはリード間のバリを含まない。リード間のバリは各サイドで0.254mm(0.010")を超えないこと

LTC1854/LTC1855/LTC1856

標準的応用例



関連製品

製品番号	説明	注釈
サンプリングADC		
LTC1418	14ビット、200ksps、5V単一電源または±5VのADC	15mW、シリアル/パラレルI/O
LTC1604	16ビット、333ksps、±5VのADC	SINAD:90dB、消費電力:220mW、LTC1608とピン互換
LTC1605	16ビット、100ksps、5V単一電源のADC	±10V入力、55mW、2バイト・パラレルI/O、LTC1606とピン互換
LTC1606	16ビット、250ksps、5V単一電源のADC	±10V入力、75mW、2バイト・パラレルI/O、LTC1605とピン互換
LTC1608	16ビット、500ksps、±5VのADC	SINAD:90dB、消費電力:270mW、LTC1604とピン互換
LTC1609	16ビット、200kspsシリアルADC	構成設定可能なユニポーラ/バイポーラ入力、最大10V入力、5V単一電源
LTC1850/LTC1851	10ビット/12ビット、8チャネル、1.25Msps ADC	プログラム可能なMUXとシーケンサ、パラレルI/O
LTC1859/LTC1858/LTC1857	16ビット/14ビット/12ビット、8チャネル、SoftSpan ADC	ソフトウェアで選択可能なスパン、LTC1856/LTC1855/LTC1854とピン互換
LTC1864/LTC1865	16ビット、1チャネル/2チャネル、250ksps ADC、MSOPパッケージ	5V単一電源、850μA、自動シャットダウン付き
LTC1864L/LTC1865L	3V、16ビット、1チャネル/2チャネル、150ksps ADC、MSOPパッケージ	3V単一電源、450μA、自動シャットダウン付き
DAC		
LTC1588/LTC1589	12/14/16ビット、シリアル、SoftSpan I _{OUT} DAC	ソフトウェアで選択可能なスパン、INL/DNL:±1LSB
LTC1592		
LTC1595	16ビット、シリアル乗算型I _{OUT} DAC、SO-8パッケージ	最大INL/DNL:±1LSB、低グリッチ、DAC8043の16ビット・アップグレード
LTC1596	16ビット、シリアル乗算型I _{OUT} DAC	最大INL/DNL:±1LSB、低グリッチ、AD7543/DAC8143の16ビット・アップグレード
LTC1597	16ビット、パラレル乗算型DAC	最大INL/DNL:±1LSB、低グリッチ、4象限抵抗
LTC1650	16ビット、シリアルV _{OUT} ±5V DAC	低電力、低グリッチ、4象限乗算
LTC2704-16/LTC2704-14/LTC2704-12	16ビット、14ビット、12ビット、シリアル、クワッドSoftSpan V _{OUT} DAC	ソフトウェアで選択可能なスパン、INL:±2LSB、DNL:±1LSB、強制/センス出力