

特長

- レール・トゥ・レール入力および出力動作
- 単一3Vから \pm 5V電源で動作
- 16リードSSOPパッケージのデュアル2次フィルタ
- 単一3.3V電源で80dBを超えるダイナミック・レンジ
- クロック対中心周波数比：100:1(LTC1067)、50:1(LTC1067-50)
- 内部サンプリング対中心周波数比：200:1(LTC1067)
100:1(LTC1067-50)
- 中心周波数誤差 $<\pm 0.2\%$ (標準)
- 低ノイズ： $<40\mu\text{V}_{\text{RMS}}$ 、 $Q \leq 5$
- 内部抵抗によるカスタマイズ可能

アプリケーション

- ノッチ・フィルタ
- 狹帯域バンドパス・フィルタ
- トーン検出
- ノイズ削減システム

概要

LTC[®]1067/LTC1067-50は2つの同一のレール・トゥ・レール、高精度、および非常に広いダイナミック・レンジの2次スイッチト・キャパシタ構成ブロックから成ります。各構成ブロックは3本から5本の抵抗で、バンドパス、ハイパス、ローパス、ノッチ、オールパスなどの2次フィルタ機能を実現します。高精度4次フィルタは容易に設計できます。

各2次セクションの中心周波数は、外部クロック周波数によって調整されます。内部クロック対中心周波数比(LTC1067では100:1、LTC1067-50では50:1)は、外部抵抗で変更できます。これらのデバイスはダブル・サンプリング・アーキテクチャを採用しており、クロック周波数の2倍の周波数に、エリアシングやイメージング成分が現れます。LTC1067-50は低消費電力デバイスであり、LTC1067の約半分の電流しか消費しません。LTC1067-50の標準電源電流は3.3V電源では約1mAです。

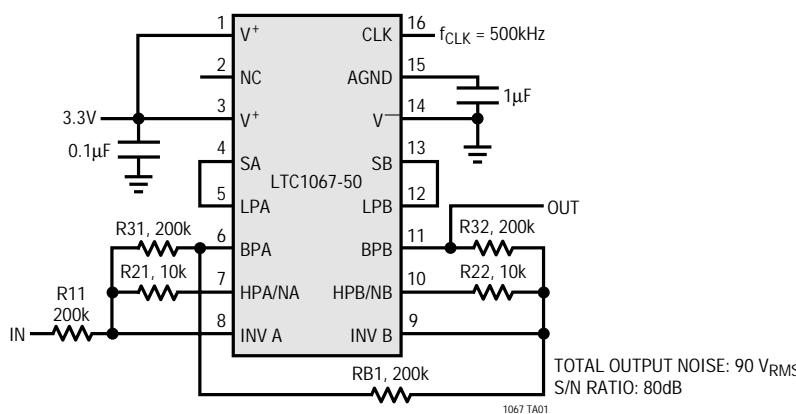
LTC1067およびLTC1067-50は、16ピン細型SSOPおよびSOパッケージで供給されます。

薄膜抵抗をチップに組み込んだ、特注のクロック対カットオフ周波数比を持つLTC1067およびLTC1067-50のマスク・プログラマブル・バージョンを設計して、SO-8パッケージの特定用途向けモノリシック・フィルタを実現することができます。詳細については、弊社にお問い合わせください。

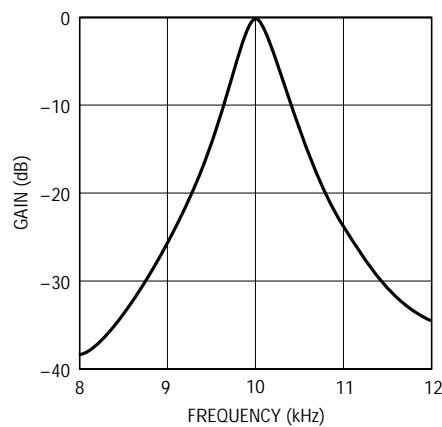
、LTC、LTはリニアテクノロジー社の登録商標です。

標準的応用例

単一3.3V電源レール・トゥ・レール、
4次、10kHzバンドパス・フィルタ



周波数応答



絶対最大定格

全電源電圧($V^+ \sim V^-$)	12V
入力電圧	($V^+ + 0.3V$)~($V^- - 0.3V$)
出力短絡時間	無限
消費電力	500mW
動作温度範囲	
LTC1067C	0 ~ 70
LTC1067I	- 40 ~ 85
保存温度範囲	- 65 ~ 150
リード温度(半田付け、10秒)	300

パッケージ/発注情報

TOP VIEW	ORDER PART NUMBER
V ⁺ [1]	LTC1067CGN
NC [2]	LTC1067-50CGN
V ⁺ [3]	LTC1067IGN
SA [4]	LTC1067-50IGN
LPA [5]	LTC1067CS
BPA [6]	LTC1067-50CS
HPA/NA [7]	LTC1067IS
INV A [8]	LTC1067-50IS
GN PACKAGE	16-LEAD PLASTIC SSOP
S PACKAGE	16-LEAD PLASTIC SO
	$T_{JMAX} = 110^\circ\text{C}, \theta_{JA} = 135^\circ\text{C}/\text{W}$ (GN)
	$T_{JMAX} = 110^\circ\text{C}, \theta_{JA} = 115^\circ\text{C}/\text{W}$ (S)

ミリタリ・グレードに関してはお問い合わせください。

電気的特性 LTC1067(内部オペアンプ) 注記がない限り、 $V_S = 4.75V$ 、 $T_A = 25$

PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
Operating Supply Range		3		11	V
Positive Output Voltage Swing	$V_S = 3V, R_L = 10k$ $V_S = 4.75V, R_L = 10k$ $V_S = \pm 5V, R_L = 10k$	● ● ●	2.65 4.25 4.15	2.80 4.50 4.50	V
Negative Output Voltage Swing	$V_S = 3V, R_L = 10k$ $V_S = 4.75V, R_L = 10k$ $V_S = \pm 5V, R_L = 10k$	● ● ●	0.020 0.025 - 4.96	0.200 0.225 - 4.80	V
Output Short-Circuit Current (Source/Sink)	$V_S = 3V$ $V_S = 4.75V$ $V_S = \pm 5V$			16/1.0 33/2.2 70/7.2	mA
DC Open-Loop Gain	$R_L = 10k$			90	dB
GBW Product	$R_L = 10k$			2.8	MHz
Slew Rate	$R_L = 10k$			2.25	V/ μ s

LTC1067(完全なフィルタ) 注記がない限り、 $V_S = 4.75V$ 、 $f_{CLK} = 250\text{kHz}$ 、 $T_A = 25$

PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
Center Frequency Range, f_0 (Note 1)			0.001 to 20		kHz
Input Frequency Range			0 to 1		MHz
Clock-to-Center Frequency, f_{CLK}/f_0	$V_S = 3V, f_{CLK} = 250\text{kHz}$, Mode 1, $f_0 = 2.5\text{kHz}$, $Q = 5$ $R1 = R3 = 49.9k$, $R2 = 10k$	●	100:1 ± 0.2 ± 0.70		%
	$V_S = 4.75V, f_{CLK} = 250\text{kHz}$, Mode 1, $f_0 = 2.5\text{kHz}$, $Q = 5$ $R1 = R3 = 49.9k$, $R2 = 10k$	●	100:1 ± 0.2 ± 0.70		%
	$V_S = \pm 5V, f_{CLK} = 500\text{kHz}$, Mode 1, $f_0 = 5\text{kHz}$, $Q = 5$ $R1 = R3 = 49.9k$, $R2 = 10k$	●	100:1 ± 0.2 ± 0.70		%
Clock-to-Center Frequency Ratio, Side-to-Side Matching	$V_S = 3V, f_{CLK} = 250\text{kHz}$, $Q = 5$	●	± 0.1	± 0.35	%
	$V_S = 4.75V, f_{CLK} = 250\text{kHz}$, $Q = 5$	●	± 0.1	± 0.35	%
	$V_S = \pm 5V, f_{CLK} = 500\text{kHz}$, $Q = 5$	●	± 0.1	± 0.35	%

電気的特性

LTC1067(完全なフィルタ) 注記がない限り、 $V_S = 4.75V$ 、 $f_{CLK} = 250kHz$ 、 $T_A = 25$

PARAMETER	CONDITIONS		MIN	TYP	MAX	UNITS
Q Accuracy	$V_S = 3V$, $f_{CLK} = 250kHz$, $Q = 5$	●		± 0.5	± 2	%
	$V_S = 4.75V$, $f_{CLK} = 250kHz$, $Q = 5$	●		± 0.5	± 2	%
	$V_S = \pm 5V$, $f_{CLK} = 500kHz$, $Q = 5$	●		± 0.5	± 2	%
f_0 Temperature Coefficient				± 1		$ppm/^\circ C$
Q Temperature Coefficient				± 5		$ppm/^\circ C$
DC Offset Voltage (See Table 2)	V_{OS1} (DC Offset of Input Inverter) V_{OS2} (DC Offset of First Integrator) V_{OS3} (DC Offset of Second Integrator)	● ● ●		± 3 ± 4 ± 4	± 12.5 ± 15.0 ± 15.0	mV
Clock Feedthrough				150		μV_{RMS}
Maximum Clock Frequency	$Q < 2.5$, $V_S = \pm 5V$			2.0		MHz
Power Supply Current	$V_S = 3V$, $f_{CLK} = 250kHz$	●		2.50	4.5	mA
	$V_S = 4.75V$, $f_{CLK} = 250kHz$	●		3.00	5.5	mA
	$V_S = \pm 5V$, $f_{CLK} = 500kHz$	●		4.35	7.5	mA

LTC1067-50(内部オペアンプ) 注記がない限り、 $V_S = 4.75V$ 、 $T_A = 25$

PARAMETER	CONDITIONS		MIN	TYP	MAX	UNITS
Operating Supply Range			2.7	11		V
Positive Output Voltage Swing	$V_S = 3V$, $R_L = 10k$	●	2.65	2.80		V
	$V_S = 4.75V$, $R_L = 10k$	●	4.25	4.50		V
	$V_S = \pm 5V$, $R_L = 10k$	●	4.15	4.50		V
Negative Output Voltage Swing	$V_S = 3V$, $R_L = 10k$	●	0.020	0.200		V
	$V_S = 4.75V$, $R_L = 10k$	●	0.025	0.225		V
	$V_S = \pm 5V$, $R_L = 10k$	●	-4.96	-4.80		V
Output Short-Circuit Current (Source/Sink)	$V_S = 3V$			16/0.6		mA
	$V_S = 4.75V$			33/1.2		mA
	$V_S = \pm 5V$			70/5.7		mA
DC Open-Loop Gain	$R_L = 10k$			90		dB
GBW Product	$R_L = 10k$			1.9		MHz
Slew Rate	$R_L = 10k$			0.8		$V/\mu s$

LTC1067-50(完全なフィルタ) 注記がない限り、 $V_S = 4.75V$ 、 $f_{CLK} = 125kHz$ 、 $T_A = 25$

PARAMETER	CONDITIONS		MIN	TYP	MAX	UNITS
Center Frequency Range, f_0 (Note 1)			0.001 to 40			kHz
Input Frequency Range			0 to 1			MHz
Clock-to-Center Frequency, f_{CLK}/f_0	$V_S = 3V$, $f_{CLK} = 125kHz$, Mode 1, $f_0 = 2.5kHz$, $Q = 5$ $R1 = R3 = 49.9k$, $R2 = 10k$	●	50:1 ± 0.2			%
	$V_S = 4.75V$, $f_{CLK} = 125kHz$, Mode 1, $f_0 = 2.5kHz$, $Q = 5$ $R1 = R3 = 49.9k$, $R2 = 10k$	●	50:1 ± 0.2			%
	$V_S = \pm 5V$, $f_{CLK} = 250kHz$, Mode 1, $f_0 = 5kHz$, $Q = 5$ $R1 = R3 = 49.9k$, $R2 = 10k$	●	50:1 ± 0.3			%
Clock-to-Center Frequency Ratio, Side-to-Side Matching	$V_S = 3V$, $f_{CLK} = 125kHz$, $Q = 5$	●	± 0.2	± 0.55		%
	$V_S = 4.75V$, $f_{CLK} = 125kHz$, $Q = 5$	●	± 0.2	± 0.55		%
	$V_S = \pm 5V$, $f_{CLK} = 250kHz$, $Q = 5$	●	± 0.2	± 0.55		%
Q Accuracy	$V_S = 3V$, $f_{CLK} = 125kHz$, $Q = 5$	●	± 0.5	± 2		%
	$V_S = 4.75V$, $f_{CLK} = 125kHz$, $Q = 5$	●	± 0.5	± 2		%
	$V_S = \pm 5V$, $f_{CLK} = 250kHz$, $Q = 5$	●	± 0.5	± 2		%

電気的特性

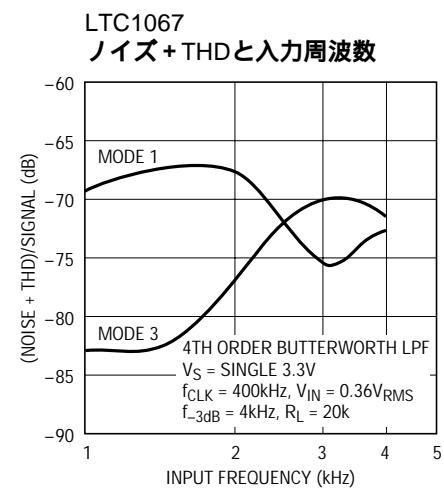
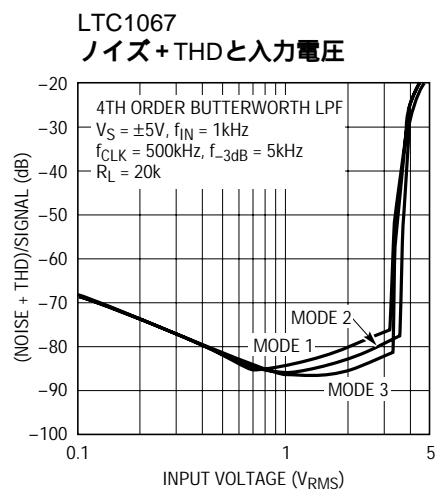
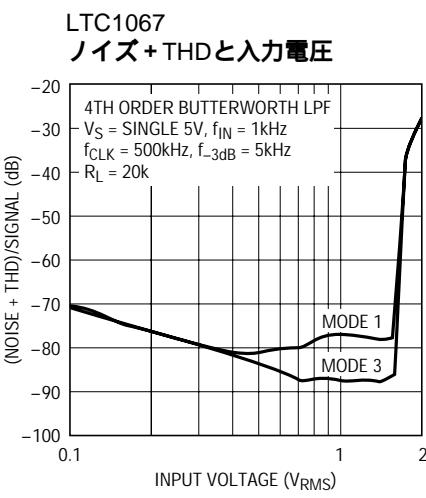
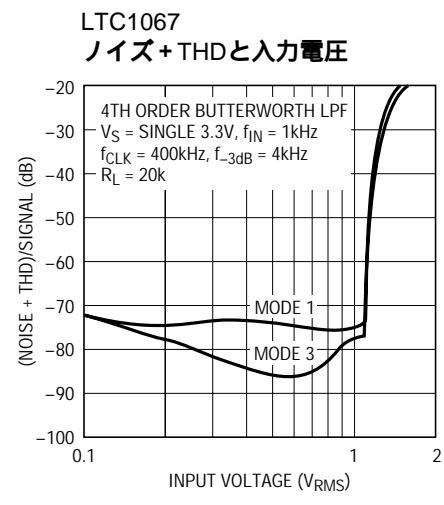
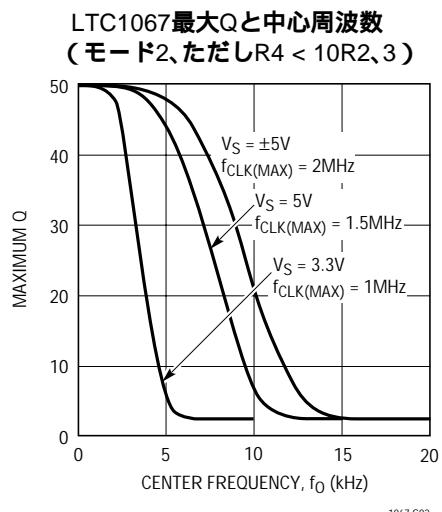
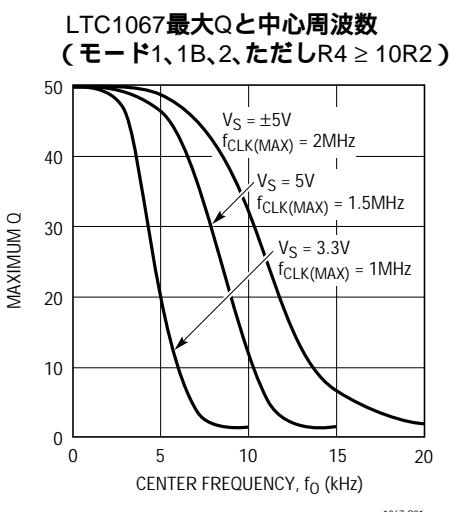
LTC1067-50(完全なフィルタ) 注記がない限り、 $V_S = 4.75V$ 、 $f_{CLK} = 125kHz$ 、 $T_A = 25$

PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
f_0 Temperature Coefficient				± 1	ppm/ $^{\circ}C$
Q Temperature Coefficient				± 5	ppm/ $^{\circ}C$
DC Offset Voltage (See Table 2)	V_{OS1} (DC Offset of Input Inverter) V_{OS2} (DC Offset of First Integrator) V_{OS3} (DC Offset of Second Integrator)	● ● ●	± 3 ± 4 ± 4	± 12.5 ± 15.0 ± 15.0	mV
Clock Feedthrough				150	μV_{RMS}
Maximum Clock Frequency	$0 < 2.5$, $V_S = \pm 5V$			2.0	MHz
Power Supply Current	$V_S = 3V$, $f_{CLK} = 125kHz$ $V_S = 4.75V$, $f_{CLK} = 125kHz$ $V_S = \pm 5V$, $f_{CLK} = 250kHz$	● ● ●	1.00 1.45 2.35	2.5 3.0 4.0	mA

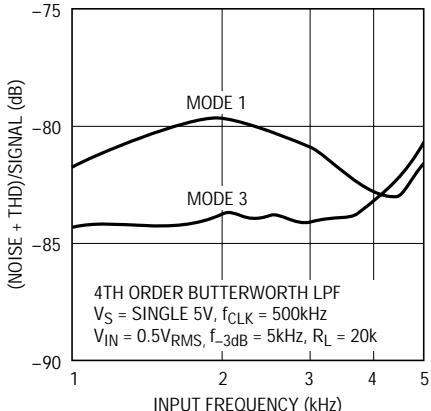
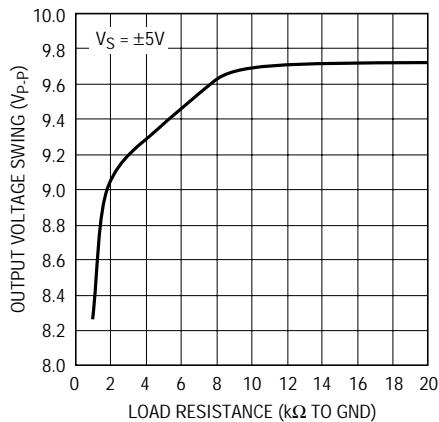
●は全動作温度範囲で適用される規格値を意味する。

Note 1: 標準的性能特性を参照。

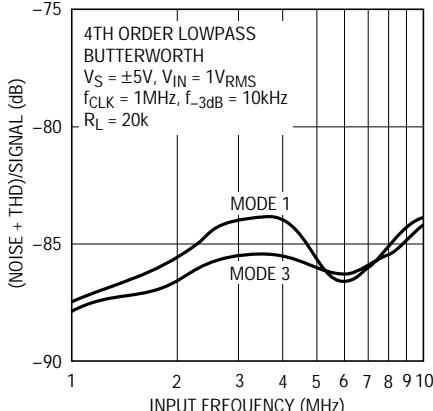
標準的性能特性



標準的性能特性

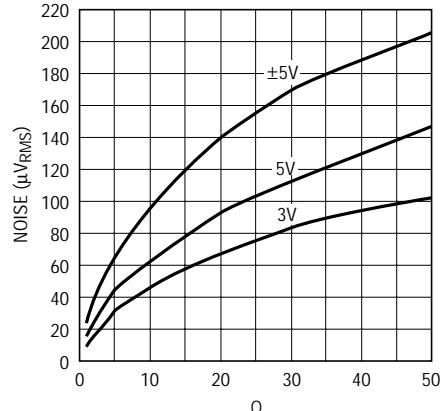
LTC1067
ノイズ+THDと入力周波数LTC1067
出力電圧振幅と負荷抵抗
±5V電源電圧

1067 G10

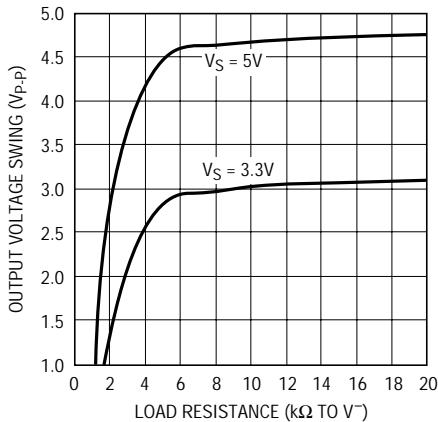
LTC1067
ノイズ+THDと入力周波数

1067 G08

1067 G09

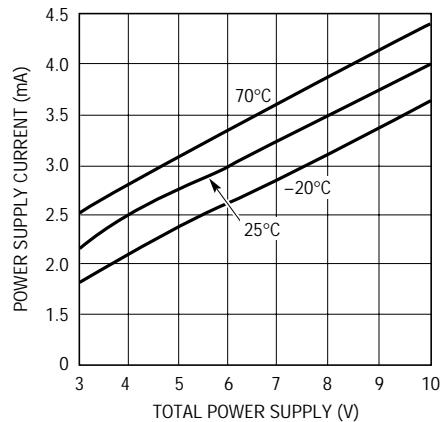
LTC1067
ノイズとQ

1067 G09

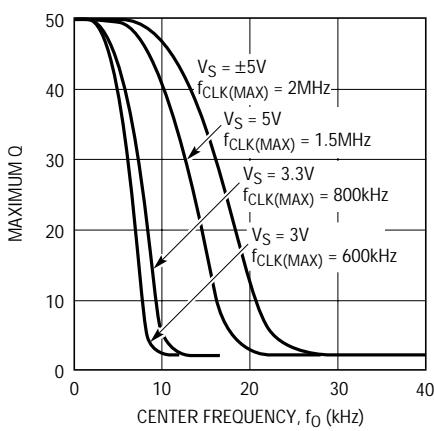
LTC1067
出力電圧振幅と負荷抵抗
単一電源電圧

1067 G11

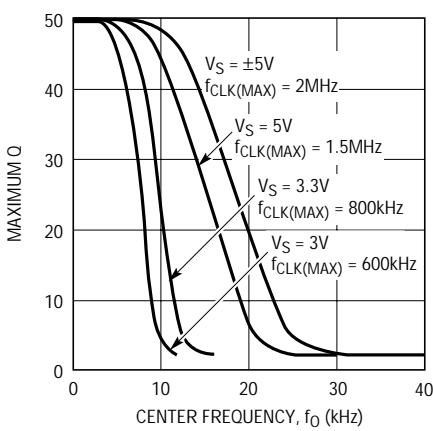
8

LTC1067
電源電流と電源

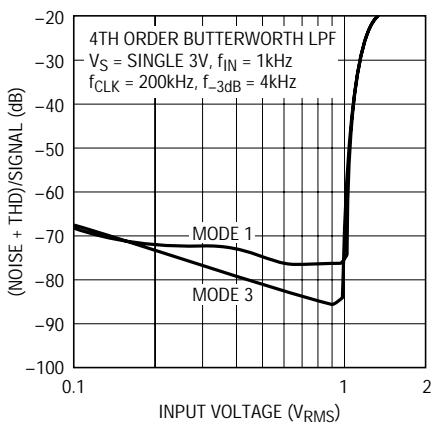
1067 G12

LTC1067-50
最大Qと中心周波数
(モード2、ただし $R_4 < 10R_2, 3$)

1067 G13

LTC1067-50
最大Qと中心周波数
(モード1, 1B, 2、ただし $R_4 \geq 10R_2$)

1067 G14

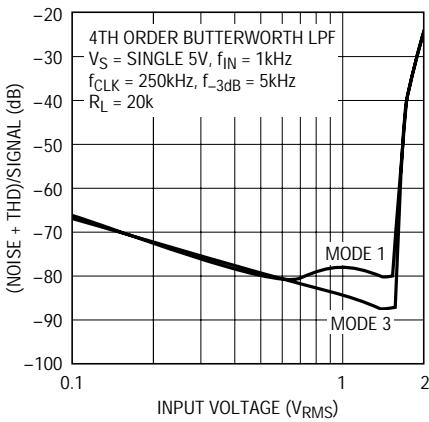
LTC1067-50
ノイズ+THDと入力電圧

1067 G15

標準的性能特性

LTC1067-50

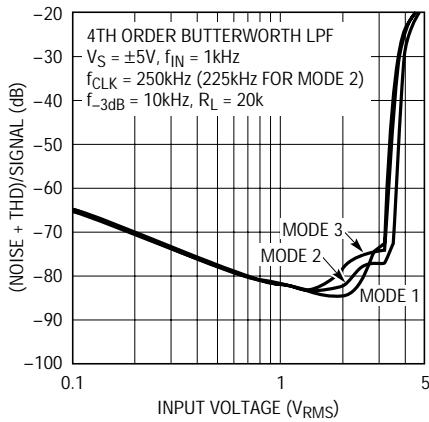
ノイズ+THDと入力電圧



1067 G16

LTC1067-50

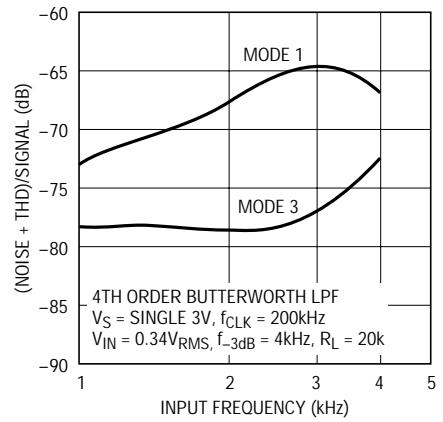
ノイズ+THDと入力電圧



1067 G17

LTC1067-50

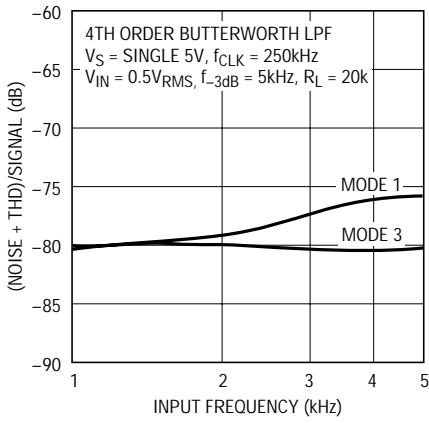
ノイズ+THDと入力周波数



1067 G18

LTC1067-50

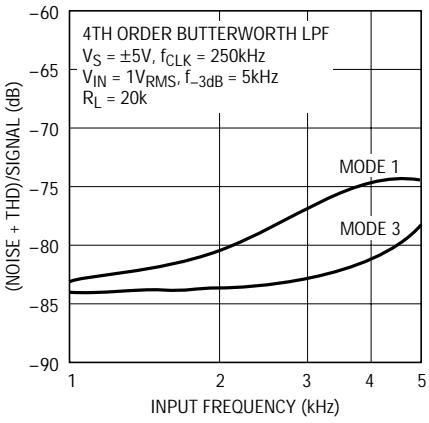
ノイズ+THDと入力周波数



1067 G19

LTC1067-50

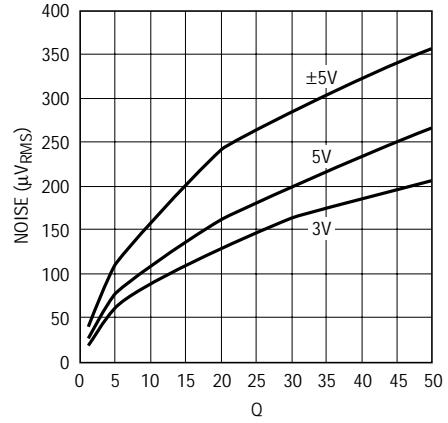
ノイズ+THDと入力周波数



1067 G20

LTC1067-50

ノイズとQ

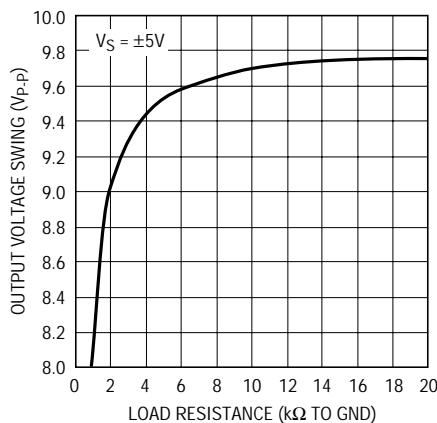


1067 G21

LTC1067-50

出力電圧振幅と負荷抵抗

±5V電源電圧

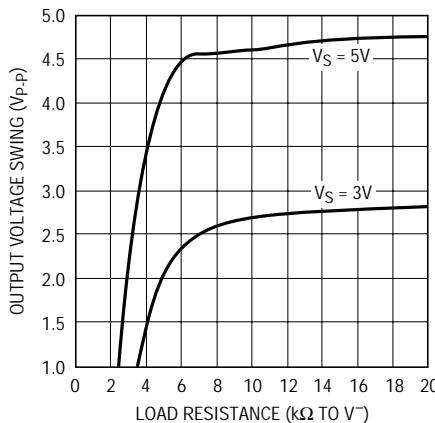


1067 G22

LTC1067-50

出力電圧振幅と負荷抵抗

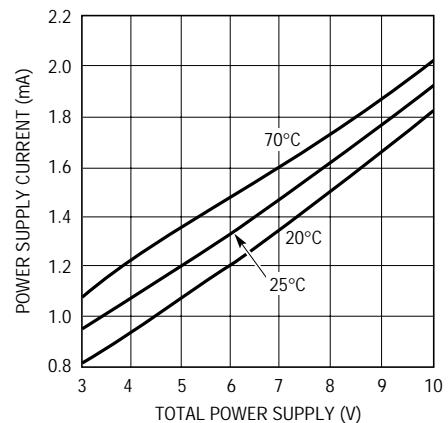
単一電源電圧



1067 G23

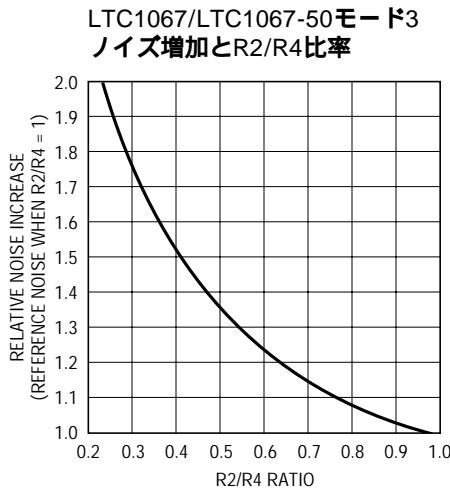
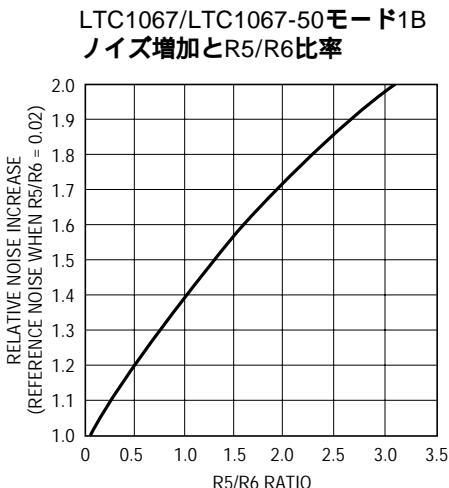
LTC1067-50

電源電流と電源



1067 G24

標準的性能特性



ピン機能

V^+ 、 V^- (ピン1、3、14): V^+ (ピン1、3)および V^- (ピン14)は、それぞれ $0.1\mu F$ のコンデンサで適切なアナログ・グランドにバイパスしなければなりません。フィルタの電源は他のデジタルまたは高電圧アナログ電源から分離する必要があります。低ノイズのリニア電源を使用してください。スイッチング電源を使用すると、フィルタの

SN比が低下します。電源の立上げ時のスルーレートは、 $1V/\mu s$ 未満でなければなりません。 V^- より前に V^+ が印加され、かつ V^- がグランド電位より高くなる可能性があるときは、ダイオードで V^- をクランプしてラッチアップを防止する必要があります。図1および図2に、両電源および単一電源動作のための標準的な接続を示します。

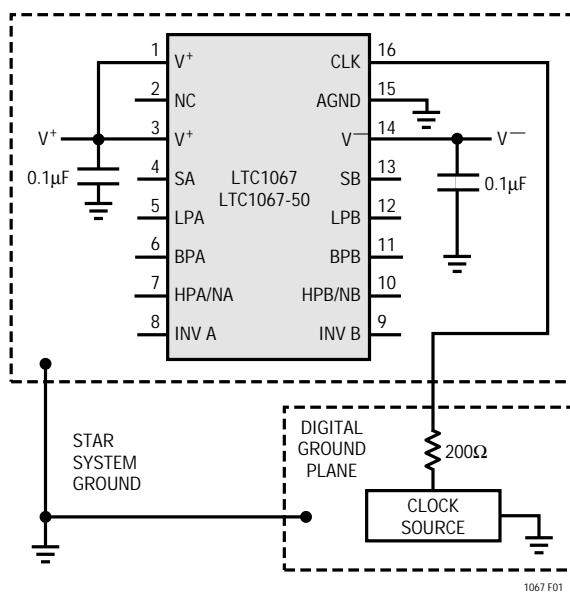


図1. 両電源のグランド・プレーン接続

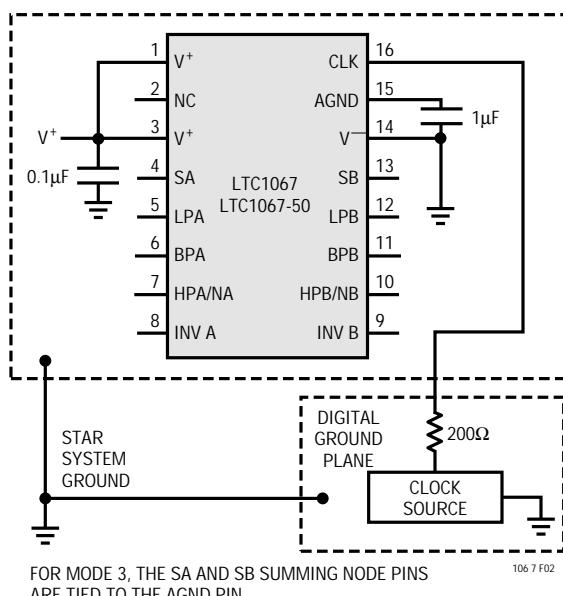


図2. 単一電源のグランド・プレーン接続

ピン機能

SA、SB(ピン4、13): 加算入力。加算ピンの接続と他の抵抗接続によって、各2次セクションの回路方式(モード)が決まります。これらのピンをフロート状態にしないでください。

LPA、BPA、HPA/NA、HPB/NB、BPB、LPB(ピン5、6、7、10、11、12): 出力ピン。LTC1067の各2次セクションには3つの出力があり、標準で33mAの電流をソースし、2mAの電流をシンクできます。同軸ケーブル、容量性負荷または10k以下の抵抗性負荷をドライブすると、フィルタ設計での全高調波歪み性能が低下します。詳細については、アプリケーション情報セクションの中の出力負荷の箇所を参照してください。フィルタの歪みやノイズ性能を評価するときには、フィルタの最終出力を広帯域アンプでバッファしなければなりません。

INV A、INV B(ピン8、9): 反転入力。これらのピンは内部オペアンプの高インピーダンス反転入力です。これらは信号出力や電源ラインなどの低インピーダンス・ノードへの寄生容量結合の影響を受けやすくなっています。信号出力から反転入力ピンに接続された抵抗は、可能な限り反転入力の近くに配置しなければなりません。

AGND(ピン15): アナログ・グランド。フィルタの性能はアナログ信号グランドの質に依存します。両電源または単一電源動作どちらでも、パッケージの周囲を囲むようなアナログ・グランド・プレーンを推奨します。アナログ・グランド・プレーンはどのデジタル・グランドに對しても一点接続でなければなりません。両電源動作では、ピン15をアナログ・グランド・プレーンに接続してください。単一電源動作では、ピン15を最低1 μ Fのコンデンサでアナログ・グランド・プレーンにバイパスする

必要があります。内蔵抵抗性電圧分割器はバイアスを電源電圧の半分に設定します。

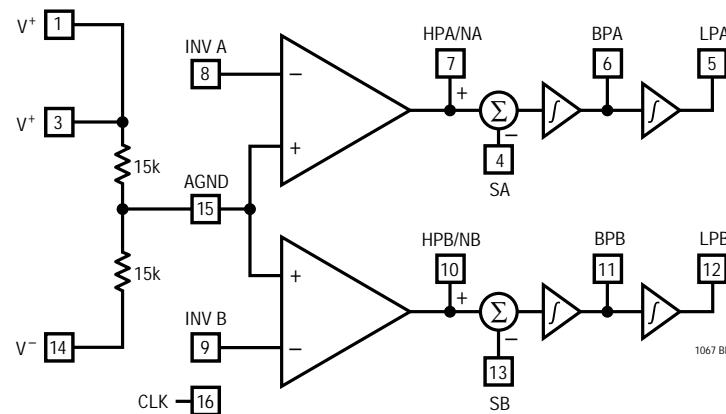
CLK(ピン16): クロック入力。デバイスのクロック源としては、出力が方形波でデューティ・サイクル50% ($\pm 10\%$) のCMOSロジックのクロック源が適当です。クロック源の電源をフィルタの電源と同じにしてはなりません。フィルタのアナログ・グランドは、必ずクロックのグランドに一点接続してください。表1に、両電源および単一電源動作でのクロックの“ L ”レベルと“ H ”レベルのスレッショルド値を示します。ロジック“ L ”レベルの信号は、負電源の電圧以上でなければなりません。±5V電源で、クロック・レベルは、±5Vかまたは0V～5Vのどちらでもかまいません。ロジック“ H ”レベルの信号は、正電源の電圧以下でなければなりません。ただし、正電源の電圧が3Vかまたは3.3Vであるとき、クロック信号は最大5.5Vにすることができます。

表1. クロック源の“ H ”および“ L ”スレッショルド・レベル

POWER SUPPLY	HIGH LEVEL	LOW LEVEL
±5V	$\geq 2.2V$	$\leq 0.50V$
Single 5V	$\geq 2.2V$	$\leq 0.50V$
Single 3V, 3.3V	$\geq 2V$	$\leq 0.40V$

クロック入力には正弦波を使用しないでください。クロック信号はどの電源ラインまたは入力または出力信号経路への結合を防止するために、ICパッケージの右側から導入するように配線しなければなりません。クロック源とピン16の間に200 Ω の抵抗を接続すると、クロックの立上りおよび立下り時間が遅くなり、クロックの静電結合がさらに低減されます。これによって、出力信号のクロック・フィードスルー・ノイズが低減されます。

ブロック図



動作モード

リニアテクノロジー社の汎用スイッチト・キャパシタ・フィルタは、固定された内部、公称 f_{CLK}/f_0 比率で設計されています。LTC1067は100:1の f_{CLK}/f_0 比率を持ち、LTC1067-50は50:1の f_{CLK}/f_0 比率を持っています。フィルタ設計では、しばしば各セクションの f_{CLK}/f_0 比率を公称の比率と異なる値にする必要があります。さらにほとんどの場合お互いに異なる値にする必要があります。公称値以外の比率は、外部抵抗で可能です。動作モードは、異なった f_{CLK}/f_0 比率を実現するために異なった配列で接続された外部抵抗を使います。適切なモードを選ぶことによって、 f_{CLK}/f_0 比率をそのデバイスの公称比率から増加または減少させることができます。

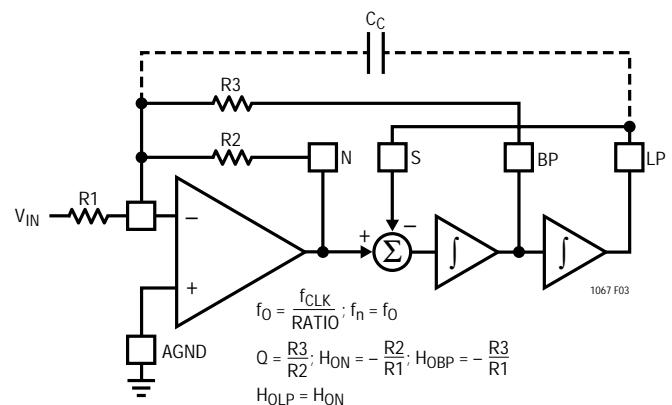
動作モードの選択は、HP/Nピンの伝達特性にも影響をあたえます。利用されるモードに関係なく、LPとBPピンは常にそれぞれローパスおよびバンドパス伝達特性を与えます。HP/Nピンは使われるモードによって異なる伝達特性を持ちます。モード1はノッチ伝達特性を与えます。モード3はハイパス伝達特性を与えます。モード2はハイパス・ノッチ伝達特性(すなわちストップバンド・ノッチを伴うハイパス)を与えます。例えばローパス・ノッチ、オールパスまたは複雑なゼロのような、より複雑な伝達特性は、LP、BPまたはHP/N出力のうちの2つ以上を合計することによって達成されます。これに関してはモード2nおよびモード3aの各セクションにおいて説明されています。

特別なアプリケーションのために適切なモードを選ぶことは、取るに足らないことではなくて、 f_{CLK}/f_0 比率をただ調節することよりもっと多くのものを含んでいます。利用できるほぼ20モードのうちの6つがここでリストされています。設計プロセスをより簡単でより迅速にするために、リニアテクノロジー社はWindows®環境動作用のFilterCAD™を開発しました。FilterCADは使い方が簡単で、強力で対話的なフィルタ設計プログラムです。設計者は2、3のフィルタ仕様を入れることができます、そして、プログラムは1つの全回路図を出力します。FilterCADは設計者をフィルタ伝達特性に集中させます、そして、設計の詳細の中で泥沼にはまらないでください。代わりに、リニアテクノロジー社のデバイス・ファミリで経験のある人は、詳細の全てを制御することができます。全ての動作モードの完全なリストについては、FilterCADのマニュアルかまたはFilterCADのヘルプ・ファイルの付録を参照してください。FilterCADはリニアテクノロジー社のウェブ・サイト(<http://www.linear-tech.co.jp>)で無料で入手できます、あるいは、リニアテクノロジー社のマーケティング部に連絡することによってFilterCAD CD-ROMを注文することができます。

モード1

モード1では、各2次セクションの中心周波数に対する外部クロック周波数の比率は、デバイスの公称比率で内部的に固定されます。図3に、2次ノッチ、ローパス、およびバンドパス出力を実現するモード1を示します。モード1を使用して、高次バターワース・ローパス・フィルタを構成することができます。このモードを使用して低Qノッチを構成したり、同じ中心周波数の2次バンドパス機能をカスケード接続することもできます。モード1はモード3よりも高速です。

コンデンサ C_C の使用法については、「アプリケーション情報」の動作限界のセクションを参照してください。



NOTE: RATIO = 100 FOR LTC1067
= 50 FOR LTC1067-50

図3. ノッチ、バンドパス、およびローパス出力を提供するモード1、2次フィルタ

8

モード1b

モード1bはモード1から派生したものです。モード1b(図4)では、R5とR6の2本の抵抗を追加して、ローパス出力からSA(またはSB)のスイッチト・キャパシタ加算端子の入力に帰還される電圧を低減させます。これによって、フィルタのクロック対中心周波数比をデバイス公称比率より高く調整することができます。モード1bではモード1の速度の利点が維持されるので、 f_{CLK} 対 f_{CUTOFF} (または f_{CENTER}) の比がデバイス公称比率以上の高いQの設計を行うには、それに適したモードとして検討すべきです。

FilterCADはリニアテクノロジー社の商標です。
Windowsはマイクロソフト社の登録商標です。

動作モード

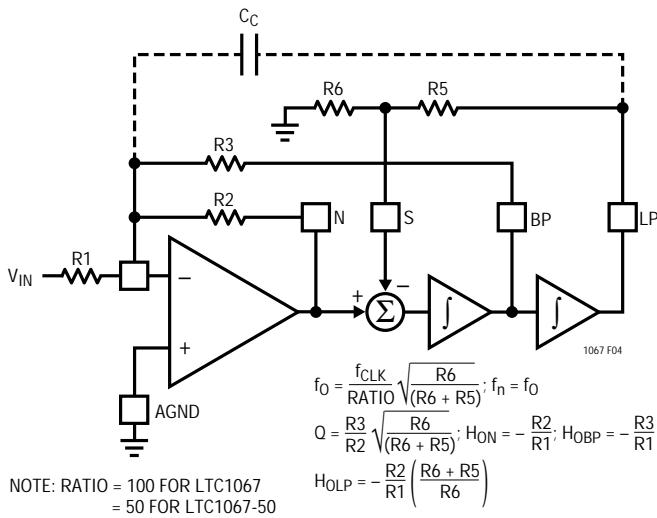


図4. ノッチ、バンドパス、およびローパス出力を提供するモード1b、2次フィルタ

R5とR6の並列の組合せは5k以下で維持しなければなりません。

コンデンサC_Cの使用法については、「アプリケーション情報」の動作限界のセクションを参照してください。

モード3

モード3では、各2次セクションの外部クロック周波数対中心周波数の比をデバイスの公称比率以上または以下に調整することができます。図5に、ハイパス、バンドパス、およびローパス2次フィルタ機能を実現するモード3の古典的な状態変数構成を示します。モード3はモード1より低速です。モード3を使用して高次数の全ポール・バンドパス、ローパス、およびハイパス・フィルタを構成することができます。

コンデンサC_Cの使用法については、「アプリケーション情報」の動作限界のセクションを参照してください。

モード2

モード2はモード1とモード3を組み合わせたもので、これを図6に示します。モード2では、クロック対中心周波数比f_{CLK}/f₀が常にデバイスの公称比率以下になります。モード2の利点は、モード3よりも抵抗の許容差の影響が小さいことです。モード2は、ハイパス-ノッチ出力を持ち、そこでノッチ周波数は単独にクロック周波数に依存し、そのため中心周波数f₀より低くなります。

コンデンサC_Cの使用法については、「アプリケーション情報」の動作限界のセクションを参照してください。

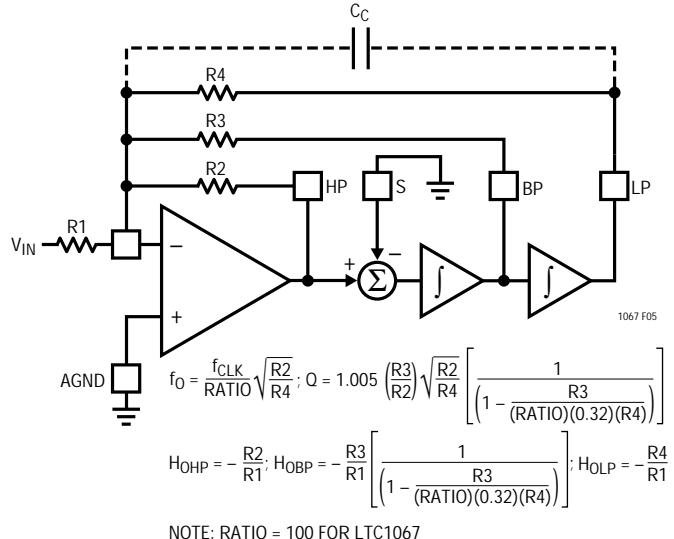


図5. ハイパス、バンドパス、およびローパス出力を提供するモード3、2次セクション

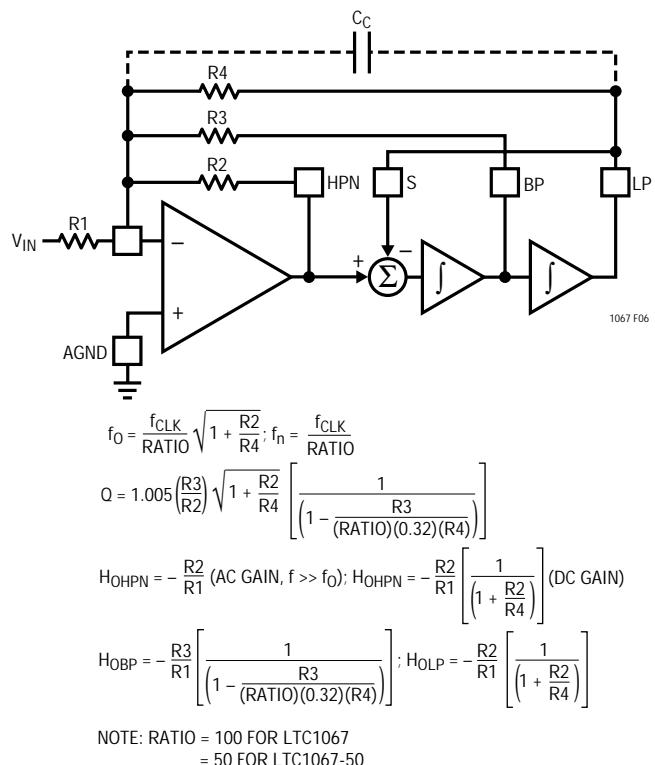


図6. ハイパス・ノッチ、バンドパス、およびローパス出力を提供するモード2、2次フィルタ

動作モード

モード3a

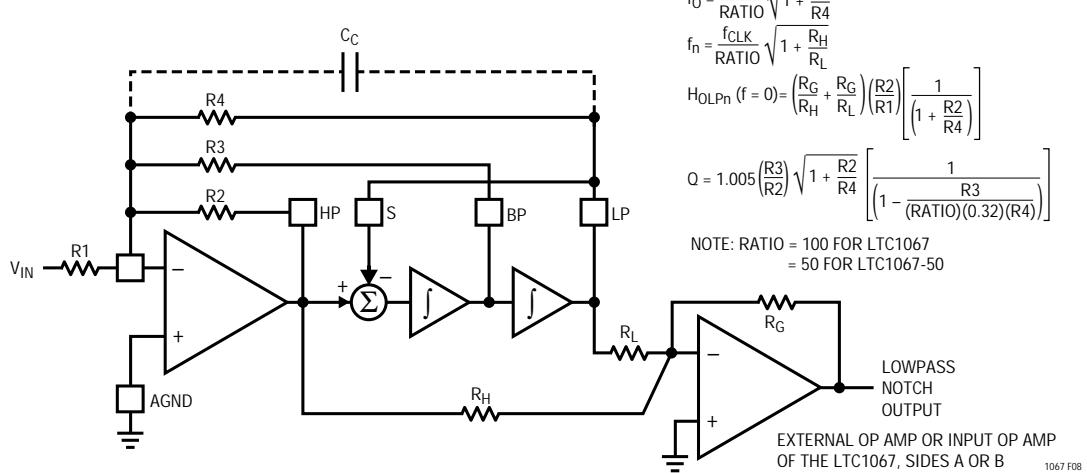
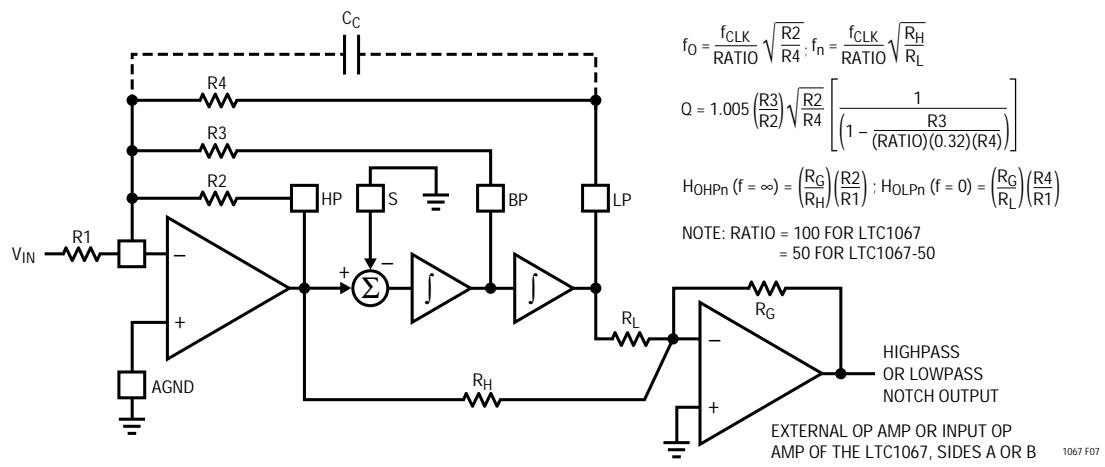
これはモード3を発展させたモードであり、ハイパス出力とローパス出力が2つの外付け抵抗 R_H および R_L を通して加算され、ノッチを形成しています(図7を参照)。ノッチ周波数を2次セクションの中心周波数より高くあるいは低くできるため、モード3aの方がモード2よりも多様性に優れています。図7の外部オペアンプは常に必要なわけではありません。LTC1067のセクションをカスケード接続したときは、ハイパスおよびローパス出力を次のセクションの反転入力に直接加算することができます。

コンデンサ C_C の使用法については、「アプリケーション情報」の動作限界のセクションを参照してください。

モード2n

このモードは、モード3aの回路方式をモード2(図8)に展開したものであり、ハイパス・ノッチとローパス出力を、2つの外付け抵抗 R_H および R_L を通して加算し、モード2のノッチより高い周波数のノッチ付きローパス出力を形成できます。図8に示すこのモードは、ローパス・エリプティック設計には最も有効です。LTC1067のセクションをカスケード接続するときは、ハイパス・ノッチとローパス出力を次のセクションの反転入力に直接加算することができます。

コンデンサ C_C の使用法については、「アプリケーション情報」の動作限界のセクションを参照してください。



アプリケーション情報

一般にスイッチト・キャパシタ積分器はディスクリートRC積分器より入力オフセットが高くなります。オフセットが大きいのは主にCMOSスイッチから積分コンデンサへのチャージ・インジェクションが原因です。積分器オペアンプのオフセットは、標準で数mVであり、これも全オフセット値に加算されます。図9に単一2次セクションからの入力オフセットを示します。表2に各種モードおよび出力ピンに対する出力オフセット電圧の式を記載します。

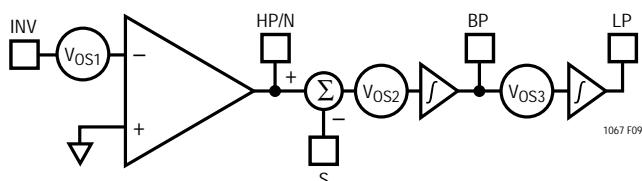


図9. 入力オフセットを示す2次セクションのブロック図

動作限界

LTC1067(または LTC1067-50)の各2次セクションの動作Qの上限は、標準的性能特性の最大Q対周波数(f_o)グラフで規定されます。これらのグラフでは、LTC1067で設計したフィルタが70 またはそれ以下の温度で動作するときに安定状態を維持する、電源、 f_o 、およびQ値条件を示します。2次セクションでは、3dBまたはそれ以下のバンドパス利得誤差を安定動作の条件として一義的に定義します。

パスバンド利得誤差が1dBを超える場合は、コンデンサ C_C を使用すると利得誤差が低下します(コンデンサ C_C はローパス・ノードから2次セクションの反転ノードに接続されています)。図3から図8までを参照してください。 C_C の値は実験によって決定するのが最良で、各1dBの利得誤差に対しては約5pFを目安とし、15pFを超えないようしてください。LTC1067を代表的性能特性グラフで規定した限界の近くで動作させる場合は、2dBまたはそれ以上のパスバ

表2. 1つの2次セクションに対する出力DCオフセット

MODE	$V_{OSHP/N}$	V_{OSBP}	V_{OSLP}
1	$V_{OS1} [1 + (R2/R3) + (R2/R1)] - (V_{OS3})(R2/R3)$	V_{OS3}	$V_{OSHP/N} - V_{OS2}$
1b	$V_{OS1} [1 + (R2/R3) + (R2/R1)] - (V_{OS3})(R2/R3)$	V_{OS3}	$(V_{OSHP/N} - V_{OS2})[1 + (R5/R6)]$
2	$V_{OS1} [1 + (R2/R3) + (R2/R1) + (R2/R4) - (V_{OS3})(R2/R3)](R4/R2 + R4) + (V_{OS2})(R2/R2 + R4)$	V_{OS3}	$V_{OSHP/N} - V_{OS2}$
3	V_{OS2}	V_{OS3}	$V_{OS1} [1 + (R4/R1) + (R4/R2) + (R4/R3)] - (V_{OS2})(R4/R2) - (V_{OS3})(R4/R3)$

ンド利得変動を予想しておく必要があります。

クロック・フィードスルー

クロック・フィードスルーは、フィルタの出力ピンに現れるクロック周波数とその高調波のRMS値と定義されています。クロック・フィードスルーは、フィルタの入力を接地してテストされ、PCボード・レイアウトおよび電源の値に依存します。適切なレイアウト・テクニックを使用したときの、クロック・フィードスルーの標準値を電気的特性に記載しています。

入力されるクロックの立上りおよび立下りエッジでの寄生スイッチング過渡は、クロック・フィードスルー仕様には含まれていません。スイッチング過渡は、印加されたクロックよりはるかに高い周波数成分を含んでいます。これらの振幅は、接地方法や電源バイパスはもとより、スコープのプローブ方法にも大きく左右されます。クロック・フィードスルーは、最終フィルタ出力に簡単なRCローパス・ネットワークを追加すれば大幅に低減できます。このRCは、スイッチング過渡も完全に除去します。

広帯域ノイズ

フィルタの広帯域ノイズは、デバイスのノイズ・スペクトル密度のRMS値の和であり、動作SN比を決定するのに使用されます。その周波数成分の大部分は、フィルタのパスバンド内にあり、後段でフィルタリングして低減することはできません。ノッチ・フィルタの場合、フィルタのノイズはノッチ周波数を中心とします。

全広帯域ノイズ(μV_{RMS})はクロックの値にはほとんど関係ありません。クロック・フィードスルー仕様は、広帯域ノイズには含まれていません。

特殊フィルタの設計では、全ノイズは各セクションのQとカスケード・シーケンスに依存します。

アプリケーション情報

エリアシング

エリアシングはスイッチト・キャパシタ・フィルタ固有の現象であり、最も強力な折返し成分を形成する入力信号の周波数が($f_{\text{SAMPLING}} - f_{\text{IN}}$)など、フィルタのパスバンド内に入る周波数(f_{IN})をもっているときに発生します。LTC1067およびLTC1067-50では、サンプリング周波数は f_{CLK} の2倍です。入力信号スペクトラムの帯域幅が制限されなければ、エイリアシングが起こる可能性があります。

出力負荷

LTC1067/LTC1067-50のオペアンプはレール・トゥ・レール出力段を持っています。出力負荷の問題は、抵抗性負荷効果と容量性負荷効果に分ることができます。

抵抗性負荷は最大出力信号振幅を生じます。この効果は代表的性能曲線に示されています。出力の負荷が帰還抵抗とどんな外部負荷抵抗でも含まなければならぬ点に注意してください。例えば、以下の状況を考慮してください。デバイスは両電源で動作し、セクションはモード3で構成され、抵抗R4は20kであり、そして外部の20k負荷はLPノードからグランドに接続されています。LP出力の負荷は20kまたは10kと並列の20kです。LTC1067/LTC1067-50のすべてのテストは10kの負荷で行われます。最高の結果のために、すべての出力ピンの負荷抵抗は少なくとも10kでなければなりません。

容量性負荷はオペアンプの安定度を低減します。スイッチト・キャパシタ・フィルタの出力での信号は、一連の非常に小さいステップから構成されています。オペアンプは1つのステップに応答しなければならず、次のステップの前に十分に安定しなければなりません。オペアンプの安定度が減少するにつれ、出力のステップ・レスポンスのリンクが増加し、セトリング・タイムが長くなります。セトリング・タイムがこのように長くなると、利用可能な最大クロック速度を大幅に下げ、誤差を導入します。容量性負荷が十分に高いならば、出力が発振するほど安定度は低下します。

LTC1067/LTC1067-50は容量性負荷に敏感です。容量性負荷は20pF以下に維持しなければなりません。正しい、コンパクトなレイアウト・テクニックを常に使う必要があります。これらのデバイスは長いトレースを駆動すべきではなく、長い同軸ケーブルは決して駆動しないでください。LTC1067またはLTC1067-50をプローブするとき、常に10倍のプローブ

を使ってください。1倍のプローブは決して使わないでください。標準的な10倍のプローブの容量は10pF~15pFですが、1倍のプローブの容量は150pFに達することもあります。1倍のプローブは多分発振を引き起こすでしょう。

未使用セクションの処理

LTC1067またはLTC1067-50がシングル2次フィルタとして使われる場合、他の2次セクションは使われません。このセクションを未接続のままにしてはなりません。セクションが未接続ならば、入力と出力は未定のレベルにフロートした状態となり、発振が起きるかもしれません。未使用セクションは図10に示されているように接続しなければなりません。

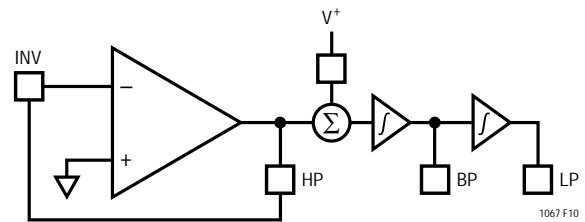


図10. 未使用セクションの接続

単一電源電圧での出力電圧振幅

標準性能曲線は出力電圧振幅の限界を示します。曲線は(出力負荷抵抗に対するピーク・ツー・ピーク電圧として)出力信号振幅を示します。ピーク・ツー・ピーク振幅は次の3つの考慮事項によって制限されます。オペアンプ出力は正電源より負電源の近くにまでスイングし、AGNDピンは両電源の中間点でバイアスされ、そして、全ての動作モードは反転です。

LTC1067/LTC1067-50内のオペアンプは正電源レールより負電源レールの近くまでスイングします。単一電源動作のための正出力電圧振幅が図11および図12に示されています。負出力電圧振幅はLTC1067の場合約15mVで、LTC1067-50の場合約10mVです。この場合、負荷がV-電源レールに接続されているので、負出力電圧振幅はほとんど負荷抵抗から独立しています。

単一電源アプリケーションの場合、内蔵抵抗分割器はAGNDピンの電圧をV+とV-電位の中間点にセットします。AGND電圧はすべての内部オペアンプのためのリファレンスです。フィルタへの入力がV-レールにある場合、最初のセクションの出力は正レールの近くにあります(動作モードが信号を逆にします)。最初のステージ

アプリケーション情報

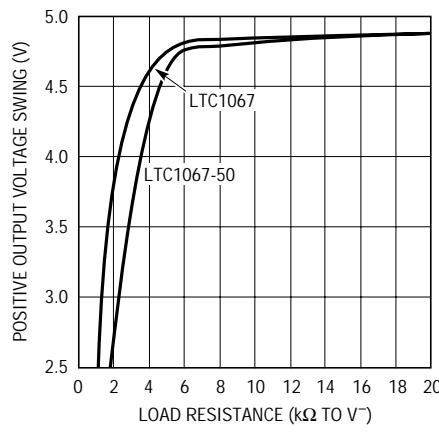


図11. LTC1067/LTC1067-50正出力電圧振幅と負荷抵抗、5V電源

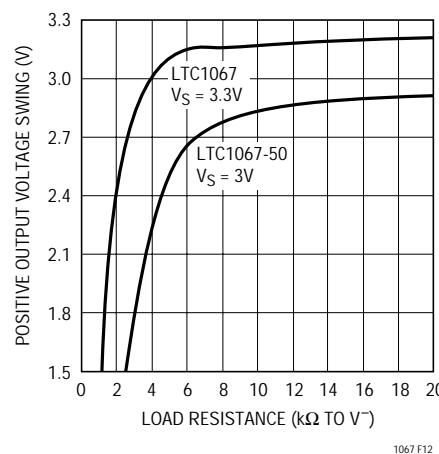


図12. LTC1067/LTC1067-50正出力電圧振幅と負荷抵抗、3.3V/3V電源

の出力は正電源から約250mV(5V電源の場合の標準)で飽和します。オペアンプ出力は負電源レールから15mV以内にスイングする能力がありますが、それにもかかわらず第2ステージからの出力は(再反転を仮定して)負電源レールから250mVになります。

AGND電位が電源の中間点へセットされ、信号が反転し、さらに正出力電圧振幅が負振幅より小さいため、ピーク・ツー・ピーク出力振幅は次式で表されます：

$$V_{P-P} \text{振幅} = (V^+ - V^-) - 2(V^+ - V_{\text{正振幅}})$$

多くのアプリケーションは正出力振幅より負出力振幅に関係しています。4.096の基準電圧を持った単一5V電源で動作しているADCにインターフェースすることが標準的な例です。LTC1067とLTC1067-50は、フルスケール読み込み値のために簡単に4.096Vのレベルに届きます。問題は出力がグランドにどれだけ近づけるかと言うことです。出力がグランドから遠くなればなるほど、多くのコードが本質的に失われます。前の例は最も低い出力電圧が約250mVになるだろうことを示しましたが、以下に示すように、15mVは達成可能です。

より低い負出力振幅電圧を達成するため、AGND電圧は中間点より下に調整しなければなりません。AGND電圧は2つの同等の内蔵抵抗によって決定されます。これらの抵抗は標準でそれぞれ15kΩです。これら2つの抵抗の比率は厳密に整合されますが、抵抗の絶対値は厳密には制御されません。単に外部抵抗を加えることによってAGND電圧を調整することができますが、注意が必要です。

図13において、4.096Vのフルスケール入力で5V電源のADCと共に使用するためにAGND電圧を調整するのに抵抗が使われています。抵抗値は、フィルタへの4.096Vの入力信号がADCからフルスケール値を出力し、0V入力信号が最低可能値(LTC1067の場合15mVでLTC1067-50の場合10mV)を与えることを保証するために慎重に選ばれました。回路は温度変化およびデバイスのバラツキに對しても十分に動作します。このアプリケーションの場合、5V電源は4.75V以上でなければなりません。

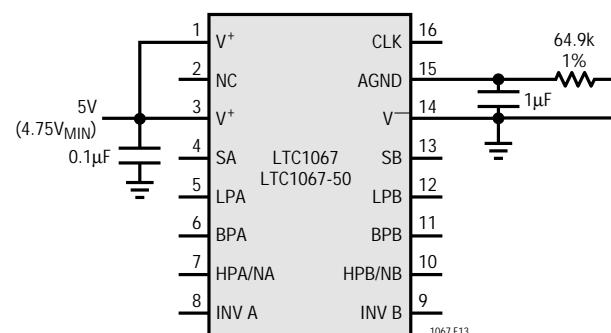


図13. 4.096Vフルスケールの5V ADC用電源とAGND接続

アプリケーション情報

2.048Vのフルスケール入力の3V/3.3V電源のADCと共に使用するために、抵抗でAGND電圧を調整する方法を図14に示します。前の回路と同様に、抵抗値は、フィルタへの2.048Vの入力信号がADCからフルスケール値を出力し、0Vの入力信号が最低可能値を与えることを保証するように慎重に選ばれました。このアプリケーションの場合、電源はLTC1067-50フィルタでは2.7V以上、そして、LTC1067フィルタでは3V以上でなければなりません。

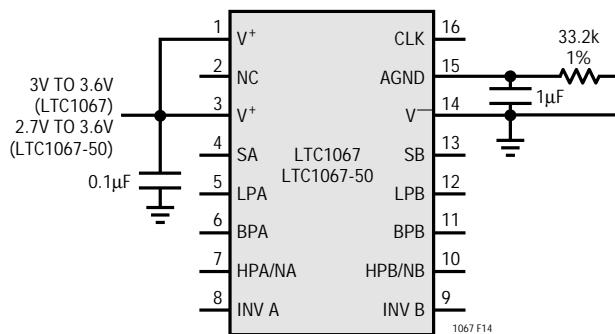


図14. 2.048Vフルスケールの3V/3.3V ADC用電源とAGND接続

セミカスタム・フィルタ・プログラム

リニアテクノロジー社は、どんな特定用途に対しても、完全に集積化されたカスタム・デザインのフィルタをお届けするプログラムを用意しています。これらのセミカスタム・フィルタは、集積化されたオンチップ抵抗を持った既存の汎用フィルタ製品をベースとしています。次にフィルタはアプリケーションのために規定された正確なパラメータでテストされます。こうして完全に集積化され、正確にテストされたフィルタが小型パッケージにおさめられて出来上がります。LTC1067またはLTC1067-50の場合、セミカスタム・フィルタはSO-8パッケージにおさめられ、クロックとデカップリング・コンデンサだけを必要とします。セミカスタム・フィルタ・プログラムに関する詳細については、リニアテクノロジー社のマーケティング部にお問い合わせください。

評価ボード

LTC1067/LTC1067-50の場合、利用できる評価ボードがあります。評価ボード150AにはLTC1067デバイスが実装されており、ボード150BにはLTC1067-50が実装されています。ボードの回路図は図15に示されており、組立図は図16に示されています。評価ボード入手するため

には、最寄りの代理店またはリニアテクノロジー社のマーケティング部にお電話ください。

評価ボードにはすべての集積回路、コネクタおよびデカップリング・コンデンサが実装されています。ボードは適当な抵抗とジャンパ接続で構成できます。

2組の電源接続箇所があります。1つはLTC1067/LTC1067-50のためのものであり、もう1つはボード上のバッファリング・オペアンプのためのものです。別々の接続箇所があるので、ボードに最良の適応性を与えます。1つの共通電源が要求される場合は、2組の電源は一緒に接続することができます。

両電源動作のためにボードを構成するときは、ジャンパ線をJPAGND位置に取り付けなければなりません。このジャンパ線はデバイスのAGNDピンをボードのグランド・プレーンに接続します。JPVNEGジャンパは開放したままにしておきます。電源はV⁺、V⁻およびGNDターレットに接続します(ボードのGNDターレットはすべて同じです)。単一電源動作の場合は、JPVNEGジャンパに線を挿入し、JPAGNDジャンパは開放したままにしておいてください。これにより、V⁻ピンはボードのグランド・プレーンに接続されます。内蔵抵抗ネットワークが電源の中間点にAGND電位を設定できるように、JPAGNDジャンパは開放しておかなければなりません。電源をV⁺および任意のGNDターレットに接続してください。V⁻ターレットは開放しておくこともできるし、隣接するGNDターレットに短絡することもできます。バッファ・オペアンプが同じ単一電圧電源で動作するならば、VOA⁺ターレットとV⁺ターレットは一緒に接続しなければならず、VOA⁻ターレットは隣接するGNDターレットに短絡しなければなりません。

J1 BNCコネクタはクロック入力です。コネクタとデバイスのCLKピンの間に接続された200pFの直列抵抗があります。この抵抗は(CLKピン入力容量と結合されて)クロック信号の立ち上り時間および立ち下り時間を遅くし、高周波結合を減少させます。クロック入力は50pFまたは75pFに終端されていません。外部のターミネータを使用しなければなりません。

ジャンパJP51およびジャンパJP61はそれぞれR51およびR61と並列に接続されます。ジャンパJP51はデバイスのLPAピンをSAピンと接続します。これは動作モード1または2のために使用することができます。代わりに、R51の位置にある0

アプリケーション情報

抵抗が同じ要求を満たします。JP61ジャンパはデバイスのSAピンをAGNDピンへ接続します。これは動作モード3のために使用されます。ここで、R61の位置にある0抵抗でも同じ結果が得られます。ジャンパJP52およびジャンパJP62は、デバイスのB側で同じ機能を果たします。

バッファ・アンプは反転または非反転動作に構成することができます。反転アプリケーションの場合、ジャンパJP2の位置1と位置2を接続してください。さらに、両電源アプリケーションの場合はジャンパJP4を接続し、単一電源アプリケーションの場合はジャンパJP8を接続してください。非反転アプリケーションの場合、ジャンパJP2の位置2と位置3を接続してください。

他のいくつかのジャンパは次のように接続しなければなりません：

JP1： ジャンパ線を位置1から位置2へインストールし、他の位置は開放したままにしてください。

JP5： 両電源ならばジャンパ線をインストールし、単一電源ならば開放したままにしてください。

JP6： 開放したままにしてください。

JP7： ジャンパ線をインストールしてください。

JP9： 単一電源ならばジャンパ線をインストールし、両電源ならば開放したままにしてください。

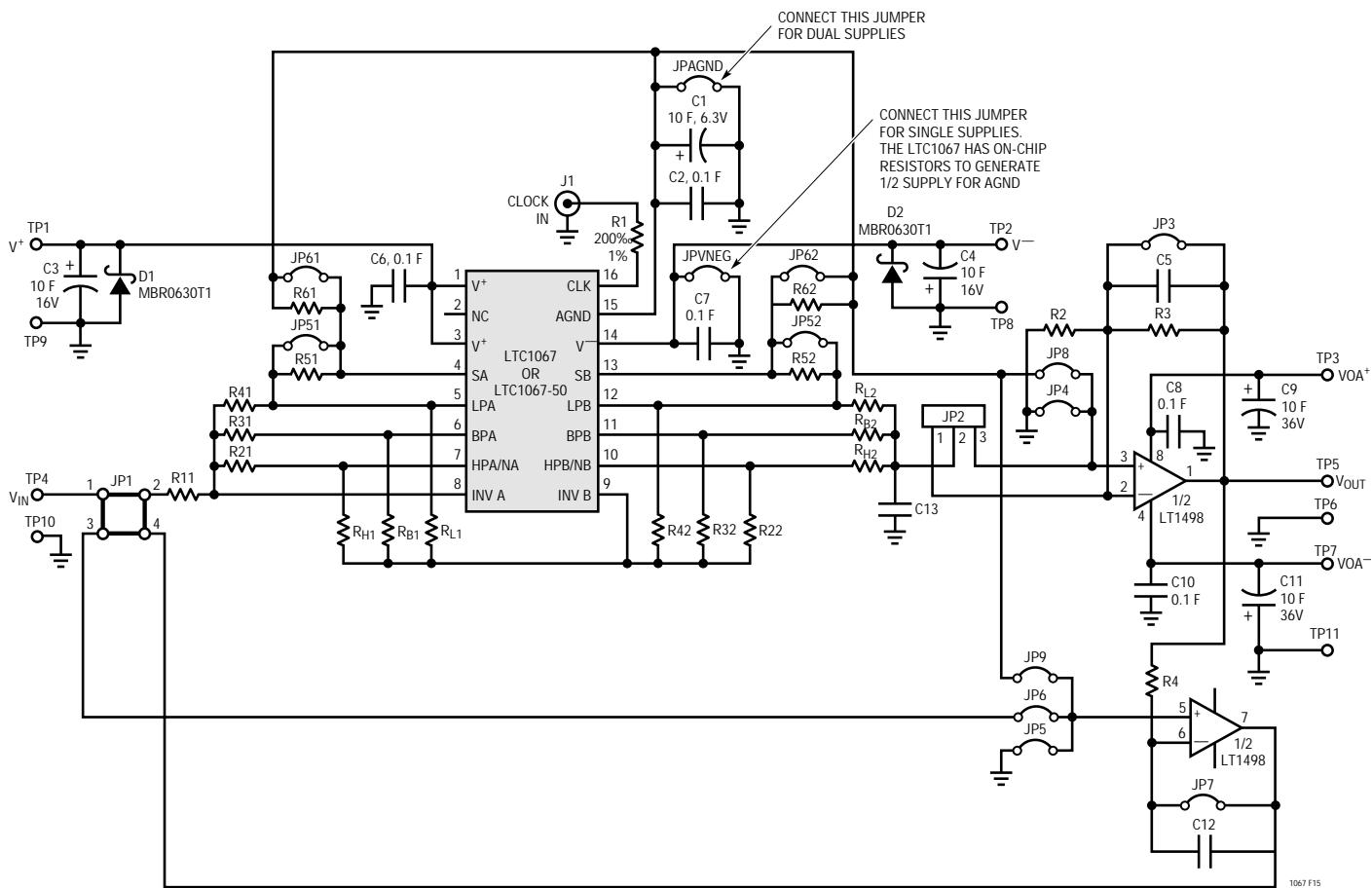
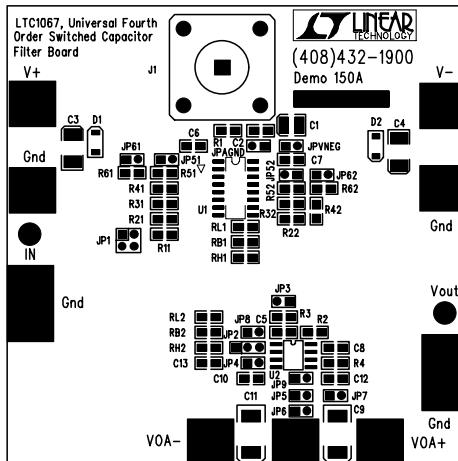


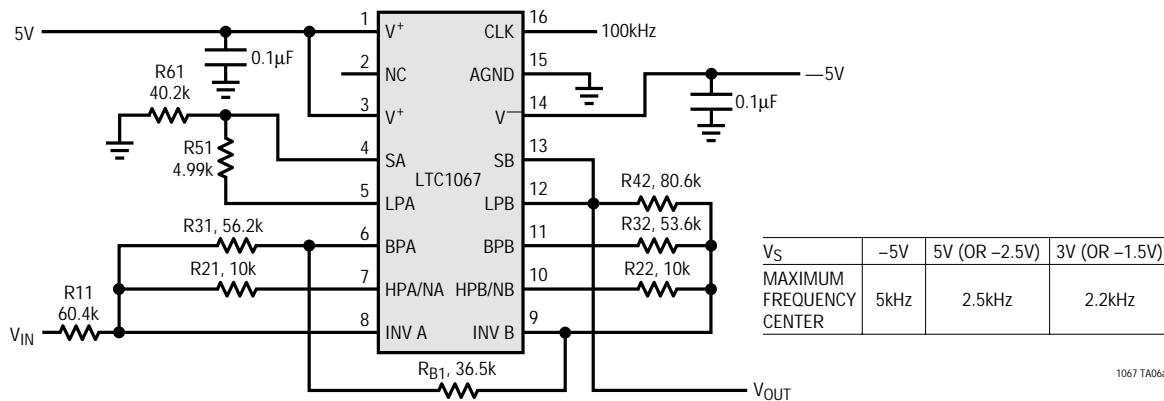
図15. LTC1067/LTC1067-50 デモ・ボードの回路図

アプリケーション情報

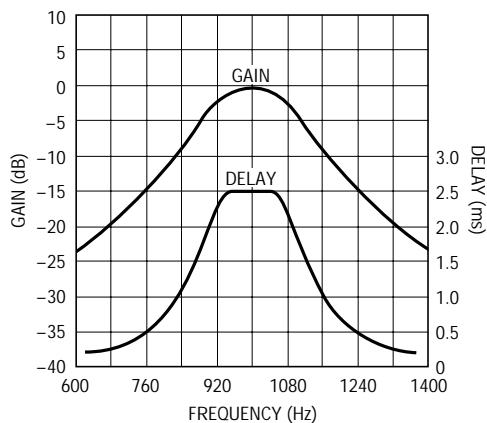


標準的応用例

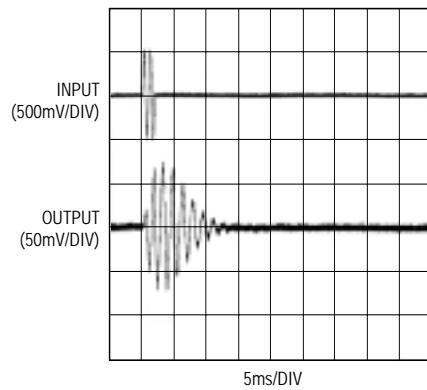
1kHz直線位相バンドパス・フィルタ



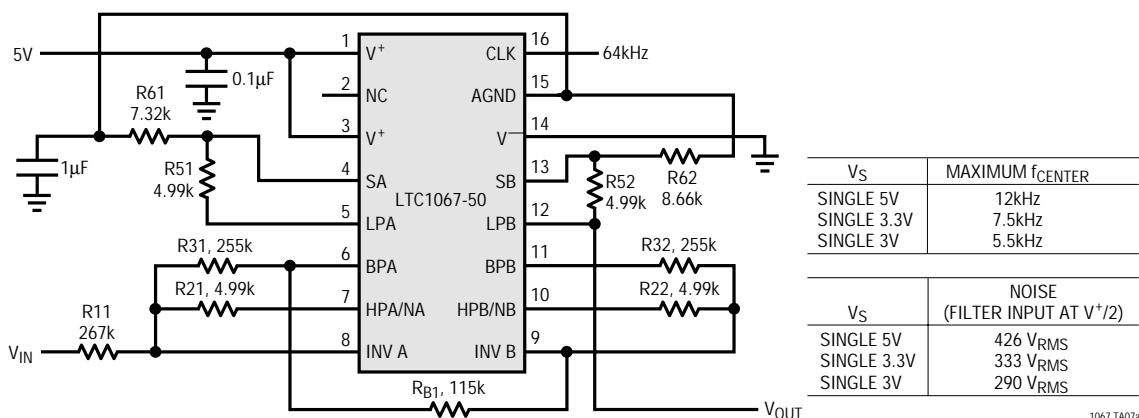
周波数に対する利得とグループ遅延



サイン・バースト応答

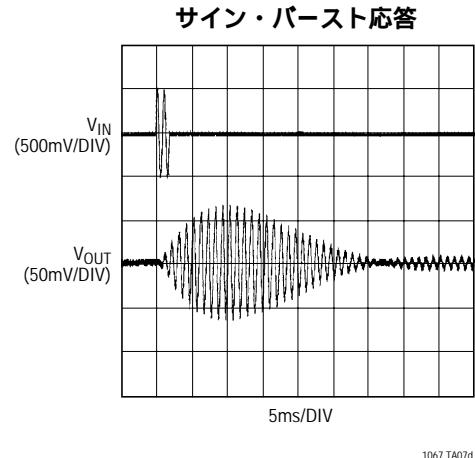
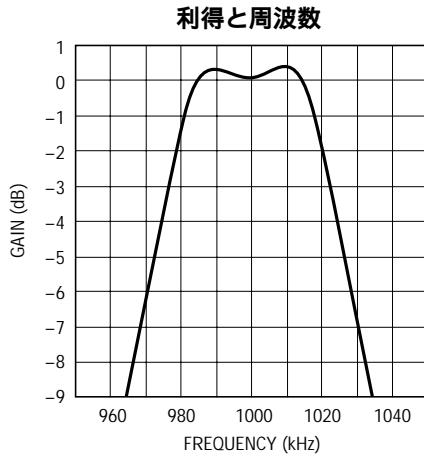
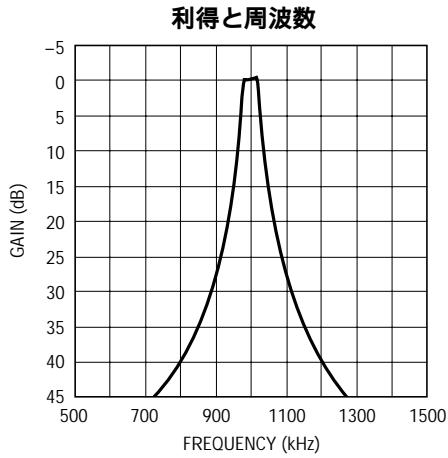


単一電源、4次バンドパス・フィルタ
 $f_{CENTER} = f_{CLK}/64$ 、-3dB BW = $f_{CENTER}/20$

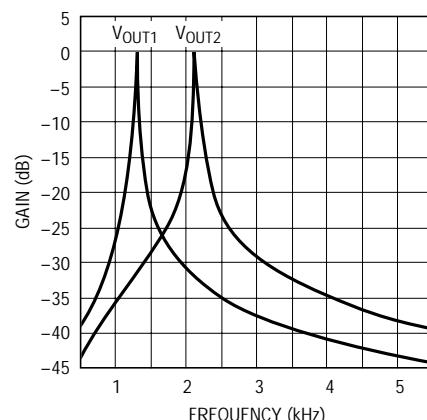
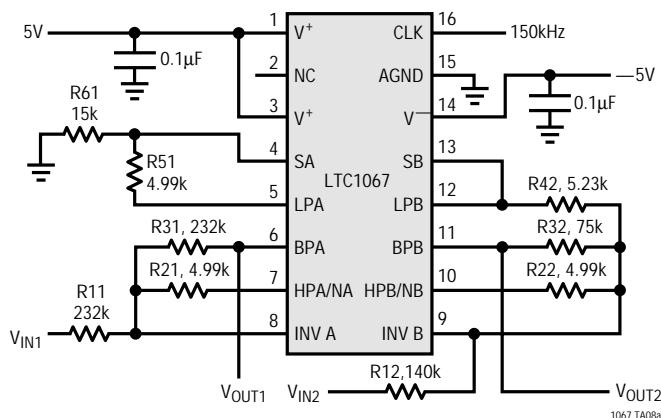


標準的応用例

単一電源、4次バンドパス・フィルタ
 $V_S = 5V$ 、 $f_{CLK} = 64kHz$

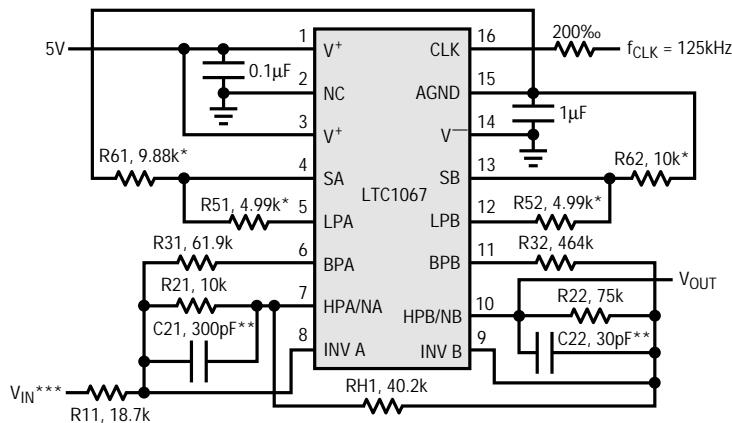


LTC1067デュアル・バンドパス・フィルタ
 $V_S = \pm 5V$ 、 $f_{CLK} = 150kHz$ ($f_{CENTER1} = 1.3kHz$ 、 $f_{CENTER2} = 2.1kHz$)



標準的応用例

テレコム・システム用1.02kHzノッチ・フィルタ



* R51, R61, R52, R62 ARE 0.1% TOLERANCE RESISTORS

** C21 AND C22 IMPROVE THE NOTCH DEPTH WHERE

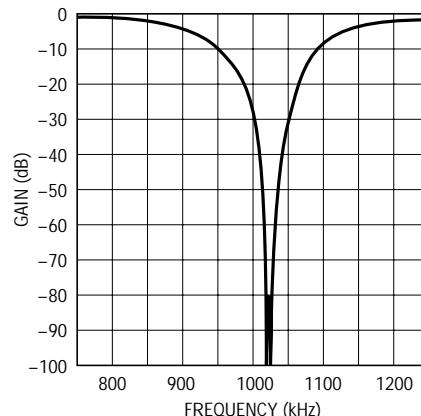
$$(30)(f_{NOTCH}) < \frac{1}{2\pi(R2x)(C2x)} < (75)(f_{NOTCH})$$

WITHOUT C21 AND C22 THE NOTCH DEPTH IS LIMITED TO -35dB

*** V_{IN} \dagger 1.25V_{P-P}

1067 TA03

周波数応答



1067 TA04

関連製品

製品番号	説明	注釈
LTC1068-25	高速クワッド汎用ビルディング・ブロック・フィルタ	25:1クロック対f ₀ 比
LTC1068-50	低電力クワッド汎用ビルディング・ブロック・フィルタ	50:1クロック対f ₀ 比
LTC1068-200	低ノイズ・オーバサンプルド・クワッド汎用ビルディング・ブロック・フィルタ	200:1クロック対f ₀ 比
LTC1068	クワッド汎用ビルディング・ブロック・フィルタ	100:1クロック対f ₀ 比
LTC1562	クワッド汎用連続時間ビルディング・ブロック	10kHz < f _C < 150kHz