

**特長**

スループット・レート: 330 MSPS  
 3個の10ビットD/Aコンバータ(DAC)を内蔵  
 SFDR  
 $f_{CLK} = 50 \text{ MHz}; f_{OUT} = 1 \text{ MHz}$  で-70 dB  
 $f_{CLK} = 140 \text{ MHz}; f_{OUT} = 40 \text{ MHz}$  で-53 dB  
 RS-343A-/RS-170 互換出力  
 相補出力  
 DAC出力電流範囲: 2.0 mA~26.5 mA  
 TTL 互換入力  
 リファレンス電圧を内蔵(1.235 V)  
 5 V/3.3 Vの単電源動作  
 48ピンLQFPパッケージを採用  
 低消費電力(3Vで30 mW最小)  
 低消費電力スタンバイ・モード(3Vで6 mW typ)  
 工業用温度範囲(-40°C~+85°C)  
 Pbフリー・パッケージ

**アプリケーション**

デジタル・ビデオ・システム(100 Hzで1600 × 1200)  
 高解像度カラー・グラフィックス  
 デジタル無線変調  
 画像処理  
 計装機器  
 ビデオ信号の再生

**概要**

ADV7123 (ADV<sup>®</sup>)は、高速D/Aコンバータを3個内蔵するモノリシック・シングル・チップです。このデバイスは、相補出力、標準TTL入力インターフェース、高インピーダンスのアナログ出力電流源を持つ3個の高速10ビット・ビデオDACから構成されています。

ADV7123には、3個の独立した10ビット入力ポートがあります。このデバイスの動作に必要なのは、5 V/3.3 Vの単電源とクロックだけです。ADV7123には、ビデオ・コントロール信号のコンポジットSYNCとBLANKが追加されています。

ADV7123には省電力モードもあります。

ADVは、Analog Devices, Inc.の登録商標です。

Rev. C

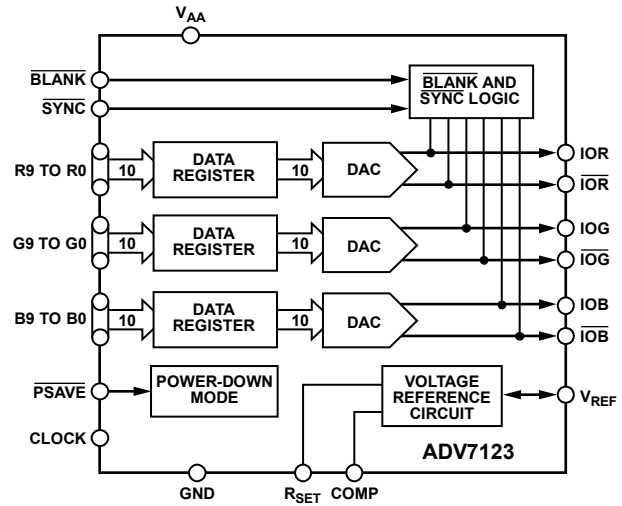
**機能ブロック図**


図 1.

ADV7123は5 V CMOSプロセスで製造されています。モノリシック CMOS構造を採用しているため、小さい消費電力で多くの機能を動作させることができます。ADV7123は48ピンLQFPパッケージを採用しています。

**製品のハイライト**

1. 330 MSPSのスループット。
2. 10ビット単調性を保証。
3. RS-343A や RS-170 などの広範囲な高解像度カラー・グラフィックス・システムと互換。

## 目次

特長	1	用語	16
アプリケーション	1	回路説明と動作	17
機能ブロック図	1	デジタル入力	17
概要	1	クロック入力	17
製品のハイライト	1	ビデオ同期とコントロール	18
改訂履歴	2	リファレンス電圧入力	18
仕様	3	DAC	18
5 V仕様	3	アナログ出力	18
3.3 V仕様	4	グレイ・スケール動作	19
5 Vダイナミック仕様	5	ビデオ出力バッファ	19
3.3 Vダイナミック仕様	6	プリント基板レイアウト時の考慮事項	19
5 Vタイミング仕様	7	デジタル信号の相互接続	19
3.3 Vタイミング仕様	8	アナログ信号の相互接続	20
絶対最大定格	9	外形寸法	21
ESDの注意	9	オーダー・ガイド	21
ピン配置およびピン機能説明	10		
代表的な性能特性	12		
5 Vでの代表的な性能特性	12		
3 Vでの代表的な性能特性	14		

## 改訂履歴

### 3/09—Rev. B to Rev. C

Updated Format	Universal
Changes to Features Section	1
Changes to Table 5	7
Changes to Table 6	8
Changes to Table 8	10
Changed $f_{\text{CLOCK}}$ to $f_{\text{CLK}}$	12
Changes to Figure 6, Figure 7, and Figure 8	12
Changes to Figure 13 and Figure 17	14
Deleted Ground Planes Section, Power Planes Section, and Supply Decoupling Section	15
Changes to Figure 23	17
Changes to Table 9, Analog Outputs Section, Figure 24, and Figure 25	18
Changes to Video Output Buffers Section and PCB Layout Considerations Section	19
Changes to Analog Signal Interconnect Section and Figure 28	20
Updated Outline Dimensions	21
Changes to Ordering Guide	21

### 10/02—Rev. A to Rev. B

Change in Title	1
Change to Feature	1
Change to Product Highlights	1
Change Specifications	3
Change to Pin Function Descriptions	10
Change to Reference Input section	18
Change to Figure 28	22
Updated Outline Dimensions	23
Change to Ordering Guide	23

## 仕様

## 5 V仕様

$V_{AA} = 5\text{ V} \pm 5\%$ 、 $V_{REF} = 1.235\text{ V}$ 、 $R_{SET} = 560\ \Omega$ 、 $C_L = 10\text{ pF}$ 。特に指定がない限り、すべての仕様は $T_{MIN} \sim T_{MAX}$ <sup>1</sup>、 $T_{JMAX} = 110^\circ\text{C}$ で規定。

表 1.

Parameter	Min	Typ	Max	Unit	Test Conditions <sup>1</sup>
STATIC PERFORMANCE					
Resolution (Each DAC)	10			Bits	
Integral Nonlinearity (BSL)	-1	±0.4	+1	LSB	
Differential Nonlinearity	-1	±0.25	+1	LSB	Guaranteed Monotonic
DIGITAL AND CONTROL INPUTS					
Input High Voltage, $V_{IH}$	2			V	
Input Low Voltage, $V_{IL}$			0.8	V	
Input Current, $I_{IN}$	-1		+1	μA	$V_{IN} = 0.0\text{ V}$ or $V_{DD}$
PSAVE Pull-Up Current		20		μA	
Input Capacitance, $C_{IN}$		10		pF	
ANALOG OUTPUTS					
Output Current	2.0		26.5	mA	Green DAC, $\overline{\text{SYNC}} = \text{high}$
	2.0		18.5	mA	RGB DAC, $\overline{\text{SYNC}} = \text{low}$
DAC-to-DAC Matching		1.0	5	%	
Output Compliance Range, $V_{OC}$	0		1.4	V	
Output Impedance, $R_{OUT}$		100		kΩ	
Output Capacitance, $C_{OUT}$		10		pF	$I_{OUT} = 0\text{ mA}$
Offset Error	-0.025		+0.025	% FSR	Tested with DAC output = 0 V
Gain Error <sup>2</sup>	-5.0		+5.0	% FSR	FSR = 17.62 mA
VOLTAGE REFERENCE, EXTERNAL AND INTERNAL					
Reference Range, $V_{REF}$	1.12	1.235	1.35	V	
POWER DISSIPATION					
Digital Supply Current <sup>3</sup>		3.4	9	mA	$f_{CLK} = 50\text{ MHz}$
		10.5	15	mA	$f_{CLK} = 140\text{ MHz}$
		18	25	mA	$f_{CLK} = 240\text{ MHz}$
Analog Supply Current		67	72	mA	$R_{SET} = 560\ \Omega$
		8		mA	$R_{SET} = 4933\ \Omega$
Standby Supply Current <sup>4</sup>		2.1	5.0	mA	$\overline{\text{PSAVE}} = \text{low}$ , digital, and control inputs at $V_{DD}$
Power Supply Rejection Ratio		0.1	0.5	%/%	

<sup>1</sup> 温度範囲  $T_{MIN} \sim T_{MAX}$ : 50 MHz および 140 MHz で  $-40^\circ\text{C} \sim +85^\circ\text{C}$ 、240 MHz および 330 MHz で  $0^\circ\text{C} \sim 70^\circ\text{C}$ 。

<sup>2</sup> ゲイン誤差 =  $\{(\text{測定値 (FSC)}/\text{理論値 (FSC)} - 1) \times 100\}$ 、ここで理論値 =  $V_{REF}/R_{SET} \times K \times (0x3FFH)$ 、 $K = 7.9896$ 。

<sup>3</sup> デジタル電源は、入力レベル 0 V と  $V_{DD}$  のランブ・パターンに対応するデータ入力を持つ連続クロックで測定。

<sup>4</sup> max/min 仕様は、4.75 V ~ 5.25 V の範囲でキャラクタライゼーションにより保証。

### 3.3 V仕様

$V_{AA} = 3.0\text{ V} \sim 3.6\text{ V}$ 、 $V_{REF} = 1.235\text{ V}$ 、 $R_{SET} = 560\ \Omega$ 、 $C_L = 10\text{ pF}$ 。特に指定がない限り、すべての仕様は $T_{MIN} \sim T_{MAX}^1$ 、 $T_{JMAX} = 110^\circ\text{C}$ で規定。

表 2.

Parameter <sup>2</sup>	Min	Typ	Max	Unit	Test Conditions <sup>1</sup>
STATIC PERFORMANCE					
Resolution (Each DAC)			10	Bits	$R_{SET} = 680\ \Omega$
Integral Nonlinearity (BSL)	-1	+0.5	+1	LSB	$R_{SET} = 680\ \Omega$
Differential Nonlinearity	-1	+0.25	+1	LSB	$R_{SET} = 680\ \Omega$
DIGITAL AND CONTROL INPUTS					
Input High Voltage, $V_{IH}$	2.0			V	$V_{IN} = 0.0\text{ V or }V_{DD}$
Input Low Voltage, $V_{IL}$		0.8		V	
Input Current, $I_{IN}$	-1		+1	$\mu\text{A}$	
PSAVE Pull-Up Current		20		$\mu\text{A}$	
Input Capacitance, $C_{IN}$		10		pF	
ANALOG OUTPUTS					
Output Current	2.0		26.5	mA	Green DAC, $\overline{\text{SYNC}} = \text{high}$
	2.0		18.5	mA	RGB DAC, $\overline{\text{SYNC}} = \text{low}$
DAC-to-DAC Matching		1.0		%	
Output Compliance Range, $V_{OC}$	0		1.4	V	
Output Impedance, $R_{OUT}$		70		k $\Omega$	
Output Capacitance, $C_{OUT}$		10		pF	
Offset Error		0	0	% FSR	Tested with DAC output = 0 V
Gain Error <sup>3</sup>		0		% FSR	FSR = 17.62 mA
VOLTAGE REFERENCE, EXTERNAL					
Reference Range, $V_{REF}$	1.12	1.235	1.35	V	
VOLTAGE REFERENCE, INTERNAL					
Voltage Reference, $V_{REF}$		1.235		V	
POWER DISSIPATION					
Digital Supply Current <sup>4</sup>		2.2	5.0	mA	$f_{CLK} = 50\text{ MHz}$
		6.5	12.0	mA	$f_{CLK} = 140\text{ MHz}$
		11	15	mA	$f_{CLK} = 240\text{ MHz}$
		16		mA	$f_{CLK} = 330\text{ MHz}$
Analog Supply Current		67	72	mA	$R_{SET} = 560\ \Omega$
		8		mA	$R_{SET} = 4933\ \Omega$
Standby Supply Current		2.1	5.0	mA	$\overline{\text{PSAVE}} = \text{low}$ , digital, and control inputs at $V_{DD}$
Power Supply Rejection Ratio		0.1	0.5	%/%	

<sup>1</sup> 温度範囲  $T_{MIN} \sim T_{MAX}$ : 50 MHz および 140 MHz で  $-40^\circ\text{C} \sim +85^\circ\text{C}$ 、240 MHz および 330 MHz で  $0^\circ\text{C} \sim 70^\circ\text{C}$ 。

<sup>2</sup> max/min 仕様は、3.0 V  $\sim$  3.6 V の範囲でキャラクタライゼーションにより保証。

<sup>3</sup> ゲイン誤差 =  $\{(\text{測定値 (FSC)}/\text{理論値 (FSC)} - 1) \times 100\}$ 、ここで理論値 =  $V_{REF}/R_{SET} \times K \times (0x3FFH)$ 、 $K = 7.9896$ 。

<sup>4</sup> デジタル電源は、入力レベル 0 V と  $V_{DD}$  のランブ・パターンに対応するデータ入力を持つ連続クロックで測定。

## 5 Vダイナミック仕様

$V_{AA} = 5\text{ V} \pm 5\%$ <sup>1</sup>、 $V_{REF} = 1.235\text{ V}$ 、 $R_{SET} = 560\ \Omega$ 、 $C_L = 10\text{ pF}$ 。特に指定がない限り、すべての仕様は $T_A = 25^\circ\text{C}$ 、 $T_{J\text{MAX}} = 110^\circ\text{C}$ で規定。

表 3.

Parameter <sup>1</sup>	Min	Typ	Max	Unit
AC LINEARITY				
Spurious-Free Dynamic Range to Nyquist <sup>2</sup>				
Single-Ended Output				
$f_{\text{CLK}} = 50\text{ MHz}$ ; $f_{\text{OUT}} = 1.00\text{ MHz}$		67		dBc
$f_{\text{CLK}} = 50\text{ MHz}$ ; $f_{\text{OUT}} = 2.51\text{ MHz}$		67		dBc
$f_{\text{CLK}} = 50\text{ MHz}$ ; $f_{\text{OUT}} = 5.04\text{ MHz}$		63		dBc
$f_{\text{CLK}} = 50\text{ MHz}$ ; $f_{\text{OUT}} = 20.2\text{ MHz}$		55		dBc
$f_{\text{CLK}} = 100\text{ MHz}$ ; $f_{\text{OUT}} = 2.51\text{ MHz}$		62		dBc
$f_{\text{CLK}} = 100\text{ MHz}$ ; $f_{\text{OUT}} = 5.04\text{ MHz}$		60		dBc
$f_{\text{CLK}} = 100\text{ MHz}$ ; $f_{\text{OUT}} = 20.2\text{ MHz}$		54		dBc
$f_{\text{CLK}} = 100\text{ MHz}$ ; $f_{\text{OUT}} = 40.4\text{ MHz}$		48		dBc
$f_{\text{CLK}} = 140\text{ MHz}$ ; $f_{\text{OUT}} = 2.51\text{ MHz}$		57		dBc
$f_{\text{CLK}} = 140\text{ MHz}$ ; $f_{\text{OUT}} = 5.04\text{ MHz}$		58		dBc
$f_{\text{CLK}} = 140\text{ MHz}$ ; $f_{\text{OUT}} = 20.2\text{ MHz}$		52		dBc
$f_{\text{CLK}} = 140\text{ MHz}$ ; $f_{\text{OUT}} = 40.4\text{ MHz}$		41		dBc
Double-Ended Output				
$f_{\text{CLK}} = 50\text{ MHz}$ ; $f_{\text{OUT}} = 1.00\text{ MHz}$		70		dBc
$f_{\text{CLK}} = 50\text{ MHz}$ ; $f_{\text{OUT}} = 2.51\text{ MHz}$		70		dBc
$f_{\text{CLK}} = 50\text{ MHz}$ ; $f_{\text{OUT}} = 5.04\text{ MHz}$		65		dBc
$f_{\text{CLK}} = 50\text{ MHz}$ ; $f_{\text{OUT}} = 20.2\text{ MHz}$		54		dBc
$f_{\text{CLK}} = 100\text{ MHz}$ ; $f_{\text{OUT}} = 2.51\text{ MHz}$		67		dBc
$f_{\text{CLK}} = 100\text{ MHz}$ ; $f_{\text{OUT}} = 5.04\text{ MHz}$		63		dBc
$f_{\text{CLK}} = 100\text{ MHz}$ ; $f_{\text{OUT}} = 20.2\text{ MHz}$		58		dBc
$f_{\text{CLK}} = 100\text{ MHz}$ ; $f_{\text{OUT}} = 40.4\text{ MHz}$		52		dBc
$f_{\text{CLK}} = 140\text{ MHz}$ ; $f_{\text{OUT}} = 2.51\text{ MHz}$		62		dBc
$f_{\text{CLK}} = 140\text{ MHz}$ ; $f_{\text{OUT}} = 5.04\text{ MHz}$		61		dBc
$f_{\text{CLK}} = 140\text{ MHz}$ ; $f_{\text{OUT}} = 20.2\text{ MHz}$		55		dBc
$f_{\text{CLK}} = 140\text{ MHz}$ ; $f_{\text{OUT}} = 40.4\text{ MHz}$		53		dBc
Spurious-Free Dynamic Range Within a Window				
Single-Ended Output				
$f_{\text{CLK}} = 50\text{ MHz}$ ; $f_{\text{OUT}} = 1.00\text{ MHz}$ ; 1 MHz Span		77		dBc
$f_{\text{CLK}} = 50\text{ MHz}$ ; $f_{\text{OUT}} = 5.04\text{ MHz}$ ; 2 MHz Span		73		dBc
$f_{\text{CLK}} = 140\text{ MHz}$ ; $f_{\text{OUT}} = 5.04\text{ MHz}$ ; 4 MHz Span		64		dBc
Double-Ended Output				
$f_{\text{CLK}} = 50\text{ MHz}$ ; $f_{\text{OUT}} = 1.00\text{ MHz}$ ; 1 MHz Span		74		dBc
$f_{\text{CLK}} = 50\text{ MHz}$ ; $f_{\text{OUT}} = 5.00\text{ MHz}$ ; 2 MHz Span		73		dBc
$f_{\text{CLK}} = 140\text{ MHz}$ ; $f_{\text{OUT}} = 5.00\text{ MHz}$ ; 4 MHz Span		60		dBc
Total Harmonic Distortion				
$f_{\text{CLK}} = 50\text{ MHz}$ ; $f_{\text{OUT}} = 1.00\text{ MHz}$				
$T_A = 25^\circ\text{C}$		66		dBc
$T_{\text{MIN}}$ to $T_{\text{MAX}}$		65		dBc
$f_{\text{CLK}} = 50\text{ MHz}$ ; $f_{\text{OUT}} = 2.00\text{ MHz}$		64		dBc
$f_{\text{CLK}} = 100\text{ MHz}$ ; $f_{\text{OUT}} = 2.00\text{ MHz}$		63		dBc
$f_{\text{CLK}} = 140\text{ MHz}$ ; $f_{\text{OUT}} = 2.00\text{ MHz}$		55		dBc

Parameter <sup>1</sup>	Min	Typ	Max	Unit
DAC PERFORMANCE				
Glitch Impulse		10		pV-sec
DAC-to-DAC Crosstalk <sup>3</sup>		23		dB
Data Feedthrough <sup>4, 5</sup>		22		dB
Clock Feedthrough <sup>4, 5</sup>		33		dB

<sup>1</sup> max/min 仕様は、4.75 V～5.25 V の範囲でキャラクタライゼーションにより保証。

<sup>2</sup> ADV7123 は、内蔵リファレンス電圧  $V_{REF}$  を使って動作したとき高性能を示すことに注意してください。

<sup>3</sup> DAC 相互間のクロストークは、1 個の DAC をハイに維持し、他の 2 個をロー→ハイおよびハイ→ローに変化させて測定。

<sup>4</sup> クロックとデータの混入は、デジタル入力でのオーバーシュートとアンダーシュートの大きさの関数になります。グリッチ・インパルスには、クロックとデータの混入を含みます。

<sup>5</sup> TTL 入力値は 0 V から 3 V、入力の立ち上がり/立ち下がり時間-3 ns、10% と 90% のポイントで測定。タイミング基準点は、入力と出力の 50% 値。

### 3.3 V ダイナミック仕様

$V_{AA} = 3.0 \text{ V} \sim 3.6 \text{ V}$ <sup>1</sup>、 $V_{REF} = 1.235 \text{ V}$ 、 $R_{SET} = 680 \Omega$ 、 $C_L = 10 \text{ pF}$ 。特に指定がない限り、すべての仕様は  $T_A = 25^\circ\text{C}$ 、 $T_{JMAX} = 110^\circ\text{C}$  で規定。

表 4.

Parameter	Min	Typ	Max	Unit
AC LINEARITY				
Spurious-Free Dynamic Range to Nyquist <sup>2</sup>				
Single-Ended Output				
$f_{CLK} = 50 \text{ MHz}$ ; $f_{OUT} = 1.00 \text{ MHz}$		67		dBc
$f_{CLK} = 50 \text{ MHz}$ ; $f_{OUT} = 2.51 \text{ MHz}$		67		dBc
$f_{CLK} = 50 \text{ MHz}$ ; $f_{OUT} = 5.04 \text{ MHz}$		63		dBc
$f_{CLK} = 50 \text{ MHz}$ ; $f_{OUT} = 20.2 \text{ MHz}$		55		dBc
$f_{CLK} = 100 \text{ MHz}$ ; $f_{OUT} = 2.51 \text{ MHz}$		62		dBc
$f_{CLK} = 100 \text{ MHz}$ ; $f_{OUT} = 5.04 \text{ MHz}$		60		dBc
$f_{CLK} = 100 \text{ MHz}$ ; $f_{OUT} = 20.2 \text{ MHz}$		54		dBc
$f_{CLK} = 100 \text{ MHz}$ ; $f_{OUT} = 40.4 \text{ MHz}$		48		dBc
$f_{CLK} = 140 \text{ MHz}$ ; $f_{OUT} = 2.51 \text{ MHz}$		57		dBc
$f_{CLK} = 140 \text{ MHz}$ ; $f_{OUT} = 5.04 \text{ MHz}$		58		dBc
$f_{CLK} = 140 \text{ MHz}$ ; $f_{OUT} = 20.2 \text{ MHz}$		52		dBc
$f_{CLK} = 140 \text{ MHz}$ ; $f_{OUT} = 40.4 \text{ MHz}$		41		dBc
Double-Ended Output				
$f_{CLK} = 50 \text{ MHz}$ ; $f_{OUT} = 1.00 \text{ MHz}$		70		dBc
$f_{CLK} = 50 \text{ MHz}$ ; $f_{OUT} = 2.51 \text{ MHz}$		70		dBc
$f_{CLK} = 50 \text{ MHz}$ ; $f_{OUT} = 5.04 \text{ MHz}$		65		dBc
$f_{CLK} = 50 \text{ MHz}$ ; $f_{OUT} = 20.2 \text{ MHz}$		54		dBc
$f_{CLK} = 100 \text{ MHz}$ ; $f_{OUT} = 2.51 \text{ MHz}$		67		dBc
$f_{CLK} = 100 \text{ MHz}$ ; $f_{OUT} = 5.04 \text{ MHz}$		63		dBc
$f_{CLK} = 100 \text{ MHz}$ ; $f_{OUT} = 20.2 \text{ MHz}$		58		dBc
$f_{CLK} = 100 \text{ MHz}$ ; $f_{OUT} = 40.4 \text{ MHz}$		52		dBc
$f_{CLK} = 140 \text{ MHz}$ ; $f_{OUT} = 2.51 \text{ MHz}$		62		dBc
$f_{CLK} = 140 \text{ MHz}$ ; $f_{OUT} = 5.04 \text{ MHz}$		61		dBc
$f_{CLK} = 140 \text{ MHz}$ ; $f_{OUT} = 20.2 \text{ MHz}$		55		dBc
$f_{CLK} = 140 \text{ MHz}$ ; $f_{OUT} = 40.4 \text{ MHz}$		53		dBc
Spurious-Free Dynamic Range Within a Window				
Single-Ended Output				
$f_{CLK} = 50 \text{ MHz}$ ; $f_{OUT} = 1.00 \text{ MHz}$ ; 1 MHz Span		77		dBc
$f_{CLK} = 50 \text{ MHz}$ ; $f_{OUT} = 5.04 \text{ MHz}$ ; 2 MHz Span		73		dBc
$f_{CLK} = 140 \text{ MHz}$ ; $f_{OUT} = 5.04 \text{ MHz}$ ; 4 MHz Span		64		dBc
Double-Ended Output				
$f_{CLK} = 50 \text{ MHz}$ ; $f_{OUT} = 1.00 \text{ MHz}$ ; 1 MHz Span		74		dBc
$f_{CLK} = 50 \text{ MHz}$ ; $f_{OUT} = 5.00 \text{ MHz}$ ; 2 MHz Span		73		dBc
$f_{CLK} = 140 \text{ MHz}$ ; $f_{OUT} = 5.00 \text{ MHz}$ ; 4 MHz Span		60		dBc

Parameter	Min	Typ	Max	Unit
Total Harmonic Distortion				
$f_{CLK} = 50 \text{ MHz}; f_{OUT} = 1.00 \text{ MHz}$				
$T_A = 25^\circ\text{C}$		66		dBc
$T_{MIN}$ to $T_{MAX}$		65		dBc
$f_{CLK} = 50 \text{ MHz}; f_{OUT} = 2.00 \text{ MHz}$		64		dBc
$f_{CLK} = 100 \text{ MHz}; f_{OUT} = 2.00 \text{ MHz}$		64		dBc
$f_{CLK} = 140 \text{ MHz}; f_{OUT} = 2.00 \text{ MHz}$		55		dBc
DAC PERFORMANCE				
Glitch Impulse		10		pV-sec
DAC-to-DAC Crosstalk <sup>3</sup>		23		dB
Data Feedthrough <sup>4, 5</sup>		22		dB
Clock Feedthrough <sup>4, 5</sup>		33		dB

<sup>1</sup> max/min 仕様は、3.0 V～3.6 V の範囲でキャラクタライゼーションにより保証。

<sup>2</sup> ADV7123 は、内蔵リファレンス電圧  $V_{REF}$  を使って動作したとき高性能を示すことに注意してください。

<sup>3</sup> DAC 相互間のクロストークは、1 個の DAC をハイに維持し、他の 2 個をロー→ハイおよびハイ→ローに変化させて測定。

<sup>4</sup> クロックとデータの混入は、デジタル入力でのオーバーシュートとアンダーシュートの大きさの関数になります。グリッチ・インパルスには、クロックとデータの混入を含みます。

<sup>5</sup> TTL 入力値は 0 V から 3 V、入力の立ち上がり/立ち下がり時間-3 ns、10% と 90% のポイントで測定。タイミング基準点は、入力と出力の 50% 値。

## 5 V タイミング仕様

$V_{AA} = 5 \text{ V} \pm 5\%$ <sup>1</sup>、 $V_{REF} = 1.235 \text{ V}$ 、 $R_{SET} = 560 \Omega$ 、 $C_L = 10 \text{ pF}$ 。特に指定がない限り、すべての仕様は  $T_{MIN} \sim T_{MAX}$ <sup>2</sup>、 $T_{JMAX} = 110^\circ\text{C}$  で規定。

表 5.

Parameter <sup>3</sup>	Symbol	Min	Typ	Max	Unit	Conditions
ANALOG OUTPUTS						
Analog Output Delay	$t_6$		5.5		ns	
Analog Output Rise/Fall Time <sup>4</sup>	$t_7$		1.0		ns	
Analog Output Transition Time <sup>5</sup>	$t_8$		15		ns	
Analog Output Skew <sup>6</sup>	$t_9$		1	2	ns	
CLOCK CONTROL						
CLOCK Frequency <sup>7</sup>	$f_{CLK}$	0.5		50	MHz	50 MHz grade
				140	MHz	140 MHz grade
				240	MHz	240 MHz grade
Data and Control Setup	$t_1$	0.5			ns	
Data and Control Hold	$t_2$	1.5			ns	
CLOCK Period	$t_3$	4.17			ns	
CLOCK Pulse Width High	$t_4$	1.875			ns	$f_{CLK\_MAX} = 240 \text{ MHz}$
CLOCK Pulse Width Low	$t_5$	1.875			ns	$f_{CLK\_MAX} = 240 \text{ MHz}$
CLOCK Pulse Width High	$t_4$	2.85			ns	$f_{CLK\_MAX} = 140 \text{ MHz}$
CLOCK Pulse Width Low	$t_5$	2.85			ns	$f_{CLK\_MAX} = 140 \text{ MHz}$
CLOCK Pulse Width High	$t_4$	8.0			ns	$f_{CLK\_MAX} = 50 \text{ MHz}$
CLOCK Pulse Width Low	$t_5$	8.0			ns	$f_{CLK\_MAX} = 50 \text{ MHz}$
Pipeline Delay <sup>6</sup>	$t_{PD}$	1.0	1.0	1.0	Clock cycles	
PSAVE Up Time <sup>6</sup>	$t_{10}$		2	10	ns	

<sup>1</sup> max/min 仕様はこの範囲で保証。

<sup>2</sup> 温度範囲  $T_{MIN} \sim T_{MAX}$ : 50 MHz および 140 MHz で  $-40^\circ\text{C} \sim +85^\circ\text{C}$ 、240 MHz で  $0^\circ\text{C} \sim 70^\circ\text{C}$ 。

<sup>3</sup> タイミング仕様は、5 V と 3.3 V 電源に対して 3.0 V ( $V_{IH}$ ) と 0 V ( $V_{IL}$ ) の入力レベルで測定。

<sup>4</sup> 立ち上がり時間は、ゼロからフル・スケーリングへの変化の 10% から 90% ポイントで測定。立ち下がり時間はフル・スケーリング変化の 90% から 10% ポイントで測定。

<sup>5</sup> フル・スケール変化の 50% ポイントから最終値の 2% ポイントまでで測定。

<sup>6</sup> キャラクタライゼーションにより保証。

<sup>7</sup>  $f_{CLK}$  最大仕様は製造時に 125 MHz でテストします。ここでの 5 V の規定値はキャラクタライゼーションにより保証。

### 3.3 V タイミング仕様

$V_{AA} = 3.0\text{ V} \sim 3.6\text{ V}^1$ 、 $V_{REF} = 1.235\text{ V}$ 、 $R_{SET} = 560\ \Omega$ 、 $C_L = 10\text{ pF}$ 。特に指定がない限り、すべての仕様は  $T_{MIN} \sim T_{MAX}^2$ 、 $T_{JMAX} = 110^\circ\text{C}$  で規定。

表 6.

Parameter <sup>3</sup>	Symbol	Min	Typ	Max	Unit	Conditions
<b>ANALOG OUTPUTS</b>						
Analog Output Delay	$t_6$		7.5		ns	
Analog Output Rise/Fall Time <sup>4</sup>	$t_7$		1.0		ns	
Analog Output Transition Time <sup>5</sup>	$t_8$		15		ns	
Analog Output Skew <sup>6</sup>	$t_9$		12		ns	
<b>CLOCK CONTROL</b>						
CLOCK Frequency <sup>7</sup>	$f_{CLK}$			50	MHz	50 MHz grade
				140	MHz	140 MHz grade
				240	MHz	240 MHz grade
				330	MHz	330 MHz grade
Data and Control Setup	$t_1$	0.2			ns	
Data and Control Hold	$t_2$	1.5			ns	
CLOCK Period	$t_3$	3			ns	
CLOCK Pulse Width High <sup>6</sup>	$t_4$	1.4			ns	$f_{CLK\_MAX} = 330\text{ MHz}$
CLOCK Pulse Width Low <sup>6</sup>	$t_5$	1.4			ns	$f_{CLK\_MAX} = 330\text{ MHz}$
CLOCK Pulse Width High	$t_4$	1.875			ns	$f_{CLK\_MAX} = 240\text{ MHz}$
CLOCK Pulse Width Low	$t_5$	1.875			ns	$f_{CLK\_MAX} = 240\text{ MHz}$
CLOCK Pulse Width High	$t_4$	2.85			ns	$f_{CLK\_MAX} = 140\text{ MHz}$
CLOCK Pulse Width Low	$t_5$	2.85			ns	$f_{CLK\_MAX} = 140\text{ MHz}$
CLOCK Pulse Width High	$t_4$	8.0			ns	$f_{CLK\_MAX} = 50\text{ MHz}$
CLOCK Pulse Width Low	$t_5$	8.0			ns	$f_{CLK\_MAX} = 50\text{ MHz}$
Pipeline Delay <sup>6</sup>	$t_{PD}$	1.0	1.0	1.0	Clock cycles	
PSAVE Up Time <sup>6</sup>	$t_{10}$		4	10	ns	

<sup>1</sup> max/min 仕様はこの範囲で保証。

<sup>2</sup> 温度範囲  $T_{MIN} \sim T_{MAX}$ : 50 MHz および 140 MHz で  $-40^\circ\text{C} \sim +85^\circ\text{C}$ 、240 MHz および 330 MHz で  $0^\circ\text{C} \sim 70^\circ\text{C}$ 。

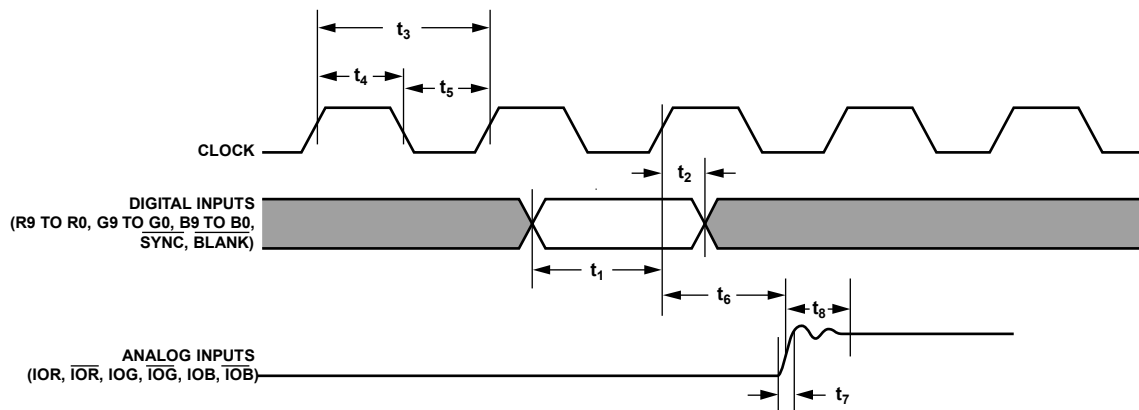
<sup>3</sup> タイミング仕様は、5 V と 3.3 V 電源に対して 3.0 V ( $V_{IH}$ ) と 0 V ( $V_{IL}$ ) の入力レベルで測定。

<sup>4</sup> 立ち上がり時間は、ゼロからフル・スケーリングへの変化の 10% から 90% ポイントで測定。立ち下がり時間はフル・スケーリング変化の 90% から 10% ポイントで測定。

<sup>5</sup> フル・スケール変化の 50% ポイントから最終値の 2% ポイントまでで測定。

<sup>6</sup> キャラクターライゼーションにより保証。

<sup>7</sup>  $f_{CLK}$  最大仕様は製造時に 125 MHz でテストします。ここでの 5 V の規定値はキャラクターライゼーションにより保証。



#### NOTES

1. OUTPUT DELAY ( $t_6$ ) MEASURED FROM THE 50% POINT OF THE RISING EDGE OF CLOCK TO THE 50% POINT OF FULL-SCALE TRANSITION.
2. OUTPUT RISE/FALL TIME ( $t_7$ ) MEASURED BETWEEN THE 10% AND 90% POINTS OF FULL-SCALE TRANSITION.
3. TRANSITION TIME ( $t_8$ ) MEASURED FROM THE 50% POINT OF FULL-SCALE TRANSITION TO WITHIN 2% OF THE FINAL OUTPUT VALUE.

図 2. タイミング図

0021E-002



## 絶対最大定格

表 7.

Parameter	Rating
$V_{AA}$ to GND	7 V
Voltage on Any Digital Pin	GND - 0.5 V to $V_{AA} + 0.5$ V
Ambient Operating Temperature ( $T_A$ )	-40°C to +85°C
Storage Temperature ( $T_S$ )	-65°C to +150°C
Junction Temperature ( $T_J$ )	150°C
Lead Temperature (Soldering, 10 sec)	300°C
Vapor Phase Soldering (1 Minute)	220°C
$I_{OUT}$ to GND <sup>1</sup>	0 V to $V_{AA}$

<sup>1</sup> 任意の電源またはグラウンドに対するアナログ出力の短絡継続時間は、無限とすることができます。

上記の絶対最大定格を超えるストレスを加えるとデバイスに恒久的な損傷を与えることがあります。この規定はストレス定格の規定のみを目的とするものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くとデバイスの信頼性に影響を与えます。

### ESDの注意



ESD（静電放電）の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

## ピン配置およびピン機能説明

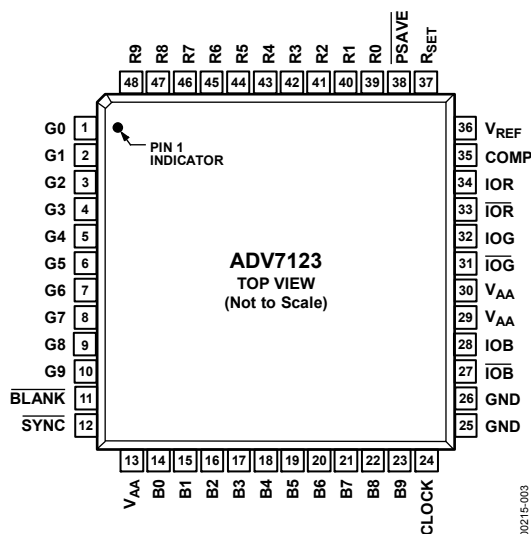


図 3. ピン配置

表 8. ピン機能の説明

ピン番号	記号	説明
1～10、 14～23、 39～48	G0～G9、 B0～B9、 R0～R9	赤(R)、緑(G)、青(B)のピクセル・データ入力(TTL互換)。ピクセル・データは、CLOCKの立ち上がりエッジでラッチされます。R0、G0、B0が最下位データ・ビットです。未使用ピクセル・データ入力は、通常のプリント回路ボード(PCB)の電源またはグラウンド・プレーンに接続する必要があります。
11	BLANK	コンポジット・ブランク・コントロール入力(TTL互換)。このコントロール入力をロジック0にすると、アナログ出力IOR、IOB、IOGがブランキング・レベルに駆動されます。BLANK信号は、CLOCKの立ち上がりエッジでラッチされます。BLANKがロジック0のとき、R0～R9、G0～G9、B0～B9のピクセル入力は無視されます。
12	SYNC	コンポジット同期コントロール入力(TTL互換)。SYNC入力をロジック0にすると、40 IRE電流源が切断されます。このピンは、内部でIOGアナログ出力に接続されています。SYNCはすべてのコントロール入力またはデータ入力より優先されることがないため、ブランキング区間でのみアサートする必要があります。SYNCは、CLOCKの立ち上がりエッジでラッチされます。Gチャンネルで同期情報が不要な場合は、SYNC入力をロジック0に接続しておく必要があります。
13、29、 30	V <sub>AA</sub>	アナログ電源(5 V ± 5%)。ADV7123のすべてのV <sub>AA</sub> ピンを接続する必要があります。
24	CLOCK	クロック入力(TTL互換)。CLOCKの立ち上がりエッジで、R0～R9、G0～G9、B0～B9、BLANKピクセル、コントロール入力がラッチされます。この信号が、ビデオ・システムのピクセル・クロック・レートになります。CLOCKは、専用のTTLパッファから駆動する必要があります。
25、26	GND	グラウンド。すべてのGNDピンを接続する必要があります。
27、31、 33	IOB、IOG、 IOR	差動のR、G、B電流出力(高インピーダンス電流源)。これらのRGBビデオ出力は、二重終端された75 Ω負荷のRS-343AとRS-170ビデオ・レベルを直接駆動する仕様になっています。相補出力が不要な場合は、これらの出力をグラウンドへ接続しておく必要があります。
28、32、 34	IOB、IOG、 IOR	R、G、B電流出力。これらの高インピーダンス電流源は、二重終端の75 Ω同軸ケーブルを直接駆動することができます。3本の電流出力は、使用/不使用に無関係にすべて同じ出力負荷を持っています。
35	COMP	補償ピン。このピンは内部リファレンス・アンプの補償ピンです。COMPとV <sub>AA</sub> の間に0.1 μFのセラミック・コンデンサを接続する必要があります。
36	V <sub>REF</sub>	DACのリファレンス電圧入力またはリファレンス電圧出力(1.235 V)。

ピン番号	記号	説明
37	R <sub>SET</sub>	<p>このピンと GND との間に接続される抵抗(R<sub>SET</sub>)で、フル・スケール・ビデオ信号の振幅が制御されます。フル・スケール出力電流と無関係に IRE 関係が維持されることに注意してください。二重終端 75 Ω 負荷での公称ビデオ・レベルの場合、R<sub>SET</sub> = 530 Ω。R<sub>SET</sub> と IOG のフル・スケール出力電流との関係は次式で与えられます (I<sub>SYNC</sub> と IOG を接続)。</p> $R_{SET} (\Omega) = 11,445 \times V_{REF} (V) / IOG (mA)$ <p>R<sub>SET</sub> と IOR、IOG、IOB のフル・スケール出力電流との関係は次式で与えられます。</p> $IOG (mA) = 11,445 \times V_{REF} (V) / R_{SET} (\Omega) \text{ (SYNCのアサート時)}$ $IOR, IOB (mA) = 7989.6 \times V_{REF} (V) / R_{SET} (\Omega)$ <p>SYNCを使用しない場合、すなわちSYNCをロー・レベルに固定した場合は、IOGの式はIORとIOBの式と同じになります。</p>
38	PSAVE	省電力コントロール・ピン。このピンをアクティブにすると、ADV7123 は消費電力を削減します。

## 代表的な性能特性

### 5 Vでの代表的な性能特性

特に指定がない限り、 $V_{AA} = 5\text{ V}$ 、 $V_{REF} = 1.235\text{ V}$ 、 $I_{OUT} = 17.62\text{ mA}$ 、 $50\ \Omega$  二重終端負荷、差動出力負荷あり、 $T_A = 25^\circ\text{C}$ 。

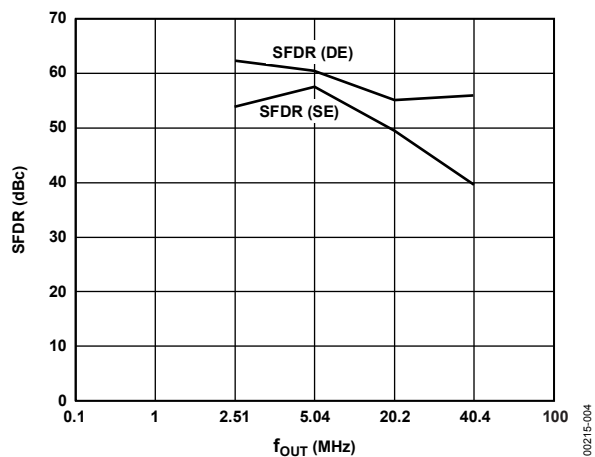


図 4.  $f_{OUT}$  対 SFDR、 $f_{CLK} = 140\text{ MHz}$  (シングルエンドと差動)

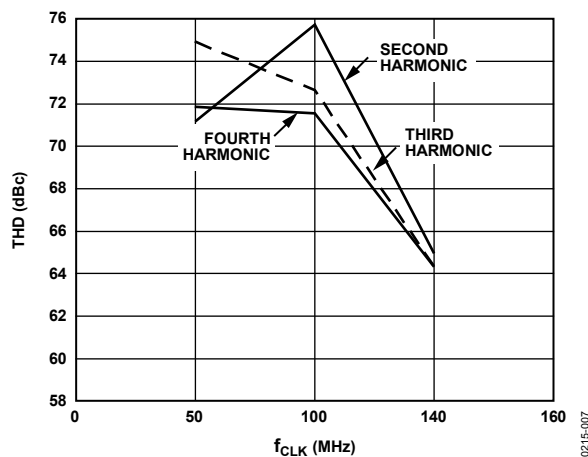


図 7.  $f_{CLK}$  対 THD、 $f_{OUT} = 2\text{ MHz}$  (2 次、3 次、4 次高調波)

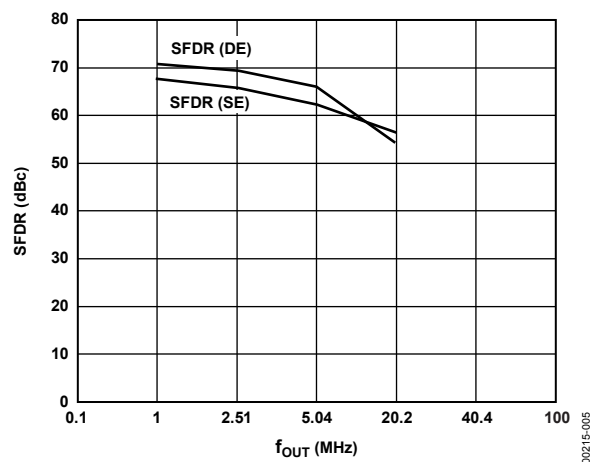


図 5.  $f_{OUT}$  対 SFDR、 $f_{CLK} = 50\text{ MHz}$  (シングルエンドと差動)

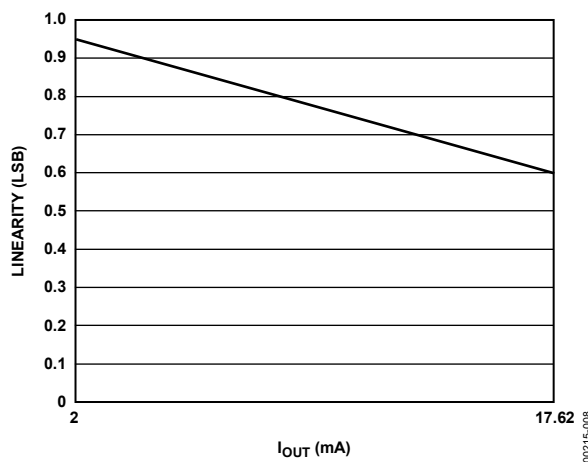


図 8.  $I_{OUT}$  の直線性

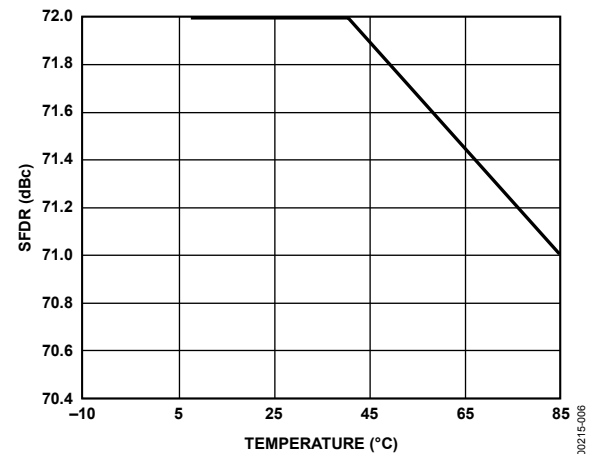


図 6. SFDR の温度特性、 $f_{CLK} = 50\text{ MHz}$  ( $f_{OUT} = 1\text{ MHz}$ )

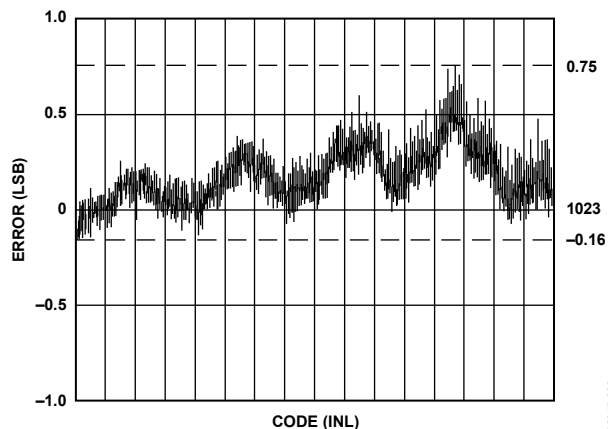


図 9. 直線性 (INL)

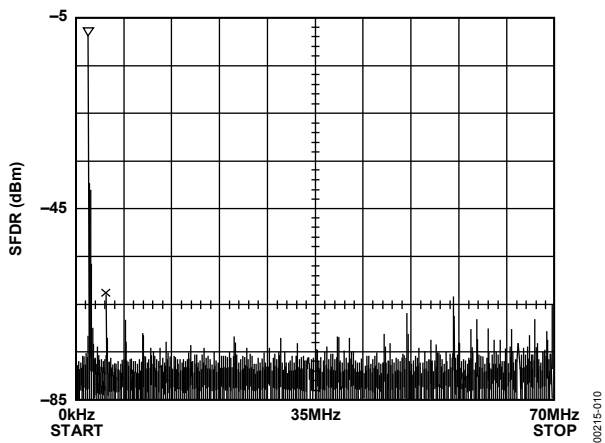


図 10. シングル・トーン SFDR  
 $f_{CLK} = 140 \text{ MHz}$  ( $f_{OUT} = 2 \text{ MHz}$ )

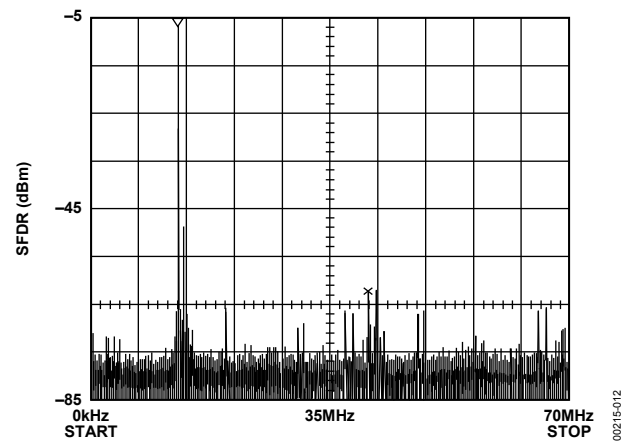


図 12.2 トーン SFDR  
 $f_{CLK} = 140 \text{ MHz}$  ( $f_{OUT1} = 13.5 \text{ MHz}$ ,  $f_{OUT2} = 14.5 \text{ MHz}$ )

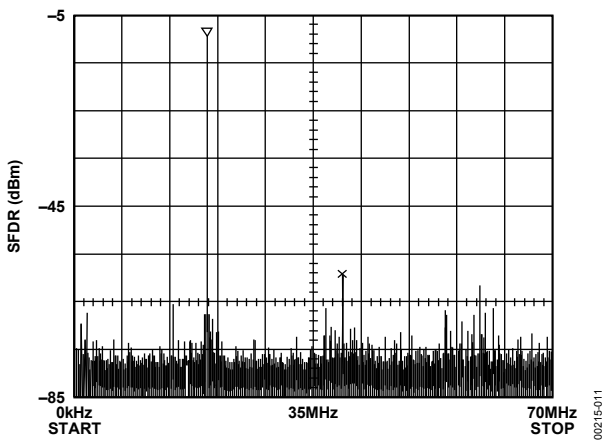


図 11. シングル・トーン SFDR  
 $f_{CLK} = 140 \text{ MHz}$  ( $f_{OUT} = 20 \text{ MHz}$ )

### 3 Vでの代表的な性能特性

$V_{AA} = 3\text{ V}$ 、 $V_{REF} = 1.235\text{ V}$ 、 $I_{OUT} = 17.62\text{ mA}$ 、 $50\ \Omega$  二重終端負荷、差動出力負荷あり、 $T_A = 25^\circ\text{C}$ 。

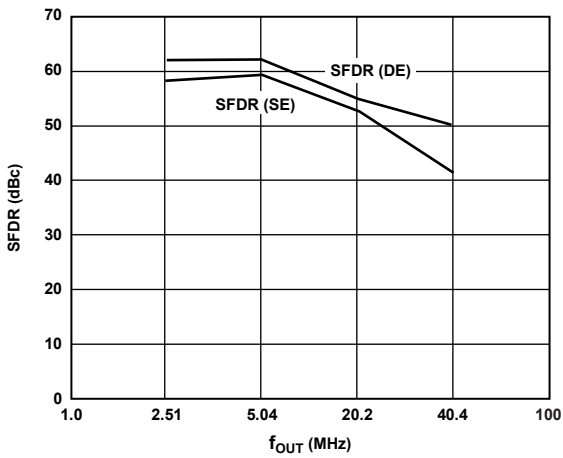


図 13.  $f_{OUT}$  対 SFDR  
 $f_{CLK} = 140\text{ MHz}$  (シングルエンドと差動)

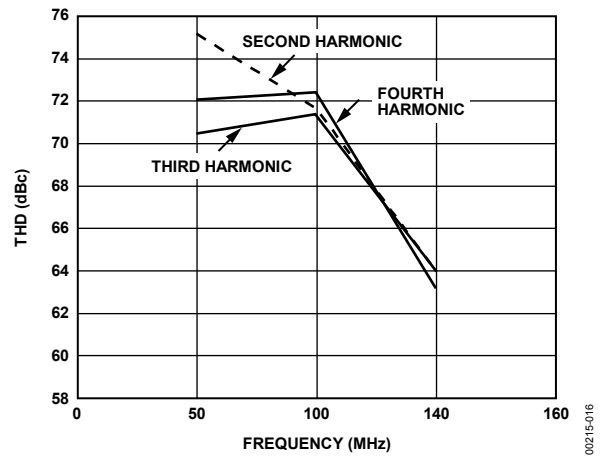


図 16.  $f_{CLK}$  対 THD  
 $f_{OUT} = 2\text{ MHz}$  (2 次、3 次、4 次高調波)

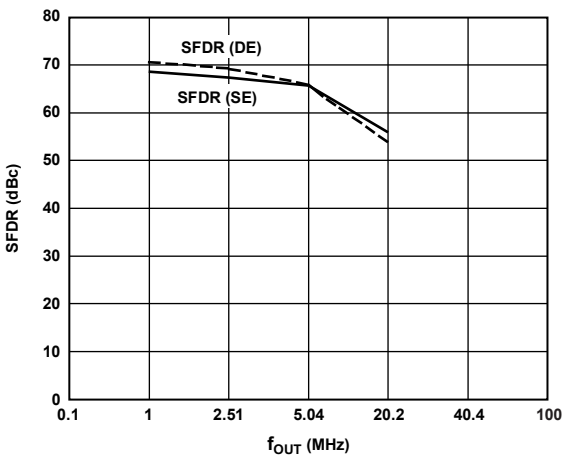


図 14.  $f_{OUT}$  対 SFDR  
 $f_{CLK} = 140\text{ MHz}$  (シングルエンドと差動)

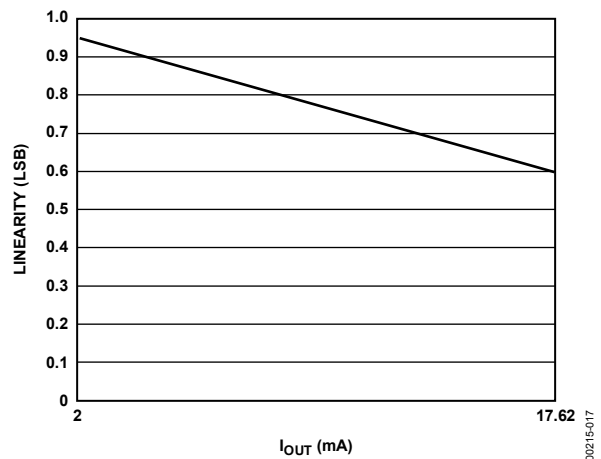


図 17.  $I_{OUT}$  の直線性

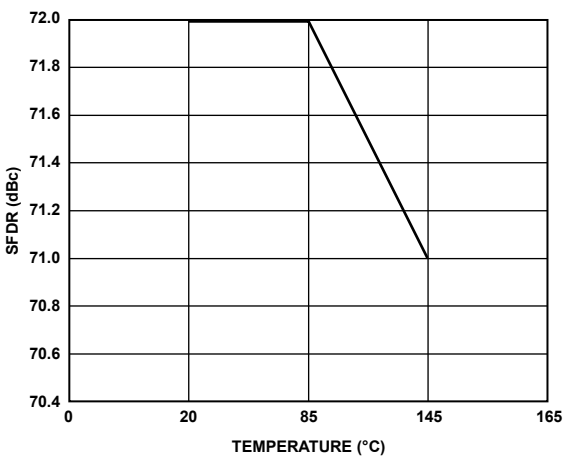


図 15. SFDR の温度特性  
 $f_{CLK} = 50\text{ MHz}$ 、( $f_{OUT} = 1\text{ MHz}$ )

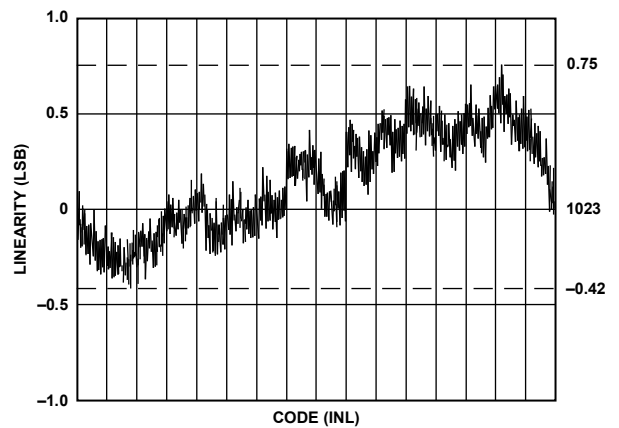
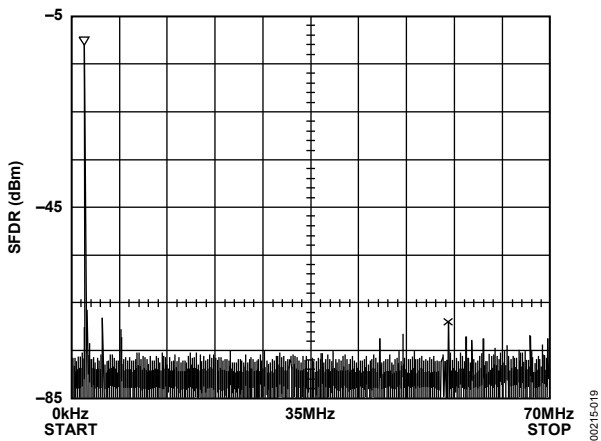
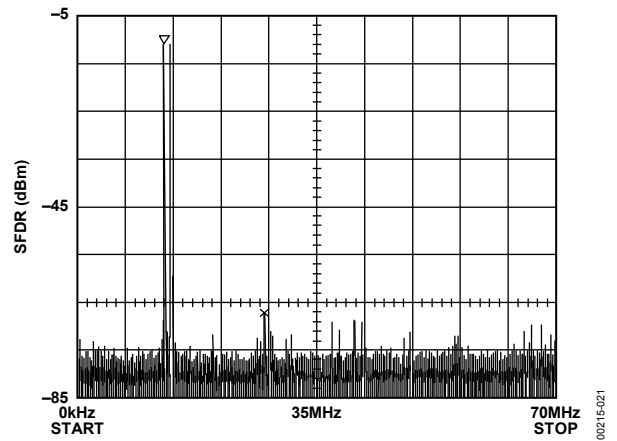


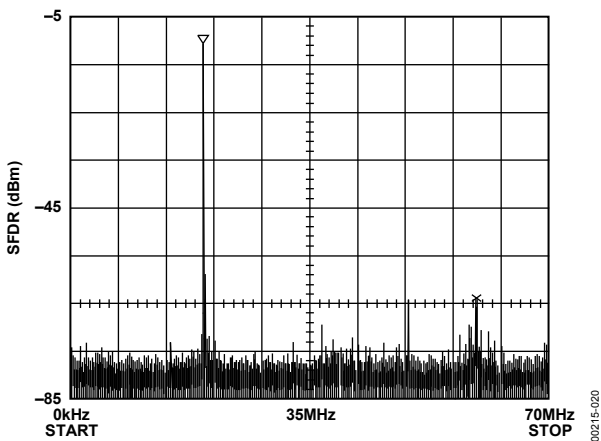
図 18. 直線性



☒ 19. シングル・トーン SFDR  
 $f_{CLK} = 140 \text{ MHz}$  ( $f_{OUT} = 2 \text{ MHz}$ )



☒ 21.2 トーン SFDR  
 $f_{CLK} = 140 \text{ MHz}$  ( $f_{OUT1} = 13.5 \text{ MHz}$ ,  $f_{OUT2} = 14.5 \text{ MHz}$ )



☒ 20. シングル・トーン SFDR  
 $f_{CLK} = 140 \text{ MHz}$  ( $f_{OUT} = 20 \text{ MHz}$ )

## 用語

### ブランキング・レベル

SYNC部分を波形のビデオ部分から分離するレベル。通常、フロント・ポーチまたはバック・ポーチと呼ばれます。0 IRE単位で、ディスプレイをシャットオフするレベル。表示は最も黒レベルになります。

### カラー・ビデオ(RGB)

通常のスเปクトル内で3元色(赤、緑、青)を組み合わせてカラー画像を構成する技術。RGBモニターでは、各色に1個の合計3個のDACが必要です。

### 同期信号(SYNC)

スキャンニング・プロセスを同期化するコンポジット・ビデオ信号の一部。

### グレイ・スケール

基準の黒レベルと基準の白レベルとの間のビデオ信号の離散的レベル。10ビットDACには、1024レベルあり、8ビットDACには256レベルあります。

### ラスター・スキャン

1回にCRT 1ラインを掃引してディスプレイ画像を発生する最も基本的な方法。

### 基準黒レベル

ビデオ信号の最大負振幅。

### 基準白レベル

ビデオ信号の最大正振幅。

### 同期レベル

SYNC信号のピーク・レベル。

### ビデオ信号

基準の白と基準の黒との間のグレイ・スケール・レベル内で変化するコンポジット・ビデオ信号の部分。映像信号とも呼ばれ、目視できる部分を意味します。



## 回路説明と動作

ADV7123には、3個の10ビットDACが内蔵されており、3チャンネルの入力と各々10ビットのレジスタを持っています。また、リファレンス・アンプも内蔵されています。ADV7123は、CRTコントロール機能のBLANKとSYNCも内蔵しています。

### デジタル入力

30ビットのピクセル・データ(カラー情報)、R0~R9、G0~G9、B0~B9は、各クロック・サイクルの立ち上がりエッジでデバイス内にラッチされます。このデータが3個の10ビットDACに入力され、3個のアナログ(RGB)出力波形に変換されます(図22参照)。

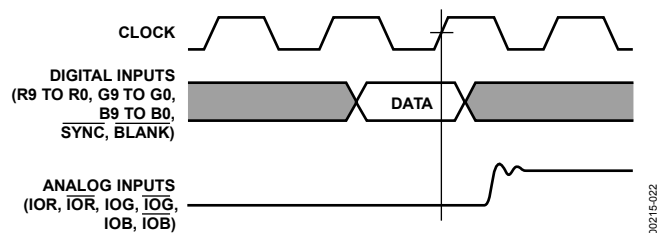


図 22.ビデオ・データの入力/出力

ADV7123にはこの他に2本のコントロール信号があり、アナログ・ビデオ出力と同じ様にラッチされます。BLANKとSYNCはCLOCKの立ち上がりエッジでラッチされ、ピクセル・データ・ストリームとの同期を維持します。

BLANKとSYNCの機能を使うことにより、これらのビデオ同期信号をRGBビデオ出力にエンコーディングすることができます。

これは、BLANKとSYNCのデジタル入力のロジック・レベルにより重み付けされた電流源をアナログ出力に接続することにより実現されています。図23に、ADV7123のRGBビデオ波形のアナログ出力を示します。アナログ・ビデオ波形へのSYNCとBLANKの影響を説明しています。

表9に、BLANKとSYNCのアナログ出力への影響を示します。

これらのすべてのデジタル入力は、TTLロジック・レベル仕様になっています。

### クロック入力

ADV7123のCLOCK入力は、システムのピクセル・クロック・レートになります。これはドット・レートとも呼ばれます。ドット・レートすなわちCLOCK周波数は、次式によりスクリーン解像度から決定されます。

$$\text{ドット・レート} = (\text{Horiz Res}) \times (\text{Vert Res}) \times (\text{Refresh Rate}) / (\text{Retrace Factor})$$

ここで、

Horiz Resは1ラインあたりのピクセル数。

Vert Resは、1フレームあたりのライン数。

Refresh Rateは水平スキャン・レート。これは、スクリーンをリフレッシュするレートで、一般に非インターレース・システムでは60 Hz、インターレース・システムでは30 Hzです。

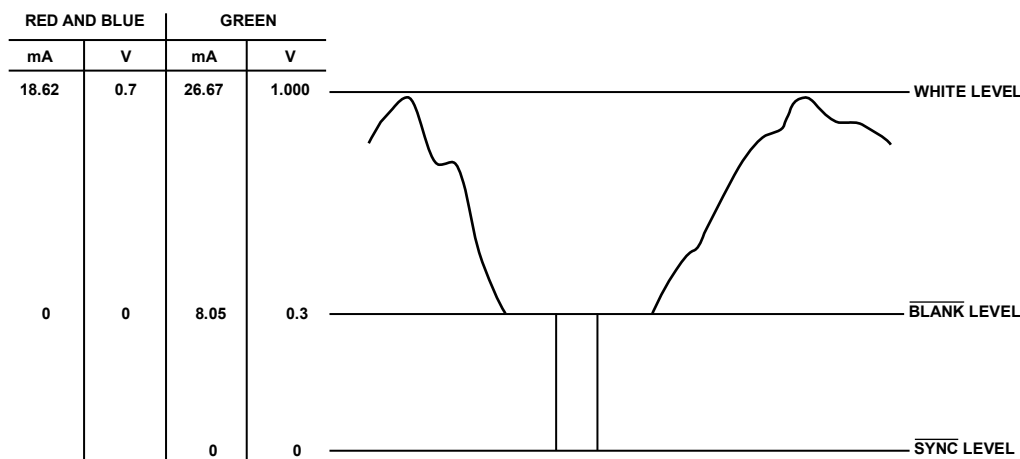
Retrace Factorは、合計ブランク時間ファクタです。これは、各フレームの合計継続時間の一部(例えば0.8)の間ディスプレイをブランク表示にすることを考慮しています。

したがって、解像度1024×1024、非インターレースの60 Hzリフレッシュ・レート、Retrace Factor = 0.8のグラフィックス・システムの場合、

$$\text{ドット・レート} = 1024 \times 1024 \times 60 / 0.8 = 78.6 \text{ MHz}$$

したがって、必要とされるCLOCK周波数は78.6 MHzになります。

すべてのビデオ・データとコントロール入力は、デジタル入力のセクションで説明したようにCLOCKの立ち上がりエッジでADV7123へラッチされます。ADV7123に対するCLOCK入力はTTLバッファ(例えば74F244)から駆動することが推奨されます。



#### NOTES

1. OUTPUTS CONNECTED TO A DOUBLY TERMINATED 75Ω LOAD.
2. V<sub>REF</sub> = 1.235V, R<sub>SET</sub> = 530Ω.
3. RS-343 LEVELS AND TOLERANCES ASSUMED ON ALL LEVELS.

図 23.RGBビデオ出力波形

表 9. ビデオ出力の真理値表( $R_{SET} = 530 \Omega$ ,  $R_{LOAD} = 37.5 \Omega$ )

Video Output Level	IOG (mA)	$\overline{\text{IOG}}$ (mA)	IOR/IOB (mA)	$\overline{\text{IOR/IOB}}$ (mA)	SYNC	BLANK	DAC Input Data
White Level	26.67	0	18.62	0	1	1	0x3FFH
Video	Video + 8.05	18.62 - Video	Video	18.62 - Video	1	1	Data
Video to $\overline{\text{BLANK}}$	Video	18.62 - Video	Video	18.62 - Video	0	1	Data
Black Level	8.05	18.62	0	18.62	1	1	0x000H
Black to $\overline{\text{BLANK}}$	0	18.62	0	18.62	0	1	0x000H
$\overline{\text{BLANK}}$ Level	8.05	18.62	0	18.62	1	0	0xXXXH (don't care)
$\overline{\text{SYNC}}$ Level	0	18.62	0	18.62	0	0	0xXXXH (don't care)

## ビデオ同期とコントロール

ADV7123 には、コンポジット同期(SYNC)入力コントロールが 1 本あります。多くのグラフィックス・プロセッサとCRTコントローラは、水平同期(HSYNC)、垂直同期(VSYNC)、コンポジット SYNC を発生する機能を持っています。

コンポジット SYNC 信号を自動的に発生しないグラフィックス・システムでは、コンポジット SYNC 信号を発生するロジック回路の追加が必要です。

同期電流は内部で IOG 出力に直接接続されているため、G ビデオ・チャンネルへビデオ同期情報をエンコーディングすることができます。同期情報を ADV7123 へエンコードする必要がない場合は、SYNC 入力をロー・レベルに設定しておく必要があります。

## リファレンス電圧入力

ADV7123 はリファレンス電圧を内蔵しています。V<sub>REF</sub> ピンは、通常 0.1  $\mu\text{F}$  のコンデンサを介して V<sub>AA</sub> に終端されます。あるいは、必要に応じて、このピンを外付け 1.23 V リファレンス電圧 (AD1580) から上書き駆動することができます。

R<sub>SET</sub> ピンと GND との間に抵抗 R<sub>SET</sub> を接続して、ADV7123 の出力ビデオ・レベルの振幅を式 1 と式 2 を使って決定することができます。

$$\text{IOG (mA)} = 11,445 \times V_{REF} (\text{V}) / R_{SET} (\Omega) \quad (1)$$

$$\text{IOR, IOB (mA)} = 7989.6 \times V_{REF} (\text{V}) / R_{SET} (\Omega) \quad (2)$$

式 1 は SYNC を使用する場合、ADV7123 に対してのみ使用することができます。SYNC が G チャンネルにエンコードされていない場合は、式 1 と式 2 は同じになります。

変数値 R<sub>SET</sub> を使うと、アナログ出力ビデオ・レベルの正確な調整が可能です。固定 560  $\Omega$  の R<sub>SET</sub> 抵抗を使うと、仕様のセクションで説明したアナログ出力レベルが得られます。これらの値は、一般に図 23 に示す RS-343A ビデオ波形値に対応します。

## DAC

ADV7123 は 3 個の一致した 10 ビット DAC を内蔵しています。これらの DAC は、最新の高速セグメント化アーキテクチャを採用してデザインされています。各デジタル入力に対応するビット電流が、最新のデコーディング方式を使ってアナログ出力(ビット=1)または GND (ビット=0)へ切り替えられます。この回路はすべて 1 個のモノリシック・デバイス上にあるため、3 個の DAC 間の一致度が最適化されています。

一致度の他に、モノリシック・デザイン内の一致した電流源により、単調性と低グリッチが保証されています。内蔵オペアンプにより、温度と電源の変動に対してフル・スケール出力電流が安定化されています。

## アナログ出力

ADV7123 には、R、G、B のビデオ信号に対応する 3 個のアナログ出力があります。

ADV7123 の R、G、B アナログ出力は、高インピーダンスの電流源です。これらの 3 個の各 RGB 電流出力は、二重終端の 75  $\Omega$  同軸ケーブルのような 37.5  $\Omega$  負荷を直接駆動することができます。図 24 に、二重終端の 75  $\Omega$  負荷に接続される 3 個の各 RGB 出力に必要な構成を示します。この構成では、75  $\Omega$  モニタに RS-343A ビデオ出力電圧レベルが出力されます。

RS-170 ビデオ・レベルを 75  $\Omega$  モニタに入力する際に推奨される方法を図 25 に示します。DAC の出力電流レベルは不変ですが、3 個の各 DAC のソース終端抵抗 Z<sub>S</sub> が 75  $\Omega$  から 150  $\Omega$  へ増加しています。

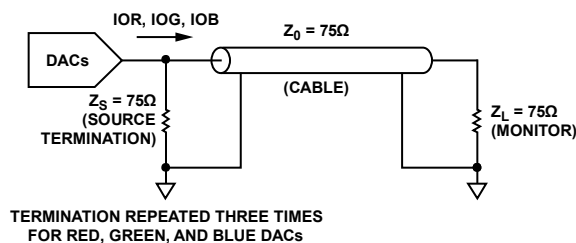


図 24. RS-343A のアナログ出力終端

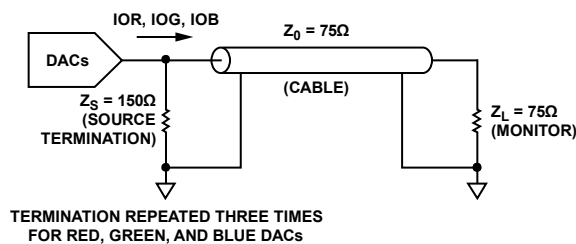


図 25. RS-170 のアナログ出力終端

RS-343A や RS-170 などの種々の出力構成に対する負荷終端の詳細については、<http://www.analog.com/jp> から提供している AN-205 アプリケーション・ノート、「Video Formats and Required Load Terminations」を参照してください。

図 23 に、図 24 に示す二重終端の 75 Ω 負荷を駆動する 3 個の RGB 出力のビデオ波形を示します。図 23 には、黒レベルから白レベルまでのグレイ・スケール・レベルの他に、ADV7123 に対する SYNC と BLANK の影響も示してあります。これらのコントロール入力により、重み付けされた電流がアナログ出力に加算されて、ビデオ・アプリケーション用の特定の出力レベル条件が発生されます。表 9 に、SYNC 入力と BLANK 入力により出力レベルを変更する方法を示します。

## グレイ・スケール動作

ADV7123 は、スタンドアロンのグレイ・スケール(モノクロ)、またはコンポジット・ビデオ・アプリケーションとして使うことができます(すなわち 1 チャンネルのみをビデオ情報に使用)。R、G、B の 3 チャンネルの内の任意の 1 チャンネルを使って、デジタル・ビデオ・データを入力することができます。2 個の未使用ビデオ・データ・チャンネルはロジック 0 に接続しておく必要があります。未使用アナログ出力は使用するチャンネルと同じ負荷で終端する必要があります。すなわち、R チャンネルを使用し、かつ IOR を二重終端 75 Ω 負荷(37.5 Ω)で終端する場合は、IOB と IOG も 37.5 Ω 抵抗で終端する必要があります(図 26)。

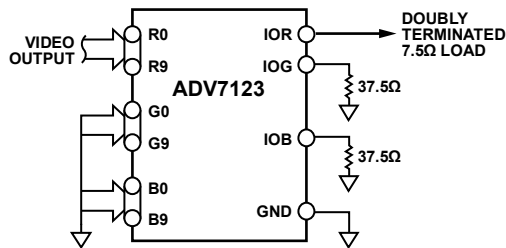


図 26. スタンドアロン・グレイ・スケールまたはコンポジット・ビデオ用の入力と出力の接続

## ビデオ出力バッファ

ADV7123 は、伝送線負荷を駆動する仕様になっています。このような負荷を駆動するアナログ出力構成をアナログ出力のセクションと図 27 に示します。ただし、アプリケーションによっては、長い伝送線を駆動する必要がある場合もあります。ケーブル長が 10 m を超えると、高周波アナログ出力パルスの減衰と歪みが発生します。出力バッファを使うと、ケーブル歪みを補償することができます。広いフル・パワー帯域幅と 2~4 のゲインを持つバッファが必要になります。これらのバッファは、出力電圧振幅全体に対して十分な電流も供給する必要があります。アナログ・デバイスでは、このようなアプリケーション向けに適する広範囲なオペアンプを提供しています。これらのアンプとしては、AD843、AD844、AD847、AD848 シリーズのモノリシック・オペアンプなどがあります。非常に高い周波数(80 MHz)のアプリケーションに対しては、AD8061 が推奨されます。ライン・ドライバ・バッファ回路の詳細は、オペアンプ・データ・シートに記載されています。

また、バッファ・アンプを使うと、RS-343A や RS-170 の他に別のビデオ規格を実現することもできます。バッファ回路のゲイン部品を変えると、任意のビデオ・レベルを実現することができます。

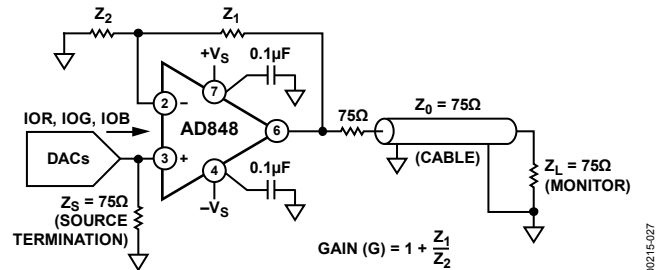


図 27. AD848 を使用した出力バッファ

## プリント基板レイアウト時の考慮事項

ADV7123 は、放射ノイズと伝導ノイズを最小にするように最適デザインされています。ADV7123 の優れたノイズ性能を実現するためには、PCB レイアウトに細心の注意を払う必要があります。図 28 に、ADV7123 の推奨接続図を示します。

レイアウトは、ADV7123 の電源ラインとグラウンド・ラインのノイズが最小になるように最適化する必要があります。これは、デジタル入力のシールドとデカップリングによって実現することができます。V<sub>AA</sub> ピンと GND ピンのグループ間のリード長を短くして誘導性リングングを小さくします。

1 層のグラウンド・プレーンを持つ 4 層プリント回路ボードの使用が推奨されます。グラウンド・プレーンと電源プレーンにより、信号パターン層とハンダ側層を分離する必要があります。アナログ電源プレーンのノイズは、複数のデカップリング・コンデンサを使うことにより、さらに減らすことができます(図 28 参照)。最適性能は、0.1 μF と 0.01 μF のセラミック・コンデンサを使うことにより実現されます。コンデンサ・リードをできるだけ短くしてリード・インダクタンスを小さくし、コンデンサをできるだけデバイスの近くに配置することにより、各 V<sub>AA</sub> ピンをグラウンドへ個別にデカップリングします。ADV7123 は電源ノイズを除去する回路を内蔵していますが、この除去機能は周波数とともに減少することを覚えておくことは重要です。高周波スイッチング電源を使用する場合は、電源ノイズを削減するように注意してください。DC 電源フィルタ(Murata BNX002)は、スイッチング電源とメイン PCB の間の EMI を抑圧します。あるいは、3 端子電圧レギュレータの使用を検討してください。

## デジタル信号の相互接続

ADV7123 へのデジタル入力は、アナログ出力とその他のアナログ回路からできるだけ離す必要があります。また、これらのデジタル信号はアナログ電源プレーンと重ならないようにする必要があります。

高いクロック・レートを使用しているため、ノイズの混入を避けるために、ADV7123 へのクロック・ラインは短くする必要があります。

デジタル入力のすべてのアクティブ終端抵抗は通常の PCB 電源プレーン(V<sub>cc</sub>)に接続して、アナログ電源プレーンには接続しないようにする必要があります。

### アナログ信号の相互接続

ADV7123 は出力コネクタのできるだけ近くに配置して、ノイズの混入とインピーダンス不整合による反射を小さくする必要があります。

ビデオ出力信号はグラウンド・プレーンに重なるように配置し、アナログ電源プレーンには重ならないようにして、高い周波数での電源除去比を大きくする必要があります。

最適性能を得るためには、各アナログ出力をグラウンドへの  $75 \Omega$  抵抗でソース終端する必要があります( $75 \Omega$  二重終端構成)。これらの抵抗はできるだけ ADV7123 の近くに配置して反射を小さくする必要があります。

PCBデザインの詳細については、<http://www.analog.com/jp>から提供しているAN-333アプリケーション・ノート「Design and Layout of a Video Graphics System for Reduced EMI」をご覧ください。

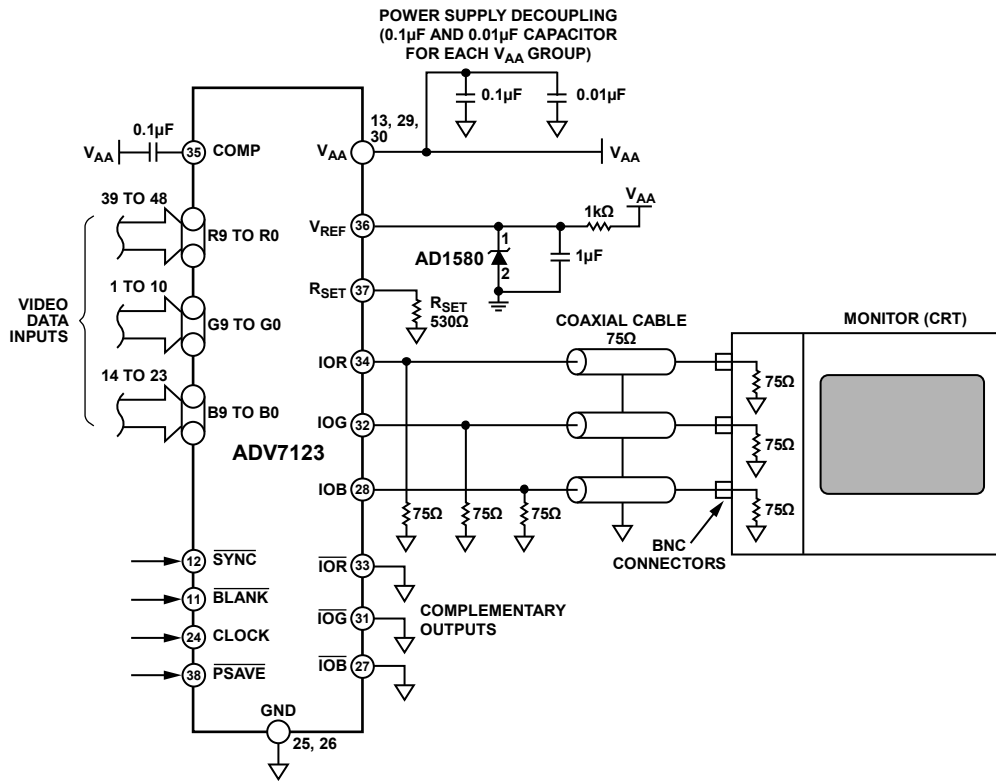


図 28. 代表的な接続図

00215-028

## 外形寸法

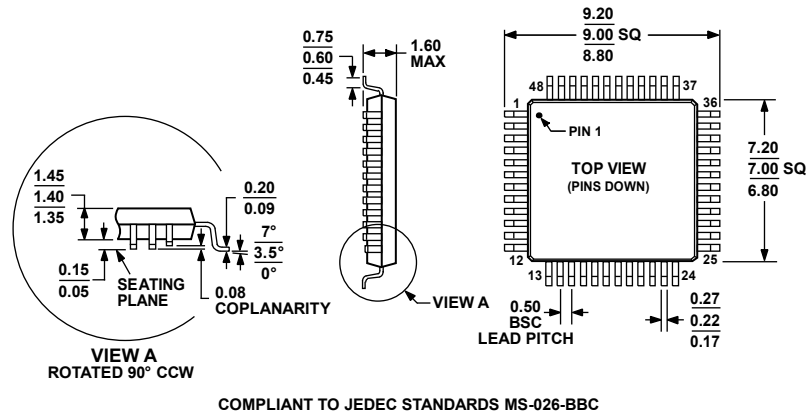


図 29.48 ピン・ロー・プロファイル・クワッド・フラット・パッケージ[LQFP](ST-48)寸法: mm

## オーダー・ガイド

Model	Temperature Range	Speed Option	Package Description	Package Option
ADV7123KSTZ50 <sup>1</sup>	-40°C to +85°C	50 MHz	48-Lead LQFP	ST-48
ADV7123KSTZ140 <sup>1</sup>	-40°C to +85°C	140 MHz	48-Lead LQFP	ST-48
ADV7123KST140-RL <sup>1</sup>	-40°C to +85°C	140 MHz	48-Lead LQFP	ST-48
ADV7123JSTZ240 <sup>1</sup>	0°C to 70°C	240 MHz	48-Lead LQFP	ST-48
ADV7123JSTZ240-RL <sup>1</sup>	0°C to 70°C	240 MHz	48-Lead LQFP	ST-48
ADV7123JSTZ330 <sup>1,2</sup>	0°C to 70°C	330 MHz	48-Lead LQFP	ST-48

<sup>1</sup> Z = RoHS 準拠製品。<sup>2</sup> 3.3 Vバージョンのみ提供。