

ADuC7019/20/21/22/24/25/26/27

特長

アナログI/O

- マルチチャンネル、1MSPSの12ビットA/Dコンバータ
- 最大16のADCチャンネル¹
- 完全差動モードとシングルエンド・モード
- アナログ入力範囲：0 ~ V_{REF}
- 12ビットの電圧出力D/Aコンバータ
- 最大4つのDAC出力¹
- オンチップ・リファレンス
- オンチップ温度センサー (±3%)
- コンパレータ

マイクロコントローラ

- ARM7TDMIコア、16/32ビットのRISCアーキテクチャ
- JTAGポートによりコードのダウンロードとデバッグに対応
- クロック・オプション
 - トリミングされたオンチップ発振器 (±3%)
 - 外部時計用水晶発振器
 - 外部クロック最高44MHz
 - プログラマブル・デバイダ付き41.78MHz PLL

メモリ

- 62KバイトのFlash/EEメモリ、8KバイトのSRAM
- イン・サーキット・ダウンロード、JTAGベースのデバッグ
- イン・サーキット再プログラミング

オンチップ・ペリフェラル

- UART、I²C® (2回路)、SPIシリアルI/O
- 最大40ピンの汎用I/Oポート¹
- 4つの汎用タイマ
- ウェイクアップ・タイマとウォッチドッグ・タイマ
- 電源モニタ
- 3相、16ビットPWMジェネレータ¹
- プログラマブル・ロジック・アレイ (PLA)
- 外部メモリ・インターフェース、最大512Kバイト¹

電源

- 3V電源で仕様規定
- アクティブ・モード：11mA @5MHz、40mA @41.78MHz

パッケージと温度範囲

- 40ピン6×6mm LFCSP ~ 80ピンLQFP¹
- 40 ~ +125 動作

ツール

- 低価格のQuickStart™ 開発システム
- 完全なサードパーティ・サポート

アプリケーション

- 工業用制御システムと自動化システム
- スマート・センサー、高精度計測機器
- 無線基地局システム、光ネットワーク

機能ブロック図

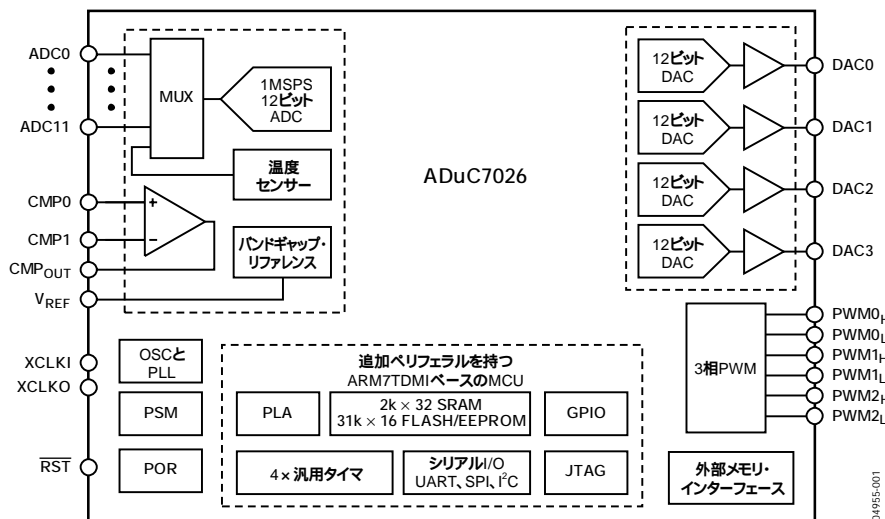


図1

¹ 製品モデルによって異なります。詳細はオーダー・ガイドを参照してください。

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、各社の所有に属します。

日本語データシートはREVISIONが古い場合があります。最新の内容については、英語版をご参照ください。© 2006 Analog Devices, Inc. All rights reserved.

REV. A

アナログ・デバイセズ株式会社

本社 / 〒105-6891 東京都港区海岸1-16-1 ニューピア竹芝サウスタワービル
電話03(5402)8200
大阪営業所 / 〒532-0003 大阪府大阪市淀川区宮原3-5-36 新大阪MTビル2号
電話06(6350)6868

ADuC7019/20/21/22/24/25/26/27

目次

特長	1	伝達関数	37
アプリケーション	1	代表的な動作	38
機能ブロック図	1	MMRインターフェース	38
改訂履歴	3	コンバータの動作	40
概要	4	アナログ入力 of 駆動	41
詳細ブロック図	5	キャリブレーション	42
仕様	6	温度センサー	42
タイミング仕様	9	バンドギャップ・リファレンス	42
絶対最大定格	16	不揮発性Flash/EEメモリ	43
ESDに関する注意	16	プログラミング	43
ピン配置と機能の説明	17	セキュリティ	44
ADuC7019/ADuC7020/ADuC7021/ADuC7022	17	Flash/EE制御インターフェース	44
ADuC7024/ADuC7025	20	SRAMとFlash/EEからの実行時間	46
ADuC7026/ADuC7027	23	リセットとリマップ	46
代表的な性能特性	27	その他のアナログ・ペリフェラル	48
用語の定義	30	DAC	48
ADC仕様	30	電源モニタ	49
DAC仕様	30	コンパレータ	50
ARM7TDMI コアの概要	31	発振器とPLL - パワー制御	51
Thumbモード (T)	31	デジタル・ペリフェラル	53
長い乗算 (M)	31	3相PWM	53
EmbeddedICE (I)	31	汎用I/O	60
例外	31	シリアルポートMux	62
ARMレジスタ	31	UARTシリアル・インターフェース	62
割り込み遅延	32	シリアル・ペリフェラル・インターフェース	65
メモリ構成	33	I ² C互換のインターフェース	67
メモリ・アクセス	33	プログラマブル・ロジック・アレイ (PLA)	71
Flash/EEメモリ	33	プロセッサ・リファレンス・ペリフェラル	74
SRAM	33	割り込みシステム	74
メモリマップド・レジスタ	33	タイマ	75
ADC回路の概要	37	外部メモリのインターフェース	79

目次（続き）

ハードウェア設計上の留意点	83	PCベースのツール	86
電源	83	インサーキット・シリアル・ダウンローダ	86
グラウンド接続と基板レイアウトの推奨事項	84	外形寸法	87
クロック発振器	84	オーダー・ガイド	89
パワーオン・リセット動作	85		
代表的なシステム構成	85		
開発ツール	86		

改訂履歴

10/2005 Rev.0 初版

1/2006 Rev.0からRev.Aに改訂

表1変更	6
Flash/EEメモリの信頼性を追加	43
表30変更	51
シリアル・ペリフェラル・インタフェース変更	65

ADuC7019/20/21/22/24/25/26/27

概要

ADuC7019/20/21/22/24/25/26/27は、完全統合型、1MSPS、12ビットのデータ・アキュイジション・システムで、高性能マルチチャンネルADC、16/32ビットMCU、Flash/EEメモリをワンチップに集積しています。

ADCは、最大12のシングルエンド入力から構成されています。その他に4つの入力を使用可能ですが、4本のDAC出力ピンと多重化されます。4つのDAC出力は特定モデルでのみ使用可能です (ADuC7020とADuC7026)。これらのピンも追加のADC入力として使用でき、あわせて16までのADC入力チャンネルが使用可能となります。ADCは、シングルエンド・モードでも差動入力モードでも動作できます。ADC入力電圧は $0 \sim V_{REF}$ です。ADCペリフェラル・セットは、低ドリフト・バンドギャップ・リファレンス、温度センサー、電圧コンパレータで構成されています。

ADuC7019/20/21/22/24/25/26/27は、4つのバッファ付き電圧出力DACも内蔵しています。DAC出力範囲は、3つの電圧範囲のいずれかにプログラムできます。

デバイスは、オンチップ発振器と41.78MHzの高周波内部クロックを生成するPLLで動作します。このクロックは、MCU

コア・クロック動作周波数の生成元であるプログラマブル・クロック・デバイダに接続されています。マイクロコントローラ・コアは、16/32ビットのRISCマシンであるARM7TDMIで、最大41MIPSのピーク性能が得られます。8KバイトのSRAMと62Kバイトの不揮発性Flash/EEメモリを内蔵しています。ARM7TDMIコアは、すべてのメモリとレジスタを1つのリニア・アレイと見なします。

オンチップ・ファクトリ・ファームウェアでは、UARTまたはI²Cシリアル・インターフェース・ポートを介してインサーキット・シリアル・ダウンロードに対応します。一方、JTAGインターフェースを介して非割込み型のエミュレーションにも対応します。これらの機能は、このMicroConverter[®]ファミリに対応する、低価格のQuickStart[™]開発システムに組み込まれています。

デバイスは、2.7~3.6Vで動作し、 $-40 \sim +125$ の工業用温度範囲で仕様規定されています。41.78MHzで動作時、消費電力は120mW (typ) です。ADuC7019/20/21/22/24/25/26/27には、さまざまなメモリ・モデルとパッケージがあります。

ADuC7019/20/21/22/24/25/26/27

詳細ブロック図

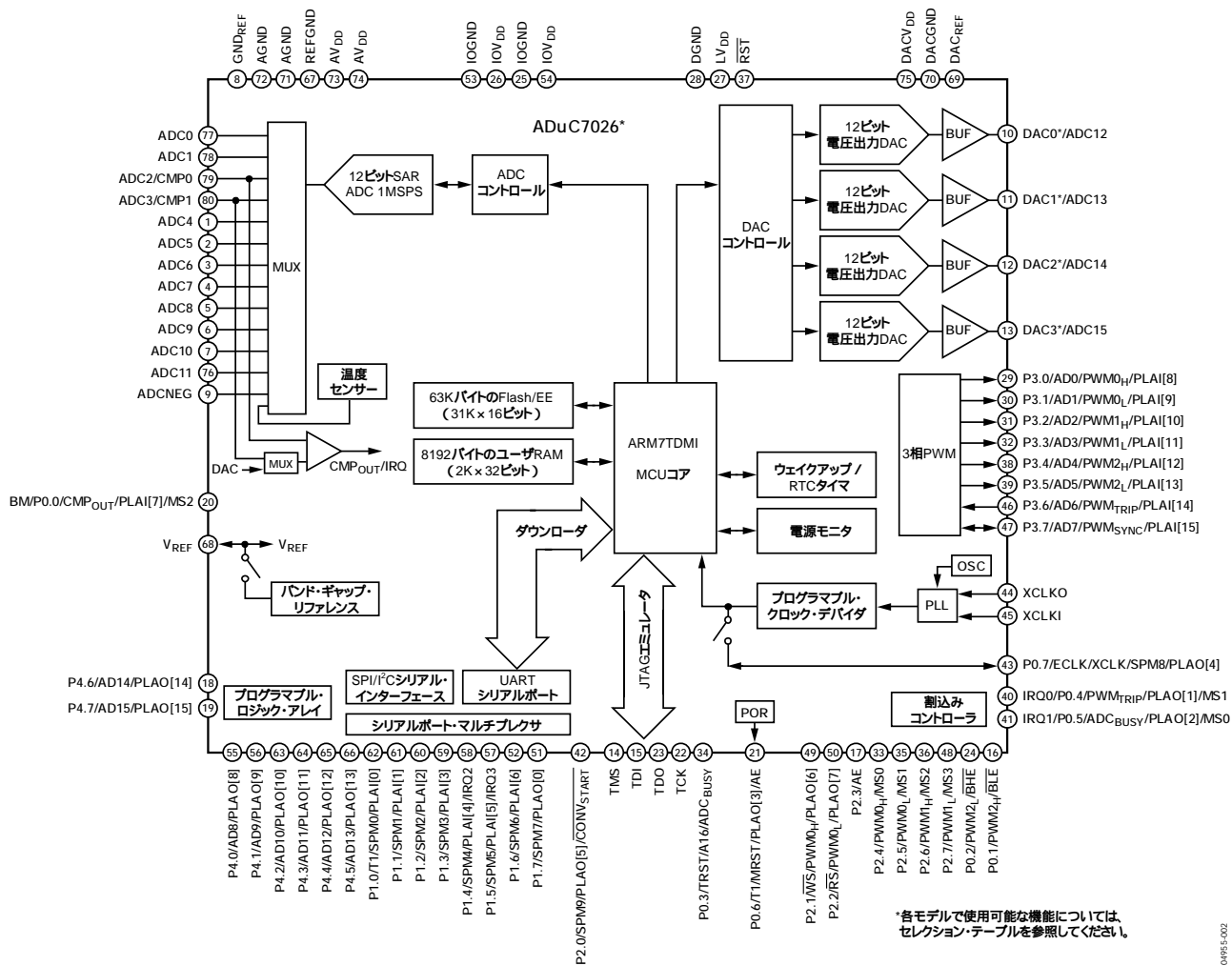


図2

0495-002

ADuC7019/20/21/22/24/25/26/27

仕様

特に指定のない限り、AVDD = IOV_{DD} = 2.7 ~ 3.6V、V_{REF} = 2.5V内部リファレンス、f_{CORE} = 41.78MHz、T_A = -40 ~ 125 で仕様規定。

表1

パラメータ	Min	Typ	Max	単位	テスト条件 / 備考
ADCチャンネルの仕様					8アキュイジション・クロックと f _{ADC} /2
ADCパワーアップ時間		5		μs	
DC精度 ^{1, 2}	12			ビット	
分解能			±1.5	LSB	2.5V内部リファレンス
積分非直線性		±0.6		LSB	1.0V外部リファレンス
微分非直線性 ^{3, 4}		±0.5	+1 / -0.9	LSB	2.5V内部リファレンス
		+0.7 / -0.6		LSB	1.0V外部リファレンス
DCコード分布		1		LSB	ADC入力にDC電圧
エンドポイント誤差 ⁵					
オフセット誤差		±1	±2	LSB	
オフセット誤差マッチ		±1		LSB	
ゲイン誤差		±2	±5	LSB	
ゲイン誤差マッチ		±1		LSB	
動的性能					Fin = 10kHzサイン波、 f _{SAMPLE} = 1MSPS 歪み成分とノイズ成分を含む
S/N比 (SNR)		69		dB	
全高調波歪み (THD)		-78		dB	
ピーク高調波またはスプリアス・ノイズ		-75		dB	
チャンネル間クロストーク		-80		dB	隣接したチャンネル上で実測
アナログ入力					
入力電圧範囲					
差動モード			V _{CM} ⁶ ±V _{REF} /2	V	
シングルエンド・モード			0 ~ V _{REF}	V	
リーク電流		±1	±6	μA	
入力容量		20		pF	ADCアキュイジション時
オンチップ・リファレンス					V _{REF} からAGND間に0.47μF
出力電圧		2.5		V	
精度			±5	mV	T _A = 25
リファレンス温度係数		±40		ppm/	
電源除去比		75		dB	
出力インピーダンス		70		Ω	T _A = 25
内部V _{REF} パワーオン時間		1		ms	
外部リファレンス入力 ⁷					
入力電圧範囲	0.625		AV _{DD}	V	
入力インピーダンス		65		kΩ	
DACチャンネルの仕様					R _L = 5kΩ、C _L = 100pF
DC精度 ⁸					
分解能		12		ビット	
相対精度		±2		LSB	
微分非直線性			±1	LSB	単調性保証
オフセット誤差			±15	mV	2.5V内部リファレンス
ゲイン誤差 ⁹			±1	%	
ゲイン誤差ミスマッチ		0.1		%	DAC0でのフルスケールに対するパーセント

ADuC7019/20/21/22/24/25/26/27

パラメータ	Min	Typ	Max	単位	テスト条件 / 備考
アナログ出力 出力電圧Range_0 出力電圧Range_1 出力電圧Range_2 出力インピーダンス		0 ~ DAC _{REF} 0 ~ 2.5 0 ~ DACV _{DD}		V V V Ω	DAC _{REF} 範囲 : DACGND ~ DACV _{DD}
DACのAC特性 電圧出力セトリング・タイム D/Aグリッチ・エネルギー		10 ± 20		μs nV秒	メジャー・キャリアーにおいて1LSBを 変化
コンパレータ 入力オフセット電圧 入力バイアス電流 入力電圧範囲 入力容量 ヒステリシス ⁶ 応答時間	AGND 2	± 15 1 7 3	AV _{DD} - 1.2 15	mV μA V pF mV μs	ヒステリシスは、CMPCONレジスタ のCMPHYSTビットによってオン/ オフ切り替え可能 100mVのオーバードライブ、0.5μsの 応答時間に設定 (CMPRES = 11)
温度センサー 25 °Cでの電圧出力 電圧温度係数 精度		780 - 1.3 ± 3		mV mV/	
電源モニタ (PSM) IOV _{DD} トリップ・ポイント選択 電源トリップ・ポイントの精度		2.79 3.07 ± 2.5		V V %	2つの選択可能なトリップ・ポイント 選択した公称トリップ・ポイント電圧 の精度
パワーオン・リセット		2.36		V	
リセット・ピンでのグリッチ耐性 ³		50		μs	
ウォッチドッグ・タイマ (WDT) タイムアウト時間	0		512	秒	
Flash/EEメモリ 書換え回数 ¹⁰ データ保持 ¹¹	10,000 20			サイクル 年	T _J = 85
デジタル入力 ロジック1入力電流 (リーク電流) ロジック0入力電流 入力容量		± 0.2 - 40 - 80 10	± 1 - 60 - 120	μA μA μA pF	XCLKIとXCLKOを除くすべての デジタル入力 V _{IH} = VDDまたはV _{IH} = 5V V _{IL} = 0V、ADuC7019/20/21/22/24/25 のTDIを除く V _{IL} = 0V、ADuC7019/20/21/22/24/25 のTDI
ロジック入力 ³ VINL、入力ローレベル電圧 VINH、入力ハイレベル電圧	2.0		0.8	V V	XCLKIとXCLKOを除くすべての ロジック入力
ロジック出力 VOH、出力ハイレベル電圧 VOL、出力ローレベル電圧 ¹²	2.4		0.4	V V	XCLKIとXCLKOを除くすべての デジタル出力 I _{SOURCE} = 1.6mA I _{SINK} = 1.6mA

ADuC7019/20/21/22/24/25/26/27

パラメータ	Min	Typ	Max	単位	テスト条件 / 備考
水晶発振入力XCLKIとXCLKO ロジック入力、XCLKIのみ VINL、入力ローレベル電圧 VINH、入力ハイレベル電圧 XCLKI入力容量 XCLKO出力容量		1.1 1.7 20 20		V V pF pF	
内部発振器		32.768	±3	kHz %	
MCUクロック・レート 32kHz内部発振器から 32kHz外部水晶発振器から 外部クロックを使用	0.05 0.05	326 41.78	44 41.78	kHz MHz MHz MHz	CD = 7 CD = 0 T _A = 85 T _A = 125
スタートアップ時間 パワーオン時 ポーズ/ナップ・モードから復帰時 スリープ・モードから復帰時 ストップ・モードから復帰時		130 24 3.06 1.58 1.7		ms ns μs ms ms	コア・クロック = 41.78MHz CD = 0 CD = 7
プログラマブル・ロジック・アレイ (PLA) ピン伝搬遅延 エレメント伝搬遅延		12 2.5		ns ns	入力ピンから出力ピンまで
電源条件 ^{13, 14} 電源電圧範囲 AV _{DD} - AGNDとIOV _{DD} - IOGND アナログ電源電流 AV _{DD} 電流 DACV _{DD} 電流 ¹⁵ デジタル電源電流 ノーマル・モードでのIOV _{DD} 電流 ポーズ・モードでのIOV _{DD} 電流 スリープ・モードでのIOV _{DD} 電流 その他の電源電流 ADC DAC	2.7	200 400 3 7 11 40 25 250 600 2 0.7 700	3.6 25 10 15 45 30 400 1000	V μA μA μA mA mA mA mA μA μA mA mA μA	ADCアイドルモード、 ADuC7019を除く ADCアイドルモード、 ADuC7019のみ Flash/EEから実行するコード CD = 7 CD = 3 CD = 0 (41.78 MHzクロック) CD = 0 (41.78 MHzクロック) T _A = 85 T _A = 125 @1MSPS @62.5kSPS DAC当たり

¹ すべてのADCチャンネル仕様は、通常のMicroConverterコア動作時に保証されます。

² すべてのADC入力チャンネルに適用されます。

³ ADCOFとADCGNの出荷時設定のデフォルト値を使用して実測

⁴ これらの仕様については出荷テストを行っていませんが、量産開始時の設計 / 特性評価データにより保証しています。

⁵ 図47に示すように、入力バッファ段として外付けAD845オペアンプを使用し、ADCOFとADCGNの出荷時設定のデフォルト値を使用して実測。外部エンドポイント誤差を除き、これらの仕様（「キャリブレーション」を参照）を実現するため、外付けのADCシステム・コンポーネントをベースにして、システム・キャリブレーションの実施が必要になることもあります。

⁶ 入力信号の中心を任意のDCコモン・モード電圧（V_{CM}）にできます。ただし、この値は、仕様規定されたADC電圧入力範囲内にいることが必要です。

⁷ 外部リファレンス入力ピンを使用する場合は、REFCONメモリマップド・レジスタのLSBを0に設定して、内部リファレンスをディセーブルにします。

⁸ DAC直線性を計算するには、100～3995という縮小したコード範囲を使用します。

⁹ DACゲイン誤差を計算するには、100～内部2.5V V_{REF}という縮小したコード範囲を使用します。

¹⁰ 書換え回数は、JEDEC Std. 22メソッドA117に基づいて認定され、-40、+25、+85、+125 で実測

¹¹ JEDEC Std. 22メソッドA117に基づくジャンクション温度（T_j）= 85 と等価なデータ保持寿命。データ保持寿命は、ジャンクション温度の上昇とともに短くなります。

¹² 最大8つのI/Oを低出力レベルに設定して実行されたテスト

¹³ 電源消費電流は、以下の条件でノーマル、ポーズ、スリープの各モードで実測
ノーマル・モード：3.6V電源、ポーズ・モード：3.6V電源、スリープ・モード：3.6V電源

¹⁴ Flash/EEの消去サイクルでは、IOV_{DD}電源電流（typ）は2mAだけ減少します。

¹⁵ ADuC7020/7021/7022では、この電流をAV_{DD}電流に加算します。

タイミング仕様

表2. 外部メモリ書き込みサイクル

パラメータ	Min	Typ	Max	単位
CLK		UCLK		
$T_{MS_AFTER_CLKH}$	0		4	ns
$T_{ADDR_AFTER_CLKH}$	4		8	ns
$T_{AE_H_AFTER_MS}$		1/2 CLK		
T_{AE}		$(XMxPAR[14:12]+1) \times CLK$		
$T_{HOLD_ADDR_AFTER_AE_L}$		$1/2 CLK + (!XMxPAR[10]) \times CLK$		
$T_{HOLD_ADDR_BEFORE_WR_L}$		$(!XMxPAR[8]) \times CLK$		
$T_{WR_L_AFTER_AE_L}$		$1/2 CLK + (!XMxPAR[10] + !XMxPAR[8]) \times CLK$		
$T_{DATA_AFTER_WR_L}$	8		12	ns
T_{WR}		$(XMxPAR[7:4]+1) \times CLK$		
$T_{WR_H_AFTER_CLKH}$	0		4	ns
$T_{hold_DATA_AFTER_WR_H}$		$(!XMxPAR[8]) \times CLK$		ns
$T_{BEN_AFTER_AE_L}$		1/2 CLK		
$T_{RELEASE_MS_AFTER_WR_H}$		$(!XMxPAR[8]+1) \times CLK$		

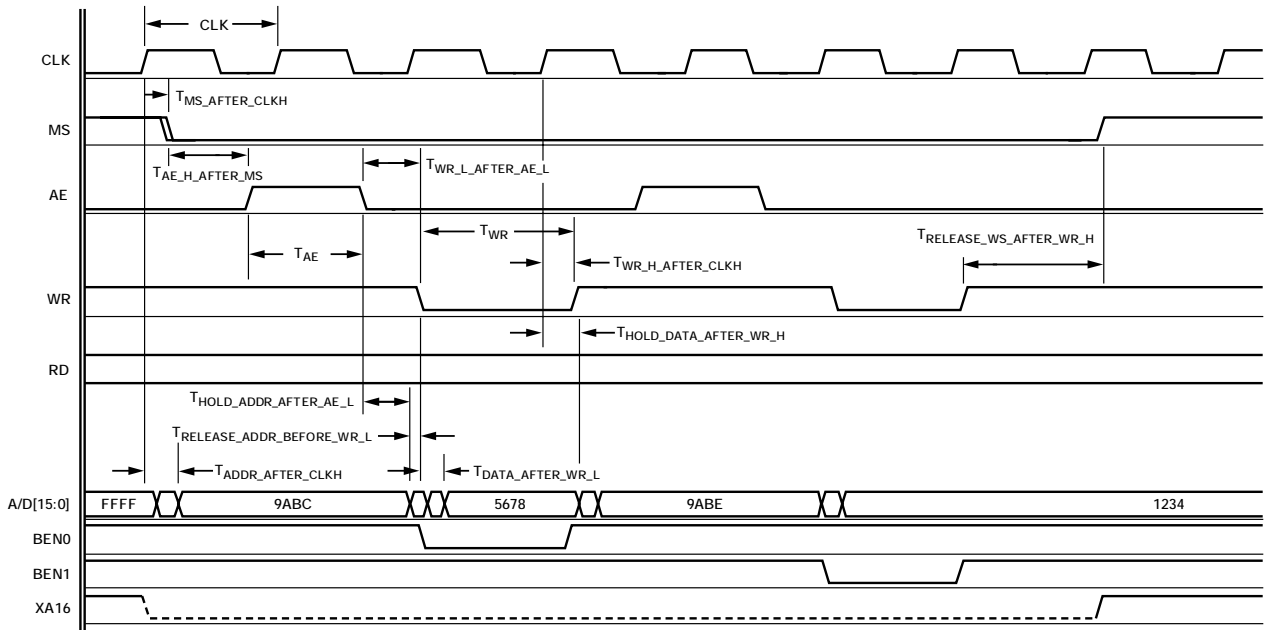


図3. 外部メモリ書き込みサイクル

ADuC7019/20/21/22/24/25/26/27

表3. 外部メモリ読出しサイクル

パラメータ	Min	Typ	Max	単位
CLK		UCLK		
$T_{MS_AFTER_CLKH}$	4		8	ns
$T_{ADDR_AFTER_CLKH}$	4		16	ns
$T_{AE_H_AFTER_MS}$		1/2 CLK		
T_{AE}		$(XMxPAR[14:12] + 1) \times CLK$		
$T_{HOLD_ADDR_AFTER_AE_L}$		$1/2 CLK + (!XMxPAR[10]) \times CLK$		
$T_{RD_L_AFTER_AE_L}$		$1/2 CLK + (!XMxPAR[10] + !XMxPAR[9]) \times CLK$		
$T_{DATA_AFTER_RD_L}$	8		12	ns
T_{RD}		$(XMxPAR[3:0] + 1) \times CLK$		
$T_{RD_H_AFTER_CLKH}$	0		4	ns
$T_{HOLD_DATA_AFTER_RD_H}$		$(!XMxPAR[9]) \times CLK$		ns
$T_{RELEASE_MS_AFTER_RD_H}$		CLK		

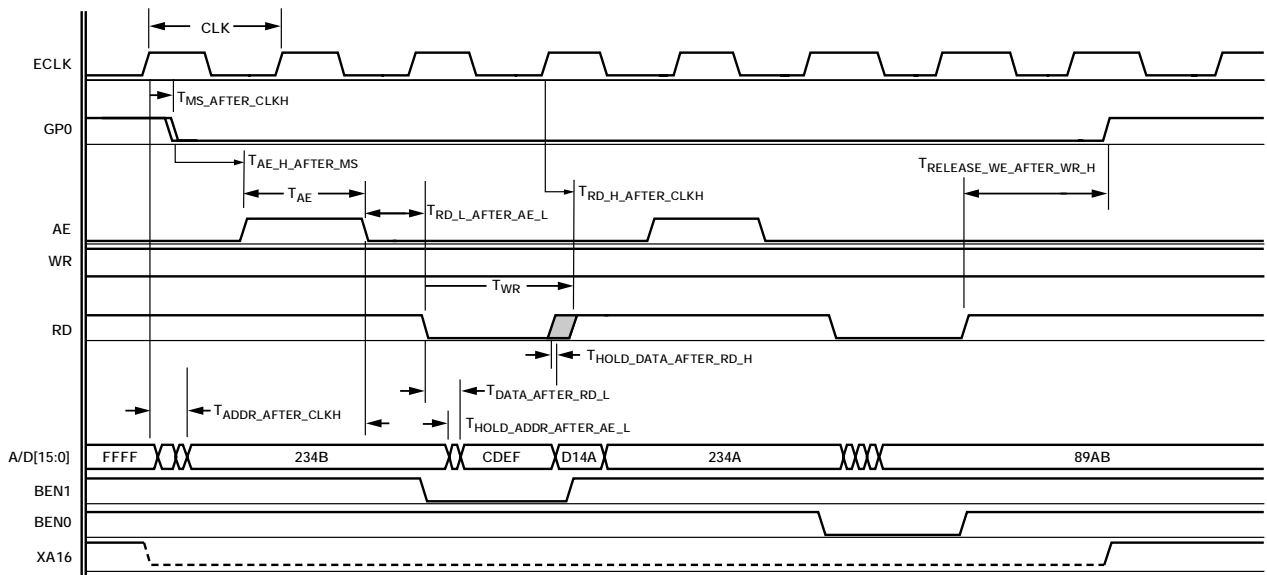


図4. 外部メモリ読出しサイクル

ADuC7019/20/21/22/24/25/26/27

表4. 高速モード (400kHz) でのI²Cのタイミング

パラメータ	説明	スレーブ		マスター・タイプ	単位
		Min	Max		
t _L	SCLOCKローレベル・パルス幅 ¹	200		1360	ns
t _H	SCLOCKハイレベル・パルス幅 ¹	100		1140	ns
t _{SHD}	スタート状態ホールド・タイム	300		251350	ns
t _{DSU}	データ・セットアップ・タイム	100		740	ns
t _{DHD}	データ・ホールド・タイム	50		400	ns
t _{RSU}	再スタートのセットアップ・タイム	100		12.51350	ns
t _{PSU}	ストップ状態セットアップ・タイム	100		400	ns
t _{BUF}	ストップ状態とスタート状態の間のバスフリー・タイム	1.3			ns
t _R	CLOCKとSDATAの立上がり時間	100	300	200	ns
t _F	CLOCKとSDATAの立下がり時間	60	100	20	ns
t _{SUP}	抑圧したスパイクのパルス幅		50		ns

¹ t_{HCLK}は、PLLCON MMRのCDビットまたはクロック・デバイダによって異なります。THCLK = t_{UCLK}/2^{CD}

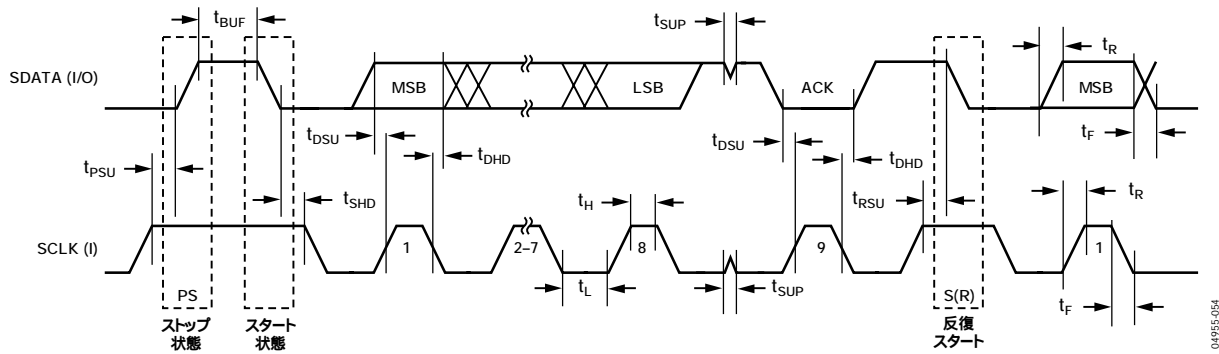


図5. I²C互換インターフェースのタイミング

ADuC7019/20/21/22/24/25/26/27

表5. SPIマスター・モードのタイミング (PHASEモード=1)

パラメータ	説明	Min	Typ	Max	単位
t_{SL}	SCLOCKローレベル・パルス幅 ¹		$(SPIDIV + 1) \times t_{HCLK}$		ns
t_{SH}	SCLOCKハイレベル・パルス幅 ¹		$(SPIDIV + 1) \times t_{HCLK}$		ns
t_{DAV}	SCLOCKエッジからデータ出力有効まで			25	ns
t_{DSU}	SCLOCKエッジまでのデータ入力のセットアップ・タイム ²	$1 \times t_{UCLK}$			ns
t_{DHD}	SCLOCKエッジからのデータ入力のホールド・タイム ²	$2 \times t_{UCLK}$			ns
t_{DF}	データ出力立下がり時間		5	12.5	ns
t_{DR}	データ出力立上がり時間		5	12.5	ns
t_{SR}	SCLOCK立上がり時間		5	12.5	ns
t_{SF}	SCLOCK立下がり時間		5	12.5	ns

¹ t_{HCLK} は、PLLCON MMRのCDビットまたはクロック・デバイダによって異なります。 $T_{HCLK} = t_{UCLK} / 2^{CD}$

² $t_{UCLK} = 23.9\text{ns}$ で、クロック・デバイダ前のPLLからの41.78MHzの内部クロックに対応します。

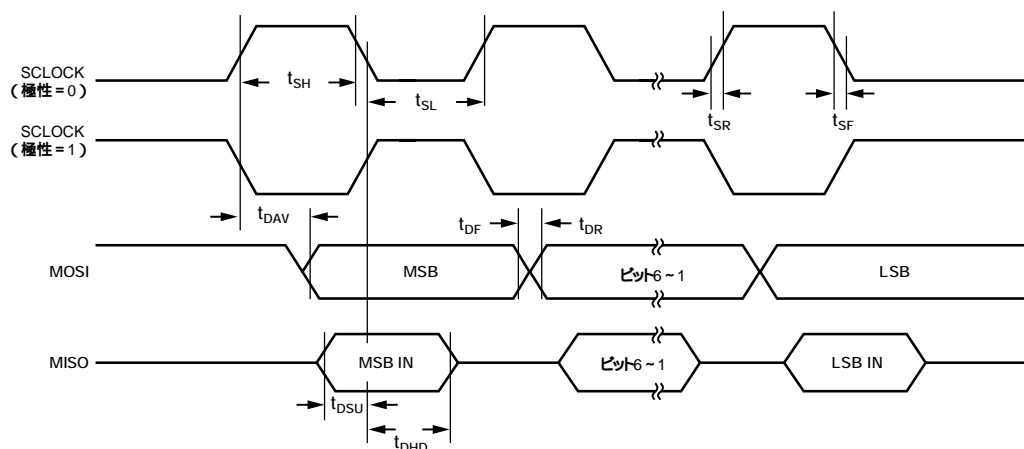


図6. SPIマスター・モードのタイミング (PHASEモード=1)

04955-005E

ADuC7019/20/21/22/24/25/26/27

表6. SPIマスター・モードのタイミング (PHASEモード=0)

パラメータ	説明	Min	Typ	Max	単位
t_{SL}	SCLOCKローレベル・パルス幅 ¹		$(SPIDIV + 1) \times t_{HCLK}$		ns
t_{SH}	SCLOCKハイレベル・パルス幅 ¹		$(SPIDIV + 1) \times t_{HCLK}$		ns
t_{DAV}	SCLOCKエッジからデータ出力有効まで			25	ns
t_{DOSU}	SCLOCKエッジまでのデータ出力のセットアップ			75	ns
t_{DSU}	SCLOCKエッジまでのデータ入力 ² のセットアップ・タイム	$1 \times t_{UCLK}$			ns
t_{DHD}	SCLOCKエッジからのデータ入力のホールド・タイム ²	$2 \times t_{UCLK}$			ns
t_{DF}	データ出力立下がり時間		5	12.5	ns
t_{DR}	データ出力立上がり時間		5	12.5	ns
t_{SR}	SCLOCK立上がり時間		5	12.5	ns
t_{SF}	SCLOCK立下がり時間		5	12.5	ns

¹ t_{HCLK} は、PLLCON MMRのCDビットまたはクロック・デバイダによって異なります。 $T_{HCLK} = t_{UCLK} / 2^{CD}$
² $t_{UCLK} = 23.9ns$ で、クロック・デバイダ前のPLLからの41.78MHzの内部クロックに対応します。

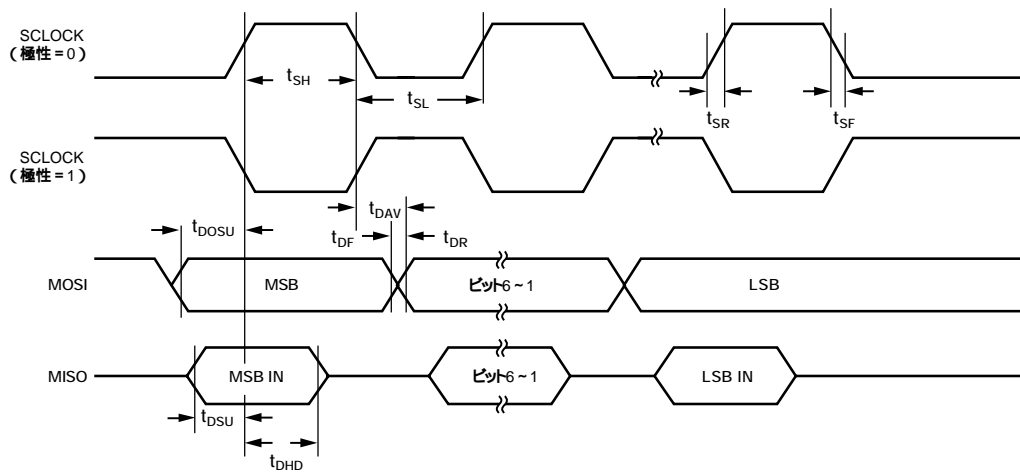


図7. SPIマスター・モードのタイミング (PHASEモード=0)

ADuC7019/20/21/22/24/25/26/27

表7. SPIスレーブ・モードのタイミング (PHASEモード=1)

パラメータ	説明	Min	Typ	Max	単位
t_{CS}	CSからSCLOCKエッジまで ¹	$2 \times t_{HCLK} + 2 \times t_{UCLK}$			ns
t_{SL}	SCLOCKローレベル・パルス幅 ²		$(SPIDIV + 1) \times t_{HCLK}$		ns
t_{SH}	SCLOCKハイレベル・パルス幅 ²		$(SPIDIV + 1) \times t_{HCLK}$		ns
t_{DAV}	SCLOCKエッジからデータ出力有効まで			25	ns
t_{DSU}	SCLOCKエッジまでのデータ入力のセットアップ・タイム ¹	$1 \times t_{UCLK}$			ns
t_{DHD}	SCLOCKエッジからのデータ入力のホールド・タイム ¹	$2 \times t_{UCLK}$			ns
t_{DF}	データ出力立下がり時間		5	12.5	ns
t_{DR}	データ出力立上がり時間		5	12.5	ns
t_{SR}	SCLOCK立上がり時間		5	12.5	ns
t_{SF}	SCLOCK立下がり時間		5	12.5	ns
t_{SFS}	SCLOCKエッジ後のCSハイレベル	0			ns

¹ $t_{UCLK} = 23.9\text{ns}$ で、クロック・デバイダ前のPLLからの41.78MHzの内部クロックに対応します。

² t_{HCLK} は、PLLCON MMRのCDビットまたはクロック・デバイダによって異なります。 $t_{HCLK} = t_{UCLK}/2_{CD}$

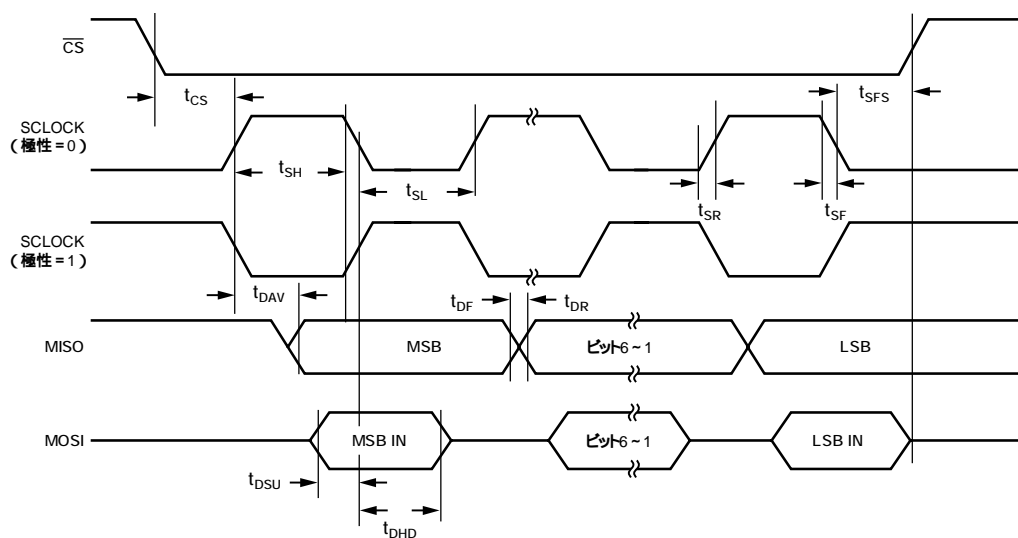


図8. SPIスレーブ・モードのタイミング (PHASEモード=1)

0495E-057

ADuC7019/20/21/22/24/25/26/27

表8. SPIスレーブ・モードのタイミング (PHASEモード=0)

パラメータ	説明	Min	Typ	Max	単位
t_{CS}	CSからSCLOCKエッジまで ¹	$2 \times t_{HCLK} + 2 \times t_{UCLK}$			ns
t_{SL}	SCLOCKローレベル・パルス幅 ²		$(SPIDIV + 1) \times t_{HCLK}$		ns
t_{SH}	SCLOCKハイレベル・パルス幅 ²		$(SPIDIV + 1) \times t_{HCLK}$		ns
t_{DAV}	SCLOCKエッジからデータ出力有効まで			25	ns
t_{DSU}	SCLOCKエッジまでのデータ入力のセットアップ・タイム ¹	$1 \times t_{UCLK}$			ns
t_{DHD}	SCLOCKエッジからのデータ入力のホールド・タイム ¹	$2 \times t_{UCLK}$			ns
t_{DF}	データ出力立下がり時間		5	12.5	ns
t_{DR}	データ出力立上がり時間		5	12.5	ns
t_{SR}	SCLOCK立上がり時間		5	12.5	ns
t_{SF}	SCLOCK立下がり時間		5	12.5	ns
t_{DOCS}	CSエッジからデータ出力有効まで			25	ns
t_{SFS}	SCLOCKエッジ後のCSハイレベル	0			ns

¹ $t_{UCLK} = 23.9\text{ns}$ で、クロック・デバイダ前のPLLからの41.78MHzの内部クロックに対応します。
² t_{HCLK} は、PLLCON MMRのCDビットまたはクロック・デバイダによって異なります。 $T_{HCLK} = t_{UCLK}/2^{CD}$

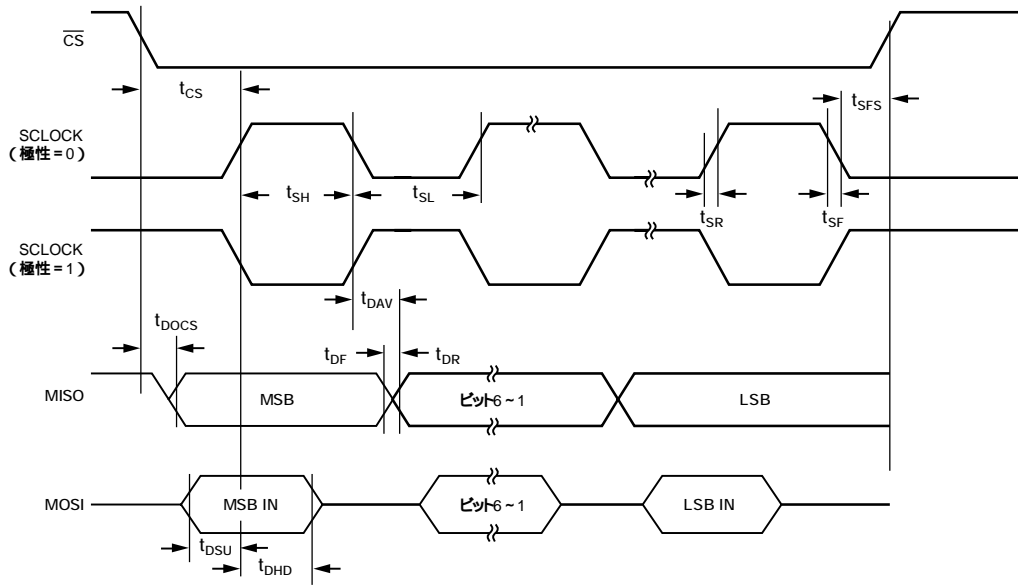


図9. SPIスレーブ・モードのタイミング (PHASEモード=0)

ADuC7019/20/21/22/24/25/26/27

絶対最大定格

特に指定のない限り、 $T_A = 25$ 。
 $AGND = REFGND = DACGND = GND_{REF}$ 。

表9

パラメータ	定格
IOV _{DD} に対するAV _{DD}	- 0.3 ~ + 0.3V
DGNDに対するAGND	- 0.3 ~ + 0.3V
IOGNDに対するIOV _{DD} 、 AGNDに対するAV _{DD}	- 0.3 ~ + 6V
IOGNDに対するデジタル入力電圧	- 0.3 ~ + 5.3V
IOGNDに対するデジタル出力電圧	- 0.3V ~ IOV _{DD} + 0.3V
V _{REF} に対するAGND	- 0.3V ~ AV _{DD} + 0.3V
AGNDに対するアナログ入力	- 0.3V ~ AV _{DD} + 0.3V
AGNDに対するアナログ出力	- 0.3V ~ AV _{DD} + 0.3V
動作温度範囲	- 40 ~ + 125
工業用	
保存温度範囲	- 65 ~ + 150
ジャンクション温度	150
θ_{JA} 熱抵抗 (40ピンCSP)	26 /W
θ_{JA} 熱抵抗 (64ピンCSP)	24 /W
θ_{JA} 熱抵抗 (64ピンLQFP)	47 /W
θ_{JA} 熱抵抗 (80ピンLQFP)	38 /W
ハンダ・リフローのピーク温度	
SnPbアセンブリ (10 ~ 30秒)	240
鉛フリー・アセンブリ (20 ~ 40秒)	260

左記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定はストレス定格のみを指定するものであり、この仕様の動作セクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

どの時点においても、適用できる絶対最大定格は1つのみです。

注意

ESD (静電放電) の影響を受けやすいデバイスです。人体や試験機器には4000Vもの高圧の静電気が容易に蓄積され、検知されないまま放電されることがあります。本製品は当社独自のESD保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、回復不能の損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESDに対する適切な予防措置を講じることをお勧めします。



ピン配置と機能の説明

ADuC7019/ADuC7020/ADuC7021/ADuC7022

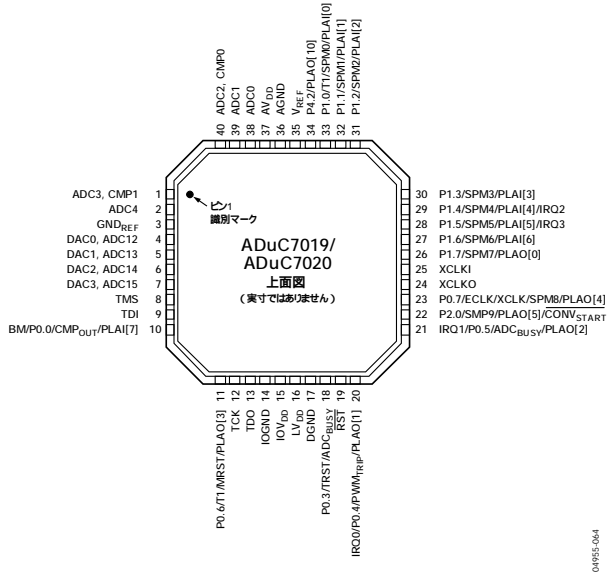


図10. ADuC7019/ADuC7020のピン配置

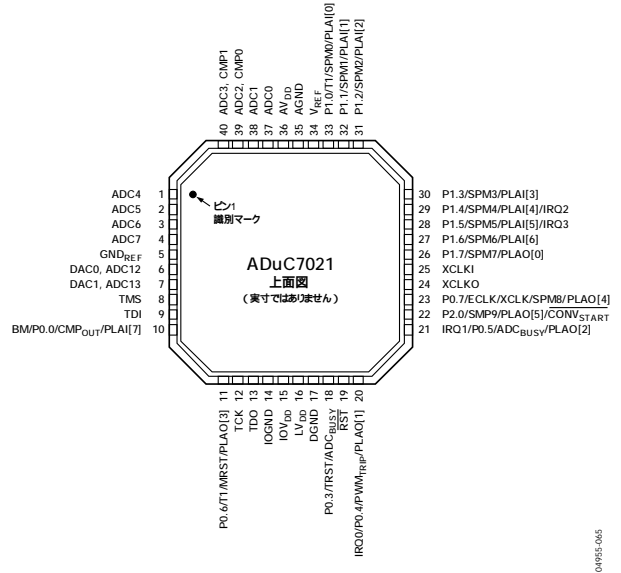


図11. ADuC7021のピン配置

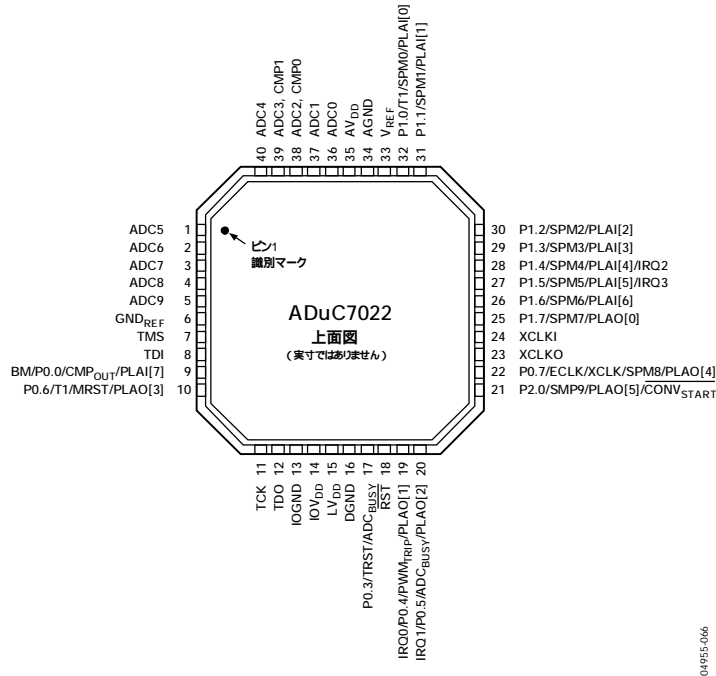


図12. ADuC7022のピン配置

ADuC7019/20/21/22/24/25/26/27

表10. ピン機能の説明 (ADuC7019/ADuC7020/ADuC7021/ADuC7022)

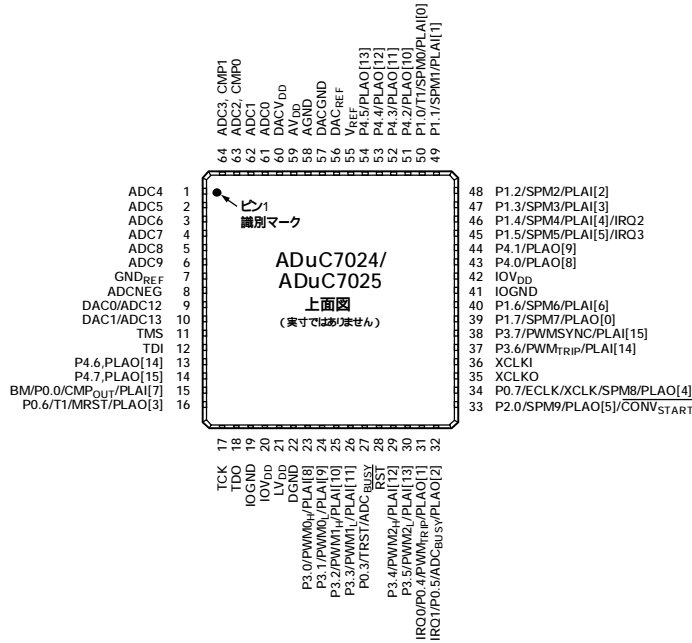
ピン番号			記号	機能
7019/20	7021	7022		
38	37	36	ADC0	シングルエンドまたは差動アナログ入力0
39	38	37	ADC1	シングルエンドまたは差動アナログ入力1
40	39	38	ADC2/CMP0	シングルエンドまたは差動アナログ入力2 / コンパレータ正側入力
1	40	39	ADC3/CMP1	シングルエンドまたは差動アナログ入力3 (ADuC7019ではバッファ付き入力) / コンパレータ負側入力
2	1	40	ADC4	シングルエンドまたは差動アナログ入力4
-	2	1	ADC5	シングルエンドまたは差動アナログ入力5
-	3	2	ADC6	シングルエンドまたは差動アナログ入力6
-	4	3	ADC7	シングルエンドまたは差動アナログ入力7
-	-	4	ADC8	シングルエンドまたは差動アナログ入力8
-	-	5	ADC9	シングルエンドまたは差動アナログ入力9
3	5	6	GND _{REF}	ADCのグラウンド・リファレンス。最適性能を得るには、アナログ電源をI0GNDとDGNDから分離してください。
4	6	-	DAC0/ADC12	DAC0電圧出力 / シングルエンドまたは差動アナログ入力12
5	7	-	DAC1/ADC13	DAC1電圧出力 / シングルエンドまたは差動アナログ入力13
6	-	-	DAC2/ADC14	DAC2電圧出力 / シングルエンドまたは差動アナログ入力14
7	-	-	DAC3/ADC15	ADuC7020のDAC3電圧出力。ADuC7019ではこのピンとAGNDの間に10nFコンデンサの接続が必要 / シングルエンドまたは差動アナログ入力15
8	8	7	TMS	テスト・モード・セレクト、JTAGテスト・ポート入力。デバッグおよびダウンロード・アクセス
9	9	8	TDI	テスト・データ入力、JTAGテスト・ポート入力。デバッグおよびダウンロード・アクセス
10	10	9	BM/P0.0/CMP _{OUT} /PLAI[7]	多機能I/Oピン：ブート・モード / ADuC7019/20/21/22は、BMがリセット時にローレベルの場合はシリアル・ダウンロード・モードに入り、BMがリセット時に1kΩ抵抗によってハイレベルになった場合はコードを実行します / 汎用I/Oポート0.0 / 電圧コンパレータ出力 / プログラマブル・ロジック・アレイエレメント7への入力
11	11	10	P0.6/T1/MRST/PLAO[3]	多機能ピン、リセット後にローレベルに駆動：汎用出力ポート0.6 / Timer1入力 / パワーオン・リセット出力 / プログラマブル・ロジック・アレイエレメント3への出力
12	12	11	TCK	テスト・クロック、JTAGテスト・ポート入力。デバッグおよびダウンロード・アクセス
13	13	12	TDO	テスト・データ出力、JTAGテスト・ポート出力。デバッグおよびダウンロード・アクセス
14	14	13	I0GND	汎用I/O用のグラウンド。通常はDGNDに接続します。
15	15	14	I0V _{DD}	汎用I/O用の3.3V電源とオンチップ電圧レギュレータの入力
16	16	15	LV _{DD}	オンチップ電圧レギュレータの2.6V出力。0.47μFコンデンサを通じてDGNDに接続する
17	17	16	DGND	コア・ロジック用のグラウンド
18	18	17	P0.3/TRST/ADC _{BUSY}	汎用I/Oポート0.3 / テスト・リセット、JTAGテスト・ポート入力。デバッグおよびダウンロード・アクセス / ADC _{BUSY} 信号出力
19	19	18	$\overline{\text{RST}}$	リセット入力、アクティブ・ロー
20	20	19	IRQ0/P0.4/PWM _{TRIP} /PLAO[1]	多機能I/Oピン：外部割込み要求0、アクティブ・ハイ / 汎用I/Oポート0.4 / PWMトリップ外部入力 / プログラマブル・ロジック・アレイエレメント1への出力
21	21	20	IRQ1/P0.5/ADC _{BUSY} /PLAO[2]	多機能I/Oピン：外部割込み要求1、アクティブ・ハイ / 汎用I/Oポート0.5 / ADC _{BUSY} 信号 / プログラマブル・ロジック・アレイエレメント2への出力
22	22	21	P2.0/SPM9/PLAO[5]/ CONV _{START}	多重シリアルポート：汎用I/Oポート2.0 / UART / プログラマブル・ロジック・アレイエレメント5への出力 / ADCの変換の開始入力信号
23	23	22	P0.7/ECLK/XCLK/SPM8/ PLAO[4]	多重シリアルポート：汎用I/Oポート0.7 / 外部クロック信号用の出力 / 内部クロック発生器回路への入力 / UART / プログラマブル・ロジック・アレイエレメント4への出力

ADuC7019/20/21/22/24/25/26/27

ピン番号			記号	機能
7019/20	7021	7022		
24	24	23	XCLKO	水晶発振器インバータからの出力
25	25	24	XCLKI	水晶発振器インバータへの入力および内部クロック発生器回路への入力
26	26	25	P1.7/SPM7/PLAO[0]	多重シリアルポート：汎用I/Oポート1.7 / UART/SPI / プログラマブル・ロジック・アレイエレメント0への出力
27	27	26	P1.6/SPM6/PLAI[6]	多重シリアルポート：汎用I/Oポート1.6 / UART/SPI / プログラマブル・ロジック・アレイエレメント6への入力
28	28	27	P1.5/SPM5/PLAI[5]/IRQ3	多重シリアルポート：汎用I/Oポート1.5 / UART/SPI / プログラマブル・ロジック・アレイエレメント5への入力 / 外部割込み要求3、アクティブ・ハイ
29	29	28	P1.4/SPM4/PLAI[4]/IRQ2	多重シリアルポート：汎用I/Oポート1.4 / UART/SPI / プログラマブル・ロジック・アレイエレメント4への入力 / 外部割込み要求2、アクティブ・ハイ
30	30	29	P1.3/SPM3/PLAI[3]	多重シリアルポート：汎用I/Oポート1.3 / UART/I ² C1 / プログラマブル・ロジック・アレイエレメント3への入力
31	31	30	P1.2/SPM2/PLAI[2]	多重シリアルポート：汎用I/Oポート1.2 / UART/I ² C1 / プログラマブル・ロジック・アレイエレメント2への入力
32	32	31	P1.1/SPM1/PLAI[1]	多重シリアルポート：汎用I/Oポート1.1 / UART/I ² C0 / プログラマブル・ロジック・アレイエレメント1への入力
33	33	32	P1.0/T1/SPM0/PLAI[0]	多重シリアルポート：汎用I/Oポート1.0 / Timer1入力 / UART/I ² C0 / プログラマブル・ロジック・アレイエレメント0への入力
34	-	-	P4.2/PLAO[10]	汎用I/Oポート4.2 / プログラマブル・ロジック・アレイエレメント10への出力
35	34	33	V _{REF}	2.5V内部リファレンス。内部リファレンスを使用するとき0.47μfコンデンサに接続します。
36	35	34	AGND	アナログ・グラウンド。アナログ回路用のグラウンド基準ポイント
37	36	35	AV _{DD}	3.3Vアナログ電源

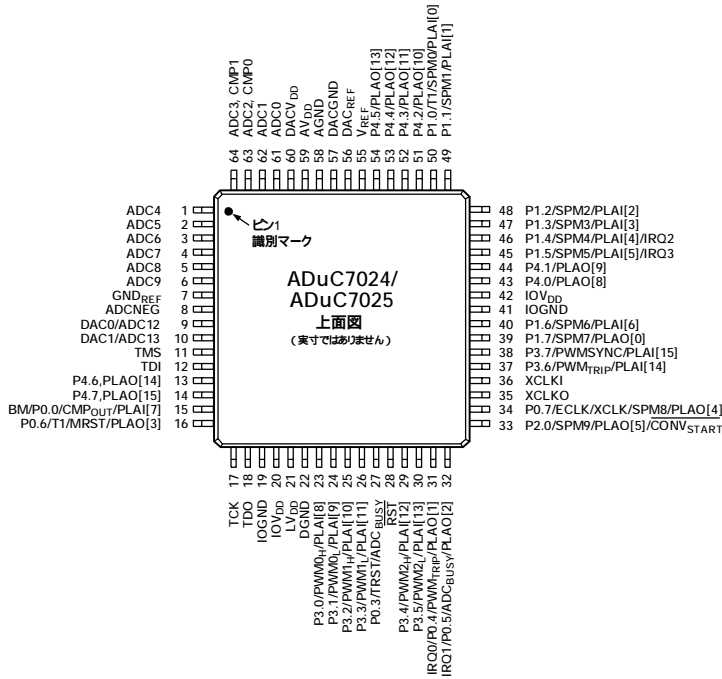
ADuC7019/20/21/22/24/25/26/27

ADuC7024/ADuC7025



04955-067

図13. ADuC7024/ADuC7025のピン配置 (64ピンCSP)



04955-068

図14. ADuC7024/ADuC7025のピン配置 (64ピンLQFP)

ADuC7019/20/21/22/24/25/26/27

表11. ピン機能の説明 (ADuC7024/ADuC7025 64ピンCSPと64ピンLFQFP)

ピン番号	記号	機能
1	ADC4	シングルエンドまたは差動アナログ入力4
2	ADC5	シングルエンドまたは差動アナログ入力5
3	ADC6	シングルエンドまたは差動アナログ入力6
4	ADC7	シングルエンドまたは差動アナログ入力7
5	ADC8	シングルエンドまたは差動アナログ入力8
6	ADC9	シングルエンドまたは差動アナログ入力9
7	GND _{REF}	ADCのグラウンド・リファレンス。最適性能を得るには、アナログ電源をIOGNDとDGNDから分離してください。
8	ADCNEG	疑似差動モードでのADCのバイアス・ポイントまたは負側アナログ入力。変換する信号のグラウンドに接続します。このバイアス・ポイントは0~1Vにあること。
9	DAC0/ADC12	DAC0電圧出力 / シングルエンドまたは差動アナログ入力12 (ADuC7025にはDAC出力はありません。)
10	DAC1/ADC13	DAC1電圧出力 / シングルエンドまたは差動アナログ入力13 (ADuC7025にはDAC出力はありません。)
11	TMS	JTAGテスト・ポート入力、テスト・モード・セレクト。デバッグおよびダウンロード・アクセス
12	TDI	JTAGテスト・ポート入力、テスト・データ入力。デバッグおよびダウンロード・アクセス
13	P4.6, PLAO[14]	汎用I/Oポート4.6 / プログラマブル・ロジック・アレイエレメント14への出力
14	P4.7, PLAO[15]	汎用I/Oポート4.7 / プログラマブル・ロジック・アレイエレメント15への出力
15	BM/P0.0/CMP _{OUT} /PLAI[7]	多機能I/Oピン：ブート・モード / ADuC7024/7025は、BMがリセット時にローレベルの場合はダウンロード・モードに入り、BMがリセット時に1kΩ抵抗によってハイレベルになった場合はコードを実行します / 汎用I/Oポート0.0 / 電圧コンパレータ出力 / プログラマブル・ロジック・アレイエレメント7への入力
16	P0.6/T1/MRST/PLAO[3]	多機能ピン、リセット後にローレベルに駆動：汎用出力ポート0.6 / Timer1入力 / パワーオン・リセット出力 / プログラマブル・ロジック・アレイエレメント3への出力
17	TCK	JTAGテスト・ポート入力、テスト・クロック。デバッグおよびダウンロード・アクセス
18	TDO	JTAGテスト・ポート出力、テスト・データ出力。デバッグおよびダウンロード・アクセス
19	IOGND	汎用I/O用のグラウンド。通常はDGNDに接続します。
20	IOV _{DD}	汎用I/O用の3.3V電源とオンチップ電圧レギュレータの入力
21	LV _{DD}	オンチップ電圧レギュレータの2.6V出力。0.47μfコンデンサを通じてDGNDに接続します。
22	DGND	コア・ロジック用のグラウンド
23	P3.0/PWM0 _H /PLAI[8]	汎用I/Oポート3.0 / PWM位相0のハイサイド出力 / プログラマブル・ロジック・アレイエレメント8への入力
24	P3.1/PWM0 _L /PLAI[9]	汎用I/Oポート3.1 / PWM位相0のローサイド出力 / プログラマブル・ロジック・アレイエレメント9への入力
25	P3.2/PWM1 _H /PLAI[10]	汎用I/Oポート3.2 / PWM位相1のハイサイド出力 / プログラマブル・ロジック・アレイエレメント10への入力
26	P3.3/PWM1 _L /PLAI[11]	汎用I/Oポート3.3 / PWM位相1のローサイド出力 / プログラマブル・ロジック・アレイエレメント11への入力
27	P0.3/TRST/ADC _{BUSY}	汎用I/Oポート0.3 / JTAGテスト・ポート入力、テスト・リセット / デバッグおよびダウンロード・アクセス / ADC _{BUSY} 信号出力
28	$\overline{\text{RST}}$	リセット入力、アクティブ・ロー
29	P3.4/PWM2 _H /PLAI[12]	汎用I/Oポート3.4 / PWM位相2のハイサイド出力 / プログラマブル・ロジック・アレイエレメント12への入力
30	P3.5/PWM2 _L /PLAI[13]	汎用I/Oポート3.5 / PWM位相2のローサイド出力 / プログラマブル・ロジック・アレイエレメント13への入力
31	IRQ0/P0.4/PWM _{TRIP} /PLAO[1]	多機能I/Oピン：外部割込み要求0、アクティブ・ハイ / 汎用I/Oポート0.4 / PWMトリップ外部入力 / プログラマブル・ロジック・アレイエレメント1への出力

ADuC7019/20/21/22/24/25/26/27

ピン番号	記号	機能
32	IRQ1/P0.5/ADC _{BUSY} /PLAO[2]	多機能I/Oピン：外部割込み要求1、アクティブ・ハイ / 汎用I/Oポート0.5 / ADC _{BUSY} 信号 / プログラマブル・ロジック・アレイエレメント2への出力
33	P2.0/SPM9/PLAO[5]/ CONV _{START}	多重シリアルポート：汎用I/Oポート2.0 / PWM安全カットオフ / UART / プログラマブル・ロジック・アレイエレメント5への出力 / ADCの変換の開始入力信号
34	P0.7/ECLK/XCLK /SPM8/ PLAO[4]	多重シリアルポート：汎用I/Oポート0.7 / 外部クロック信号用の出力 / 内部クロック発生器回路への入力 / UART / プログラマブル・ロジック・アレイエレメント4への出力
35	XCLKO	水晶発振器インバータからの出力
36	XCLKI	水晶発振器インバータへの入力および内部クロック発生器回路への入力
37	P3.6/PWM _{TRIP} /PLAI[14]	汎用I/Oポート3.6 / PWM安全カットオフ / プログラマブル・ロジック・アレイエレメント14への入力
38	P3.7/PWMSYNC/PLAI[15]	汎用I/Oポート3.7 / PWM同期I/O / プログラマブル・ロジック・アレイエレメント15への入力
39	P1.7/SPM7/PLAO[0]	多重シリアルポート：汎用I/Oポート1.7 / UART/SPI / プログラマブル・ロジック・アレイエレメント0への出力
40	P1.6/SPM6/PLAI[6]	多重シリアルポート：汎用I/Oポート1.6 / UART/SPI / プログラマブル・ロジック・アレイエレメント6への入力
41	IOGND	汎用I/O用のグラウンド。通常はDGNDに接続します。
42	IOV _{DD}	汎用I/O用の3.3V電源とオンチップ電圧レギュレータの入力
43	P4.0/PLAO[8]	汎用I/Oポート4.0 / プログラマブル・ロジック・アレイエレメント8への出力
44	P4.1/PLAO[9]	汎用I/Oポート4.1 / プログラマブル・ロジック・アレイエレメント9への出力
45	P1.5/SPM5/PLAI[5]/IRQ3	多重シリアルポート：汎用I/Oポート1.5 / UART/SPI / プログラマブル・ロジック・アレイエレメント5への入力 / 外部割込み要求3、アクティブ・ハイ
46	P1.4/SPM4/PLAI[4]/IRQ2	多重シリアルポート：汎用I/Oポート1.4 / UART/SPI / プログラマブル・ロジック・アレイエレメント4への入力 / 外部割込み要求2、アクティブ・ハイ
47	P1.3/SPM3/PLAI[3]	多重シリアルポート：汎用I/Oポート1.3 / UART/I ² C1 / プログラマブル・ロジック・アレイエレメント3への入力
48	P1.2/SPM2/PLAI[2]	多重シリアルポート：汎用I/Oポート1.2 / UART/I ² C1 / プログラマブル・ロジック・アレイエレメント2への入力
49	P1.1/SPM1/PLAI[1]	多重シリアルポート：汎用I/Oポート1.1 / UART/I ² C0 / プログラマブル・ロジック・アレイエレメント1への入力
50	P1.0/T1/SPM0/PLAI[0]	多重シリアルポート：汎用I/Oポート1.0 / Timer1入力 / UART/I ² C0 / プログラマブル・ロジック・アレイエレメント0への入力
51	P4.2/PLAO[10]	汎用I/Oポート4.2 / プログラマブル・ロジック・アレイエレメント10への出力
52	P4.3/PLAO[11]	汎用I/Oポート4.3 / プログラマブル・ロジック・アレイエレメント11への出力
53	P4.4/PLAO[12]	汎用I/Oポート4.4 / プログラマブル・ロジック・アレイエレメント12への出力
54	P4.5/PLAO[13]	汎用I/Oポート4.5 / プログラマブル・ロジック・アレイエレメント13への出力
55	V _{REF}	2.5V内部リファレンス。内部リファレンスを使用するとき0.47μfコンデンサに接続します。
56	DAC _{REF}	DAC用の外部リファレンス。範囲：DACGND ~ DACV _{DD}
57	DACGND	DAC用のグラウンド。通常はAGNDに接続します。
58	AGND	アナログ・グラウンド。アナログ回路用のグラウンド基準ポイント
59	AV _{DD}	3.3Vアナログ電源
60	DACV _{DD}	DAC用の3.3V電源。通常はAV _{DD} に接続します。
61	ADC0	シングルエンドまたは差動アナログ入力0
62	ADC1	シングルエンドまたは差動アナログ入力1
63	ADC2/CMP0	シングルエンドまたは差動アナログ入力2、コンパレータ正側入力
64	ADC3/CMP1	シングルエンドまたは差動アナログ入力3、コンパレータ負側入力

ADuC7019/20/21/22/24/25/26/27

ADuC7026/ADuC7027

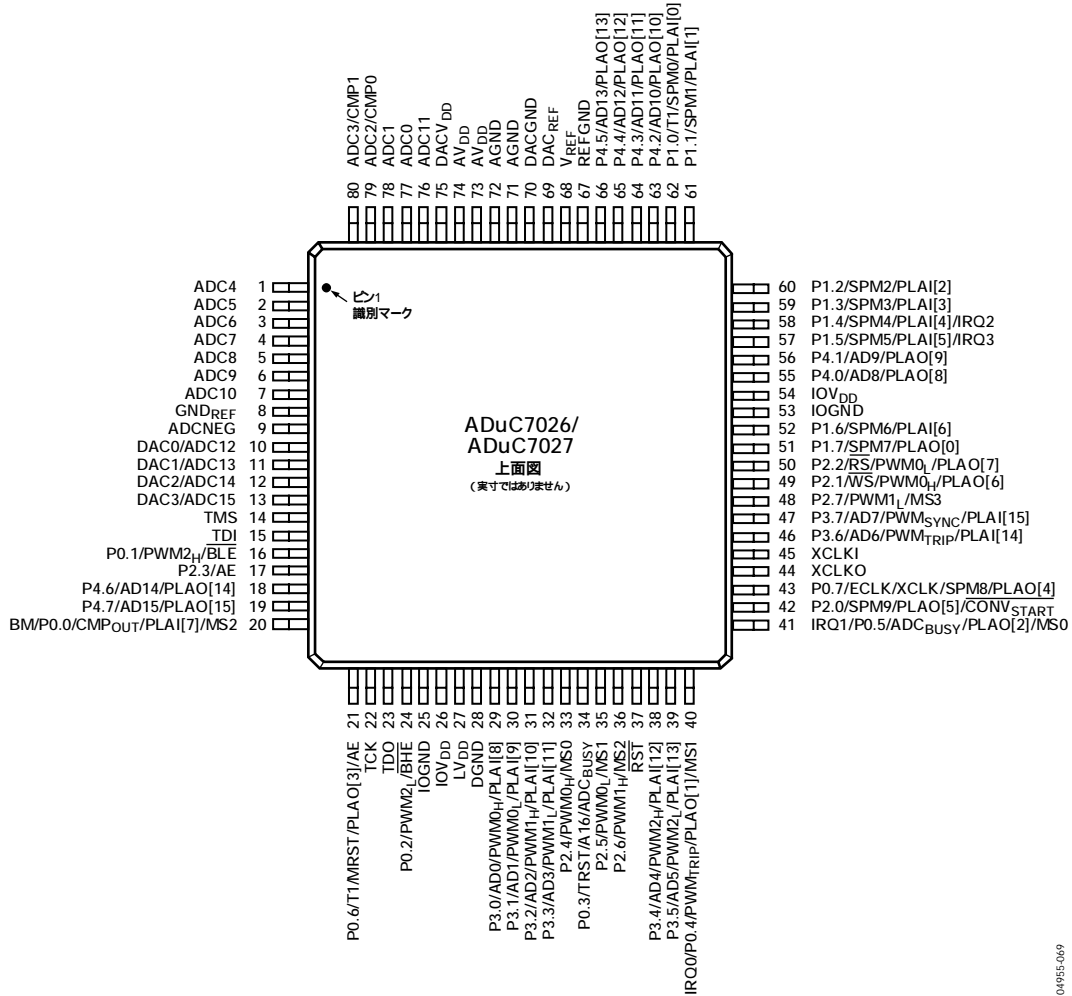


図15. ADuC7026/ADuC7027のピン配置

04P55-009

ADuC7019/20/21/22/24/25/26/27

表12. ピン機能の説明 (ADuC7026/ADuC7027)

ピン番号	記号	機能
1	ADC4	シングルエンドまたは差動アナログ入力4
2	ADC5	シングルエンドまたは差動アナログ入力5
3	ADC6	シングルエンドまたは差動アナログ入力6
4	ADC7	シングルエンドまたは差動アナログ入力7
5	ADC8	シングルエンドまたは差動アナログ入力8
6	ADC9	シングルエンドまたは差動アナログ入力9
7	ADC10	シングルエンドまたは差動アナログ入力10
8	GND _{REF}	ADCのグラウンド・リファレンス。最適性能を得るには、アナログ電源をIOGNDとDGNDから分離してください。
9	ADCNEG	疑似差動モードでのADCのバイアス・ポイントまたは負側アナログ入力。変換する信号のグラウンドに接続します。このバイアス・ポイントは0~1Vにあること。
10	DAC0/ADC12	DAC0電圧出力 / シングルエンドまたは差動アナログ入力12 (ADuC7027にはDAC出力はありません。)
11	DAC1/ADC13	DAC1電圧出力 / シングルエンドまたは差動アナログ入力13 (ADuC7027にはDAC出力はありません。)
12	DAC2/ADC14	DAC2電圧出力 / シングルエンドまたは差動アナログ入力14 (ADuC7027にはDAC出力はありません。)
13	DAC3/ADC15	DAC3電圧出力 / シングルエンドまたは差動アナログ入力15 (ADuC7027にはDAC出力はありません。)
14	TMS	JTAGテスト・ポート入力、テスト・モード・セレクト。デバッグおよびダウンロード・アクセス
15	TDI	JTAGテスト・ポート入力、テスト・データ入力。デバッグおよびダウンロード・アクセス
16	P0.1/PWM2 _H /BLE	汎用I/Oポート0.1 / 外部メモリのバイト・ロー・イネーブル
17	P2.3/AE	汎用I/Oポート2.3 / 外部メモリのアクセス・イネーブル
18	P4.6/AD14/PLAO[14]	汎用I/Oポート4.6 / 外部メモリのインターフェース / プログラマブル・ロジック・アレイエレメント14への出力
19	P4.7/AD15/PLAO[15]	汎用I/Oポート4.7 / 外部メモリのインターフェース / プログラマブル・ロジック・アレイエレメント15への出力
20	BM/P0.0/CMP _{OUT} /PLAI[7]/MS2	多機能I/Oピン：ブート・モード / ADuC7026/7027は、BMがリセット時にローレベルの場合はUARTダウンロード・モードに入り、BMがリセット時に1kΩ抵抗によってハイレベルになった場合はコードを実行します / 汎用I/Oポート0.0 / 電圧コンパレータ出力 / プログラマブル・ロジック・アレイエレメント7への入力
21	P0.6/T1/MRST/PLAO[3]/AE	多機能ピン、リセット後にローレベルに駆動：汎用出力ポート0.6 / Timer1入力 / パワーオン・リセット出力 / プログラマブル・ロジック・アレイエレメント3への出力
22	TCK	JTAGテスト・ポート入力、テスト・クロック / デバッグおよびダウンロード・アクセス
23	TDO	JTAGテスト・ポート出力、テスト・データ出力 / デバッグおよびダウンロード・アクセス
24	P0.2/PWM2 _L /BHE	汎用I/Oポート0.2 / 外部メモリのバイト・ハイ・イネーブル
25	IOGND	汎用I/O用のグラウンド。通常はDGNDに接続します。
26	IOV _{DD}	汎用I/O用の3.3V電源とオンチップ電圧レギュレータの入力
27	LV _{DD}	オンチップ電圧レギュレータの2.6V出力。0.47μfコンデンサを通じてDGNDに接続します。
28	DGND	コア・ロジック用のグラウンド
29	P3.0/AD0/PWM0 _H /PLAI[8]	汎用I/Oポート3.0 / 外部メモリのインターフェース / PWM位相0のハイサイド出力。プログラマブル・ロジック・アレイエレメント8への入力
30	P3.1/AD1/PWM0 _L /PLAI[9]	汎用I/Oポート3.1 / 外部メモリのインターフェース / PWM位相0のローサイド出力。プログラマブル・ロジック・アレイエレメント9への入力
31	P3.2/AD2/PWM1 _H /PLAI[10]	汎用I/Oポート3.2 / 外部メモリのインターフェース / PWM位相1のハイサイド出力。プログラマブル・ロジック・アレイエレメント10への入力
32	P3.3/AD3/PWM1 _L /PLAI[11]	汎用I/Oポート3.3 / 外部メモリのインターフェース / PWM位相1のローサイド出力。プログラマブル・ロジック・アレイエレメント11への入力
33	P2.4/PWM0 _H /MS0	汎用I/Oポート2.4 / PWM位相0のハイサイド出力 / 外部メモリ・セレクト0
34	P0.3/TRST/A16/ADC _{BUSY}	汎用I/Oポート0.3 / JTAGテスト・ポート入力、テスト・リセット / デバッグおよびダウンロード・アクセス / ADC _{BUSY} 信号出力
35	P2.5/PWM0 _L /MS1	汎用I/Oポート2.5 / PWM位相0のローサイド出力 / 外部メモリ・セレクト1
36	P2.6/PWM1 _H /MS2	汎用I/Oポート2.6 / PWM位相1のハイサイド出力 / 外部メモリ・セレクト2

ピン番号	記号	機能
37	$\overline{\text{RST}}$	リセット入力、アクティブ・ロー
38	P3.4/AD4/PWM2 _H /PLAI[12]	汎用I/Oポート3.4 / 外部メモリのインターフェース / PWM位相2のハイサイド出力。プログラマブル・ロジック・アレイエレメント12への入力
39	P3.5/AD5/PWM2 _L /PLAI[13]	汎用I/Oポート3.5 / 外部メモリのインターフェース / PWM位相2のローサイド出力。プログラマブル・ロジック・アレイエレメント13への入力
40	IRQ0/P0.4/PWM _{TRIP} /PLAO[1]/MS1	多機能I/Oピン：外部割込み要求0、アクティブ・ハイ / 汎用I/Oポート0.4 / PWMトリップ外部入力 / プログラマブル・ロジック・アレイエレメント1への出力
41	IRQ1/P0.5/ADC _{BUSY} /PLAO[2]/MS0	多機能I/Oピン：外部割込み要求1、アクティブ・ハイ / 汎用I/Oポート0.5 / ADC _{BUSY} 信号 / プログラマブル・ロジック・アレイエレメント2への出力
42	P2.0/SPM9/PLAO[5]/ CONV _{START}	多重シリアルポート：汎用I/Oポート2.0 / PWM安全カットオフ / UART / プログラマブル・ロジック・アレイエレメント5への出力 / ADCの変換の開始入力信号
43	P0.7/ECLK/XCLK/SPM8/ PLAO[4]	多重シリアルポート：汎用I/Oポート0.7 / 外部クロック信号用の出力 / 内部クロック発生器回路への入力 / UART / プログラマブル・ロジック・アレイエレメント4への出力
44	XCLKO	水晶発振器インバータからの出力
45	XCLKI	水晶発振器インバータへの入力および内部クロック発生器回路への入力
46	P3.6/AD6/PWM _{TRIP} /PLAI[14]	汎用I/Oポート3.6 / 外部メモリのインターフェース / PWM安全カットオフ / プログラマブル・ロジック・アレイエレメント14への入力
47	P3.7/AD7/ PWM _{SYNC} /PLAI[15]	汎用I/Oポート3.7 / 外部メモリのインターフェース / PWM同期 / プログラマブル・ロジック・アレイエレメント15への入力
48	P2.7/ PWM1 _L /MS3	汎用I/Oポート2.7 / PWM位相1のローサイド出力 / 外部メモリ・セレクト3
49	P2.1/ $\overline{\text{WS}}$ /PWM0 _H /PLAO[6]	汎用I/Oポート2.1 / 外部メモリのライト・ストロブ
50	P2.2/ $\overline{\text{RS}}$ /PWM0 _L /PLAO[7]	汎用I/Oポート2.2 / 外部メモリのリード・ストロブ
51	P1.7/SPM7/PLAO[0]	多重シリアルポート：汎用I/Oポート1.7 / UART/SPI / プログラマブル・ロジック・アレイエレメント0への出力
52	P1.6/SPM6/PLAI[6]	多重シリアルポート：汎用I/Oポート1.6 / UART/SPI / プログラマブル・ロジック・アレイエレメント6への入力
53	IOGND	汎用I/O用のグラウンド。通常はDGNDに接続します。
54	IOV _{DD}	汎用I/O用の3.3V電源とオンチップ電圧レギュレータの入力
55	P4.0/AD8/PLAO[8]	汎用I/Oポート4.0 / 外部メモリのインターフェース / プログラマブル・ロジック・アレイエレメント8への出力
56	P4.1/AD9/PLAO[9]	汎用I/Oポート4.1 / 外部メモリ・インターフェース / プログラマブル・ロジック・アレイエレメント9への出力
57	P1.5/SPM5/PLAI[5]/IRQ3	多重シリアルポート：汎用I/Oポート1.5 / UART/SPI / プログラマブル・ロジック・アレイエレメント5への入力 / 外部割込み要求3、アクティブ・ハイ
58	P1.4/SPM4/PLAI[4]/IRQ2	多重シリアルポート：汎用I/Oポート1.4 / UART/SPI / プログラマブル・ロジック・アレイエレメント4への入力 / 外部割込み要求2、アクティブ・ハイ
59	P1.3/SPM3/PLAI[3]	多重シリアルポート：汎用I/Oポート1.3 / UART/I ² C1 / プログラマブル・ロジック・アレイエレメント3への入力
60	P1.2/SPM2/PLAI[2]	多重シリアルポート：汎用I/Oポート1.2 / UART/I ² C1 / プログラマブル・ロジック・アレイエレメント2への入力
61	P1.1/SPM1/PLAI[1]	多重シリアルポート：汎用I/Oポート1.1 / UART/I ² C0 / プログラマブル・ロジック・アレイエレメント1への入力
62	P1.0/T1/SPM0/PLAI[0]	多重シリアルポート：汎用I/Oポート1.0 / Timer1入力 / UART/I ² C0 / プログラマブル・ロジック・アレイエレメント0への入力
63	P4.2/AD10/PLAO[10]	汎用I/Oポート4.2 / 外部メモリのインターフェース / プログラマブル・ロジック・アレイエレメント10への出力

ADuC7019/20/21/22/24/25/26/27

ピン番号	記号	機能
64	P4.3/AD11/PLAO[11]	汎用I/Oポート4.3 / 外部メモリ・インターフェース / プログラマブル・ロジック・アレイエレメント11への出力
65	P4.4/AD12/PLAO[12]	汎用I/Oポート4.4 / 外部メモリ・インターフェース / プログラマブル・ロジック・アレイエレメント12への出力
66	P4.5/AD13/PLAO[13]	汎用I/Oポート4.5 / 外部メモリのインターフェース / プログラマブル・ロジック・アレイエレメント13への出力
67	REFGND	リファレンス用のグラウンド。通常はAGNDに接続します。
68	V _{REF}	2.5V内部リファレンス。内部リファレンスを使用するとき0.47μFコンデンサに接続します。
69	DAC _{REF}	DAC用の外部リファレンス。範囲：DACGND~DACV _{DD}
70	DACGND	DAC用のグラウンド。通常はAGNDに接続します。
71、72	AGND	アナログ・グラウンド。アナログ回路用のグラウンド基準ポイント
73、74	AV _{DD}	3.3Vアナログ電源
75	DACV _{DD}	DAC用の3.3V電源。通常はAV _{DD} に接続します。
76	ADC11	シングルエンドまたは差動アナログ入力11
77	ADC0	シングルエンドまたは差動アナログ入力0
78	ADC1	シングルエンドまたは差動アナログ入力1
79	ADC2/CMP0	シングルエンドまたは差動アナログ入力2。コンパレータ正側入力
80	ADC3/CMP1	シングルエンドまたは差動アナログ入力3。コンパレータ負側入力

代表的な性能特性

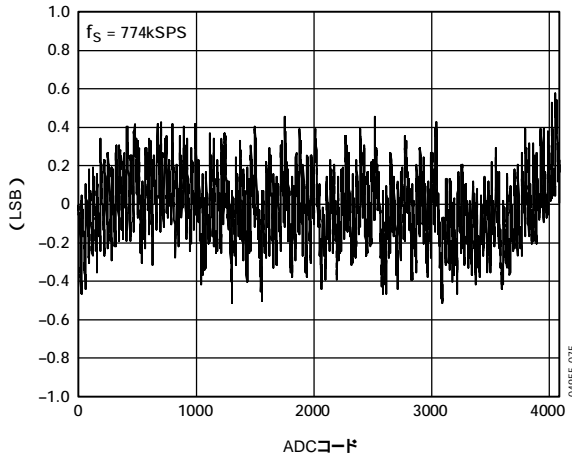


図16. 代表的なINL誤差 ($f_s = 774\text{kSPS}$)

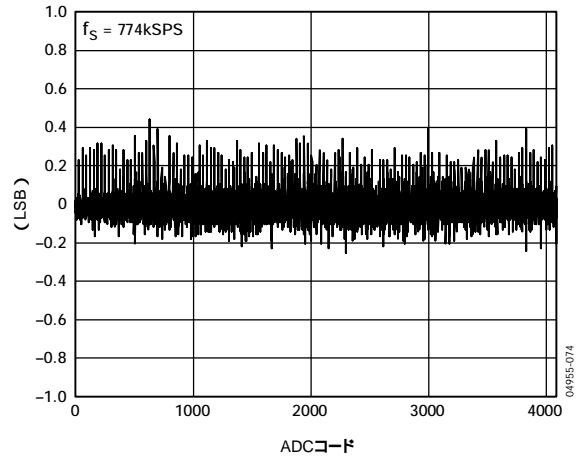


図19. 代表的なDNL誤差 ($f_s = 774\text{kSPS}$)

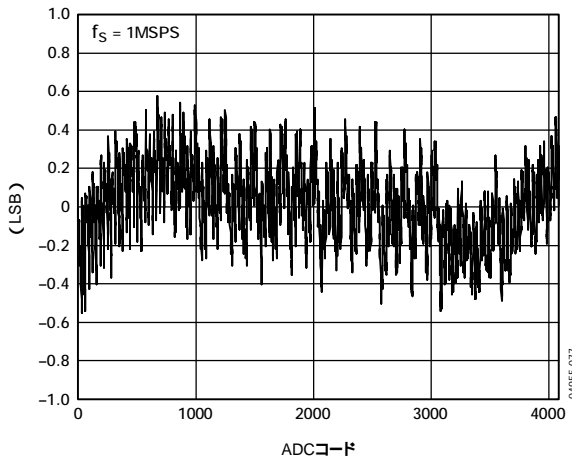


図17. 代表的なINL誤差 ($f_s = 1\text{MSPS}$)

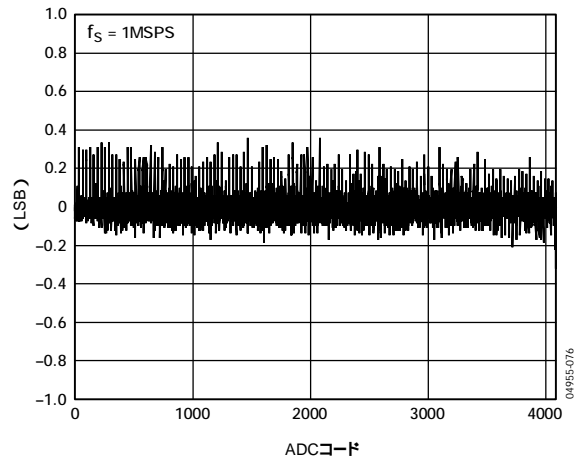


図20. 代表的なDNL誤差 ($f_s = 1\text{MSPS}$)

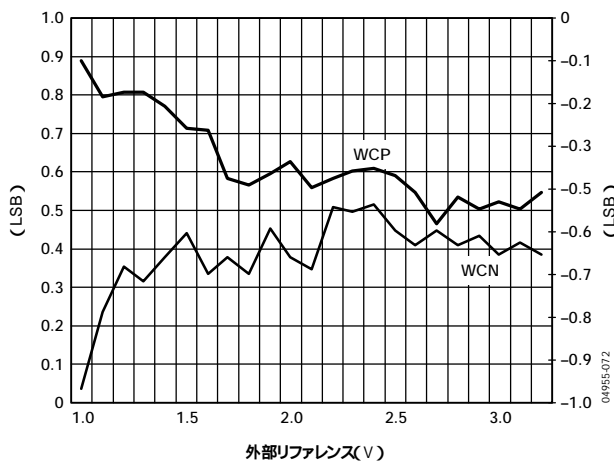


図18. V_{REF} 对 代表的な悪条件時INL誤差 ($f_s = 774\text{kSPS}$)

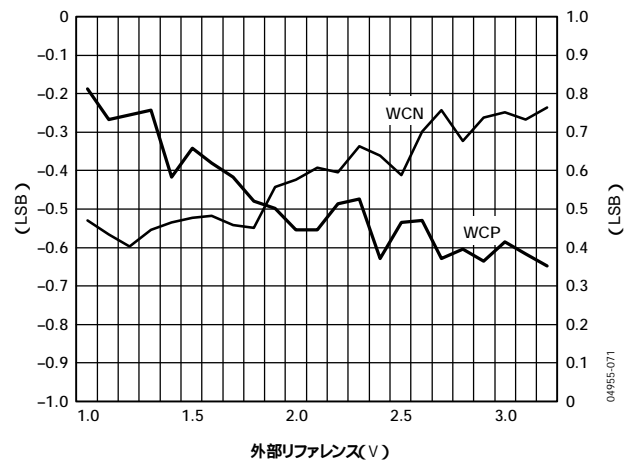


図21. V_{REF} 对 代表的な悪条件時DNL誤差 ($f_s = 774\text{kSPS}$)

ADuC7019/20/21/22/24/25/26/27

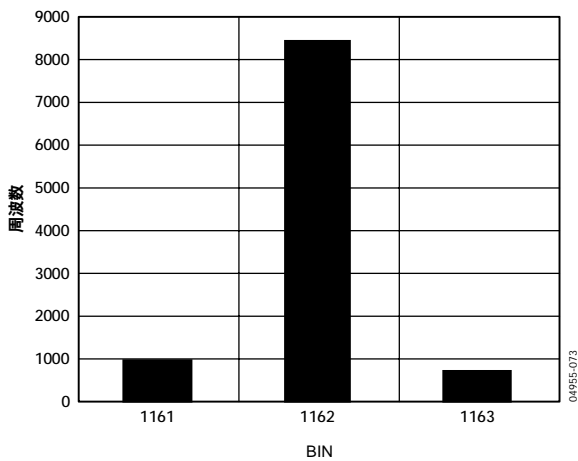


図22. コードのヒストグラム・プロット

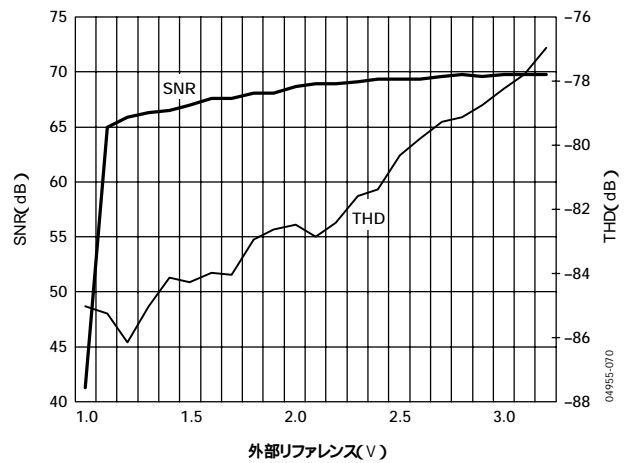


図25. V_{REF} 对 代表的な動的性能

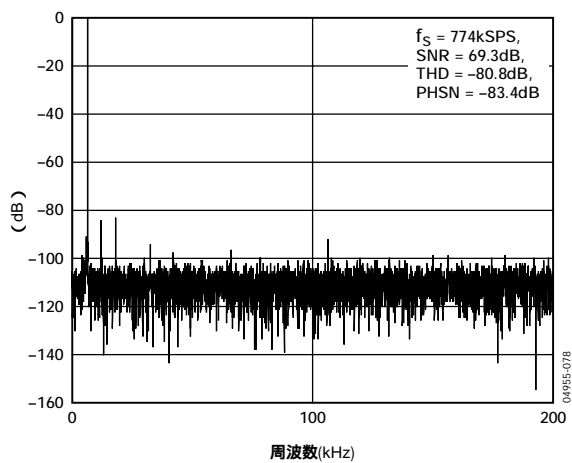


図23. 動的性能 ($f_s = 774kSPS$)

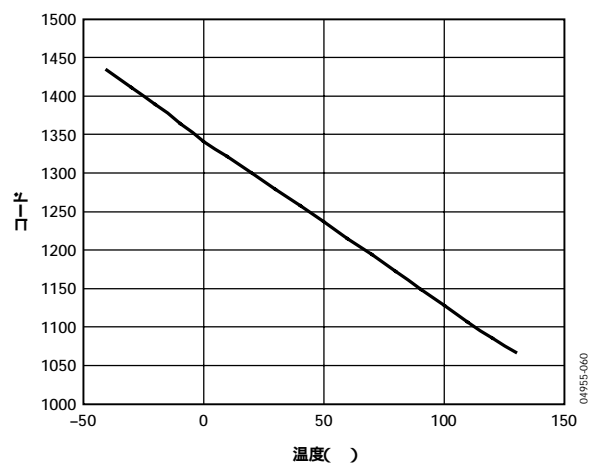


図26. オンチップ温度センサー電圧出力の温度特性

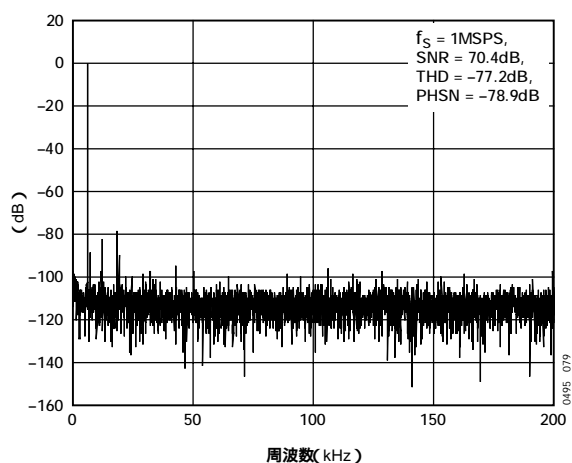


図24. 動的性能 ($f_s = 1MSPS$)

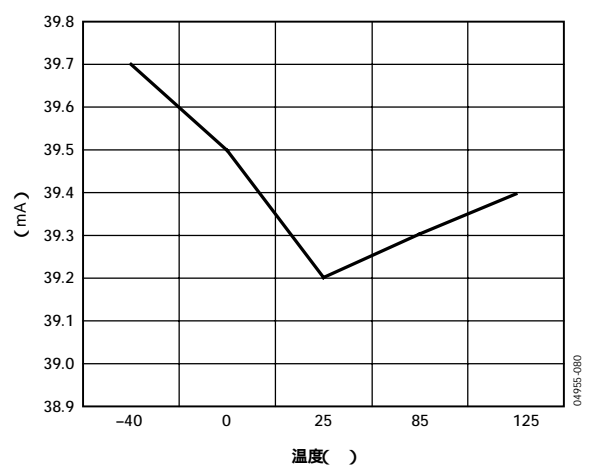


図27. 消費電流の温度特性 (@CD = 0)

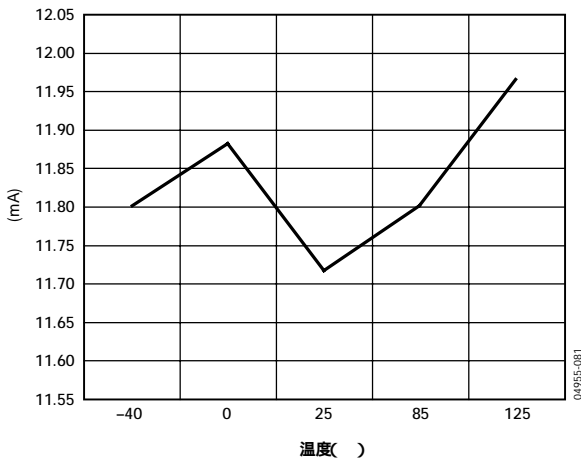


図28. 消費電流の温度特性 (@CD=3)

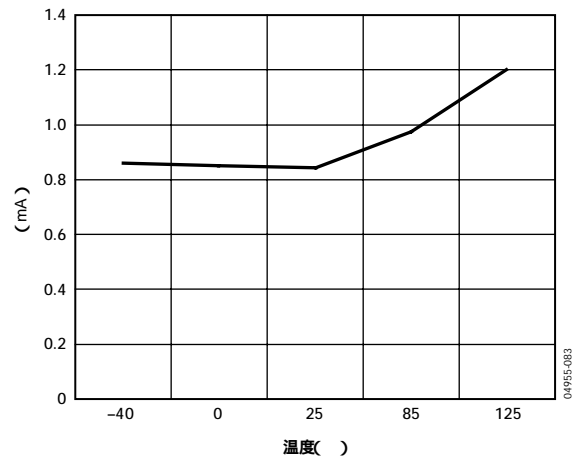


図30. スリープ・モードでの消費電流の温度特性

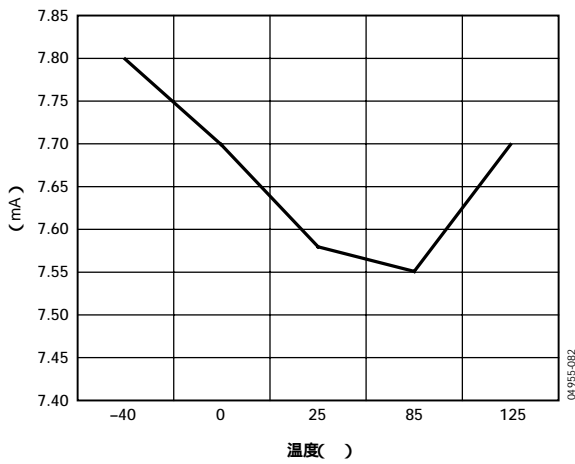


図29. 消費電流の温度特性 (@CD=7)

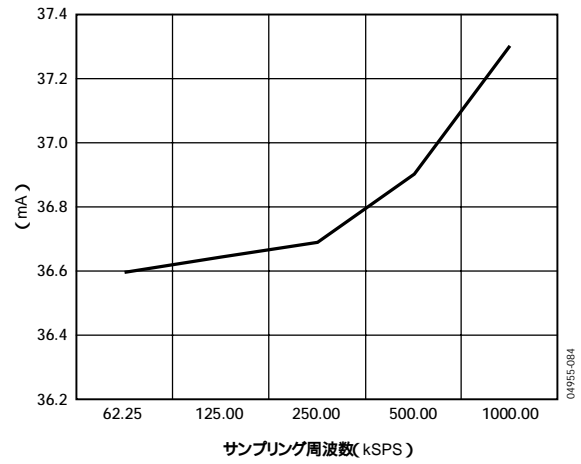


図31. ADC速度 対 消費電流

用語の定義

ADC仕様

積分非直線性

ADC伝達関数のエンドポイントを通過する直線に対する任意のコードの最大偏差です。伝達関数のエンドポイントとは、ゼロスケール（最初のコード遷移より1/2LSB下の点）とフルスケール（最後のコード遷移より1/2LSB上の点）を指します。

微分非直線性

ADCの隣接する2つのコード間における1LSB変化の測定値と理論値の差です。

オフセット誤差

理論値（+1/2LSB）と最初のコード遷移（0000...000から0000...001）の差です。

ゲイン誤差

オフセット誤差調整後の、理想的なAIN電圧（フルスケール - 1.5LSB）と最後のコード遷移との差です。

信号/ノイズ&歪み（SINAD）

A/Dコンバータの出力で測定した信号対ノイズ+歪みの比です。信号は基本波のrms振幅で表し、ノイズは1/2サンプリング周波数（ $f_s/2$ ）までの基本波以外の波形の和（直流成分を除く）で表します。この比はデジタル化プロセスの量子化レベル数に左右され、レベル数が多いほど量子化ノイズは小さくなります。

サイン波を入力した場合の理想的なNビット・コンバータに対する信号/ノイズ+歪みの理論値は次の式から得られます。

$$\text{信号/ノイズ+歪み} = (6.02N + 1.76) \text{ dB}$$

したがって、12ビットのコンバータの場合、74dBになります。

全高調波歪み（THD）

高調波のrms値総和と基本波の比です。

DAC仕様

相対精度

エンドポイント直線性とも呼ばれ、DAC伝達関数のエンドポイントを通過する直線からの最大偏差の尺度です。ゼロ誤差とフルスケール誤差を調整した後で測定します。

電圧出力セトリング・タイム

フルスケールの入力変化に対して、出力が1LSBレベル以内に安定するまでに要する時間です。

ARM7TDMIコアの概要

ARM7コアは、32ビットの縮小命令セット・コンピュータ (RISC) で、命令とデータに対して1本の32ビット・バスを使用します。データの長さは、8/16/32ビットが可能です。命令ワードの長さは32ビットです。

ARM7TDMIは、4つの追加機能を持つARM7コアです。

1. Thumb (16ビット) 命令セット用のTサポート
2. デバッグ用のDサポート
3. 長い乗算用のMサポート
4. Iには、組み込みシステムのデバッグに対応するための EmbeddedICEモジュールが含まれます。

Thumbモード (T)

ARM命令は32ビット長です。ARM7TDMIプロセッサは、Thumb命令セットと呼ばれる、16ビットに圧縮されたもう1つの命令セットに対応します。ARM命令セットの代わりにThumb命令セットを使用すれば、ARM7TDMIコアは組み込みアプリケーションに特に適した状態となり、通常、16ビット・メモリからの高速実行と高いコード密度を実現できます。

ただし、Thumbモードには2つの制約があります。

1. Thumbコードは、同じジョブに対して一般に多くの命令を使用します。したがって、時間条件の厳しいコードの性能を最大にするには、通常はARMコードが最適です。
2. Thumb命令セットには、例外処理に必要な命令の一部がないため、例外処理用にはコアが自動的にARMコードに切り替えられます。

コア・アーキテクチャ、プログラミング・モデル、ARM/ARMThumb命令セットの詳細については、ARM7TDMIユーザ・ガイドを参照してください。

長い乗算 (M)

ARM7TDMI命令セットには、4つの特別の命令があり、64ビット結果を伴う32ビット×32ビット乗算と、64ビット結果を伴う32ビット×32ビット積和演算 (MAC) を実行します。これを用いると、標準のARM7コアに比べて少ないサイクルで結果を得られます。

EmbeddedICE (I)

EmbeddedICEは、総合的なオンチップ・サポートをコアに提供します。EmbeddedICEモジュールにはブレークポイント・レジスタとウォッチポイント・レジスタが内蔵されており、コードを停止させてデバッグを行います。これらのレジスタは、JTAGテスト・ポートによって制御されます。

ブレークポイントまたはウォッチポイントを検出すると、プロセッサは停止してデバッグ状態に入ります。デバッグ状態に入ると、プロセッサ・レジスタに加えて、Flash/EE、SRAM、メモリマップド・レジスタを検査できます。

例外

ARMでは、5種類の例外とそれぞれの特権処理モードを使用できます。5種類の例外は次のとおりです。

1. 通常の割り込みまたはIRQ。内部/外部イベントの汎用割り込み処理用です。
2. 高速割り込みまたはFIQ。低レイテンシの通信チャンネルやデータ転送用です。FIQはIRQよりも優先されます。
3. メモリ・アポート
4. 不定命令の実行
5. ソフトウェア割り込み命令 (SWI)。オペレーティング・システムへのコールが可能になります。

プログラマは通常、割り込みをIRQとして定義しますが、割り込みの優先順位を高くしたい (応答時間を短縮したい) ときには、FIQとして定義できます。

ARMレジスタ

ARM7TDMIには、合計で37本のレジスタ (汎用レジスタ31本とステータス・レジスタ6本) があります。各動作モードには、専用のバンク・レジスタがあります。

ユーザレベルのプログラムを記述する場合は、15本の汎用32ビット・レジスタ (R0~R14)、プログラム・カウンタ (R15)、カレント・プログラム・ステータス・レジスタ (CPSR) を使用できます。他のレジスタは、システムレベルのプログラミングと例外処理にのみ使用します。

例外が発生すると、標準レジスタの一部は、例外モード専用のレジスタに切り替えられます。図32に示すように、すべての例外モードには、スタック・ポインタ (R13) およびリンク・レジスタ (R14) 用の代替バンク・レジスタがあります。高速割り込みモードでは、高速割り込み処理用にさらに多くのレジスタ (R8~R12) があります。つまり、これらのレジスタを保存/復元することなく割り込み処理を開始できるため、割り込み処理プロセスの貴重な時間を節約できます。

ADuC7019/20/21/22/24/25/26/27

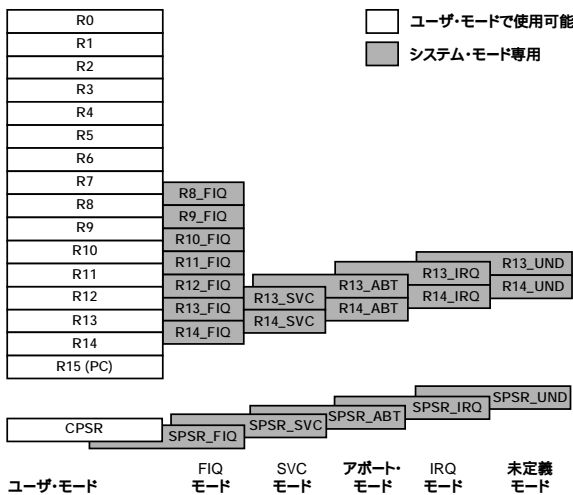


図32. レジスタ構成

プログラマ・モデルとARM7TDMIコア・アーキテクチャの詳細については、ARMの以下の文書をご覧ください。

- DDI0029G, ARM7TDMI Technical Reference Manual.
- DDI0100E, ARM Architecture Reference Manual.

割り込み遅延

高速割り込み要求 (FIQ) の最悪時の遅延の内訳は以下のとおりです。

- 要求がシンクロナイザを通過するために要する最長時間
- 最長命令の完了に要する時間 (最長命令は、PCを含めてすべてのレジスタをロードするLDMです)
- データ・アボート・エントリの時間とFIQエントリの時間

この時間が経過すると、ARM7TDMIは0x1C (FIQの割り込みベクトル・アドレス) にある命令を実行します。最大合計時間は50プロセッサ・サイクルで、これは、連続した41.78MHzのプロセッサ・クロックを使用するシステムでは、1.2μs未満になります。

割り込み要求 (IRQ) の最大遅延計算も同様ですが、FIQよりも優先順位が低いいため任意の時間にわたってIRQ処理ルーチンへのエントリが遅延する可能性を考慮してください。LDMコマンドを使用しない場合は、この時間を42サイクルに減らせます。コンパイラによっては、このコマンドを使用せずにコンパイルするオプションがあります。もう1つのオプションは、デバイスをThumbモードで実行することです。その場合この時間は22サイクルに減ります。

FIQまたはIRQ割り込みの最小遅延は、合計5サイクルです。この内訳は、要求がシンクロナイザを通過するための最小時間と、例外モードに入るための時間です。

なお、特権モード (たとえば割り込みサービス・ルーチンの実行時) にあるARM7TDMIは、常にARM (32ビット) モードで動作します。

メモリ構成

ADuC7019/20/21/22/24/25/26/27は、8kBのSRAMと64kBのオンチップFlash/EEメモリという2つのメモリ・ブロックを内蔵しています。オンチップFlash/EEメモリのうち、ユーザが使用できるのは62kBで、残りの2kBは工場出荷時のブート・ページ設定用です。これらの2つのブロックは、図33に示すようにマッピングされています。

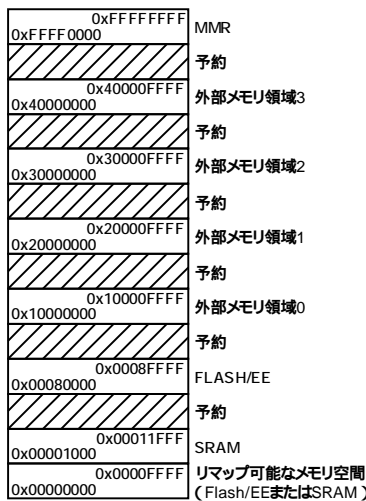


図33. 物理メモリ・マップ

なお、デフォルトではFlash/EEメモリはリセット後にアドレス0x00000000にミラーリングされます。REMAP MMRのビット0をクリアすれば、SRAMをアドレス0x00000000にリマップできます。このリマップ機能については「Flash/EEメモリ」を参照してください。

メモリ・アクセス

ARM7コアでは、メモリを、 2^{32} バイト位置のリニア・アレイとして認識します。メモリ・ブロックのマッピングを図33に示します。

ADuC7019/20/21/22/24/25/26/27のメモリ構成は、リトル・エンディアン形式を採用しています。つまり、最下位バイトは最も低いバイト・アドレスに置かれ、最上位バイトは最も高いバイト・アドレスに置かれます。

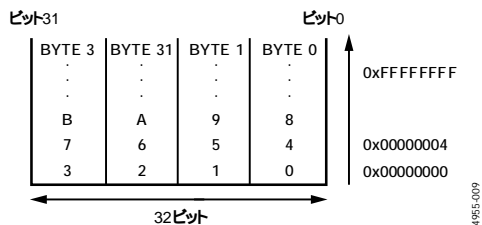


図34. リトル・エンディアン形式

Flash/EEメモリ

合計で64kBのFlash/EEが、 $32k \times 16$ ビットとして構成されています(31k×16ビットがユーザ空間、1k×16ビットがオンチップ・カーネル用です)。このFlash/EEメモリのページ・サイズは512バイトです。

ユーザは、62kBのFlash/EEをコードおよび不揮発性データ・メモリとして使用できます。ARMコードは同じ空間を共有するため、データとプログラムの区別はありません。Flash/EEメモリの実際の幅は16ビットであるため、ARMモード(32ビット命令)では、命令フェッチごとにFlash/EEに2回アクセスする必要があります。したがって、Flash/EEメモリから実行するときには、最適なアクセス速度を実現するためにThumbモードを使用するとよいでしょう。Flash/EEメモリの最大アクセス速度は、Thumbモードでは41.78MHz、フルARMモードでは20.89MHzです。Flash/EEメモリのアクセス時間の詳細については、このデータシートの「SRAMとFlash/EEからの実行時間」で後述します。

SRAM

ユーザは、 $2k \times 32$ ビット(2ワード)として構成された8kBのSRAMを使用できます。SRAMアレイが32ビット幅のメモリ・アレイとして構成されている場合は、ARMコードはSRAMから41.78MHzで直接実行できます。SRAMアクセス時間の詳細については、このデータシートの「SRAMとFlash/EEからの実行時間」で後述します。

メモリマップド・レジスタ

メモリマップド・レジスタ(MMR)空間は、メモリ・アレイの上位2ページにマッピングされ、ARM7のバンク・レジスタを通じて間接アドレッシングによってアクセスされます。

MMR空間は、CPUとすべてのオンチップ・ペリフェラルとの間のインターフェースを提供します。コア・レジスタ以外のすべてのレジスタは、MMR領域に存在します。図35に示す網掛け領域はすべて空き領域または予約領域で、ユーザ・ソフトウェアによるアクセスはできません。表13にMMRメモリ・マップの一例を示します。

MMRへの読み書きアクセス時間は、ペリフェラルへのアクセスに使用するAdvanced Microcontroller Bus Architecture (AMBA)バスによって異なります。プロセッサには、システム・モジュール用のAdvanced High-performance Bus (AHB)と、性能の劣るペリフェラル用のAdvanced Peripheral Bus (APB)という2本のAMBAバスがあります。AHBへのアクセスは1サイクル、APBへのアクセスは2サイクルです。ADuC7019/20/21/22/24/25/26/27上のすべてのペリフェラルは、Flash/EEメモリ、汎用I/O、PWMを除いて、APB上にあります。

ADuC7019/20/21/22/24/25/26/27

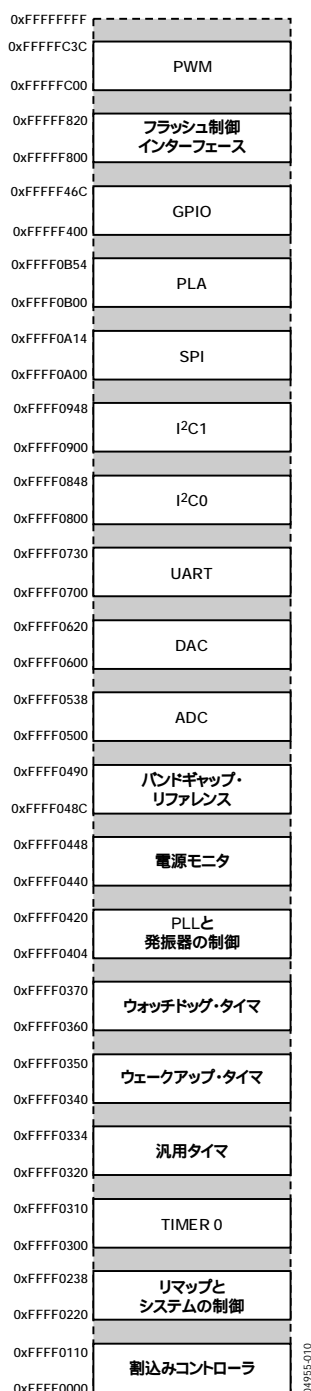


図35. メモリマップド・レジスタ

表13. 全MMRリスト

アドレス	名前	バイト	アクセス・タイプ	デフォルト値	ページ
IRQアドレス・ベース = 0xFFFF0000					
0x0000	IRQSTA	4	R	0x00000000	75
0x0004	IRQSIG ¹	4	R	0x00XXX000	75
0x0008	IRQEN	4	RW	0x00000000	75
0x000C	IRQCLR	4	W	0x00000000	75
0x0010	SWICFG	4	W	0x00000000	76
0x0100	FIQSTA	4	R	0x00000000	75
0x0104	FIQSIG ¹	4	R	0x00XXX000	76
0x0108	FIQEN	4	RW	0x00000000	76
0x010C	FIQCLR	4	W	0x00000000	76
システム制御アドレス・ベース = 0xFFFF0200					
0x0220	REMAP ²	1	RW	0x00	47
0x0230	RSTSTA	1	RW	0x01	47
0x0234	RSTCLR	1	W	0x00	47
タイマ・アドレス・ベース = 0xFFFF0300					
0x0300	T0LD	2	RW	0x0000	77
0x0304	T0VAL	2	R	0xFFFF	77
0x0308	T0CON	2	RW	0x0000	77
0x030C	T0CLRI	1	W	0xFF	77
0x0320	T1LD	4	RW	0x00000000	77
0x0324	T1VAL	4	R	0xFFFFFFFF	77
0x0328	T1CON	2	RW	0x0000	77
0x032C	T1CLRI	1	W	0xFF	78
0x0330	T1CAP	4	RW	0x00000000	78
0x0340	T2LD	4	RW	0x00000000	78
0x0344	T2VAL	4	R	0xFFFFFFFF	78
0x0348	T2CON	2	RW	0x0000	79
0x034C	T2CLRI	1	W	0xFF	79
0x0360	T3LD	2	RW	0x0000	79
0x0364	T3VAL	2	R	0xFFFF	79
0x0368	T3CON	2	RW	0x0000	79
0x036C	T3CLRI	1	W	0x00	80
PLLベース・アドレス = 0xFFFF0400					
0x0404	POWKEY1	2	W	0x0000	53
0x0408	POWCON	2	RW	0x0003	53
0x040C	POWKEY2	2	W	0x0000	53
0x0410	PLLKEY1	2	W	0x0000	53
0x0414	PLLCON	1	RW	0x21	53
0x0418	PLLKEY2	2	W	0x0000	53
PSMアドレス・ベース = 0xFFFF0440					
0x0440	PSMCON	2	RW	0x0008	49
0x0444	CMPCON	2	RW	0x0000	50
リファレンス・アドレス・ベース = 0xFFFF0480					
0x048C	REFCON	1	RW	0x00	42

¹ 外部割込みピン (P0.4、P0.5、P1.4、P1.5) でのレベルによって異なります。

² モデルによって異なります。

ADuC7019/20/21/22/24/25/26/27

アドレス	名前	バイト	アクセス・タイプ	デフォルト値	ページ
ADCアドレス・ベース = 0xFFFF0500					
0x0500	ADCCON	2	RW	0x0600	39
0x0504	ADCCP	1	RW	0x00	39
0x0508	ADCCN	1	RW	0x01	40
0x050C	ADCSTA	1	R	0x00	40
0x0510	ADCDAT	4	R	0x00000000	40
0x0514	ADCRST	1	RW	0x00	40
0x0530	ADCGN	2	RW	0x0200	40
0x0534	ADCOF	2	RW	0x0200	40

アドレス	名前	バイト	アクセス・タイプ	デフォルト値	ページ
DACアドレス・ベース = 0xFFFF0600					
0x0600	DAC0CON	1	RW	0x00	48
0x0604	DAC0DAT	4	RW	0x00000000	48
0x0608	DAC1CON	1	RW	0x00	48
0x060C	DAC1DAT	4	RW	0x00000000	48
0x0610	DAC2CON	1	RW	0x00	48
0x0614	DAC2DAT	4	RW	0x00000000	48
0x0618	DAC3CON	1	RW	0x00	48
0x061C	DAC3DAT	4	RW	0x00000000	48

アドレス	名前	バイト	アクセス・タイプ	デフォルト値	ページ
UARTベース・アドレス = 0xFFFF0700					
0x0700	COMTX	1	RW	0x00	64
	COMRX	1	R	0x00	64
	COMDIV0	1	RW	0x00	64
0x0704	COMIEN0	1	RW	0x00	64
	COMDIV1	1	R/W	0x00	64
0x0708	COMIID0	1	R	0x01	64
0x070C	COMCON0	1	RW	0x00	64
0x0710	COMCON1	1	RW	0x00	65
0x0714	COMSTA0	1	R	0x60	65
0x0718	COMSTA1	1	R	0x00	65
0x071C	COMSCR	1	RW	0x00	65
0x0720	COMIEN1	1	RW	0x04	66
0x0724	COMIID1	1	R	0x01	66
0x0728	COMADR	1	RW	0xAA	66
0x072C	COMDIV2	2	RW	0x0000	65

アドレス	名前	バイト	アクセス・タイプ	デフォルト値	ページ
I2C0ベース・アドレス = 0xFFFF0800					
0x0800	I2C0MSTA	1	R	0x00	69
0x0804	I2C0SSTA	1	R	0x01	69
0x0808	I2C0SRX	1	R	0x00	70
0x080C	I2C0STX	1	W	0x00	70
0x0810	I2C0MRX	1	R	0x00	70
0x0814	I2C0MTX	1	W	0x00	70
0x0818	I2C0CNT	1	RW	0x00	70
0x081C	I2C0ADR	1	RW	0x00	70
0x0824	I2C0BYTE	1	RW	0x00	70
0x0828	I2C0ALT	1	RW	0x00	70
0x082C	I2C0CFG	1	RW	0x00	71
0x0830	I2C0DIV	2	RW	0x1F1F	71
0x0838	I2C0ID0	1	RW	0x00	71
0x083C	I2C0ID1	1	RW	0x00	71
0x0840	I2C0ID2	1	RW	0x00	71
0x0844	I2C0ID3	1	RW	0x00	71
0x0848	I2C0CCNT	1	RW	0x01	71
0x084C	I2C0FSTA	2	R	0x0000	72

アドレス	名前	バイト	アクセス・タイプ	デフォルト値	ページ
I2C1ベース・アドレス = 0xFFFF0900					
0x0900	I2C1MSTA	1	R	0x00	69
0x0904	I2C1SSTA	1	R	0x01	69
0x0908	I2C1SRX	1	R	0x00	70
0x090C	I2C1STX	1	W	0x00	70
0x0910	I2C1MRX	1	R	0x00	70
0x0914	I2C1MTX	1	W	0x00	70
0x0918	I2C1CNT	1	RW	0x00	70
0x091C	I2C1ADR	1	RW	0x00	70
0x0924	I2C1BYTE	1	RW	0x00	70
0x0928	I2C1ALT	1	RW	0x00	70
0x092C	I2C1CFG	1	RW	0x00	70
0x0930	I2C1DIV	2	RW	0x1F1F	71
0x0938	I2C1ID0	1	RW	0x00	71
0x093C	I2C1ID1	1	RW	0x00	71
0x0940	I2C1ID2	1	RW	0x00	71
0x0944	I2C1ID3	1	RW	0x00	71
0x0948	I2C1CCNT	1	RW	0x01	71
0x094C	I2C1FSTA	2	R	0x0000	71

アドレス	名前	バイト	アクセス・タイプ	デフォルト値	ページ
SPIベース・アドレス = 0xFFFF0A00					
0x0A00	SPISTA	1	R	0x00	67
0x0A04	SPIRX	1	R	0x00	67
0x0A08	SPLITX	1	W	0x00	67
0x0A0C	SPIDIV	1	RW	0x1B	67
0x0A10	SPICON	2	RW	0x0000	67

ADuC7019/20/21/22/24/25/26/27

アドレス	名前	バイト	アクセス・タイプ	デフォルト値	ページ
------	----	-----	----------	--------	-----

PLAベース・アドレス = 0xFFFF0B00

0x0B00	PLAELM0	2	RW	0x0000	72
0x0B04	PLAELM1	2	RW	0x0000	72
0x0B08	PLAELM2	2	RW	0x0000	72
0x0B0C	PLAELM3	2	RW	0x0000	72
0x0B10	PLAELM4	2	RW	0x0000	72
0x0B14	PLAELM5	2	RW	0x0000	72
0x0B18	PLAELM6	2	RW	0x0000	72
0x0B1C	PLAELM7	2	RW	0x0000	72
0x0B20	PLAELM8	2	RW	0x0000	72
0x0B24	PLAELM9	2	RW	0x0000	72
0x0B28	PLAELM10	2	RW	0x0000	72
0x0B2C	PLAELM11	2	RW	0x0000	72
0x0B30	PLAELM12	2	RW	0x0000	72
0x0B34	PLAELM13	2	RW	0x0000	72
0x0B38	PLAELM14	2	RW	0x0000	72
0x0B3C	PLAELM15	2	RW	0x0000	72
0x0B40	PLACLK	1	RW	0x00	73
0x0B44	PLAIRQ	4	RW	0x00000000	74
0x0B48	PLAADC	4	RW	0x00000000	74
0x0B4C	PLADIN	4	RW	0x00000000	74
0x0B50	PLADOUT	4	R	0x00000000	74
0x0B54	PLALCK	1	W	0x00	74

外部メモリ・ベース・アドレス = 0xFFFFF000

0xF000	XMCFG	1	RW	0x00	81
0xF010	XM0CON	1	RW	0x00	81
0xF014	XM1CON	1	RW	0x00	81
0xF018	XM2CON	1	RW	0x00	81
0xF01C	XM3CON	1	RW	0x00	81
0xF020	XM0PAR	2	RW	0x70FF	81
0xF024	XM1PAR	2	RW	0x70FF	81
0xF028	XM2PAR	2	RW	0x70FF	81
0xF02C	XM3PAR	2	RW	0x70FF	81

アドレス	名前	バイト	アクセス・タイプ	デフォルト値	ページ
------	----	-----	----------	--------	-----

汎用I/Oベース・アドレス = 0xFFFFF400

0xF400	GP0CON	4	RW	0x00000000	61
0xF404	GP1CON	4	RW	0x00000000	61
0xF408	GP2CON	4	RW	0x00000000	61
0xF40C	GP3CON	4	RW	0x00000000	61
0xF410	GP4CON	4	RW	0x00000000	61
0xF420	GP0DAT	4	RW	0x000000XX	62
0xF424	GP0SET	4	W	0x000000XX	62
0xF428	GP0CLR	4	W	0x000000XX	62
0xF42C	GP0PAR	4	W	0x20000000	62
0xF430	GP1DAT	4	RW	0x000000XX	62
0xF434	GP1SET	4	W	0x000000XX	62
0xF438	GP1CLR	4	W	0x000000XX	62
0xF43C	GP1PAR	4	W	0x00000000	62
0xF440	GP2DAT	4	RW	0x000000XX	62
0xF444	GP2SET	4	W	0x000000XX	62
0xF448	GP2CLR	4	W	0x000000XX	62
0xF450	GP3DAT	4	RW	0x000000XX	62
0xF454	GP3SET	4	W	0x000000XX	62
0xF458	GP3CLR	4	W	0x000000XX	62
0xF45C	GP3PAR	4	W	0x00222222	62
0xF460	GP4DAT	4	RW	0x000000XX	62
0xF464	GP4SET	4	W	0x000000XX	62
0xF468	GP4CLR	4	W	0x000000XX	62

Flash/EEベース・アドレス = 0xFFFFF800

0xF800	FEESTA	1	R	0x20	45
0xF804	FEEMOD	2	RW	0x0000	45
0xF808	FEECON	1	RW	0x07	45
0xF80C	FEEDAT	2	RW	0xXXXX	45
0xF810	FEEADR	2	RW	0x0000	45
0xF818	FEESIGN	3	R	0xFFFFFFFF	45
0xF81C	FEEPRO	4	RW	0x00000000	45
0xF820	FEEHIDE	4	RW	0xFFFFFFFF	45

PWMベース・アドレス = 0xFFFFFC00

0xFC00	PWMCON	2	RW	0x0000	60
0xFC04	PWMSTA	2	RW	0x0000	60
0xFC08	PWMDAT0	2	RW	0x0000	61
0xFC0C	PWMDAT1	2	RW	0x0000	61
0xFC10	PWMCFG	2	RW	0x0000	60
0xFC14	PWMCH0	2	RW	0x0000	61
0xFC18	PWMCH1	2	RW	0x0000	61
0xFC1C	PWMCH2	2	RW	0x0000	61
0xFC20	PWMEN	2	RW	0x0000	60
0xFC24	PWMDAT2	2	RW	0x0000	61

ADC回路の概要

A/Dコンバータ（ADC）は、高速でマルチチャンネルの12ビットADCを採用しています。2.7～3.6V電源で動作し、41.78MHzのクロック源により最大1MSPSのスループットを提供します。このブロックでは、マルチチャンネル・マルチプレクサ、差動トラック&ホールド、内部リファレンス、ADCを提供します。

ADCは、2つのコンデンサDACをベースにした、12ビットの逐次比較型コンバータで構成されています。入力信号の設定に応じて、ADCは、次の3つのモードのいずれかで動作します。

1. 完全差動モード：小信号と平衡信号用
2. シングルエンド・モード：任意のシングルエンド信号用
3. 疑似差動モード：疑似差動入力によって得られる同相ノイズ除去を利用する、任意のシングルエンド信号用

シングルエンド・モードまたは疑似差動モードで動作するとき、コンバータは $0 \sim V_{REF}$ の範囲のアナログ入力を受け付けます。完全差動モードでは、入力信号を $0 \sim AV_{DD}$ の範囲内で、同相電圧 V_{CM} を中心に最大振幅 $2V_{REF}$ で平衡させます（図36参照）。

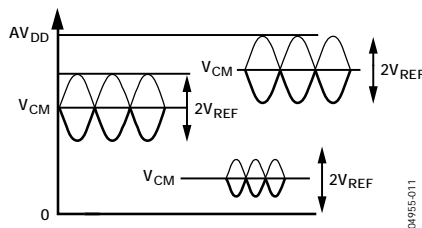


図36. 完全差動モードでの平衡信号の例

高精度、低ドリフトで、出荷時キャリブレーション済みの2.5Vリファレンスを内蔵しています。「バンドギャップ・リファレンス」で後述するように、外部リファレンスも接続できます。

シングル変換モードまたは連続変換モードは、ソフトウェアで開始できます。また外部 $\overline{CONV_START}$ ピン、オンチップPLAから生成される出力、あるいはTimer0またはTimer1オーバーフローを使用しても、ADC変換用の繰返しトリガを生成できます。

絶対温度に比例した内部バンドギャップ・リファレンスからの電圧出力も、フロントエンドADCマルチプレクサ（実質的にはADCの追加チャンネル入力）に接続できるため、チップ温度を ± 3 の精度で測定する内部温度センサー・チャンネルを容易に実現できます。

伝達関数

疑似差動モードとシングルエンド・モード

疑似差動モードまたはシングルエンド・モードでは、入力電圧は $0 \sim V_{REF}$ です。疑似差動モードとシングルエンド・モードでの出力コーディングは、 $V_{REF} = 2.5V$ のとき、 $1LSB = FS/4096$ または $2.5V/4096 = 0.61mV$ （または $610\mu V$ ）のストレート・バイナリです。

$$1LSB = FS/4096 \text{ または } 2.5V/4096 = 0.61mV \text{ または } 610\mu V \text{ のとき } V_{REF} = 2.5V$$

理想的なコード遷移は、連続した整数LSB値の中間（ $1/2LSB$ 、 $3/2LSB$ 、 $5/2LSB$ 、...、 $FS - 3/2LSB$ ）で発生します。理想的なI/O伝達特性を図37に示します。

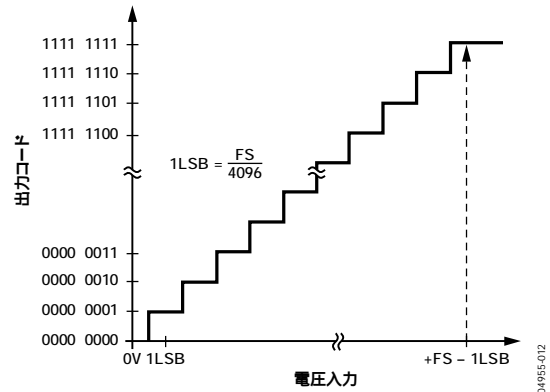


図37. 疑似差動モードまたはシングルエンド・モードでのADC伝達関数

完全差動モード

差動信号の振幅は、 V_{IN+} ピンと V_{IN-} ピンに加えられた信号の差（ $V_{IN+} - V_{IN-}$ ）です。したがって、差動信号の最大振幅は、 $-V_{REF} \sim +V_{REF}$ p-p ($2 \times V_{REF}$) になります。これはコモン・モード（CM）に無関係です。コモン・モードは2つの信号の平均値、たとえば $(V_{IN+} + V_{IN-})/2$ であり、したがって2つの入力の中心となる電圧です。このため、各入力のスパンは $CM \pm V_{REF}/2$ となります。この電圧は外部で設定する必要があり、その範囲は V_{REF} により変化します（「アナログ入力の駆動」を参照してください）。

完全差動モードでの出力コーディングは、 $V_{REF} = 2.5V$ のとき、 $1LSB = 2V_{REF}/4096$ または $2 \times 2.5V/4096 = 1.22mV$ の2の補数です。設計されたコード遷移は、連続した整数LSB値の中間（ $1/2LSB$ 、 $3/2LSB$ 、 $5/2LSB$ 、...、 $FS - 3/2LSB$ ）で発生します。理想的なI/O伝達特性を図38に示します。

ADuC7019/20/21/22/24/25/26/27

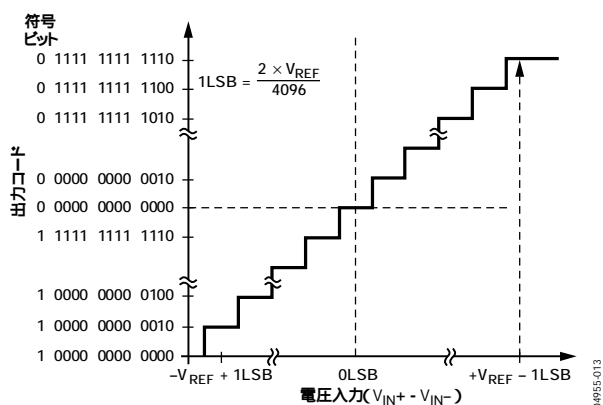


図38. 差動モードでのADC伝達関数

代表的な動作

ADCは、ADCのコントロール・レジスタとチャンネル選択レジスタを介して設定されると、アナログ入力を変換し、ADCデータ・レジスタに12ビット・リザルトを提供します。

先頭の4ビットは符号ビットです。図39に示すように、12ビット・リザルトは、ビット16~27に配置されます。この場合にも、完全差動モードでは結果が2の補数形式で表現され、疑似差動モードとシングルエンド・モードではストレート・バイナリ形式で表現されます。



図39. ADCのリザルト形式

同じ形式はDAC×DATで使用され、ソフトウェアを簡略化します。

消費電流

ADCがスタンバイ・モードにある（パワーアップしていても変換していない）場合には、消費電流は640μA（typ）です。内部リファレンスによる加算は140μAです。変換時の増加電流は、0.3μA × サンプル周波数（kHz単位）です。図31には、ADCの消費電流とサンプル周波数の関係を示します。

タイミング

図40は、ADCタイミングの詳細を示します。ADCCON MMRでのアキュイジション・クロックの数とADCクロック速度は制御可能です。デフォルトでは、アキュイジション時間は8クロック、クロック・デバイダは2クロックです。追加クロック（ビット・トライアルや書込みなど）の数は19に設定されるため、774kSPSのサンプル・レートになります。温度センサーの変換では、ADCアキュイジション時間は自動的に16クロックに設定され、ADCクロック・デバイダは32クロックに設定されます。

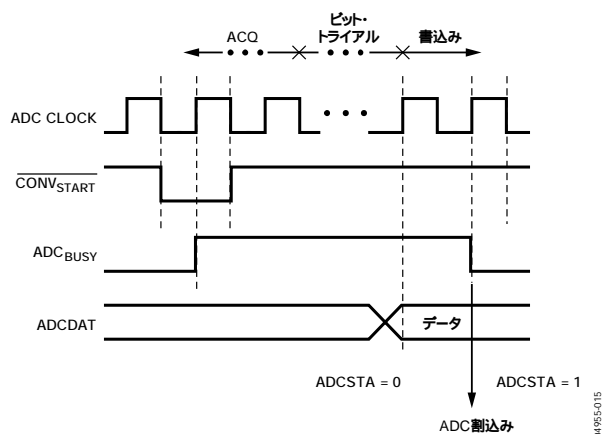


図40. ADCタイミング

ADuC7019

ADCチャンネルは1つ（ADC3）がバッファ付きであることを除けばADuC7020と同じですが、DACは3つになります。図41に示すように、4番目のDACの出力バッファはADC3チャンネルに内部的に接続されています。

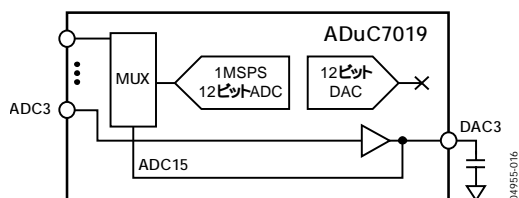


図41. ADC3のバッファ付き入力

なお、DAC3出力ピンは、10nFコンデンサを通じてAGNDに接続します。このチャンネルは、DC電圧の測定にのみ使用してください。このチャンネルでは、ADCキャリブレーションが必要な場合もあります。

MMRインターフェース

ADCは、このセクションで説明する8つのMMRによって制御および設定されます。

ADCCONレジスタ

名前	アドレス	デフォルト値	アクセス
ADCCON	0xFFFF0500	0x0600	RW

ユーザはADCCONというADCコントロール・レジスタを使用して、ADCペリフェラルをイネーブルにしたり、ADCの動作モード（シングルエンド、疑似差動、完全差動）と変換タイプを選択したりできます。このMMRを表14に示します。

表14. ADCCON MMRのビット配置

ビット	値	説明
15、14、13		予約
12、11、10		ADCクロック速度
	000	fADC/1。このデバイダによって、外部クロック < 41.78MHzで1MSPSのADCが得られます。
	001	fADC/2 (デフォルト値)
	010	fADC/4
	011	fADC/8
	100	fADC/16
	101	fADC/32
9、8		ADCアクイジション時間
	00	2クロック
	01	4クロック
	10	8クロック (デフォルト値)
	11	16クロック
7		変換開始をイネーブル セットすれば変換コマンドを起動し、クリアすれば変換の開始をディスエーブルにします (連続タイプで変換している場合は、このビットをクリアしてもADCは停止しません)
6		ADC _{BUSY} をイネーブルにします。 セットすればADC _{BUSY} ピンがイネーブルになり、クリアすればADC _{BUSY} ピンがディスエーブルになります。
5		ADCパワー制御 セットすればADCがノーマル・モードになり (正しく変換するには、ADCを5μs以上パワーアップしておくことが必要)、クリアすればADCがパワーダウン・モードになります。
4、3		変換モード
	00	シングルエンド・モード
	01	差動モード
	10	疑似差動モード
	11	予約
2、1、0		変換タイプ
	000	CONV _{START} ピンを変換入力としてイネーブルにします。
	001	Timer1を変換入力としてイネーブルにします。
	010	Timer0を変換入力としてイネーブルにします。
	011	単一のソフトウェア変換、変換後に000に設定 (コマンド実行後ADCCONビット7をクリアし、CONV _{START} ピンによってトリガされる変換を防止します)
	100	連続のソフトウェア変換
	101	PLA変換
	その他	予約

ADCCPレジスタ

名前	アドレス	デフォルト値	アクセス
ADCCP	0xFFFF0504	0x00	RW

ADCCPは、ADCの正チャンネル選択レジスタです。このMMRを表15に示します。

表15. ADCCP¹ MMRのビット配置

ビット	値	説明
7~5		予約
4~0		正チャンネル選択ビット
	00000	ADC0
	00001	ADC1
	00010	ADC2
	00011	ADC3
	00100	ADC4
	00101	ADC5
	00110	ADC6
	00111	ADC7
	01000	ADC8
	01001	ADC9
	01010	ADC10
	01011	ADC11
	01100	DAC0/ADC12
	01101	DAC1/ADC13
	01110	DAC2/ADC14
	01111	DAC3/ADC15
	10000	温度センサー
	10001	AGND (自己診断機能)
	10010	内部リファレンス (自己診断機能)
	10011	AV _{DD} /2
	その他	予約

¹ ADCとDACのチャンネル可用性は、デバイス・モデルによって異なります。詳細についてはオーダー・ガイドを参照してください。

ADuC7019/20/21/22/24/25/26/27

ADCCNレジスタ

名前	アドレス	デフォルト値	アクセス
ADCCN	0xFFFF0508	0x01	RW

ADCCNは、ADCの負チャンネル選択レジスタです。このMMRを表16に示します。

表16. ADCCN MMRのビット配置

ビット	値	説明
7、6、5		予約
4~0		負チャンネル選択ビット
	00000	ADC0
	00001	ADC1
	00010	ADC2
	00011	ADC3
	00100	ADC4
	00101	ADC5
	00110	ADC6
	00111	ADC7
	01000	ADC8
	01001	ADC9
	01010	ADC10
	01011	ADC11
	01100	DAC0/ADC12
	01101	DAC1/ADC13
	01110	DAC2/ADC14
	01111	DAC3/ADC15
	10000	内部リファレンス（自己診断機能）
	その他	予約

ADCSTAレジスタ

名前	アドレス	デフォルト値	アクセス
ADCSTA	0xFFFF050C	0x00	R

ADCSTAは、ADCの変換結果が準備完了となるタイミングを示すADCステータス・レジスタです。ADCSTAレジスタにあるビットは、ADCのステータスを表すADCReady（ビット0）というビットだけです。このビットは、ADC変換の最後にセットされ、ADC割込みを生成します。このビットは、ADCDAT MMRを読み出すことによって自動的にクリアされます。ADCが変換を実行しているときには、ADCのステータスは、ADC_{BUSY}ピンによって外部的に読出しできます。このピンは、変換時にはハイレベルです。変換が完了すると、ADC_{BUSY}はローレベルに戻ります。ADCCONレジスタでイネーブになっている場合は、この情報をP0.5に出力できます（「汎用I/O」を参照）。

ADCDATレジスタ

名前	アドレス	デフォルト値	アクセス
ADCDAT	0xFFFF0510	0x00000000	R

ADCDATは、ADCデータ・リザルト・レジスタで、図39に示すように、12ビットのADCリザルトを保持します。

ADCRSTレジスタ

名前	アドレス	デフォルト値	アクセス
ADCRST	0xFFFF0514	0x00	RW

ADCRSTでは、ADCのデジタル・インターフェースをリセットします。このレジスタに任意の値を書き込むと、すべてのADCレジスタがそのデフォルト値にリセットされます。

ADCGNレジスタ

名前	アドレス	デフォルト値	アクセス
ADCGN	0xFFFF0530	0x0200	RW

ADCGNは、10ビットのゲイン・キャリブレーション・レジスタです。

ADCOFレジスタ

名前	アドレス	デフォルト値	アクセス
ADCOF	0xFFFF0534	0x0200	RW

ADCOFは、10ビットのオフセット・キャリブレーション・レジスタです。

コンバータの動作

ADCでは、電荷サンプリング型の入力段を伴う逐次比較（SAR）アーキテクチャを採用しています。このアーキテクチャは、差動、疑似差動、シングルエンドという3つの異なるモードで動作できます。

差動モード

ADuC7019/20/21/22/24/25/26/27には、2つの容量性DACをベースにした逐次比較型ADCがあります。図42と図43は、それぞれアキュイジション・フェーズと変換フェーズにおける、簡略化したADCの回路図を示します。ADCは、コントロール・ロジック、SAR、2つの容量性DACで構成されています。図42（アキュイジション・フェーズ）では、SW3が閉じ、SW1とSW2はポジションAにあります。コンパレータは平衡状態に保たれ、サンプリング・コンデンサ・アレイが入力差動信号を取得します。

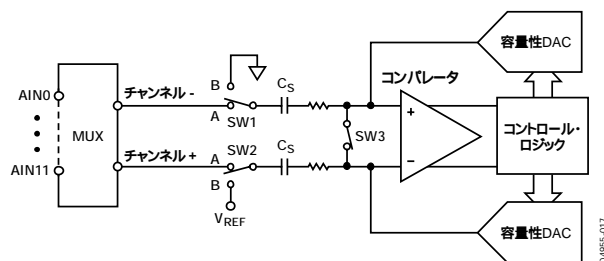


図42. ADCのアキュイジション・フェーズ

ADCが変換を開始すると（図43）、SW3が開き、SW1とSW2がポジションBに移動して、コンパレータが不平衡状態になります。変換が始まると、両入力は切り離されます。コントロール・ロジックと電荷再配分式DACを使って、サンプリング・コンデンサ・アレイに対して一定量の電荷を加算および減算して、コンパレータを平衡状態に戻すようにします。コンパレータが平衡状態に戻ると、変換が完了します。コントロール・ロジックは、ADCの出力コードを生成します。V_{IN+}ピンとV_{IN-}ピンを駆動する信号源の出力インピーダンスは一致させてください。一致しない場合、2つの入力のセトリング・タイムが異なり、誤差が発生します。

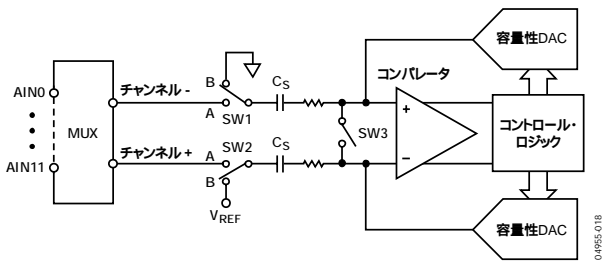


図43. ADCの変換フェーズ

疑似差動モード

疑似差動モードでは、チャンネル-がADuC7019/20/21/22/24/25/26/27の V_{IN-} ピンにリンクされます。SW2は、A（チャンネル-）とB（ V_{REF} ）の間で切り替わります。 V_{IN-} ピンを、グラウンドまたは低電圧に接続します。これによって、 V_{IN+} での入力信号は、 V_{IN-} から $V_{REF} + V_{IN-}$ に変化できます。なお、 V_{IN-} の選択に際しては、 $V_{REF} + V_{IN-}$ が AV_{DD} を超えないようにしてください。

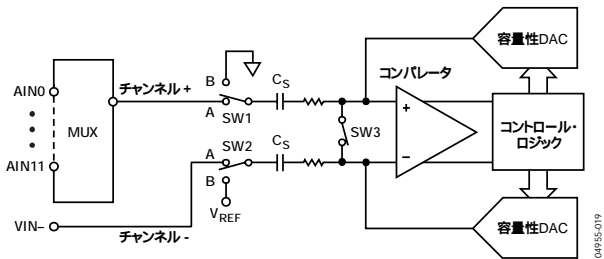


図44. 疑似差動モードでのADC

シングルエンド・モード

シングルエンド・モードでは、SW2は、常にグラウンドに内部接続されます。 V_{IN-} ピンはフロート状態にできます。 V_{IN+} での入力信号レンジは、 $0 \sim V_{REF}$ です。

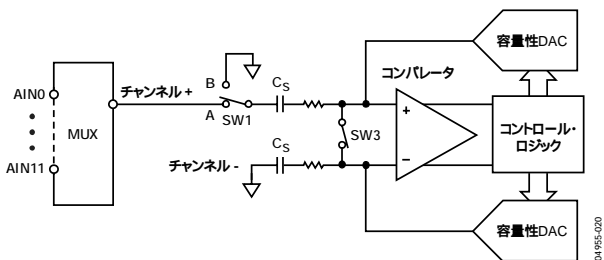


図45. シングルエンド・モードでのADC

アナログ入力構造

図46は、ADCのアナログ入力構造の等価回路を示します。4つのダイオードは、アナログ入力に対するESD保護機能を提供します。アナログ入力信号は電源レールより300mV以上高くないようにしてください。そうしないと、ダイオードが順方向にバイアスされて、サブストレートに電流が流れるようになります。デバイスに不可逆的な損傷を与えずにダイオードが許容できる最大電流は10mAです。

図46のコンデンサC1は、4pF (typ) で、主にピン容量によって決まります。抵抗は、スイッチのオン抵抗による合成抵抗です。これらの抵抗は約100Ω (typ) です。コンデンサC2は、ADCのサンプリング・コンデンサで、容量は16pF (typ) です。

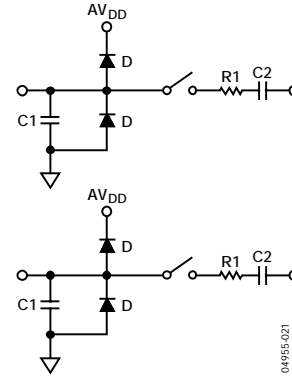


図46. 等価なアナログ入力回路 変換フェーズ：スイッチ開、トラック・フェーズ：スイッチ閉

ACアプリケーションに対しては、該当するアナログ入力ピンにRCローパス・フィルタを使用して、アナログ入力信号から高周波成分を除去するとよいでしょう。高調波歪みとS/N比が重要なアプリケーションでは、アナログ入力を低インピーダンス・ソースから駆動してください。高いソース・インピーダンスは、ADCのAC性能に大きな影響を与えます。そのため入力バッファ・アンプが必要になります。選択するオペアンプは、アプリケーションによって異なります。図47と図48は、ADCフロント・エンドの例を示します。

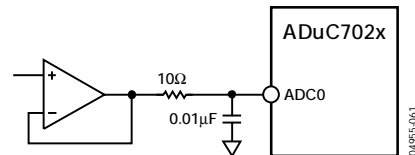


図47. シングルエンド / 疑似差動入力のバッファリング

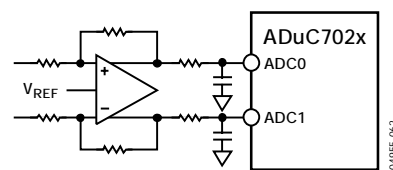


図48. 差動入力のバッファリング

アンプを使わないでアナログ入力を駆動するには、ソース・インピーダンスを1kΩ未満に制限します。最大ソース・インピーダンスは、許容可能な全高調波歪み (THD) の大きさによって異なります。ソース・インピーダンスが増加するとTHDが大きくなるため、性能が低下します。

アナログ入力の駆動

ADCには内部または外部リファレンスを使用できます。差動作モードでは、コモン・モード入力信号 (V_{CM}) に制約があります。これらの制約は、入力信号が電源レールの範囲内になるように計算します。使用する電源電圧とリファレンス値によって異なります。いくつかの条件に対して計算した $V_{CM \min}$ と $V_{CM \max}$ を表17に示します。

ADuC7019/20/21/22/24/25/26/27

表17. VCMの範囲

AV _{DD}	V _{REF}	V _{CM} Min	V _{CM} Max	信号の ピーク/ピーク
3.3V	2.5V	1.25V	2.05V	2.5V
	2.048V	1.024V	2.276V	2.048V
	1.25V	0.75V	2.55V	1.25V
3.0V	2.5V	1.25V	1.75V	2.5V
	2.048V	1.024V	1.976V	2.048V
	1.25V	0.75V	2.25V	1.25V

キャリブレーション

デフォルトでは、ADCオフセット (ADCOF) とゲイン係数レジスタ (ADCGN) に書き込まれた出荷時設定値は、デバイスのスタンドアロン動作におけるエンドポイント誤差と直線性に関して、最適な性能をもたらします(「仕様」を参照)。システム・キャリブレーションが必要な場合は、エンドポイント誤差を改善するためにデフォルトのオフセットとゲイン係数を変更できますが、出荷時設定のADCOF値とADCGN値を変更すると、ADCの直線性性能に悪影響を与えます。

システムのオフセット誤差を補正するには、ADCチャンネル入力段をAGNDに接続します。ADCリザルト (ADCDAT) の読みがコード0から1になるまでADCOFの値を変更し、連続的なソフトウェアADC変換ループを実装します。オフセット誤差の補正はデジタル方式で行われ、分解能は0.25LSB、範囲はV_{REF}の±3.125%です。

システムのゲイン誤差を補正するには、ADCチャンネル入力段をV_{REF}に接続します。ADCリザルト (ADCDAT) の読みがコード4094から4095になるまでADCOFの値を変更するには、連続的なソフトウェアADC変換ループを実装します。オフセット・キャリブレーションと同様に、ゲイン・キャリブレーションの分解能は0.25LSB、範囲はV_{REF}の±3%です。

温度センサー

ADuC7019/20/21/22/24/25/26/27では、内部バンドギャップ・リファレンスによる絶対温度に比例した電圧出力を提供します。これはフロントエンドADCマルチプレクサ(実質的にはADCの追加チャンネル入力)にも接続できるため、チップ温度を±3°の精度で測定する内部温度センサー・チャンネルを容易に実現できます。

バンドギャップ・リファレンス

ADuC7019/20/21/22/24/25/26/27が提供する2.5Vの内部バンドギャップ・リファレンスは、ADCとDACに使用できます。この内部リファレンスは、V_{REF}ピンにも現れます。内部リファレンスを使用する場合は、外部V_{REF}ピンからAGNDの間に0.47μFのコンデンサを接続して、ADC変換時に安定性と高速応答を得られるようにします。このリファレンスは、外部ピン(V_{REF})にも接続でき、システム内の他の回路のリファレンスとして使用されます。V_{REF}出力の駆動能力が低いため、外付けバッファが必要です。プログラマブル・オプションにより、V_{REF}ピンでの外部リファレンス入力も可能です。

REFCONレジスタ

名前	アドレス	デフォルト値	アクセス
REFCON	0xFFFF048C	0x00	RW

バンドギャップ・リファレンス・インターフェースは、表18に示す8ビットのMMR REFCONから構成されています。

表18. REFCON MMRのビット配置

ビット	説明
7~2	予約
1	内部リファレンス・パワーダウン・イネーブル。セットすれば内部リファレンスをパワーダウン・モードにし、外部リファレンスとして使用します。クリアすれば内部リファレンスをノーマル・モードにし、ADC変換に使用します。
0	内部リファレンス出力イネーブル。セットすれば2.5Vの内部リファレンスをV _{REF} ピンに接続します。このリファレンスは外付け部品に使用できますが、バッファリングする必要があります。クリアすればリファレンスをV _{REF} ピンから切り離します。

不揮発性Flash/EEメモリ

ADuC7019/20/21/22/24/25/26/27は、Flash/EEメモリ技術を採用することによって、インサーキットで再プログラム可能な不揮発性のメモリ空間を提供します。

EEPROMと同様に、フラッシュ・メモリは、バイト・レベルでインシステム・プログラミングが可能です。ただし、最初に消去が必要であり、この消去はページ・ブロック単位で実行されます。そのため、フラッシュ・メモリはしばしば正式にFlash/EEメモリと呼ばれることがあります。

全体として、Flash/EEメモリは理想的なメモリ・デバイスに一步近く、不揮発性、インサーキット・プログラム機能を備え、高集積度で低価格です。ADuC7019/20/21/22/24/25/26/27にFlash/EEメモリ技術を内蔵することにより、リモート動作ノードでワンタイム・プログラマブル (OTP) デバイスを交換することなく、インサーキットでプログラム・コード空間を更新できます。

ADuC7019/20/21/22/24/25/26/27には、64kBアレイのFlash/EEメモリがあります。下位62kBはユーザが使用でき、上位2kBには書換え不可能な組込みファームウェアがあるため、インサーキット・シリアル・ダウンロードが可能です。このような2kBの組込みファームウェアには、パワーオン設定ルーチンもあり、出荷時キャリブレーション済みの係数をさまざまなキャリブレーション済みペリフェラル (ADC、温度センサー、バンドギャップ・リファレンスなど) にダウンロードできます。この2kB組込みファームウェアは、ユーザ・コードからは隠されています。

Flash/EEメモリの信頼性

デバイス上のFlash/EEメモリ・アレイは、Flash/EEメモリの書換え回数とデータ保持という、Flash/EEメモリの2つの重要な特性に対する条件を完全に満たしています。

書換え回数では、Flash/EEメモリが書込み、読出し、消去の各サイクルに繰返し耐えられる能力を定量化します。1つの書換えサイクルは、以下のように定義される、4つの独立したシーケンシャルなイベントにより構成されます。

1. 初期ページ消去シーケンス。
2. 読出し / 検証シーケンス、1つのFlash/EE。
3. バイト書込みシーケンス、メモリ。
4. 2回目の読出し / 検証シーケンス、書換えサイクル。

信頼性検定では、Flash/EEメモリ内の3つのページ (先頭、中央、末尾) のすべてのハーフ・ワード (16ビット幅) 位置が、0x0000から0xFFFFまで10,000回循環させられます。表1に示したように、このデバイスのFlash/EEメモリの耐久性検定は、-40 ~ +25 と +25 ~ +125 の工業用温度範囲にわたって、JEDEC Retention Lifetime Specification (データ保持期間仕様) A117に準拠して実施されています。この結果により、10,000サイクルの電源および温度にわたって、最小の書換え回数を規定できます。

データ保持期間では、Flash/EEメモリが書き込まれたデータを保持する能力を定量化します。この場合も、デバイスは、規定のジャンクション温度 ($T_J = 85$) での正式なJEDEC Retention Lifetime Specification (A117) に準拠して検定されています。この検定手順の一部として、Flash/EEメモリを前述の規定書換え回数までサイクル・テストした後に、データ保持期間をキャラクタライゼーションしています。つまり、Flash/EEメモリでは、再書込みのたびに、そのデータが規定のデータ保持期間にわたって保持されることが保証されます。さらに、0.6eVの活性化エネルギーに基づくデータ保持期間は、 T_J の上昇とともに短くなります (図49を参照)。

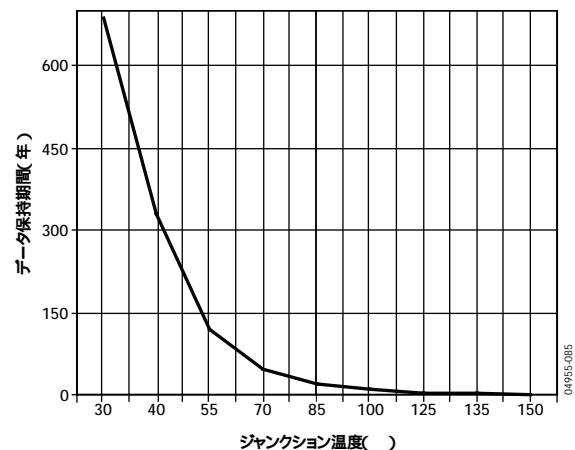


図49. Flash/EEメモリのデータ保持期間

プログラミング

62kBのFlash/EEメモリは、シリアル・ダウンロード・モードまたはJTAGモードを利用してインサーキットでプログラムできます。

シリアル・ダウンロード (インサーキット・プログラミング)

ADuC7019/20/21/22/24/25/26/27では、UARTシリアルポートまたはI²Cポートによって、コードのダウンロードができます。ADuC7019/20/21/22/24/25/26/27はBMピンが外付け1kΩ抵抗によってローレベルになっている場合は、リセットまたはパワー・サイクルの後でシリアル・ダウンロード・モードに入ります。シリアル・ダウンロード・モードに入ると、デバイスをターゲット・アプリケーション・ハードウェアに実装したままで、62kBまでのコードをFlash/EEメモリにダウンロードできます。PCシリアル・ダウンロードのプログラムは、UARTによるシリアル・ダウンロード向け開発システムに付属しています。UARTとI²Cによるシリアル・ダウンロード・プロトコルについては、ADIのWebサイト (www.analog.com/microconverter) にあるアプリケーション・ノートをご覧ください。

JTAGアクセス

JTAGプロトコルでは、オンチップJTAGインターフェースを使用して、コードのダウンロードとデバッグを容易にします。JTAGによるプロトコルについては、ADIのWebサイト (www.analog.com/microconverter) にあるアプリケーション・ノートをご覧ください。

ADuC7019/20/21/22/24/25/26/27

1つのFlash/EE位置アドレスには、書込みは2回までできます。1つのアドレスへの書込みが2回を超えた場合は、Flash/EEメモリ内のデータは破損することがあります。つまり、バイト単位でのみゼロをたどることができます。

セキュリティ

ユーザが使用できる62kBのFlash/EEメモリには、読出し/書込みの保護を付けることができます。

FEETPRO/FEEHIDE MMR (表22) のビット31は、JTAGおよびパラレル・プログラミング・モードでの62kBの読出しを禁止します。このレジスタの他の31ビットは、フラッシュ・メモリへの書込みを禁止します。各ビットは4ページ(2kB)を保護します。書込み保護は、すべてのアクセス・タイプに対して有効です。

3レベルの保護

- FEEHIDE MMRに直接書き込むことによって、保護を設定および解除できます。この保護はリセット後には解除されません。
- FEETPRO MMRへの書込みによって保護を設定できます。この保護は保護保存コマンド(0x0C)とリセットの後でのみ有効になります。直接アクセスを回避するため、FEETPRO MMRはキーによって保護されます。このキーは1度保存され、FEETPROを変更するとき再入力します。全消去ではキーは0xFFFFに戻り、ユーザ・コードもすべて消去されます。
- フラッシュを恒久的に保護するには、FEETPRO MMRへの書込みに加えて、キーの特定値(0xDEADDEAD)を使用します。キーを再入力してFEETPROレジスタを変更することはできません。

キーの書込みシーケンス

- 保護するページに対応するFEETPROのビットに書き込みます。
- FEEMODのビット6をセットしてキー保護をイネーブルにします(ビット5=0としてください)。
- FEETADR、FEETDATの32ビット・キーに書き込みます。
- FEETCONでキー書込みコマンド0x0Cを実行します。FEETSTAを監視して読出しの成功を待ちます。
- デバイスをリセットします。

保護を解除または変更するには、同じシーケンスでFEETPROの変更された値を使用します。選択されたキーが値0xDEADの場合は、メモリ保護は解除できません。全消去のみがデバイスの保護を解除しますが、ユーザ・コードもすべて消去されます。

キーの書込みシーケンスを次の例に示します。この例では、フラッシュの4~7ページへの書込みが保護されます。

```
FEETPRO=0xFFFFFFFF; // 4~7ページを保護
FEEMOD=0x48; // キー書込みイネーブル
FEETADR=0x1234; // 16ビット・キー値
FEETDAT=0x5678; // 16ビット・キー値
FEETCON= 0x0C; // キー書込みコマンド
```

FEETADR = 0xDEADとFEETDAT = 0xDEADによりデバイスを恒久的に保護するには、これと同じシーケンスに従ってください。

Flash/EE制御インターフェース

シリアル、パラレル、JTAGプログラミングでは、ここで説明する8つのMMRを内蔵したFlash/EE制御インターフェースを使用します。

FEETSTAレジスタ

名前	アドレス	デフォルト値	アクセス
FEETSTA	0xFFFFF800	0x20	R

FEETSTAは読出し専用レジスタで、表19に示すフラッシュ制御インターフェースのステータスを反映します。

表19. FEETSTA MMRのビット配置

ビット	説明
15~6	予約
5	バースト・コマンド・イネーブル。バースト・コマンド(0x07, 0x08, 0x09)の場合にセットされます。他のコマンドの場合にクリアされます。
4	予約
3	フラッシュ割込みステータス・ビット。割込みが発生した(コマンドが完了し、FEEMODレジスタのFlash/EE割込みイネーブル・ビットがセットされた)場合に、自動的にセットされます。FEETSTAレジスタの読出し時にクリアされます。
2	Flash/EEコントローラ・ビジー。コントローラがビジーの場合に自動的にセットされます。コントローラがビジーでない場合に自動的にクリアされます。
1	コマンド失敗。コマンドが異常終了した場合に自動的にセットされます。FEETSTAレジスタの読出し時に自動的にクリアされます。
0	コマンド成功。コマンドが正常終了した場合にMicroConverterによってセット。FEETSTAレジスタの読出し時に自動的にクリアされます。

FEEMODレジスタ

名前	アドレス	デフォルト値	アクセス
FEEMOD	0xFFFFF804	0x0000	RW

FEEMODでは、フラッシュ制御インターフェースの動作モードを設定します。表20はFEEMOD MMRのビット配置を示します。

表20. FEEMOD MMRのビット配置

ビット	説明
15~9	予約
8	予約。このビットは常に0にしておきます。
7、6、5	予約。キーを書き込むときを除いて、これらのビットは常に0にしておきます。「キーの書込みシーケンス」を参照。
4	Flash/EE割込みイネーブル。セットすればFlash/EE割込みがイネーブルになります。割込みはコマンドの完了時に発生します。クリアすればFlash/EE割込みがディスエーブルになります。
3	消去/書込みコマンド保護。セットすれば消去コマンドと書込みコマンドがイネーブルになります。クリアすればフラッシュを消去/書込みコマンドから保護します。
2、1、0	予約。これらのビットは常に0にしておきます。

FEECONレジスタ

名前	アドレス	デフォルト値	アクセス
FEECON	0xFFFFF808	0x07	RW

FEECONは8ビットの命令・レジスタです。命令を表21に示します。

表21. FEECONの命令・コード

コード	命令	説明
0x00 ¹	ヌル	アイドル状態。
0x01 ¹	単一 読出し	FEEDATに16ビット・データをロードします。FEEADRによってインデックス付けられます。
0x02 ¹	単一 書込み	FEEADRによってポイントされたアドレスにFEEDATを書き込みます。この動作には20μs必要です。
0x03 ¹	消去 - 書込み	FEEADRによってインデックス付けされたページを消去し、FEEADRによってポイントされた場所にFEEDATを書き込みます。この動作には20ms必要です。
0x04 ¹	単一検証	FEEADRによってポイントされた場所の内容とFEEDATのデータを比較します。比較の結果はFEESTAのビット1に返されます。
0x05 ¹	単一消去	FEEADRによってインデックス付けされたページを消去します。
0x06 ¹	全消去	62kBのユーザ空間を消去します。2kBのカーネルは保護されます。この動作には2.48秒必要です。偶発的な実行を防ぐため、命令の実行には命令・シーケンスが必要です。「全消去を実行するための命令・シーケンス」を参照してください。
0x07 ¹	バースト 読出し	デフォルト・命令。書込みは禁止されています。この動作には2サイクル必要です。
0x08	バースト 読出し - 書込み	書込みでは、最大で8つの16ビット・データを処理でき、最大で8×20μs必要です。
0x09	消去 バースト 読出し - 書込み	書込みによってインデックス付けされたページを自動的に消去し、消去コマンドを実行せずにページを書き込みます。このコマンドには、ページの消去に20ms、書き込むデータごとに20μs必要です。
0x0A	予約	予約
0x0B	シグネチャ	64kBのFlash/EEのシグネチャを24ビットのFEESIGN MMRに与えます。この動作には32,778クロック・サイクル必要です。
0x0C	保護	このコマンドは1度しか実行できません。FEEPROの値が保存されます。この値を除去するには、全消去(0x06)またはキーを使用します。
0x0D	予約	予約
0x0E	予約	予約
0x0F	ピンゲ	動作なし。割り込みを生成します。

¹ これらの命令の実行直後には、FEECONの読出しは常に0x07です。

FEEDATレジスタ

名前	アドレス	デフォルト値	アクセス
FEEDAT	0xFFFFF80C	0xFFFF	RW

FEEDATは、16ビット・データ・レジスタです。

FEEADRレジスタ

名前	アドレス	デフォルト値	アクセス
FEEADR	0xFFFFF810	0x0000	RW

FEEADRは、別の16ビット・アドレス・レジスタです。

FEESIGNレジスタ

名前	アドレス	デフォルト値	アクセス
FEESIGN	0xFFFFF818	0xFFFFFFFF	R

FEESIGNは、24ビット・コード・シグネチャです。

FEEPROレジスタ

名前	アドレス	デフォルト値	アクセス
FEEPRO	0xFFFFF81C	0x00000000	RW

FEEPROは、即時保護MMRを提供し、ソフトウェア・キーを必要としません。表22の説明を参照してください。

FEEHIDEレジスタ

名前	アドレス	デフォルト値	アクセス
FEEHIDE	0xFFFFF820	0xFFFFFFFF	RW

FEEHIDEは、それ以降のリセットMMRに保護を提供します。ソフトウェア・キーを必要とします。表22の説明を参照してください。

表22. FEEPROとFEEHIDE MMRのビット配置

ビット	説明
31	読出し保護。セットすればすべてのコードが保護されます。クリアすればコードの読出しが可能になります。
30~0	123~120ページ、119~116ページ、0~3ページの書込み保護。クリアすればページの書込みが保護されます。セットすればページの書込みが可能になります。

全消去を実行するための命令・シーケンス

```
FEEDAT=0x3CFF;
FEEADR = 0xFFFC3;
FEEMOD= FEEMOD | 0x8;           // 消去キー・イネーブル
FEECON=0x06;                   // 全消去コマンド
```

SRAMとFlash/EEからの実行時間

SRAMからの実行

SRAMからの命令フェッチには1クロック・サイクルが必要です。SRAMのアクセス時間が2nsであるのに対し、クロック・サイクルは最小で22nsだからです。ただし、命令がメモリへのデータの読み書きを伴う場合は、データがSRAM内にあればあと1サイクル、データがFlash/EE内にあればあと3サイクル必要です。さらに、命令の実行にもう1サイクル、Flash/EEからの32ビット・データの取得にもう2サイクルを要します。制御フロー命令（たとえば分岐命令）のフェッチには1サイクルが必要ですが、パイプラインに新しい命令をフィルするには2サイクルが必要です。

Flash/EEからの実行

Flash/EEは16ビット幅であり、16ビット・ワードのアクセス時間は22nsであるため、CDビット=0でのSRAMの場合とは異なり、Flash/EEからの実行は1サイクルでは終わりません。また、CDビットの任意の値に対してデータをアクセスするには、事前に若干のデッド・タイムが必要となります。

ARMモードでは、命令は32ビットで、CD=0での命令フェッチには2サイクルが必要です。Thumbモードでは、命令は16ビットで、命令フェッチには1サイクルが必要です。

データ・メモリ用にFlash/EEを使用する命令を実行する場合、いずれのモードでもタイミングは同じです。実行する命令が制御フロー命令の場合、プログラム・カウンタの新アドレスのデコードに1サイクル必要で、パイプラインをフィルするには4サイクル必要です。コア・レジスタのみを伴うデータ処理命令では、追加のクロック・サイクルを必要としません。ただし、Flash/EE内のデータを使用する場合は、データのアドレスのデコードに1クロック・サイクル必要で、Flash/EEからの32ビット・データの取得に2サイクル必要です。次の命令をフェッチする前にも、1サイクルを追加します。データ転送命令はさらに複雑であり、表23に要約します。

表23. ARM / Thumbモードでの実行サイクル

命令	フェッチ・サイクル	デッド・タイム	データ・アクセス	デッド・タイム
LD ¹	2/1	1	2	1
LDH	2/1	1	1	1
LDM/PUSH	2/1	N ²	2 × N ²	N ¹
STR ¹	2/1	1	2 × 20μs	1
STRH	2/1	1	20μs	1
STRM/POP	2/1	N ¹	2 × N × 20μs ¹	N ¹

¹ SWAP命令では、LD命令とSTR命令を1回のフェッチで結合するため、合計で8サイクル+40μsとなります。

² Nは、複数のロード/ストア命令でロードまたはストアするデータの数です（1 < N ≤ 16）。

リセットとリマップ

図49に示すように、すべてのARM例外ベクトルは、メモリ・アレイの最下部（アドレス0x00000000 ~ 0x00000020）に置かれています。



図50. 例外実行のためのリマップ

デフォルトではFlash/EEはリセット後にメモリ・アレイの最下部にミラーリングされます。リマップ機能を使用すれば、プログラムがSRAMをメモリ・アレイの最下部にミラーリングできるため、Flash/EEからではなくSRAMからの例外ルーチンの実行が容易になります。つまり、例外は2倍の速さで実行されます。なぜなら、32ビットのARMモードで実行され、16ビット幅のFlash/EEメモリの代わりに32ビット幅のSRAMを使用するからです。

リマップ動作

ADuC7019/20/21/22/24/25/26/27でリセットが行われると、出荷時設定の内部設定コードで自動的に実行が始まります。このカーネルは隠されており、ユーザ・コードではアクセスできません。ADuC7019/20/21/22/24/25/26/27がノーマル・モードの場合（BMピンがハイレベル）には、カーネルのパワーオン設定ルーチンを実行してから、リセット・ベクトル・アドレス0x00000000にジャンプして、ユーザのリセット例外ルーチンを実行します。

Flash/EEは、リセット時にメモリ・アレイの最下部にミラーリングされるため、リセット割込みルーチンは、常にFlash/EEに書き込んでください。

リマップは、REMAPレジスタのビット0をセットすることによって、Flash/EEから行われます。このコマンドの実行に際しては、SRAMによって置き換えられているアレイの最下部からではなく、アドレス0x00080020より上のFlash/EEから実行してください。

この動作は可逆的です。REMAP MMRのビット0をクリアすることによって、Flash/EEはアドレス0x00000000からリマップできます。この場合も、ミラーリングされた領域の外側からリマップ機能を実行してください。リセットが行われると、Flash/EEメモリはアレイの最下部からリマップされます。

リセット動作

リセットには、外部、パワーオン、ウォッチドッグ満了、ソフトウェア強制という4つの種類があります。RSTSTAレジスタは、最後のリセットのソースを示します。RSTCLRを使用してRSTSTAレジスタをクリアできます。これらのレジスタをリセット例外サービス・ルーチンで使用して、リセットのソースを識別できます。RSTSTAがヌルの場合は、外部リセットです。

REMAPレジスタ

名前	アドレス	デフォルト値	アクセス
REMAP	0xFFFFF0220	0xXX ¹	RW

¹ モデルによって異なります。

表24. REMAP MMRのビット配置

ビット	名前	説明
4	Remap	読出し専用ビット。使用可能なFlash/EEメモリのサイズを示します。このビットがセットされているときは32kBのFlash/EEメモリのみが使用可能です。
3		読出し専用ビット。使用可能なSRAMメモリのサイズを示します。このビットがセットされているときは4kBのSRAMのみが使用可能です。
2、1		予約
0		リマップ・ビット。セットすればSRAMをアドレス0x00000000にリマップします。リセット後には自動的にクリアされ、Flash/EEメモリをアドレス0x00000000にリマップします。

RSTSTAレジスタ

名前	アドレス	デフォルト値	アクセス
RSTSTA	0xFFFFF0230	0x01	RW

表25. RSTSTA MMRのビット配置

ビット	説明
7~3	予約
2	ソフトウェア・リセット。セットすれば強制的にソフトウェアをリセットします。クリアするにはRSTCLR内の対応するビットをセットします。
1	ウォッチドッグ・タイムアウト。ウォッチドッグ・タイムアウトが発生すると自動的にセットされます。クリアするにはRSTCLR内の対応するビットをセットします。
0	パワーオン・リセット。パワーオン・リセットが発生すると自動的にセットされます。クリアするにはRSTCLR内の対応するビットをセットします。

RSTCLRレジスタ

名前	アドレス	デフォルト値	アクセス
RSTCLR	0xFFFFF0234	0x00	RW

ADuC7019/20/21/22/24/25/26/27

その他のアナログ・ペリフェラル

DAC

ADuC7019/20/21/22/24/25/26/27は、モデルによって、2~4つの12ビット電圧出力DACを内蔵しています。各DACには、5kΩ/100pFを駆動できるレールtoレール電圧出力バッファがあります。

各DACでは、0~ V_{REF} (2.5Vの内部バンドギャップ・リファレンス)、0~ DAC_{REF} 、0~ AV_{DD} という3つの出力範囲を選択できます。 DAC_{REF} は、DACの外部リファレンスに相当します。 DAC_{REF} への信号レンジは0~ AV_{DD} です。

MMRインターフェース

各DACは、コントロール・レジスタとデータ・レジスタによって個別に設定可能です。以下の2つのレジスタは、4つのDACで同一です。ここでは、 $DAC0CON$ (表26) と $DAC0DAT$ (表27) について詳細を記します。

DACxCONレジスタ

名前	アドレス	デフォルト値	アクセス
DAC0CON	0xFFFFF0600	0x00	RW
DAC1CON	0xFFFFF0608	0x00	RW
DAC2CON	0xFFFFF0610	0x00	RW
DAC3CON	0xFFFFF0618	0x00	RW

表26. DAC0CON MMRのビット配置

ビット	値	名前	説明
6			予約
5		DACCLK	DAC更新レート。セットすればTimer1を使用してDACを更新します。クリアすればHCLK(コア・クロック)を使用してDACを更新します。
4		DACCLR	DACクリア・ビット。セットすれば通常のDAC動作をイネーブルにします。クリアすればDACのデータ・レジスタをゼロにリセットします。
3			予約。このビットは0にしておきます。
2			予約。このビットは0にしておきます。
1、0	00		DAC範囲ビット。 パワーダウン・モード。DAC出力はトライステート状態になります。
	01		0~ DAC_{REF} 範囲
	10		0~ V_{REF} (2.5V) 範囲
	11		0~ AV_{DD} 範囲

DACxDATレジスタ

名前	アドレス	デフォルト値	アクセス
DAC0DAT	0xFFFFF0604	0x00000000	RW
DAC1DAT	0xFFFFF060C	0x00000000	RW
DAC2DAT	0xFFFFF0614	0x00000000	RW
DAC3DAT	0xFFFFF061C	0x00000000	RW

表27. DAC0DAT MMRのビット配置

ビット	説明
31~28	予約
27~16	DAC0用の12ビット・データ
15~0	予約

DACの使い方

オンチップDACアーキテクチャは、抵抗ストリングDACと、それに続く出力バッファ・アンプから構成されます。図51に、これと等価な機能を示します。

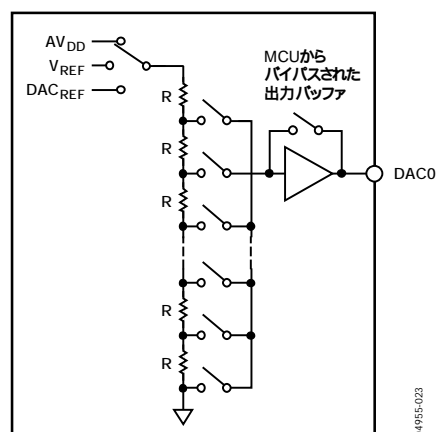


図51. DACの構造

図51に示すように、各DACのリファレンス源は、ユーザがソフトウェアで選択でき、 AV_{DD} 、 V_{REF} 、 DAC_{REF} のいずれかとすることができます。DAC出力伝達関数の範囲は、0~ AV_{DD} モードでは0Vから AV_{DD} ピンでの電圧、0~ DAC_{REF} モードでは0Vから DAC_{REF} ピンでの電圧、0~ V_{REF} モードでは0Vから2.5Vの内部リファレンス V_{REF} となります。

DAC出力バッファ・アンプは、レールtoレール出力段を備えています。無負荷の各出力は、 AV_{DD} とグラウンドの両方の5mV未満の範囲内でシングできます。またDACの直線性仕様(5kΩの抵抗性負荷を駆動する場合は、コード0~100、0~ AV_{DD} モードではコード3995~4095を除いて、保証されます。

グラウンドと V_{DD} の近くでの直線性劣化は、出力アンプの飽和によって発生します。その一般的な影響を示します。なお、図52では、0~ AV_{DD} モードのみの伝達関数を示します。0~ V_{REF} モードや0~ DAC_{REF} モード($V_{REF} < AV_{DD}$ または $DAC_{REF} < AV_{DD}$)では、下位の非直線性は同様です。しかし、伝達関数の上位部分は、エンド(この場合、 AV_{DD} ではなく V_{REF})まで「理想的な」線に従い、エンドポイント直線性誤差はまったく生じません。

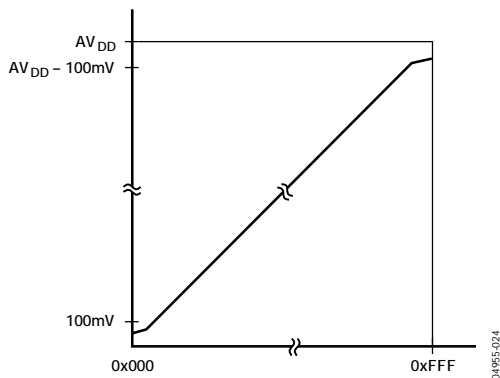


図52. アンプ飽和によって発生するエンドポイント非直線性

図52に概念を示したエンドポイント非直線性は、出力負荷に応じて悪化します。ADuC7019/20/21/22/24/25/26/27のデータシート仕様の多くは、DAC出力から5kΩの抵抗性負荷をグラウンドへ接続すると想定しています。出力がさらに多くの電流をソースまたはシンクするように強制されると、図51のそれぞれ上部または下部にある非直線領域は大きくなります。大きな電流を必要とする場合は、これによって出力電圧振幅が著しく制限されます。

グラウンドに近い値で出力アンプの飽和の影響を減らし、オフセット誤差とゲイン誤差を減らすには、DACコントロールレジスタで内部バッファをバイパスできます。これにより、DACからの完全なレールtoレール出力が可能になります。レールtoレール出力を得るには、両電源オペアンプを使用して、これを外部的にバッファリングしてください。この外付けバッファは、PCB上のDAC出力ピンにできるだけ近づけて配置してください。

電源モニタ

電源モニタは、ADuC7019/20/21/22/24/25/26/27上のIOV_{DD}電源をモニタし、IOV_{DD}電源ピンが2つの電源トリップ・ポイントのいずれかを下回るとビットに反映させます。このモニタ機能は、PSMCONレジスタによって制御されます。IRQENまたはFIQENレジスタで割り込みがイネーブルになっている場合、このモニタは、PSMCON MMRのPSMIビットを使用して、コアに割り込みを発生させます。CMPがハイレベルになると、このビットはすぐにクリアされます。

このモニタ機能を使用し、作業用のレジスタを保存することにより、低電源や電圧低下状態によって発生するデータ損失を回避できます。また、安全な電源レベルが確立されるまで、通常のコード実行を再開させないこともできます。

PSMCONレジスタ

名前	アドレス	デフォルト値	アクセス
PSMCON	0xFFFFF0440	0x0008	RW

表28. PSMCON MMRのビット説明

ビット	名前	説明
3	CMP	コンパレータ・ビット。これは読出し専用ビットで、コンパレータの状態を反映します。読出し1は、IOV _{DD} 電源がその選択したトリップ・ポイントを上回ること、またはPSMがパワーダウン・モードにあることを示します。読出し0は、IOV _{DD} 電源が選択したトリップ・ポイントを下回ること示します。割り込みサービス・ルーチンから戻る際にはこのビットをセットしてください。
2	TP	トリップ・ポイント選択ビット、0 = 2.79V、1 = 3.07V
1	PSMEN	電源モニタ・イネーブル・ビット。セットすれば電源モニタ回路がイネーブルになります。クリアすれば電源モニタ回路がディスエーブルになります。
0	PSMI	電源モニタ割り込みビット。CMPがローレベルになると、MicroConverterはこのビットをハイレベルに設定して、IOV _{DD} 電圧低下を示します。PSMIビットを使用して、プロセッサに割り込みをかけることができます。CMPがハイレベルに戻ると、この場所に1を書き込んでPSMIビットをクリアできます。0を書き込んでも効果はありません。タイムアウト遅延はありません。CMPがハイレベルになると、PSMIはすぐにクリアされます。

ADuC7019/20/21/22/24/25/26/27

コンパレータ

ADuC7019/20/21/22/24/25/26/27は汎用電圧コンパレータを内蔵しています。正側入力にはADC2によって多重化され、負側入力には、ADC3とDAC0という2つの設定があります。コンパレータの出力は、システム割込みを発生するように設定したり、プログラマブル・ロジック・アレイに直接接続したり、ADC変換を開始させたり、図53に示すように、外部ピンCMP_{OUT}に接続したりできます。

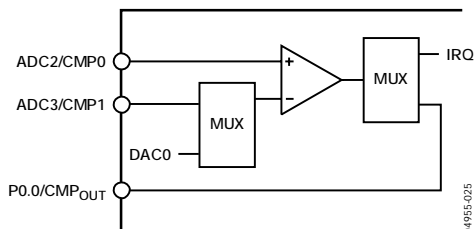


図53. コンパレータ

ヒステリシス

図54は、入力オフセット電圧とヒステリシスの関係を定義しています。入力オフセット電圧 (V_{OS}) は、ヒステリシス範囲の中心とグラウンド・レベルとの差異です。これは、正または負とすることができます。ヒステリシス電圧 (V_H) は、ヒステリシス範囲の幅の1/2です。

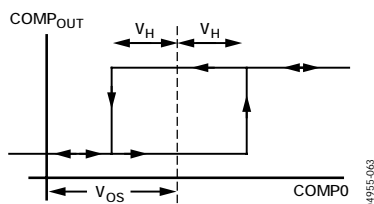


図54. コンパレータのヒステリシス伝達関数

コンパレータのインターフェース

コンパレータのインターフェースは、16ビットMMRのCMPCONから構成されています。表29にCMPCON MMRを示します。

CMPCONレジスタ

名前	アドレス	デフォルト値	アクセス
CMPCON	0xFFFF0444	0x0000	RW

表29. CMPCON MMRのビット説明

ビット	値	名前	説明
15 ~ 11			
10		CMPEN	予約 コンパレータ・イネーブル・ビット。セットすればコンパレータがイネーブルになります。クリアすればコンパレータがディスエーブルになります。
9, 8		CMPIN	コンパレータ負側入力選択ビット
	00		AVDD/2
	01		ADC3入力
	10		DAC0出力
	11		予約
7, 6		CMPOC	コンパレータ出力設定ビット
	00		予約
	01		予約
	10		CMPOUTでの出力
	11		IRQ
5		CMPOL	コンパレータ出力ロジック状態ビット。正側入力 (CMP0) が負側入力 (CMP1) を上回り、コンパレータ出力がハイレベルの時ビットセット。正側入力負側入力を下回り、コンパレータ出力がハイレベルの時ビットクリア。
4, 3		CMPRES	応答時間
	00		10 μ s
	01		5 μ s
	10		1 μ s
	11		0.5 μ s
2		CMPHYST	コンパレータ・ヒステリシス・ビット。セットすれば約7.5mVのヒステリシスを持ちます。クリアすればヒステリシスを持ちません。
1		CMPORI	コンパレータ出力の立上がりエッジ割込み。監視される電圧 (CMP0) で立上がりエッジが発生すると、自動的にセットされます。クリアするには1を書き込みます。
0		CMPOFI	コンパレータ出力の立下がりエッジ割込み。監視される電圧 (CMP0) で立下がりエッジが発生すると、自動的にセットされます。ユーザがクリアします。

発振器とPLL - パワー制御

クロック・システム

ADuC7019/20/21/22/24/25/26/27は、32.768kHz ± 3%の発振器、クロック・デバイダ、PLLを内蔵しています。PLLは、内部発振器または32.768kHzの外部水晶発振器の倍数（1275）にロックして、システムに安定した41.78MHzのクロックを供給します。節電のために、コアはこの周波数で動作することも、これを2進整数で分周した周波数で動作することもできます。デフォルトのコア・クロックは、PLLクロックの8分周（CD = 3）つまり5.12MHzです。図54に示すように、コア・クロック周波数も、ECLKピン上の外部クロックから得ることができます。内部発振器または外部水晶発振器を使用するとき、コア・クロックはECLKピンに出力できます。

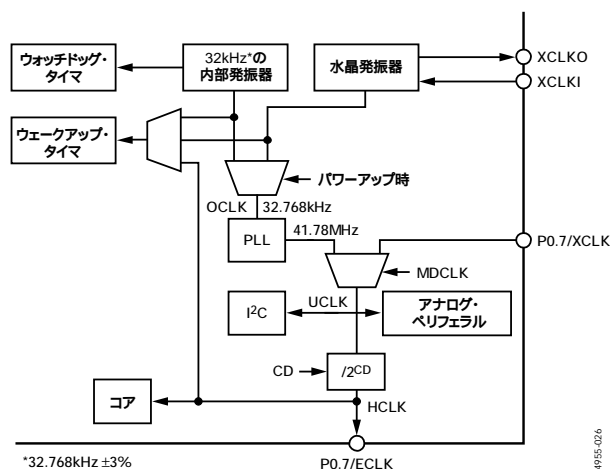


図55. クロック・システム

クロック源の選択は、PLLCONレジスタで行います。デフォルトではPLLに接続された内部発振器を使用します。

表30. 動作モード

モード	コア	ペリフェラル	PLL	XTAL/T2/T3	XIRQ	スタートアップ / パワーオン時間
アクティブ	x	x	x	x	x	CD = 0で130ms
ポーズ		x	x	x	x	CD = 0で24ns。CD = 7で3μs
ナップ			x	x	x	CD = 0で24ns。CD = 7で3μs
スリープ				x	x	1.58ms
ストップ					x	1.7ms

表31. 25 での消費電流 (typ)

PC[2-0]	モード	CD = 0	CD = 1	CD = 2	CD = 3	CD = 4	CD = 5	CD = 6	CD = 7
000	アクティブ	33.1	21.2	13.8	10	8.1	7.2	6.7	6.45
001	ポーズ	22.7	13.3	8.5	6.1	4.9	4.3	4	3.85
010	ナップ	3.8	3.8	3.8	3.8	3.8	3.8	3.8	3.8
011	スリープ	0.4	0.4	0.4	0.4	0.4	0.4	0.4	0.4
100	ストップ	0.4	0.4	0.4	0.4	0.4	0.4	0.4	0.4

外部水晶発振器の選択

外部水晶発振器に切り替えるには、PLLCON MMRのOSELビットをクリアします（表32を参照）。ノイズの多い環境では、ノイズが外部水晶ピンに乗って、PLLが瞬間的にロックを失うことがあります。PLL割込みは、割込みコントローラで提供します。コア・クロックはすぐに停止され、この割込みはロックが復旧したときのみ処理されます。

水晶発振器欠損の場合、ウォッチドッグ・タイマを使用します。初期化時にRSTSTAをテストすれば、リセットの原因がウォッチドッグ・タイマであるかどうかを判断できます。

外部クロックの選択

P0.7で外部クロックに切り替えるには、P0.7をモード1に設定し、MDCLKビットを11に設定します。許容誤差が1%の場合、外部クロックは最大44MHzとすることができます。

パワー制御システム

ADuC7019/20/21/22/24/25/26/27では動作モードの選択が可能です。

表30は、モードごとのパワーオン部分とパワーアップ時間を示します。表31は、消費電流（アナログ + デジタル電源電流）の合計値（typ）を、モード別、クロック・デバイダ・ビット別に表示します。ADCはオフにされます。なお、これらの値には、測定に使用したテスト・ボード上のレギュレータやその他のパーツの消費電流も含まれます。

ADuC7019/20/21/22/24/25/26/27

MMRとキー

動作モード、クロック・モード、プログラマブル・クロック・デバイダは、PLLCON (表32を参照) とPOWCON (表33を参照) という2つのMMRによって制御されます。PLLCONは、クロック・システムの動作モードを制御します。POWCONは、コア・クロック周波数とパワーダウン・モードを制御します。

PLLCONレジスタとPOWCONレジスタへの書込みの際には、偶発的なプログラミングを防止するため、表34に示す特定のシーケンスに従ってください。

PLLKEYxレジスタ

名前	アドレス	デフォルト値	アクセス
PLLKEY1	0xFFFF0410	0x0000	W
PLLKEY2	0xFFFF0418	0x0000	W

PLLCONレジスタ

名前	アドレス	デフォルト値	アクセス
PLLCON	0xFFFF0414	0x21	RW

POWKEYxレジスタ

名前	アドレス	デフォルト値	アクセス
POWKEY1	0xFFFF0404	0x0000	W
POWKEY2	0xFFFF040C	0x0000	W

POWCONレジスタ

名前	アドレス	デフォルト値	アクセス
POWCON	0xFFFF0408	0x0003	RW

表32. PLLCON MMRのビット配置

ビット	値	名前	説明
7、6、5		OSEL	予約 32kHzのPLL入力選択。セットすれば32kHzの内部発振器を使用します (デフォルト)。クリアすれば32kHzの外部水晶発振器を使用します。
4、3、2			予約
1、0		MDCLK	クロック・モード
	00		予約
	01		PLL。デフォルト設定
	10		予約
	11		P0.7ピンの外部クロック

表33. POWCON MMRのビット配置

ビット	値	名前	説明
7			予約
6、5、4		PC	動作モード
	000		アクティブ・モード
	001		ポーズ・モード
	010		ナップ
	011		スリープ・モード。IRQ0~IRQ3、Timer2は、ADuC7019/20/21/22/24/25/26/27をウェイクアップできます。
	100		ストップ・モード。IRQ0~IRQ3は、ADuC7019/20/21/22/24/25/26/27をウェイクアップできません。
		その他	予約
3			予約
2、1、0		CD	CPUのクロック・デバイダ・ビット
	000		41.78MHz.
	001		20.89MHz.
	010		10.44MHz.
	011		5.22MHz.
	100		2.61MHz.
	101		1.31MHz.
	110		653kHz.
	111		326kHz.

表34. PLLCONとPOWCONの書込みシーケンス

PLLCON	POWCON
PLLKEY1 = 0xAA PLLCON = 0x01 PLLKEY2 = 0x55	POWKEY1 = 0x01 POWCON = ユーザ値 POWKEY2 = 0xF4

デジタル・ペリフェラル

3相PWM

ADuC7019/20/21/22/24/25/26/27は、柔軟でプログラマブルな、3相パルス幅変調 (PWM) 波形発生器を提供します。プログラムによって、交流インダクションモータ (ACIM) 制御用の3相電圧形インバータを駆動するのに必要なスイッチング・パターンを生成できます。

なお、パターンはアクティブ・ハイのパターンのみです。

PWM発生器は、6本のPWM出力ピン (PWM0H、PWM0L、PWM1H、PWM1L、PWM2H、PWM2L) 上に3ペアのPWM信号を生成します。6つのPWM出力信号は、3つのハイサイド駆動信号と、3つのローサイド駆動信号から構成されています。

生成されたPWMパターンのスイッチング周波数とデッド・タイムは、PWMDAT0とPWMDAT1のMMRを使用してプログラムできます。さらに、3本のデューティサイクル・コントロール・レジスタ (PWMCH0、PWMCH1、PWMCH2) は、3ペアのPWM信号のデューティサイクルを直接制御します。

6つのPWM出力信号は、PWMEINレジスタの個々の出力イネーブル・ビットによって、個別にイネーブル/ディスエーブルにできます。さらに、PWMEINレジスタの3つの制御ビットにより、PWMペアの2つの信号のクロスオーバーが可能になります。クロスオーバー・モードでは、ハイサイド・スイッチ向けのPWM信号は、ローサイドの相補出力に方向転換されます。ローサイド・スイッチ向けの信号は、対応するハイサイド出力信号に方向転換されます。

アプリケーションの多くでは、インバータのパワー・デバイスをオンにするゲート駆動回路に絶縁バリアを設置する必要があります。一般的なものとしては、フォトカプラを使用する光学的絶縁と、パルス・トランスを使用するトランス絶縁という2つの技術があります。PWMコントローラでは、出力PWM信号と高周波チョッピング信号とのミキシングが可能であるため、このようなパルス・トランスへのインターフェースが容易になります。このゲート駆動チョッピング・モードの機能は、PWMCFGレジスタによって制御できます。チョッピング周波数は、PWMCFGレジスタ内の8ビット値により直接制御されます。PWMCFGレジスタの個々の制御ビットを使用すれば、ハイサイドとローサイドの出力に対して、高周波チョッピングを個別にイネーブルにできます。

PWM発生器は、シングル更新モードまたはダブル更新モードのいずれかで動作できます。シングル更新モードでは、デューティサイクル値は、PWM周期ごとに1回のみプログラム可能であるため、結果として得られるPWMパターンは、PWM周期のミッドポイントについて対称です。ダブル更新モードでは、PWMデューティサイクル値の2番目の更新は、PWM周期のミッドポイントで実行されます。

ダブル更新モードでは、3相PWMインバータ内に下位高調波歪みを生成する、非対称のPWMパターンを生成することも可能です。この技術により、クローズド・ループ・コントローラは、電気機器に印加される平均電圧を高速に変更できます。その結果、高速なクローズド・ループ帯域幅が得られます。PWMブロックの動作モードは、PWMCONレジスタの制御ビットによって選択されます。シングル更新モードでは、各PWM周期の初めに、PWMSYNCパルスが生成されます。ダブル更新モードでは、各PWM周期のミッドポイントで新たなPWMSYNCパルスが生成されます。

PWMブロックでは、PWMスイッチング周波数に同期しているSYNCピン上に、内部同期パルスを提供することもできます。シングル更新モードでは、各PWM周期の初めにパルスが生成されます。ダブル更新モードでは、各PWM周期のミッドポイントで新たなパルスが生成されます。パルスの幅は、PWMDAT2レジスタによってプログラム可能です。PWMブロックは、SYNCピン上に外部同期パルスを受け付けることもできます。外部同期と内部同期の選択は、PWMCONレジスタで指定します。SYNCの入力タイミングは、PWMCONレジスタで選択される内部ペリフェラル・クロックに同期させることができます。チップ・ピンからの外部同期パルスが、内部ペリフェラル・クロックに非同期的な場合 (代表的な場合) には、外部SYNCは非同期と見なされ、同期をとる必要があります。同期ロジックは、外部パルスから実際のPWM出力までの遅延とジッタを増やします。SYNCピン上のパルスのサイズは、2コア・クロック周期よりも大きくします。

ADuC7019/20/21/22/24/25/26/27によって生成されるPWM信号は、専用の非同期PWMシャットダウン・ピンPWMTRIPによって遮断できます。PWMTRIPをローレベルにすると、6つのすべてのPWM出力は瞬時にオフ状態 (ハイレベル) になります。このハードウェア・シャットダウン機構は非同期的なため、関連するPWMディスエーブル回路は、クロック・ロジック状態にはなりません。これにより、たとえコア・クロック損失が発生した場合でも、正しいPWMシャットダウンが保証されます。

PWMシステムのステータス情報は、PWMSTAレジスタを通じて入手できます。具体的には、PWMTRIPピンの状態がわかるほか、動作がPWM周期の前半にあるか後半にあるかを示すビットもあります。

40ピンのパッケージ・デバイス

40ピンのパッケージ・デバイスでは、「汎用I/O」で説明したように、PWM出力に直接アクセスすることはできません。次例に示すように、PLAを介して1つのチャンネルを汎用I/O上に引き出すことができます。

ADuC7019/20/21/22/24/25/26/27

```

PWMCON = 0x1;           // PWM動作をイネーブル
PWMDAT0 = 0x055F;      // PWMスイッチング周波数

// ポート・ピンを設定
GP4CON = 0x300;        // P4.2をPLA出力として
GP3CON = 0x1;          // P3.0を（内部的に）
                        // PWM0の出力として
                        // 設定

// PWM0をP4.2に
PLAELM8 = 0x0035;      // P3.0 (PWM出力)
                        // エLEMENT8の入力
PLAELM10 = 0x0059;    // ELEMENT8からのPWM
    
```

PWMブロックの説明

図56は、PWMコントローラの機能ブロック図を示します。ピンPWM0H ~ PWM2Lでの6つの出力PWM信号の生成は、以下の4つの重要なブロックによって制御されます。

- 3相PWMタイミング・ユニット。PWMコントローラのコアで、補完およびデッド・タイム調整された、センターベースの3ペアのPWM信号を生成します。

- 出力制御ユニット。このブロックでは、チャンネルごとの3相タイミング・ユニットの出力を、ハイサイドまたはローサイドの出力にリダイレクトできます。さらに、出力制御ユニットによって、6つのPWM出力信号を個別にイネーブル/ディスエーブルにできます。
- ゲート駆動ユニット。このブロックでは、高周波チョッピング周波数を生成して、PWM信号とのミキシングが可能です。
- PWMシャットダウン・コントローラ。このブロックでは、PWMTRIPピンを介してPWMシャットダウンを管理し、タイミング・ユニット用に正しいIRESET信号を生成します。

PWM同期パルス制御ユニットは、内部同期パルスを生成するのみでなく、外部SYNCピンを使用するかどうかも制御します。

PWMコントローラは、ADuC7019/20/21/22/24/25/26/27のコア・クロック周波数で駆動され、ARMコアに2つの割り込みを生成できます。1つの割り込みは、PWMSYNCパルスの発生時に生成され、もう1つの割り込みは、PWMシャットダウン・アクションの発生時に生成されます。

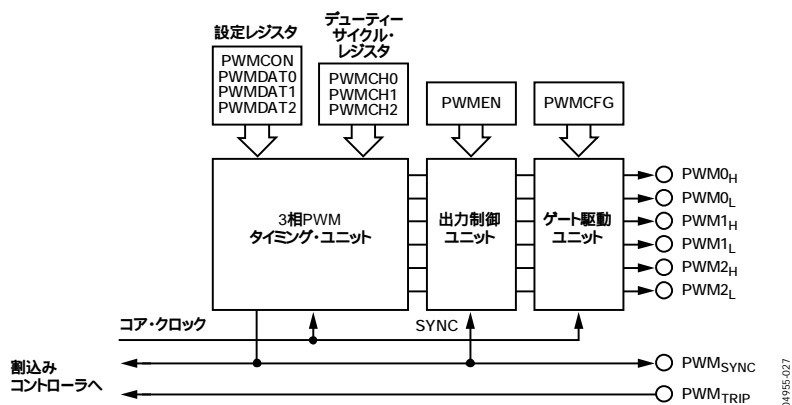


図56. PWMコントローラの概要

3相タイミング・ユニット

PWMスイッチング周波数 (PWMDAT0 MMR)
 PWMスイッチング周波数は、PWM周期レジスタPWMDAT0によって制御されます。PWMコントローラの基本タイミング・ユニットは、次のようになります。

$$t_{CORE} = 1/f_{CORE}$$

ここで、 f_{CORE} はMicroConverterのコア周波数です。

したがって、41.78MHzの f_{CORE} では、基本的な時間増分は24nsです。PWMDAT0レジスタに書き込まれる値は、実質的にPWM周期の1/2における f_{CORE} クロック増分の数です。必要なPWMDAT0値は、希望するPWMスイッチング周波数 (f_{PWN}) の関数で、次の式で表すことができます。

$$PWMDAT0 = f_{CORE} / (2 \times f_{PWN})$$

したがって、PWMスイッチング周期 T_S は、次のように記述できます。

$$T_S = 2 \times PWMDAT0 \times t_{CORE}$$

16ビットのPWMDAT0 MMRに書き込みできる最大値は0xFFFF = 65535です。これは、次に示すPWMの最小スイッチング周波数に対応します。

$$f_{PWN(min)} = 41.78 \times 10^6 / (2 \times 65535) = 318.75\text{Hz}$$

なお、PWMDAT0の値0と1は定義されていないため、使用できません。

PWMスイッチング・デッド・タイム (PWMDAT1 MMR)
 PWMブロックの初期設定において設定する必要がある2番目の重要なパラメータは、スイッチング・デッド・タイムです。これは、1つのPWM信号 (たとえば0H) のターンオフと相補信号 (0L) のターンオンとの間に導入される、短い遅延時間です。この短い遅延時間が導入される理由は、相補スイッチがターンオンされる前に、パワー・スイッチをターンオフ (この場合は、0H) して、そのブロッキング機能を完全に回復させるためです。この遅延時間によって、代表的な電圧形インバータの直流リンク・コンデンサの両端に潜在的に破壊的な短絡条件が生じることが避けられます。

デッド・タイムは、10ビットの読み出し/書き込みPWMDAT1レジスタによって制御されます。3ペアのすべてのPWM出力信号に挿入されたデッド・タイムを、1本のデッドタイム・レジスタだけで制御します。デッド・タイムTDは、次のように、PWMDAT1レジスタの値と関連しています。

$$TD = PWMDAT1 \times 2 \times t_{CORE}$$

したがって、0x00A (= 10) というPWMDAT1値では、PWM信号 (たとえば0H) のターンオフとその相補信号 (0L) のターンオンとの間に、426nsの遅延が導入されます。したがって、デッド・タイムの量は、 $2t_{CORE}$ (41.78MHzのコア・クロックでは49ns) の増分でプログラムできます。

PWMDAT1レジスタは、最大値0x3FF (= 1023) を持つ10ビット・レジスタです。この値は、次に示す最大のプログラム・デッド・タイムに対応します。

$$TD_{(max)} = 1023 \times 2 \times t_{CORE} = 1023 \times 2 \times 24 \times 10^{-9} = 48.97\mu\text{s}$$

ただし、コア・クロックは41.78MHzです。

言うまでもなく、PWMDAT1レジスタに0を書き込むと、デッド・タイムをゼロにプログラムできます。

PWMの動作モード (PWMCON MMR、PWMSTA MMR)
 前述のように、ADuC7019/20/21/22/24/25/26/27のPWMコントローラは、シングル更新モードとダブル更新モードという2つのモードで動作できます。PWMコントローラの動作モードは、PWMCONレジスタのビット2の状態によって決まります。このビットがクリアされた場合、PWMはシングル更新モードで動作します。ビット2をセットすると、PWMはダブル更新モードになります。デフォルトの動作モードは、シングル更新モードです。

シングル更新モードでは、各PWM周期で1つのPWMSYNCパルスが生成されます。この信号の立上がりエッジは、新しいPWMサイクルの開始を示すもので、PWM設定レジスタ (PWMDAT0とPWMDAT1) およびPWMデューティサイクル・レジスタ (PWMCH0、PWMCH1、PWMCH2) からの新しい値を3相タイミング・ユニットにラッチするために使用されます。さらに、PWMSYNCパルスの立上がりエッジでは、PWMDAT0レジスタも出力制御ユニットにラッチされます。これは事実上、PWM信号の特性と結果として得られるデューティサイクルは、PWM周期ごとに各サイクルの初めに1度のみ更新できることを意味します。結果として得られるPWMパターンは、スイッチング周期のミッドポイントについて対称です。

ダブル更新モードでは、各PWM周期のミッドポイントにおいて新たなPWMSYNCパルスが生成されます。この新しいPWMSYNCパルスの立上がりエッジは、PWM設定レジスタ、デューティサイクル・レジスタ、PWMDAT0レジスタの新しい値をラッチするために、再び使用されます。その結果、各PWMサイクルのミッドポイントでは、特性 (スイッチング周波数とデッド・タイム) と出力デューティサイクルの両方を変更できます。したがって、周期のミッドポイントについて対称でないPWMスイッチング・パターン (非対称のPWMパターン) を生成することもできます。ダブル更新モードでは、任意の時点での動作が、PWMサイクルの前半にあるか後半にあるかを知ることも必要になります。この情報はPWMSTAレジスタのビット0によって得られます。このビットは、各PWM周期の前半 (元のPWMSYNCパルスの立上がりエッジと、ダブル更新モードで導入された新しいPWMSYNCパルスの立上がりエッジの間) での動作時にクリアされます。PWMSTAレジスタのビット0は、各PWM周期の後半での動作時にセットされます。このステータス・ビットを使用すれば、必要ならば、PWMSYNC割込みサービス・ルーチンの実装時に、ユーザが特定のハーフ・サイクルを判定できます。

ADuC7019/20/21/22/24/25/26/27

ダブル更新モードの利点は、PWMプロセスによって下位高調波電圧を生成できること、および高速な制御帯域幅が可能であることです。しかし、あるPWMスイッチング周波数に対して、ダブル更新モードではPWMSYNCパルスが2倍のレートで発生します。各PWMSYNC割込みサービス・ルーチンでは新しいデューティサイクル値を計算する必要があるため、ダブル更新モードでは、ARMコアでの計算負荷が増大します。

PWMのデューティサイクル (PWMCH0 MMR、PWMCH1 MMR、PWMCH2 MMR)
ピン0H ~ ピン2Lでの6つのPWM出力信号のデューティサイクルは、PWMCH0、PWMCH1、PWMCH2という3本の16ビット読み出し/書き込みデューティサイクル・レジスタによって制御されます。デューティサイクル・レジスタは、基本時間単位 t_{CORE} の整数カウントでプログラムされ、PWM周期の半分にわたって3相タイミング・ユニットによって生成される、ハイサイドPWM信号の希望するオンタイムを定義します。3相タイミング・ユニットによって生成されるスイッチング信号も、プログラムされたデッド・タイム値をPWMDAT1レジスタに組み込むために調整されます。3相タイミング・ユニットではアクティブ・ロー信号を生成するため、ローレベルは関連するパワー・デバイスをオンにするコマンドに対応します。

図57は、シングル更新モードでの、タイミング・ユニットからのPWM出力の代表的なペア (この場合は、0Hと0L) を示します。記載されたすべての時間値は、関連するレジスタでの整数値を示し、基本時間増分 t_{CORE} を乗算すれば時間に変換できます。なお、このモードでは、スイッチング・パターンはスイッチング周期のミッドポイントについて完全に対称です。なぜなら、周期の両方のハーフ・サイクルで同じ値のPWMCH0、PWMDAT0、PWMDAT1を使用して信号を定義するからです。

図57は、結果として得られるPWM信号ペアに希望するデッド・タイムを組み込むために、プログラムされたデューティサイクルを調整する方法も示します。両方のPWM信号 (0Hと0L) のスイッチング・タイミングを、PWMCH0レジスタによって設定されたタイミングからずらすことによってデッド・タイムを組み込むことがわかります。対称な出力パターンを保持するために、両方のスイッチング・エッジは同じ量 ($PWMDAT1 \times t_{CORE}$) だけ移動されます。

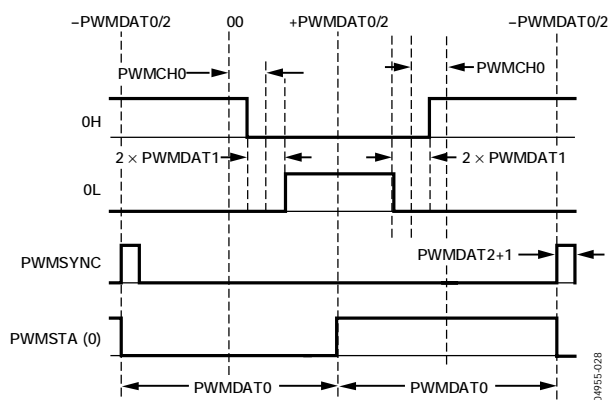


図57. 3相タイミング・ユニットの代表的なPWM出力 (シングル更新モード)

また、PWMSYNCパルスとPWMSTAレジスタのビット0も示されています。これは、動作がPWM周期の前半にあるか後半にあるかを示します。

タイミング・ユニットによりPWM周期の全体 (2つのハーフ周期) にわたって生成されるPWM信号のオンタイムは、次のように記述できます。

ハイサイド:

$$T_{OH} = PWMDAT0 + 2(PWMCH0 - PWMDAT1) \times t_{CORE}$$

$$T_{OL} = PWMDAT0 - 2(PWMCH0 - PWMDAT1) \times t_{CORE}$$

対応するデューティサイクル (d) :

$$d_{OH} = T_{OH}/T_S = 1/2 + (PWMCH0 - PWMDAT1) / PWMDAT0$$

ローサイド:

$$T_{OL} = PWMDAT0 - 2(PWMCH0 + PWMDAT1) \times t_{CORE}$$

$$T_{OH} = PWMDAT0 + 2(PWMCH0 + PWMDAT1) \times t_{CORE}$$

対応するデューティサイクル (d) :

$$d_{OL} = T_{OL}/T_S = 1/2 - (PWMCH0 + PWMDAT1) / PWMDAT0$$

許容される最小の T_{OH} と T_{OL} 値はゼロで、0%のデューティサイクルに対応します。同様に、最大値は T_S で、100%のデューティサイクルに対応します。

図58は、ダブル更新モードでの動作について、タイミング・ユニットからの出力信号を示します。これはスイッチング周波数、デッド・タイム、デューティサイクルがすべてPWM周期の後半で変化するきわめて一般的な例です。もちろん、PWMサイクルの両方のハーフでは、これらの任意またはすべての量に対して同じ値を使用できます。しかし、ダブル更新モードでは、タイミング・ユニットによって対称なPWM信号が生成されるという保証はありません。図57はまた、PWM信号に挿入されたデッド・タイムが、シングル更新モードの場合と同じ方法で挿入されたことも示します。

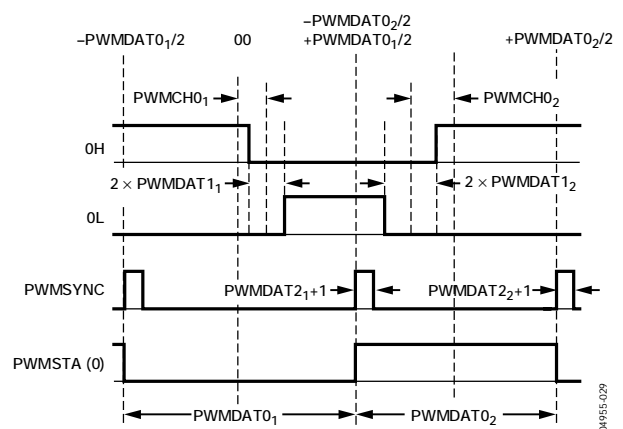


図58. 3相タイミング・ユニットの代表的なPWM出力 (ダブル更新モード)

一般に、ダブル更新モードでのPWM信号のオンタイムは、次のように定義できます。

ハイサイド：

$$T_{0HH} = (PWMDAT0_1/2 + PWMDAT0_2/2 + PWMCH0_1 + PWMCH0_2 - PWMDAT1_1 - PWMDAT1_2) \times t_{CORE}$$

$$T_{0HL} = (PWMDAT0_1/2 + PWMDAT0_2/2 - PWMCH0_1 - PWMCH0_2 + PWMDAT1_1 + PWMDAT1_2) \times t_{CORE}$$

ここで、添字1はそのレジスタの前半サイクルでの値を表し、添字2は後半サイクルでの値を表します。

対応するデューティサイクル (d) は、次のとおりです。

$$d_{0H} = T_{0HH}/T_S = (PWMDAT0_1/2 + PWMDAT0_2/2 + PWMCH0_1 + PWMCH0_2 - PWMDAT1_1 - PWMDAT1_2) / (PWMDAT0_1 + PWMDAT0_2)$$

ローサイド：

$$T_{0LH} = (PWMDAT0_1/2 + PWMDAT0_2/2 + PWMCH0_1 + PWMCH0_2 + PWMDAT1_1 + PWMDAT1_2) \times t_{CORE}$$

$$T_{0LL} = (PWMDAT0_1/2 + PWMDAT0_2/2 - PWMCH0_1 - PWMCH0_2 - PWMDAT1_1 - PWMDAT1_2) \times t_{CORE}$$

ここで、添字1はそのレジスタの前半サイクルでの値を表し、添字2は後半サイクルでの値を表します。

対応するデューティサイクル (d) は、次のとおりです。

$$d_{0L} = T_{0LH}/T_S = (PWMDAT0_1/2 + PWMDAT0_2/2 + PWMCH0_1 + PWMCH0_2 + PWMDAT1_1 + PWMDAT1_2) / (PWMDAT0_1 + PWMDAT0_2)$$

ダブル更新モードでのきわめて一般的な例 (図58) では、スイッチング周期は次の式で表すことができます。

$$T_S = (PWMDAT0_1 + PWMDAT0_2) \times t_{CORE}$$

この場合も、 T_{0H} と T_{0L} の値は0～ T_S の間に制約されています。

PWMCH0の場合と同じ方法でPWMCH1レジスタとPWMCH2レジスタをプログラムすれば、図57と図58に示したものと同様のPWM信号を、1H、1L、2H、2Lの各出力上に生成できます。PWMDAT0、PWMCH0、PWMCH1、PWMCH2のすべてのレジスタが1回以上書き込まれない限り、PWMコントローラは、PWM出力を生成しません。これらのレジスタが書き込まれると、3相タイミング・ユニットでのタイマの内部カウントがイネーブルになります。

PWMDAT0レジスタへの書込みによって、メインPWMタイマの内部タイミングが始まります。初期化においてPWMCH0、PWMCH1、PWMCH2レジスタより前にPWMDAT0レジスタが書き込まれた場合は、最初のPWMSYNCパルスと割込み (イネーブルの場合) は、シングル更新モードでのPWMDAT0レジスタへの初期書込みから $1.5 \times t_{CORE} \times PWMDAT0$ 秒後に出現します。ダブル更新モードでは、最初のPWMSYNCパルスは、 $PWMDAT0 \times t_{CORE}$ 秒後に出現します。

出力制御ユニット

出力制御ユニットの動作は、9ビットの読み出し/書き込みPW MENレジスタによって制御されます。このレジスタでは、電子対策 (ECM) や二進・十進対策 (BDCM) の制御に直接役立つ、出力制御ユニットの2つの機能を制御します。PW MENレジスタには、PWM出力のペアごとに1つずつ、合計で3つのクロスオーバー・ビットがあります。PW MENレジスタのビット8をセットするとPWM信号の0H/0Lペアのクロスオーバー・モードがイネーブルになり、ビット7をセットするとPWM信号の1H/1Lペアのクロスオーバーがイネーブルになり、ビット6をセットするとPWM信号の2H/2Lペアのクロスオーバーがイネーブルになります。PWM信号の任意のペアのクロスオーバー・モードがイネーブルになった場合は、信号が最終的に0Lピンに現れるように、タイミング・ユニットからのハイサイドPWM信号 (たとえば0H) は、出力制御ユニットの関連するローサイド出力に方向転換されます。もちろん、信号が0Hピンに現れるように、タイミング・ユニットの対応するローサイド出力も、出力制御ユニットの相補ハイサイド出力に方向転換されます。リセットに続いて、3つのクロスオーバー・ビットがクリアされ、PWM信号の3つのペアすべてでクロスオーバー・モードがディスエーブルになります。PW MENレジスタには、6つのPWM出力を個別にイネーブル/ディスエーブルにできる、6つのビット (ビット0～5) もあります。PW MENレジスタの関連するビットがセットされた場合は、デューティサイクル・レジスタの対応する値とは無関係に、対応するPWM出力がディスエーブルになります。このPWM出力信号は、PW MENレジスタの対応するイネーブル/ディスエーブル・ビットがセットされている限り、オフ状態のままです。この出力イネーブル機能の実装は、クロスオーバー機能の後で行われます。

リセットに続いて、PW MENレジスタの6つのイネーブル・ビットがすべてクリアされ、すべてのPWM出力がデフォルトによってイネーブルになります。デューティサイクル・レジスタの場合と同じ方法で、PW MENは、PWMSYNC信号の立上がりエッジでラッチされます。その結果、このレジスタへの変更は、シングル更新モードでの各PWMサイクルの初めのみ有効になります。ダブル更新モードでは、PW MENレジスタは、PWMサイクルのミッドポイントでも更新できます。

ECMの制御では、任意の時点で切り替えられるのは、2本のインバータ脚部のみです。通常、一方の脚部のハイサイド・デバイスは、他方の脚部のローサイド・ドライバと同時にオンにします。したがって、2つのPWMチャンネルに同じデューティサイクル値をプログラムし (たとえば $PWMCH0 = PWMCH1$)、PW MENレジスタのビット7をセットしてPWM信号の1H/1Lペアをクロスオーバーすることによって、位相Aのハイサイド・スイッチと位相Bのローサイド・スイッチを同時にオンにできます。ECMの制御に際しては、複数のPWMサイクルにわたって3番目のインバータ脚部 (この例では位相C) をディスエーブルにするのが普通です。この機能を実装するには、PW MENレジスタのビット0と1をセットすることによって、2Hと2Lの両方のPWM出力をディスエーブルにします。

ADuC7019/20/21/22/24/25/26/27

この状況を図59に示します。ここでは、PWMCH0 = PWMCH1で、位相Bのクロスオーバー・ビットがセットされているため、0H信号と1L信号が同じであることがわかります。

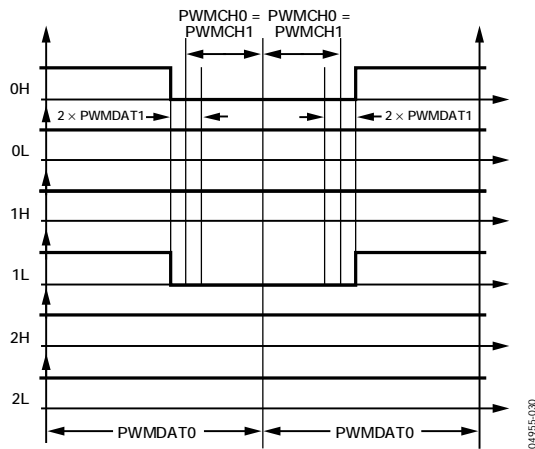


図59. ECM制御に適したアクティブLO PWM信号、PWMCH0 = PWMCH1、1H/1Lペアをクロスオーバーし、0L、1H、2H、2Lの出力をディスエーブル（シングル更新モード）

さらに、他の4つの信号（0L、1H、2H、2L）は、PWMENレジスタの適切なイネーブル/ディスエーブル・ビットをセットしてディスエーブルになっています。図58では、PWMENレジスタの適切な値は0x00A7です。通常のECM動作では、PWMENレジスタがローター軸の位置に基づいて変更されるように（モーター整流）、各インバータ脚部は特定の期間ディスエーブルになります。

ゲート駆動ユニット

PWMコントローラのゲート駆動ユニットは、PWMインバータ用の絶縁ゲート駆動回路の設計を簡素化する機能を追加します。パワー・デバイスのトランス結合型ゲート駆動アンプを使用した場合は、アクティブPWM信号を高周波においてチョッピングします。10ビットの読み出し/書き込みPWMCFGレジスタでは、この高周波チョッピング・モードをプログラムします。チョッピングされたアクティブPWM信号は、ハイサイド・ドライバ、ローサイド・ドライバのいずれか一方のみで、またはハイサイドとローサイドの両方のスイッチが必要とされることがあります。したがって、PWMCFGレジスタでは、2つの独立した制御ビットにより、ハイサイドとローサイドの両方のスイッチに対してこのモードの独立した制御が組み込まれます。

図60は、ハイサイドとローサイドの両方の信号でイネーブルになった、高周波チョッピングによる代表的なPWM出力信号を示します。ハイサイドPWM出力（0H、1H、2H）のチョッピングをイネーブルにするには、PWMCFGレジスタのビット8をセットします。ローサイドPWM出力（0L、1L、2L）のチョッピングをイネーブルにするには、PWMCFGレジスタのビット9をセットします。高周波チョッピングは、PWMCFGレジスタのビット0~7に置かれた8ビット・ワード（GDCLK）によって制御されます。この高周波キャリアの周期は、次のとおりです。

$$T_{CHOP} = (4 \times (GDCLK + 1)) \times t_{CORE}$$

したがって、チョッピング周波数は、MicroConverterコア周波数を整数分割した値です。

$$f_{CHOP} = f_{CORE} / (4 \times (GDCLK + 1))$$

GDCLK値は、41.78MHzのコア周波数の場合、40.8kHz ~ 10.44MHzのプログラマブルなチョッピング周波数レートに対応して、0 ~ 255の範囲をとることができます。ゲート駆動機能は、PWMコントローラの動作前にプログラムする必要があり、PWMコントローラの通常動作時には一般に変更されません。リセットに続いて、高周波チョッピングがディスエーブルになるように、PWMCFGレジスタの全ビットがクリアされます（デフォルト）。

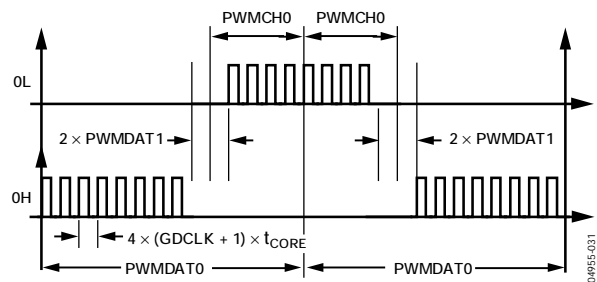


図60. 代表的なPWM信号（ハイサイドとローサイドの両方のスイッチで高周波ゲート・チョッピングをイネーブル）

PWMのシャット・ダウン

外部障害状態が発生した場合、PWMシステムを安全な方法で即座にシャット・ダウンすることが極めて重要です。PWMTRIPピンがローレベルになると、PWMコントローラは、瞬時かつ非同期に（MicroConverterのコア・クロックとは独立して）シャットダウンされます。6つのすべてのPWM出力は、オフ状態（ハイレベル状態）にされます。さらに、PWMSYNCパルスはディスエーブルになります。PWMTRIPピンには、ピンが非接続になった場合にPWMをディスエーブルにするための内部プルダウン抵抗があります。PWMTRIPピンの状態は、PWMSTAレジスタのビット3から読み出せます。

PWMシャットダウン・コマンドが出現した場合、PWMTRIP割込みが生成され、PWMコントローラの3相タイミング・ユニットの内部タイミングが停止します。PWMシャットダウンに続いて、PWMを再びイネーブルにする唯一の方法は、PWMDAT0、PWMCH0、PWMCH1、PWMCH2のすべてのレジスタに書き込むことです（たとえばPWMTRIP割込みサービス・ルーチンの場合）。外部障害がクリアされ、PWMTRIPがハイレベルに戻った場合は、3相タイミング・ユニットの内部タイミングが再開され、新しいデューティ・サイクル値が次のPWMSYNC境界にラッチされます。

なお、PWMTRIP割込みはIRQでのみ使用でき、PWMSYNC割込みはFIQでのみ使用できます。いずれの割込みも、割込みコントローラの1つのビットを共有します。したがって、一度に使用できる割込みは1つのみです。詳細については「割込みシステム」を参照してください。

PWM MMRインターフェース

PWMブロックは、ここで説明するMMRを介して制御されます。

PWMCONレジスタ

名前	アドレス	デフォルト値	アクセス
PWMCON	0xFFFFFC00	0x0000	RW

PWMCONは、PWMをイネーブルにし、更新レートを選択するコントロール・レジスタです。

表35. PWMCON MMRのビット説明

ビット	名前	説明
7、6、5		予約
4	PWM_SYNCS EL	外部同期選択。セットすれば外部同期を使用します。クリアすれば内部同期を使用します。
3	PWM_EXTSY NC	外部同期選択。セットすれば外部同期Sync信号を選択します。クリアすれば非同期Sync信号を選択します。
2	PWMDBL	ダブル更新モード。セットすればダブル更新モードをイネーブルにします。クリアすればシングル更新モードをイネーブルにします。
1	PWM_SYNC_ EN	PWM同期イネーブル。セットすれば同期をイネーブルにします。クリアすれば同期をディスエーブルにします。
0	PWMEN	PWMイネーブル・ビット。セットすればPWMをイネーブルにします。クリアすればPWMをディスエーブルにします。また、PWMTRIPにより自動的にクリアされます。

PWMSTAレジスタ

名前	アドレス	デフォルト値	アクセス
PWMSTA	0xFFFFFC04	0x0000	RW

PWMSTAは、PWMのステータスを反映します。

表36. PWMSTA MMRのビット説明

ビット	名前	説明
15 ~ 10		予約
9	PWMSYNCINT	PWM同期割込みビット
8	PWMTRIPINT	PWMトリップ割込みビット
3	PWMTRIP	PWMTRIPピンからの生信号
2、1		予約。
0	PWMPHASE	PWM位相ビット。タイマのカウント・ダウン時（前半）に、MicroConverterがセットされます。タイマのカウント・アップ時（後半）に、MicroConverterがクリアされます。

PWMCFGレジスタ

名前	アドレス	デフォルト値	アクセス
PWMCFG	0xFFFFFC10	0x0000	RW

PWMCFGは、ゲート・チョッピング・レジスタです。

表37. PWMCFG MMRのビット説明

ビット	名前	説明
15 ~ 10		予約
9	CHIPLO	ローサイドのゲート・チョッピング・イネーブル・ビット
8	CHOPHI	ハイサイドのゲート・チョッピング・イネーブル・ビット
0 ~ 7	GDCLK	PWMのゲート・チョッピング周期（符号なし）

PWMENレジスタ

名前	アドレス	デフォルト値	アクセス
PWMEN	0xFFFFFC20	0x0000	RW

PWMENにより、チャンネル出力とクロスオーバーが可能になります。表38のビット定義を参照してください。

表38. PWMEN MMRのビット説明

ビット	名前	説明
8	0H0L_XOVR	チャンネル0出力クロスオーバー・イネーブル・ビット。セットすればチャンネル0の出力クロスオーバーがイネーブルになります。クリアすればチャンネル0の出力クロスオーバーがディスエーブルになります。
7	1H1L_XOVR	チャンネル1出力クロスオーバー・イネーブル・ビット。セットすればチャンネル1の出力クロスオーバーがイネーブルになります。クリアすればチャンネル1の出力クロスオーバーがディスエーブルになります。
6	2H2L_XOVR	チャンネル2出力クロスオーバー・イネーブル・ビット。セットすればチャンネル2の出力クロスオーバーがイネーブルになります。クリアすればチャンネル2の出力クロスオーバーがディスエーブルになります。
5	0L_EN	0L出力イネーブル・ビット。セットすればPWMの0L出力がディスエーブルになります。クリアすればPWMの0L出力がイネーブルになります。
4	0H_EN	0H出力イネーブル・ビット。セットすればPWMの0H出力がディスエーブルになります。クリアすればPWMの0H出力がイネーブルになります。
3	1L_EN	1L出力イネーブル・ビット。セットすればPWMの1L出力がディスエーブルになります。クリアすればPWMの1L出力がイネーブルになります。
2	1H_EN	1H出力イネーブル・ビット。セットすればPWMの1H出力がディスエーブルになります。クリアすればPWMの1H出力がイネーブルになります。
1	2L_EN	2L出力イネーブル・ビット。セットすればPWMの2L出力がディスエーブルになります。クリアすればPWMの2L出力がイネーブルになります。
0	2H_EN	2H出力イネーブル・ビット。セットすればPWMの2H出力がディスエーブルになります。クリアすればPWMの2H出力がイネーブルになります。

ADuC7019/20/21/22/24/25/26/27

PWMDAT0レジスタ

名前	アドレス	デフォルト値	アクセス
PWMDAT0	0xFFFFFC08	0x0000	RW

PWMDAT0は、スイッチング周期用の符号なし16ビット・レジスタです。

PWMDAT1レジスタ

名前	アドレス	デフォルト値	アクセス
PWMDAT1	0xFFFFFC0C	0x0000	RW

PWMDAT1は、デッド・タイム用の符号なし10ビット・レジスタです。

PWMCHxレジスタ

名前	アドレス	デフォルト値	アクセス
PWMCH0	0xFFFFFC14	0x0000	RW
PWMCH1	0xFFFFFC18	0x0000	RW
PWMCH2	0xFFFFFC1C	0x0000	RW

PWMCH0、CH1、CH2は、3相用のチャンネル・デューティサイクルです。

PWMDAT2レジスタ

名前	アドレス	デフォルト値	アクセス
PWMDAT2	0xFFFFFC24	0x0000	RW

PWMDAT2は、PWM同期パルス幅用の符号なし10ビット・レジスタです。

汎用I/O

ADuC7019/20/21/22/24/25/26/27には、40本の双方向汎用I/O (GPIO) ピンがあります。すべてのI/Oピンは5V対応であるため、これらの汎用I/Oは5Vの入力電圧に対応します。一般に、汎用I/Oピンの多くは複数の機能を持ちます (ピンの機能定義については表39を参照)。デフォルトでは汎用I/Oピンは汎用I/Oモードで設定されます。

すべての汎用I/Oピンには、約100kΩの内部プルアップ抵抗があり、それらの駆動能力は1.6mAです。なお、最大20本の汎用I/Oが同時に1.6mAを駆動できます。以下の汎用I/Oには、プログラマブルなプルアップがあります：P0.0、P0.4、P0.5、P0.6、P0.7、およびP1の8つの汎用I/O。

40個の汎用I/Oは、5つのポート (ポート0~4) にグループ化されます。各ポートは、4本または5本のMMRによって制御されます。xはポート番号を表します。

なお、カーネルは、P0.6をリセット時のデフォルト設定 (MRST) からGPIOモードに変更します。外付け回路にMRSTを使用している場合は、カーネルがモードを切り替えたときにP0.6でのレベルが下がらないように、外付けのプルアップ抵抗を使用してください。たとえば、パワーダウにMRSTが必要な場合は、GP0CON MMRで再設定できます。

表39. 汎用I/Oピン機能の説明

ポート	ピン	設定			
		00	01	10	11
0	P0.0	GPIO	CMP	MS2	PLAI[7]
	P0.1	GPIO	PWM2 _H	BLE	
	P0.2	GPIO	PWM2 _L	BHE	
	P0.3	GPIO	TRST	A16	
	P0.4	GPIO/IRQ0	PWM _{TRIP}	MS1	PLAO[1]
	P0.5	GPIO/IRQ1	ADC _{BUSY}	MS0	PLAO[2]
	P0.6	GPIO/T1	MRST	AE	PLAO[3]
	P0.7	GPIO	ECLK/XCLK ¹	SIN	PLAO[4]
1	P1.0	GPIO/T1	SIN	SCL0	PLAI[0]
	P1.1	GPIO	SOUT	SDA0	PLAI[1]
	P1.2	GPIO	RTS	SCL1	PLAI[2]
	P1.3	GPIO	CTS	SDA1	PLAI[3]
	P1.4	GPIO/IRQ2	RI	CLK	PLAI[4]
	P1.5	GPIO/IRQ3	DCD	MISO	PLAI[5]
	P1.6	GPIO	DSR	MOSI	PLAI[6]
	P1.7	GPIO	DTR	CSL	PLAO[0]
2	P2.0	GPIO	CONV _{START} ²	SOUT	PLAO[5]
	P2.1	GPIO	PWM0 _H	WS	PLAO[6]
	P2.2	GPIO	PWM0 _L	RS	PLAO[7]
	P2.3	GPIO		AE	
	P2.4	GPIO	PWM0 _H	MS0	
	P2.5	GPIO	PWM0 _L	MS1	
	P2.6	GPIO	PWM1 _H	MS2	
	P2.7	GPIO	PWM1 _L	MS3	
3	P3.0	GPIO	PWM0 _H	AD0	PLAI[8]
	P3.1	GPIO	PWM0 _L	AD1	PLAI[9]
	P3.2	GPIO	PWM1 _H	AD2	PLAI[10]
	P3.3	GPIO	PWM1 _L	AD3	PLAI[11]
	P3.4	GPIO	PWM2 _H	AD4	PLAI[12]
	P3.5	GPIO	PWM2 _L	AD5	PLAI[13]
	P3.6	GPIO	PWM _{TRIP}	AD6	PLAI[14]
	P3.7	GPIO	PWM _{SYNC}	AD7	PLAI[15]
4	P4.0	GPIO		AD8	PLAO[8]
	P4.1	GPIO		AD9	PLAO[9]
	P4.2	GPIO		AD10	PLAO[10]
	P4.3	GPIO		AD11	PLAO[11]
	P4.4	GPIO		AD12	PLAO[12]
	P4.5	GPIO		AD13	PLAO[13]
	P4.6	GPIO		AD14	PLAO[14]
	P4.7	GPIO		AD15	PLAO[15]

¹ モード1で設定された場合は、P0.7は、デフォルトでECLK、つまりコア・クロック出力です。これをクロック出力として設定するには、PLLCONのMDCLKビットを11に設定します。

² P2.0のCONV_{START}機能は全てのモードで有効

GPxCONレジスタ

名前	アドレス	デフォルト値	アクセス
GP0CON	0xFFFFF400	0x00000000	RW
GP1CON	0xFFFFF404	0x00000000	RW
GP2CON	0xFFFFF408	0x00000000	RW
GP3CON	0xFFFFF40C	0x00000000	RW
GP4CON	0xFFFFF410	0x00000000	RW

GPxCONは、ポートxのコントロール・レジスタで、表40に示すように、ポートxの各ピンの機能を選択します。

表40. GPxCON MMRのビット説明

ビット	説明
31, 30	予約
29, 28	Px.7ピンの機能を選択
27, 26	予約
25, 24	Px.6ピンの機能を選択
23, 22	予約
21, 20	Px.5ピンの機能を選択
19, 18	予約
17, 16	Px.4ピンの機能を選択
15, 14	予約
13, 12	Px.3ピンの機能を選択
11, 10	予約
9, 8	Px.2ピンの機能を選択
7, 6	予約
5, 4	Px.1ピンの機能を選択
3, 2	予約
1, 0	Px.0ピンの機能を選択

GPxPARレジスタ

名前	アドレス	デフォルト値	アクセス
GP0PAR	0xFFFFF42C	0x20000000	RW
GP1PAR	0xFFFFF43C	0x00000000	RW
GP3PAR	0xFFFFF45C	0x00222222	RW

GPxPARでは、ポート0、ポート1、ポート3のパラメータをプログラムします。なお、GPxDAT MMRは、必ずGPxPAR MMRを変更した後で書き込んでください。

表41. GPxPAR MMRのビット説明

ビット	説明
31~29	予約
28	プルアップ・ディスエーブルPx.7
27, 26, 25	予約
24	プルアップ・ディスエーブルPx.6
23, 22, 21	予約
20	プルアップ・ディスエーブルPx.5
19, 18, 17	予約
16	プルアップ・ディスエーブルPx.4
15, 14, 13	予約
12	プルアップ・ディスエーブルPx.3
11, 10, 9	予約
8	プルアップ・ディスエーブルPx.2
7, 6, 5	予約
4	プルアップ・ディスエーブルPx.1
3, 2, 1	予約
0	プルアップ・ディスエーブルPx.0

GPxDATレジスタ

名前	アドレス	デフォルト値	アクセス
GP0DAT	0xFFFFF420	0x000000XX	RW
GP1DAT	0xFFFFF430	0x000000XX	RW
GP2DAT	0xFFFFF440	0x000000XX	RW
GP3DAT	0xFFFFF450	0x000000XX	RW
GP4DAT	0xFFFFF460	0x000000XX	RW

GPxDATは、ポートxの設定とデータ・レジスタです。つまり、ポートxの汎用I/Oピンの方向を設定し、出力として設定されたピンの出力値を設定し、入力として設定されたピンの入力値を受信して格納します。

表42. GPxDAT MMRのビット説明

ビット	説明
31~24	データの方向。セットすれば汎用I/Oピンが出力として設定されます。クリアすれば汎用I/Oピンが入力として設定されます。
23~16	ポートxデータ出力
15~8	リセット時にポートxピンの状態を反映（読出し専用）
7~0	0ポートxデータ入力（読出し専用）

GPxSETレジスタ

名前	アドレス	デフォルト値	アクセス
GP0SET	0xFFFFF424	0x000000XX	W
GP1SET	0xFFFFF434	0x000000XX	W
GP2SET	0xFFFFF444	0x000000XX	W
GP3SET	0xFFFFF454	0x000000XX	W
GP4SET	0xFFFFF464	0x000000XX	W

GPxSETは、データ・セットのポートxレジスタです。

表43. GPxSET MMRのビット説明

ビット	説明
31~24	予約
23~16	データ・ポートxセット・ビット。セットすればポートxでのビットをセットします（GPxDAT MMRの対応するビットもセット）。ユーザがクリアします（データ出力に影響しません）。
15~0	予約

GPxCLRレジスタ

名前	アドレス	デフォルト値	アクセス
GP0CLR	0xFFFFF428	0x000000XX	W
GP1CLR	0xFFFFF438	0x000000XX	W
GP2CLR	0xFFFFF448	0x000000XX	W
GP3CLR	0xFFFFF458	0x000000XX	W
GP4CLR	0xFFFFF468	0x000000XX	W

GPxCLRは、データ・クリアのポートxレジスタです。

表44. GPxCLR MMRのビット説明

ビット	説明
31~24	予約
23~16	データ・ポートxクリア・ビット。セットすればポートxでのビットをクリアします（GPxDAT MMRの対応するビットもクリア）。ユーザがクリアします（データ出力に影響しません）。
15~0	予約

ADuC7019/20/21/22/24/25/26/27

シリアルポートMux

シリアルポートMuxでは、シリアルポート・ペリフェラル（SPI、UART、2つのI²C）とプログラマブル・ロジック・アレイ（PLA）を、一連の10本の汎用I/Oピンに多重化します。表45に示すように、各ピンを特定のI/O機能の1つに設定します。

表45. SPMの設定

ピン	GPIO (00)	UART (01)	UART/I ² C/SPI (10)	PLA (11)
SPM0	P1.0	SIN	I2C0SCL	PLAI[0]
SPM1	P1.1	SOUT	I2C0SDA	PLAI[1]
SPM2	P1.2	RTS	I2C1SCL	PLAI[2]
SPM3	P1.3	CTS	I2C1SDA	PLAI[3]
SPM4	P1.4	RI	SPICLK	PLAI[4]
SPM5	P1.5	DCD	SPIMISO	PLAI[5]
SPM6	P1.6	DSR	SPIMOSI	PLAI[6]
SPM7	P1.7	DTR	SPICSL	PLAO[0]
SPM8	P0.7	ECLK/XCLK	SIN	PLAO[4]
SPM9	P2.0	CONV	SOUT	PLAO[5]

表45では、SPMUX GPIOピンごとのモードの詳細も示します。この設定には、GP0CON、GP1CON、GP2CONのMMRを使用します。デフォルトではこれらの10本のピンは汎用I/Oとして設定されます。

UARTシリアル・インターフェース

UARTペリフェラルは、全二重汎用非同期送受信器で、16450系のシリアルポートと完全な互換性があります。UARTは、ペリフェラル・デバイスやモデムから受信したデータ文字に対してシリアル/パラレル変換を実行し、CPUから受信したデータ文字に対してパラレル/シリアル変換を実行します。UARTは、ボーレート生成用のフラクショナル・デバイダを内蔵し、ネットワーク・アドレス可能なモードを備えています。UART機能は、ADuC7019/20/21/22/24/25/26/27の10本のピンで使用できます。表46を参照してください。

表46. UART信号の説明

ピン	信号	説明
SPM0 (モード1)	SIN	シリアル受信データ
SPM1 (モード1)	SOUT	シリアル送信データ
SPM2 (モード1)	RTS	送信要求
SPM3 (モード1)	CTS	送信可
SPM4 (モード1)	RI	リング・インジケータ
SPM5 (モード1)	DCD	データ・キャリア検出
SPM6 (モード1)	DSR	データ・セット・レディ
SPM7 (モード1)	DTR	データ端末レディ
SPM8 (モード2)	SIN	シリアル受信データ
SPM9 (モード2)	SOUT	シリアル送信データ

シリアル通信で採用する非同期プロトコルは、設定レジスタで選択可能なさまざまなワード長、ストップ・ビット、パリティ生成オプションに対応します。

ボーレート生成

UARTボーレートを生成するには、2つの方法があります。

1. 通常の450 UARTボーレートの生成

ボーレートは、COMDIV0 MMRとCOMDIV1 MMR（16ビット値、DL）の値を使用するコア・クロックの分周版です。

$$\text{ボーレート} = \frac{41.78\text{MHz}}{2^{CD} \times 16 \times 2 \times DL}$$

表47は、いくつかの一般的なボーレート値を示します。

表47. 通常のボーレート発生器を使用するボーレート

ボーレート	CD	DL	実際のボーレート	%誤差
9600	0	88h	9600	0%
19200	0	44h	19200	0%
115200	0	0Bh	118691	3%
9600	3	11h	9600	0%
19200	3	8h	20400	6.25%
115200	3	1h	163200	41.67%

2. フラクショナル・デバイダを使う

フラクショナル・デバイダと通常のボーレート発生器を組み合わせることで、広い範囲の正確なボーレートが得られます。

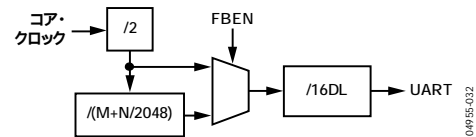


図61. ボーレート生成のオプション

フラクショナル・デバイダによるボーレートの計算方法は、次のとおりです。

$$\text{ボーレート} = \frac{41.78\text{MHz}}{2^{CD} \times 16 \times DL \times 2 \times \left(M + \frac{N}{2048}\right)}$$

$$M + \frac{N}{2048} = \frac{41.78\text{MHz}}{\text{ボーレート} \times 2^{CD} \times 16 \times DL \times 2}$$

たとえば：

CDビット = 3での19200ボーの生成（表47からDL = 8h）

$$M + \frac{N}{2048} = \frac{41.78\text{MHz}}{19200 \times 2^3 \times 16 \times 8 \times 2}$$

$$M + \frac{N}{2048} = 1.06$$

ここで、

$$M = 1$$

$$N = 0.06 \times 2048 = 128$$

$$\text{ボーレート} = \frac{41.78\text{MHz}}{2^3 \times 16 \times 18 \times 2 \times \left(\frac{128}{2048}\right)}$$

ここで、

ボーレート = 19,200bps

誤差 = 0% (通常のボーレート発生器では6.25%)

UARTレジスタの定義

UARTインターフェースは、以下の12本のレジスタで構成されています: COMTX、COMRX、COMDIV0、COMIEN0、COMDIV1、COMIIO0、COMCON0、COMCON1、COMSTA0、COMSTA1、COMSCR、COMDIV2

COMTXレジスタ

名前	アドレス	デフォルト値	アクセス
COMTX	0xFFFF0700	0x00	RW

COMTXは、8ビットの送信レジスタです。

COMRXレジスタ

名前	アドレス	デフォルト値	アクセス
COMRX	0xFFFF0700	0x00	R

COMRXは、8ビットの受信レジスタです。

COMDIV0レジスタ

名前	アドレス	デフォルト値	アクセス
COMDIV0	0xFFFF0700	0x00	RW

COMDIV0は、下位バイトのディバイダ・ラッチです。COMTX、COMRX、COMDIV0は同じアドレス位置を共有します。COMCON0レジスタのビット7をクリアすればCOMTXとCOMRXにアクセスできます。COMCON0のビット7をセットすればCOMDIV0にアクセスできます。

COMIEN0レジスタ

名前	アドレス	デフォルト値	アクセス
COMIEN0	0xFFFF0704	0x00	RW

COMIEN0は、割込みイネーブル・レジスタです。

表48. COMIEN0 MMRのビット説明

ビット	名前	説明
7~4	EDSSI	予約
3		モデム・ステータス割込みイネーブル・ビット。COMSTA1[3:0]のいずれかがセットされている場合、セットすれば割込みの生成がイネーブルになります。ユーザがクリアします。
2	ELSI	RXステータス割込みイネーブル・ビット。COMSTA0[3:0]のいずれかがセットされている場合、セットすれば割込みの生成がイネーブルになります。ユーザがクリアします。
1	ETBEI	送信バッファ・エンプティ割込み有効。セットすれば送信中にバッファが空になったときに割込みがイネーブルになります。ユーザがクリアします。
0	ERBFI	受信バッファ・フル割込み有効。セットすれば受信中にバッファが満杯になったときに割込みがイネーブルになります。ユーザがクリアします。

COMDIV1レジスタ

名前	アドレス	デフォルト値	アクセス
COMDIV1	0xFFFF0704	0x00	RW

COMDIV1は、ディバイダ・ラッチです(上位バイト)。

COMIIO0レジスタ

名前	アドレス	デフォルト値	アクセス
COMIIO0	0xFFFF0708	0x01	R

COMIIO0は、割込み識別レジスタです。

表49. COMIIO0 MMRのビット説明

ビット2-1 ステータス・ ビット	ビット0 NINT	優先 順位	定義	クリア 動作
00	1		割込みなし	
11	0	1	ライン・ステータス割込みを受信	COMSTA0を読み出す
10	0	2	受信バッファ・フル割込み	COMRXを読み出す
01	0	3	送信バッファ・エンプティ割込み	COMTXにデータを書き込むか、COMIIO0を読み出す
00	0	4	モデム・ステータス割込み	COMSTA1レジスタを読み出す

COMCON0レジスタ

名前	アドレス	デフォルト値	アクセス
COMCON0	0xFFFF070C	0x00	RW

COMCON0は、ライン・コントロール・レジスタです。

表50. COMCON0 MMRのビット説明

ビット	名前	説明
7	DLAB	ディバイダ・ラッチ・アクセス。セットすればCOMDIV0レジスタとCOMDIV1レジスタへのアクセスがイネーブルになります。クリアすればCOMDIV0とCOMDIV1へのアクセスがディスエーブルになり、COMRXとCOMTXへのアクセスがイネーブルになります。
6	BRK	セット・ブレイク。セットすればSOUTを0に設定します。クリアすればノーマル・モードで動作します。
5	SP	スティック・パリティ。セットすればパリティを定義値に設定します。EPS = 1でPEN = 1の場合は1。EPS = 0でPEN = 1の場合は0。
4	EPS	偶数パリティ選択ビット。セットすれば偶数パリティ。クリアすれば奇数パリティ。
3	PEN	パリティ・イネーブル・ビット。セットすればパリティ・ビットを送信およびチェックします。クリアすればパリティ送信もチェックも行いません。
2	STOP	ストップ・ビット。セットすればワード長が5ビットの場合に1.5のストップ・ビット(ワード長が6、7、8ビットの場合は2つのストップ・ビット)を送信します。レシーバは、選択したストップ・ビットの数とは無関係に、最初のストップ・ビットのみをチェックします。クリアすれば送信データ内に1つのストップ・ビットを生成します。
1, 0	WLS	ワード長選択: 00 = 5ビット、01 = 6ビット、10 = 7ビット、11 = 8ビット

ADuC7019/20/21/22/24/25/26/27

COMCON1レジスタ

名前	アドレス	デフォルト値	アクセス
COMCON1	0xFFFF0710	0x00	RW

COMCON1は、モデム・コントロール・レジスタです。

表51. COMCON1 MMRのビット説明

ビット	名前	説明
7~5		予約
4	LOOPBACK	ループ・バック。セットすればループ・バック・モードがイネーブルになります。ループ・バック・モードでは、SOUTはハイレベルに設定されます。モデム信号モステータス入力に直結されます (RTSからCTS、DTRからDSR、OUT1からRI、OUT2からDCD)。
3	PEN	パリティ・イネーブル・ビット。セットすればパリティ・ビットを送信およびチェックします。クリアすればパリティ送信もチェックも行いません。
2	STOP	ストップ・ビット。セットすればワード長が5ビットの場合に1.5のストップ・ビット(ワード長が6、7、8ビットの場合は2つのストップ・ビット)を送信します。レシーバは、選択したストップ・ビットの数とは無関係に、最初のストップ・ビットのみをチェックします。クリアすれば送信データ内に1つのストップ・ビットを生成します。
1	RTS	送信要求。セットすればRTS出力が0に設定されます。クリアすればRTS出力が1に設定されます。
0	DTR	データ端末レディ。セットすればDTR出力が0に設定されます。クリアすればDTR出力が1に設定されます。

COMSTA0レジスタ

名前	アドレス	デフォルト値	アクセス
COMSTA0	0xFFFF0714	0x60	R

COMSTA0は、ライン・ステータス・レジスタです。

表52. COMSTA0 MMRのビット説明

ビット	名前	説明
7		予約
6	TEMT	COMTXエンプティ・ステータス・ビット。COMTXが空の場合は自動的にセットされます。COMTXへの書き込み時に自動的にクリアされます。
5	THRE	COMTXとCOMRXのエンプティ。COMTXとCOMRXが空の場合は自動的にセットされます。レジスタの1つがデータを受信すると、自動的にクリアされます。
4	BI	ブレーク・エラー。SINが最大ワード長を超えてローレベルに保持された場合にセットされます。自動的にクリアされます。
3	FE	フレーミング・エラー。無効なストップ・ビットの場合にセットされます。自動的にクリアされます。
2	PE	パリティ・エラー。パリティ・エラーが発生した場合にセットされます。自動的にクリアされます。
1	OE	オーバーラン・エラー。データが読み出される前に上書きされた場合に自動的にセットされます。自動的にクリアされます。
0	DR	データ・レディ。COMRXが満杯の場合に自動的にセットされます。COMRXの読み出しによってクリアされます。

COMSTA1レジスタ

名前	アドレス	デフォルト値	アクセス
COMSTA1	0xFFFF0718	0x00	R

COMSTA1は、モデム・ステータス・レジスタです。

表53. COMSTA1 MMRのビット説明

ビット	名前	説明
7	DCD	データ・キャリア検出
6	RI	リング・インジケータ
5	DSR	データ・セット・レディ
4	CTS	送信可
3	DDCD	デルタDCD。COMSTA1の最後の読み出し後にDCDが状態を変更した場合に、自動的にセットされます。COMSTA1の読み出しによって自動的にクリアされます。
2	TERI	立下がりRI。COMSTA1の最後の読み出し後にNRIが0から1に変化した場合にセットされます。COMSTA1の読み出しによって自動的にクリアされます。
1	DDSR	デルタDSR。COMSTA1の最後の読み出し後にDSRが状態を変更した場合に、自動的にセットされます。COMSTA1の読み出しによって自動的にクリアされます。
0	DCTS	デルタCTS。COMSTA1の最後の読み出し後にCTSが状態を変更した場合に、自動的にセットされます。COMSTA1の読み出しによって自動的にクリアされます。

COMSCRレジスタ

名前	アドレス	デフォルト値	アクセス
COMSCR	0xFFFF071C	0x00	RW

COMSCRは、8ビットのスクラッチ・レジスタで、一時的な保持に使用します。また、ネットワーク・アドレス可能なUARTモードでも使用されます。

COMDIV2レジスタ

名前	アドレス	デフォルト値	アクセス
COMDIV2	0xFFFF072C	0x0000	RW

COMDIV2は、16ビットのフラクショナル・ポー分周レジスタです。

表54. COMDIV2 MMRのビット説明

ビット	名前	説明
15	FBEN	フラクショナル・ポーレート発生器イネーブル・ビット。セットすればフラクショナル・ポーレート発生器がイネーブルになります。クリアすれば標準の450 UARTポーレート発生器を使用してポーレートを生成します。
14, 13		予約
12, 11	FBM[1-0]	FBM=0ならM、M=4
10~0	FBM[10-0]	N

ネットワーク・アドレス可能なUARTモード

このモードでは、ハードウェア・シングルマスターとして、またはマルチマスター・ネットワークでのソフトウェアによって、MicroConverterを256ノードのシリアル・ネットワークに接続します。ネットワーク・アドレス可能なモードでUARTをイネーブルにするには、COMIEN1のビット7 (ENAMビット) をセットします。なお、このモードではパリティ・チェックはありません。パリティ・ビットはアドレスに使用されます。

ネットワーク・アドレス可能なUARTレジスタの定義

COMSCR、COMIEN1、COMIID1、COMADRという4本の追加レジスタは、ネットワーク・アドレス可能なUARTモードでのみ使用されます。

COMSCRは、8ビットのスクラッチ・レジスタで、一時的な保持に使用します。ネットワーク・アドレス・モードでは、スクラッチ・レジスタの最下位ビットは、送信されるネットワーク・アドレス制御ビットです。セットされているときは、デバイスがアドレスを送信しています。クリアされているときは、デバイスはデータを送信しています。

COMIEN1レジスタ

名前	アドレス	デフォルト値	アクセス
COMIEN1	0xFFFF0720	0x04	RW

COMIEN1は、8ビットのネットワーク・イネーブル・レジスタです。

表55. COMIEN1 MMRのビット説明

ビット	名前	説明
7	ENAM	ネットワーク・アドレス・モード・イネーブル・ビット。セットすればネットワーク・アドレス・モードがイネーブルになります。クリアすればネットワーク・アドレス・モードがディスエーブルになります。
6	E9BT	9ビット送信イネーブル・ビット。セットすれば9ビット送信がイネーブルになります。ENAMをセットしてください。クリアすれば9ビット送信がディスエーブルになります。
5	E9BR	9ビット受信イネーブル・ビット。セットすれば9ビット受信がイネーブルになります。ENAMをセットしてください。クリアすれば9ビット受信がディスエーブルになります。
4	ENI	ネットワーク割込みイネーブル・ビット。
3	E9BD	ワード長。9ビット・データの場合にセットします。E9BTをクリアしてください。8ビット・データの場合にクリアします。
2	ETD	トランスミッタ・ピン・ドライバ・イネーブル・ビット。セットすればスレーブ・モードまたはマルチマスター・モードでSOUTピンが出力としてイネーブルになります。ユーザがクリアします。SOUTはスリーステートです。
1	NABP	ネットワーク・アドレス・ビット。割込み極性ビット
0	NAB	ネットワーク・アドレス・ビット。セットすればスレーブのアドレスを送信します。クリアすればデータを送信します。

COMIID1レジスタ

名前	アドレス	デフォルト値	アクセス
COMIID1	0xFFFF0724	0x01	R

COMIID1は、8ビットのネットワーク割込みレジスタです。ビット7~4は予約です。表56を参照。

表56. COMIID1 MMRのビット説明

ビット3-1 ステータス・ ビット	ビット0 NINT	優先 順位	定義	クリア 動作
000 110	1 0	2	割込みなし マッチングネット ワーク・アドレス アドレス送信済み、 バッファは空	COMRXを 読み出す COMTXに データを書 き込むか、 COMIID0を 読み出す
101	0	3		COMSTA0 を読み出す
011	0	1	受信ライン・ ステータス割込み	COMRXを 読み出す
010	0	2	受信バッファ・ フル割込み	COMTXに データを書 き込むか、 COMIID0を 読み出す
001	0	3	送信バッファ・ エンプティ割込み	COMSTA1 レジスタを 読み出す
000	0	4	モデム・ステー タス割込み	

COMADRレジスタ

名前	アドレス	デフォルト値	アクセス
COMADR	0xFFFF0728	0xAA	RW

COMADRは、8ビットの読み出し/書き込みネットワーク・アドレス・レジスタで、ネットワーク・アドレス可能なUARTがチェックするアドレスを保持します。このアドレスを受信すると、デバイスは、プロセッサに割り込むかまたはCOMIID1の適切なステータス・ビットをセットします (あるいはその両方を行います)。

シリアル・ペリフェラル・インターフェース

ADuC7019/20/21/22/24/25/26/27は、ハードウェアの完全なシリアル・ペリフェラル・インターフェース (SPI) を内蔵しています。SPIは業界標準の同期シリアル・インターフェースで、8ビットのデータを同期送信すると同時に受信もできます。つまり、最大ビットレート3.48Mbまでの全二重動作が可能になります。SPIインターフェースは、コア・クロック・デバインド・ビットPOWCON[2:0]=0、1、2のいずれかでのみ動作できます。

SPIポートは、マスター動作またはスレーブ動作用に設定でき、一般にはMISO、MOSI、SCL、CSという4本のピンから構成されています。

MISO (マスター入力、スレーブ出力) データI/Oピン

MISOピンは、マスター・モードでは入力ラインとして設定され、スレーブ・モードでは出力ラインとして設定されます。マスター上のMISOライン (データ入力) は、スレーブ・デバイスのMISOライン (データ出力) に接続してください。データは、MSBファーストで、バイト幅 (8ビット) のシリアル・データとして転送されます。

MOSI (マスター出力、スレーブ入力) ピン

MOSIピンは、マスター・モードでは出力ラインとして設定され、スレーブ・モードでは入力ラインとして設定されます。マスター上のMOSIライン (データ出力) は、スレーブ・デバイスのMOSIライン (データ入力) に接続してください。データは、MSBファーストで、バイト幅 (8ビット) のシリアル・データとして転送されます。

ADuC7019/20/21/22/24/25/26/27

SCL (シリアル・クロック) I/Oピン

マスター・シリアル・クロック (SCL) は、MOSI SCL周期を通じて送受信されるデータの同期をとるために使用されます。したがって、8つのSCL周期の後で1バイトが送信 / 受信されません。SCLピンは、マスター・モードでは出力として設定され、スレーブ・モードでは入力として設定されます。

マスター・モードでは、クロックの極性と位相は、SPICONレジスタによって制御されます。ビットレートは、次のようにSPIDIVレジスタで定義されます。

$$f_{serialclock} = \frac{f_{UCLK}}{2 \times (1 + SPIDIV)}$$

SPIクロックの最大速度は、クロック・デバイダ・ビットに依存します (表57を参照)。

表57. マスター・モードでのSPI速度とクロック・デバイダ (CD) ビットの関係

CDビット	0	1	2	3	4	5
SPIDIV (16進)	0x05	0x0B	0x17	0x2F	0x5F	0xBF
SPI速度 (MHz)	3.482	1.741	0.870	0.435	0.218	0.109

スレーブ・モードでは、予想される入力クロックの位相と極性をSPICONレジスタで設定する必要があります。スレーブは、CD=0において最高10.4Mbまでのデータをマスタから受け付けます。最大速度を決定する式は、次のようになります。

$$f_{serialclock} = \frac{f_{HCLK}}{4}$$

マスター・モードとスレーブ・モードの両方で、SCL信号の一方のエッジでデータが送信され、もう一方のエッジではサンプリングされます。したがって、マスター・デバイスとスレーブ・デバイスに対しては、極性と位相を同じに設定することが重要です。

チップ・セレクト (CS) 入力ピン

SPIスレーブ・モードでは、 \overline{CS} のアサーションによって転送が開始されます。なお、これはアクティブ・ローの入力信号です。その後、 \overline{CS} のアサート解除によって転送が終了するまで、SPIポートは8ビット・データを送受信します。スレーブ・モードでは、 \overline{CS} は常に入力です。

SPIレジスタ

次のMMRレジスタは、SPIインターフェース (SPISTA、SPIRX、SPITX、SPIDIV、SPICON) の制御に使用されます。

SPISTAレジスタ

名前	アドレス	デフォルト値	アクセス
SPISTA	0xFFFF0A00	0x00	RW

SPISTAは、8ビットの読出し専用ステータス・レジスタです。このレジスタのビット1またはビット4だけが、割込みを生成します。SPICONレジスタのビット6は、割込みを生成するビットを決定します。

表58. SPISTA MMRのビット説明

ビット	説明
7, 6	予約
5	SPIRXデータ・レジスタ・オーバーフロー・ステータス・ビット。SPIRXがオーバーフローしている場合にセットされます。SPISRレジスタの読出しによってクリアされます。
4	SPIRXデータ・レジスタIRQ。ビット3またはビット5がセットされている場合に、自動的にセットされます。SPIRXレジスタの読出しによってクリアされます。
3	SPIRXデータ・レジスタ・フル・ステータス・ビット。SPIRXレジスタに有効なデータが存在する場合に、自動的にセットされます。SPIRXレジスタの読出しによってクリアされます。
2	SPITXデータ・レジスタ・アンダーフロー・ステータス・ビット。SPITXがアンダーフローしている場合に、自動的にセットされます。SPITXレジスタへの書込みによってクリアされます。
1	SPITXデータ・レジスタIRQ。ビット0がクリアまたはビット2がセットされている場合に、自動的にセットされます。SPITXレジスタへの書込み、または転送終了によるSPIのディスエーブルによってクリアされます。
0	SPITXデータ・レジスタ・エンpty・ステータス・ビット。データ送信のためのSPITXへの書込みによってセットされます。このビットは、データの送信中にセットされます。SPITXが空の場合にクリアされます。

SPIRXレジスタ

名前	アドレス	デフォルト値	アクセス
SPIRX	0xFFFF0A04	0x00	R

SPIRXは、8ビットの読出し専用受信レジスタです。

SPITXレジスタ

名前	アドレス	デフォルト値	アクセス
SPITX	0xFFFF0A08	0x00	W

SPITXは、8ビットの書込み専用送信レジスタです。

SPIDIVレジスタ

名前	アドレス	デフォルト値	アクセス
SPIDIV	0xFFFF0A0C	0x1B	RW

SPIDIVは、8ビットのシリアル・クロック・デバイダ・レジスタです。

SPICONレジスタ

名前	アドレス	デフォルト値	アクセス
SPICON	0xFFFF0A10	0x0000	RW

SPICONは、16ビットのコントロール・レジスタです。

表59. SPICON MMRのビット説明

ビット	説明
15~13	予約
12	連続転送イネーブル。セットすれば連続転送がイネーブルになります。マスター・モードでは、TXレジスタに有効なデータがなくなるまで転送を続けます。CSがアサートされ、TXが空になるまで、各8ビット・シリアル転送の間中はアサートされたままです。クリアすれば連続転送がディスエーブルになります。各転送は、単一の8ビット・シリアル転送で構成されています。SPITXレジスタに有効なデータが存在する場合は、ストール周期の後で新しい転送が開始されます。
11	ループ・バック・イネーブル。セットすればMISOをMOSIに接続してソフトウェアをテストします。クリアすればノーマル・モードになります。
10	スレーブ出力イネーブル。セットすればスレーブ出力がイネーブルになります。クリアすればスレーブ出力がディスエーブルになります。
9	スレーブ・セレクト入力イネーブル。マスター・モードでセットすれば出力がイネーブルになります。
8	SPIRXオーバーフロー・オーバーライト・イネーブル。セットすれば受信された新しいシリアル・バイトによってRXレジスタ内の有効なデータが上書きされます。クリアすれば受信された新しいシリアル・バイトは破棄されます。
7	SPITXアンダーフロー・モード。セットすれば0を送信します。クリアすれば前のデータを送信します。
6	転送および割込みモード（マスター・モード）。セットすればSPITXレジスタへの書込みにより転送を開始します。TXが空の場合に割込みが発生します。クリアすればSPIRXレジスタの読み出しにより転送を開始します。RXが満杯の場合に割込みが発生します。
5	LSBファースト転送イネーブル・ビット。セットすればLSBが最初に送信されます。クリアすればMSBが最初に送信されます。
4	予約
3	シリアル・クロック極性モード・ビット。セットすればシリアル・クロックはハイのアイドル状態になります。クリアすればシリアル・クロックはローのアイドル状態になります。
2	シリアル・クロック位相モード・ビット。セットすればシリアル・クロックは各シリアル・ビット転送の最初にパルスを出します。クリアすればシリアル・クロックは各シリアル・ビット転送の最後にパルスを出します。
1	マスター・モード・イネーブル・ビット。セットすればマスター・モードがイネーブルになります。クリアすればスレーブ・モードがイネーブルになります。
0	SPIイネーブル・ビット。セットすればSPIがイネーブルになります。クリアすればSPIがディスエーブルになります。

I²C互換のインターフェース

ADuC7019/20/21/22/24/25/26/27は、完全に認可された2つのI²Cインターフェースに対応します。I²Cインターフェースは、ハードウェアの完全なマスター・インターフェースおよびスレーブ・インターフェースとして実装されます。2つのI²Cインターフェースは同一であるため、ここではI2C0のみを詳しく説明します。なお、2つのマスターと1つのスレーブには、個別の割込みがあります。「割込みシステム」を参照してください。

データ転送に使用される2本のピン（SDAとSCL）は、マルチマスター・システムでの調停を可能にする、ワイヤードAND形式で設定されます。

I²Cバス・システムにおけるI²Cバス・ペリフェラルのアドレスは、ユーザがプログラムします。このIDは、転送が行われていないときであれば随時変更できます。ユーザは、4つのスレーブ・アドレスにตอบสนองするようにインターフェースを設定できます。

I²Cシステムの転送シーケンスは、バスのアイドル時にスタート状態を生成して転送を開始するマスター・デバイスから構成されています。マスターは、最初のアドレス転送において、スレーブ・デバイスのアドレスとデータ転送の方向を送信します。マスターが調停を解放せず、スレーブがアクノレッジした場合は、データ転送が開始されます。これは、マスターがストップ状態を発行してバスがアイドル状態になるまで、継続されます。

I²Cペリフェラルのマスターおよびスレーブ機能は、独立しており、同時にアクティブにできます。バス上で転送が開始されると、スレーブがアクティブにされます。スレーブがアドレス指定されない場合は、別の転送が開始されるまで非アクティブのままです。これにより、調停を解放したマスター・デバイスは、同じサイクルでスレーブとしてตอบสนองすることもできます。

シリアル・クロックの生成

システム内のI²Cマスターは、転送用のシリアル・クロックを生成します。マスター・チャンネルは、高速モード（400kHz）または標準モード（100kHz）で動作するように設定できます。

I2C0DIV MMRでは、ビットレートは次のように定義されます。

$$f_{\text{serialclock}} = \frac{f_{\text{UCLK}}}{(2 + \text{DIVH}) + (2 + \text{DIVL})}$$

ここで、

f_{UCLK} = クロック・デバイダの前のクロック

DIVH = クロックのハイ期間

DIVL = クロックのロー期間

したがって、100kHz動作の場合は、

$$\text{DIVH} = \text{DIVL} = 0 \times \text{CF}$$

400kHzの場合は、

$$\text{DIVH} = \text{DIVL} = 0 \times 32$$

I2CxDIVレジスタは、DIVH:DIVLに対応します。

スレーブ・アドレス

レジスタI2C0ID0、I2C0ID1、I2C0ID2、I2C0ID3には、デバイスIDがあります。デバイスは、4本のI2C0IDxレジスタをアドレス・バイトと比較します。各IDレジスタの最上位7ビットが、正しいアドレスとして受信された最初のアドレス・バイトの最上位7ビットと同じであることが必要です。IDレジスタのLSBは転送方向ビットで、アドレス認識においては無視されます。

ADuC7019/20/21/22/24/25/26/27

I²Cレジスタ

I²Cペリフェラル・インターフェースは、ここで説明する18本のMMRから構成されています。

I2CxMSTAレジスタ

名前	アドレス	デフォルト値	アクセス
I2COMSTA	0xFFFF0800	0x00	R
I2C1MSTA	0xFFFF0900	0x00	R

I2CxMSTAは、マスター・チャンネルのステータス・レジスタです。

表60. I2COMSTA MMRのビット説明

ビット	説明
7	マスター送信FIFOフラッシュ。セットすればマスターTx FIFOをフラッシュします。マスターTx FIFOがフラッシュされると自動的にクリアされず。このビットは、スレーブ受信FIFOもフラッシュします。
6	マスター・ビジー。マスターがビジーの場合に自動的にセットされます。自動的にクリアされます。
5	調停損失。バスを他のマスターが持つ場合に、マルチマスター・モードでセットされます。バスが使用可能になるとクリアされます。
4	ACKなし。マスター受信FIFOが満杯の場合に、自動的にセットされます。マスターは、受信したデータをアクノレッジしません。自動的にクリアされます。
3	マスター受信IRQ。データの受信後にセットされます。I2COMRXレジスタの読み出しによって自動的にクリアされます。
2	マスター送信IRQ。送信の最後にセットされます。I2COMTXレジスタへの書き込みによって自動的にクリアされます。
1	マスター送信FIFOアンダーフロー。マスター送信FIFOがアンダーフローしている場合に、自動的にセットされます。I2COMTXレジスタへの書き込みによって自動的にクリアされます。
0	マスターTX FIFOエンプティ。マスター送信FIFOが空の場合に、自動的にセットされます。I2COMTXレジスタへの書き込みによって自動的にクリアされます。

I2CxSSTAレジスタ

名前	アドレス	デフォルト値	アクセス
I2COSSTA	0xFFFF0804	0x01	R
I2C1SSTA	0xFFFF0904	0x01	R

I2CxSSTAは、スレーブ・チャンネルのステータス・レジスタです。

表61. I2COSSTA MMRのビット説明

ビット	値	説明
31 ~ 15		予約。これらのビットには0を書き込んでください。
14		STARTデコード・ビット。デバイスが有効なSTART+一致アドレスを受信した場合に、ハードウェアによってセットされます。I ² Cストップ状態またはI ² C一斉呼出しリセットによってクリアされます。
13		再STARTデコード・ビット。デバイスが有効な再START+一致アドレスを受信した場合に、ハードウェアによってセットされます。I ² Cストップ状態、I2CSSTAレジスタの読み出し、I ² C一斉呼出しリセットによってクリアされます。
12, 11	00	IDデコード・ビット
	01	受信したアドレスがIDレジスタ0と一致
	10	受信したアドレスがIDレジスタ1と一致
	11	受信したアドレスがIDレジスタ2と一致
10		受信したアドレスがIDレジスタ3と一致
		スタート+一致アドレス割込みの後で停止。スレーブ・デバイスが前のI ² C START状態+一致アドレスの後でI ² C STOP状態を受信した場合に、ハードウェアによってセットされます。I2CxSSTAレジスタの読み出しによってクリアされます。
9, 8	00	一斉呼出しID
	01	一斉呼出しなし
	10	一斉呼出しリセットとプログラム・アドレス
	11	一斉呼出しプログラム・アドレス
7		一斉呼出しマッチング代替ID
		一斉呼出し割込み。スレーブ・デバイスが何らかの一斉呼出しを受信した場合にセットされます。I2CxCFGレジスタのビット8をセットするとクリアされます。これが一斉呼出しリセットである場合には、すべてのレジスタがデフォルト値になります。これがハードウェア一斉呼出しである場合には、Rx FIFOには一斉呼出しの第2バイトが保持されます。これはI2COALTレジスタに似ています（デバイス・アドレスを再書き込みするための一斉呼出しを除く）。詳細については、I ² Cバス仕様書（バージョン2.1、2000年1月）を参照してください。
6		スレーブ・ビジー。スレーブがビジーの場合に自動的にセットされます。自動的にクリアされます。
5		ACKなし。マスターがデータを要求しており、データがない場合にセットされます。自動的にクリアされます。
4		スレーブ受信FIFOオーバーフロー。スレーブ受信FIFOがオーバーフローしている場合に、自動的にセットされます。I2COSRXの読み出しによって自動的にクリアされます。
3		スレーブ受信IRQ。データの受信後にセットされます。I2COSRXレジスタの読み出しによって自動的にクリアされます。
2		スレーブ送信IRQ。送信の最後にセットされます。I2COSTXレジスタへの書き込みによって自動的にクリアされます。
1		スレーブ送信FIFOアンダーフロー。スレーブ送信FIFOがアンダーフローしている場合に、自動的にセットされます。I2COSTXレジスタへの書き込みによって自動的にクリアされます。
0		スレーブ送信FIFOエンプティ。スレーブ送信FIFOが空の場合に、自動的にセットされます。I2COSTXレジスタへの書き込みによって自動的にクリアされます。

I2CxSRXレジスタ

名前	アドレス	デフォルト値	アクセス
I2C0SRX	0xFFFFF0808	0x00	R
I2C1SRX	0xFFFFF0908	0x00	R

I2CxSRXは、スレーブ・チャンネルの受信レジスタです。

I2CxSTXレジスタ

名前	アドレス	デフォルト値	アクセス
I2C0STX	0xFFFFF080C	0x00	W
I2C1STX	0xFFFFF090C	0x00	W

I2CxSTXは、スレーブ・チャンネルの送信レジスタです。

I2CxMRXレジスタ

名前	アドレス	デフォルト値	アクセス
I2C0MRX	0xFFFFF0810	0x00	R
I2C1MRX	0xFFFFF0910	0x00	R

I2CxMRXは、マスター・チャンネルの受信レジスタです。

I2CxMTXレジスタ

名前	アドレス	デフォルト値	アクセス
I2C0MTX	0xFFFFF0814	0x00	W
I2C1MTX	0xFFFFF0914	0x00	W

I2CxSTXは、マスター・チャンネルの送信レジスタです。

I2CxCNTレジスタ

名前	アドレス	デフォルト値	アクセス
I2C0CNT	0xFFFFF0818	0x00	RW
I2C1CNT	0xFFFFF0918	0x00	RW

I2CxCNTは、3ビット長のマスター受信データ・カウント・レジスタです。マスター読み出し転送シーケンスが開始された場合、I2CxCNTレジスタは、スレーブ・デバイスから読み出されるバイト数 - 1の値を示します。デフォルトでは0で、1バイトが予想されることを示します。

I2CxADRレジスタ

名前	アドレス	デフォルト値	アクセス
I2C0ADR	0xFFFFF081C	0x00	RW
I2C1ADR	0xFFFFF091C	0x00	RW

I2CxADRは、マスター・アドレス・バイト・レジスタです。I2CxADR値は、マスターが交信したいデバイス・アドレスです。マスター・イネーブル・ビットがセットされており、I2CxMTXレジスタに有効なデータがない場合は、この値はマスター転送シーケンスの開始時に自動的に送信されます。

I2CxBYTEレジスタ

名前	アドレス	デフォルト値	アクセス
I2C0BYTE	0xFFFFF0824	0x00	RW
I2C1BYTE	0xFFFFF0924	0x00	RW

I2CxBYTEは、ブロードキャスト・バイト・レジスタです。I2CxBYTEはブロードキャスト・バイト・レジスタです。これらのレジスタに書き込まれたデータは、TxFIFOを通過しません。このデータは、転送シーケンスの初めに、アドレスよりも前に送信されます。バイトが送信されてアキュレジジされると、I²Cは、I2CxBYTEに別のバイトが書き込まれるか、アドレス・レジスタにアドレスが書き込まれるのを待ちます。

I2CxALTレジスタ

名前	アドレス	デフォルト値	アクセス
I2C0ALT	0xFFFFF0828	0x00	RW
I2C1ALT	0xFFFFF0928	0x00	RW

I2CxALTは、スレーブ・モードで使用されるハードウェア一斉呼出しIDレジスタです。

I2CxCFGレジスタ

名前	アドレス	デフォルト値	アクセス
I2C0CFG	0xFFFFF082C	0x00	RW
I2C1CFG	0xFFFFF092C	0x00	RW

I2CxCFGは、設定レジスタです。

ADuC7019/20/21/22/24/25/26/27

表62. I2C0CFG MMRのビット説明

ビット	説明
31~15	予約。これらのビットには0を書き込んでください。
14	ストップ割込み有効。セットすれば、ストップ状態を受信し有効なスタート状態+一致アドレスを受信した後で割込みを生成します。クリアすればストップ状態を受信した時点での割込み生成がディスエーブルになります。
13	予約
12	予約
11	ストレッチSCL (SCLをローレベルに保持) 有効。セットすればSCLラインをストレッチします。クリアすればSCLラインのストレッチがディスエーブルになります。
10	予約
9	スレーブTx FIFO要求割込みイネーブル。セットすればスレーブTx FIFO要求割込みがディスエーブルになります。クリアすればR/Wビットに対するクロックの立下がりエッジの直後に割込み要求を生成します。これにより、スレーブTx FIFOが空の場合、ユーザはそこにデータを入力できます。400kSPSで、コア・クロックが41.78MHzで動作している場合、ユーザは割込み遅延を考慮して45クロック・サイクルで適切なアクションを起こします。
8	一斉呼出しステータス・ビット・クリア。セットすれば一斉呼出しステータス・ビットクリアされます。一斉呼出しステータス・ビットがクリアされた後で、ハードウェアによって自動的にクリアされます。
7	マスター・シリアル・クロック・イネーブル・ビット。セットすればマスター・モードでシリアル・クロックの生成がイネーブルになります。クリアすればマスター・モードでシリアル・クロックがディスエーブルになります。
6	ループ・バック・イネーブル・ビット。セットすれば遷移を受信に内部的に接続してユーザ・ソフトウェアをテストします。クリアすればノーマル・モードで動作します。
5	スタート・バックオフ・ディスエーブル・ビット。マルチマスター・モードでセットします。調停が失われている場合は、マスターはすぐに再送信を試みます。クリアすればスタート・バックオフがイネーブルになります。調停が失われた後、マスターは待機してから再送信を試みます。
4	ハードウェア一斉呼出しイネーブル。このビットと一斉呼出しイネーブル・ビットがセットされ、一斉呼出し (アドレス0x00) とデータバイトを受信すると、デバイスは、受信レジスタに基づいてI2C0ALTの内容をチェックします。それらが一致した場合には、デバイスはハードウェア一斉呼出しを受信したことになります。この方法が使用されるのは、問い合わせるべきマスターが不明な状態で、デバイスがマスター・デバイスからの緊急な対処を必要とする場合です。これは「関係者各位」呼出しです。ADuC7019/7020/7021/7022/7024/7025/7026/7027は、これらのアドレスを監視します。対処を必要とするデバイスは、メッセージの中に自分のアドレスを埋め込みます。すべてのマスターがリスンして、デバイスへの対処方法を知っているマスターが、そのスレーブに連絡して適切に振る舞います。I2C0ALTレジスタのLSBには、I ² Cの2000年1月の仕様書に従って、常に1を書き込む必要があります。
3	一斉呼出しイネーブル・ビット。セットすればスレーブ・デバイスがI ² C一斉呼出し、つまりアドレス0x00 (書込み) をACKできるようにします。これによってデバイスはデータビットを認識します。データバイトとして0x06を受信した場合には、「ハードウェアによるスレーブ・アドレスのプログラマブル部分のリセットと書込み」であり、I ² Cの2000年1月の仕様書に従って、I ² Cインターフェースがリセットされます。このコマンドを使用すれば、I ² Cシステム全体をリセットできます。一斉呼出し割込みステータス・ビットは、どの一斉呼出しでもセットされます。リセット後にI ² Cインターフェースを設定して正しい措置を講じることは、ユーザの責任です。データバイトとして0x04を受信した場合には、「ハードウェアによるスレーブ・アドレスのプログラマブル部分の書込み」であり、一斉呼出し割込みステータス・ビットは、どの一斉呼出しでもセットされます。デバイス・アドレスを再書込みして正しい措置を講じることは、ユーザの責任です。
2	予約
1	マスター・イネーブル・ビット。セットすればマスターI ² Cチャンネルがイネーブルになります。クリアすればマスターI ² Cチャンネルがディスエーブルになります。
0	スレーブ・イネーブル・ビット。セットすればスレーブI ² Cチャンネルがイネーブルになります。スレーブ転送シーケンスは、I2C0ID0、I2C0ID1、I2C0ID2、I2C0ID3内のデバイス・アドレスについて監視されます。デバイス・アドレスが認識された場合は、デバイスはスレーブ転送シーケンスに参加します。クリアすればスレーブI ² Cチャンネルがディスエーブルになります。

I2CxDIVレジスタ

名前	アドレス	デフォルト値	アクセス
I2C0DIV	0xFFFF0830	0x1F1F	RW
I2C1DIV	0xFFFF0930	0x1F1F	RW

I2CxDIVは、クロック・デバイダ・レジスタです。

I2CxIDxレジスタ

名前	アドレス	デフォルト値	アクセス
I2C0ID0	0xFFFF0838	0x00	RW
I2C0ID1	0xFFFF083C	0x00	RW
I2C0ID2	0xFFFF0840	0x00	RW
I2C0ID3	0xFFFF0844	0x00	RW
I2C1ID0	0xFFFF0938	0x00	RW
I2C1ID1	0xFFFF093C	0x00	RW
I2C1ID2	0xFFFF0940	0x00	RW
I2C1ID3	0xFFFF0944	0x00	RW

I2CxID0、I2CxID1、I2CxID2、I2CxID3は、I2Cxのスレーブ・アドレス・デバイスIDレジスタです。

I2xCcntレジスタ

名前	アドレス	デフォルト値	アクセス
I2C0CCNT	0xFFFF0848	0x01	RW
I2C1CCNT	0xFFFF0948	0x01	RW

I2xCcntは、8ビットのスタート/ストップ生成カウンタで、スタート状態とストップ状態のためにSDAをローレベルに保持します。

I2CxFASTAレジスタ

名前	アドレス	デフォルト値	アクセス
I2C0FSTA	0xFFFF084C	0x0000	R
I2C1FSTA	0xFFFF094C	0x0000	R

I2C0FSTAは、FIFOステータス・レジスタです。

表63. I2C0FSTA MMRのビット説明

ビット	値	説明
15 ~ 10		予約
9		予約 マスター送信FIFOフラッシュ。セットすればマスターTx FIFOをフラッシュします。マスターTx FIFOがフラッシュされると、自動的にクリアされます。
8		スレーブ送信FIFOフラッシュ。セットすればスレーブTx FIFOをフラッシュします。スレーブTx FIFOがフラッシュされると、自動的にクリアされます。
7、6		マスターRx FIFOステータス・ビット
	00	FIFOエンプティ
	01	FIFOに書き込まれたバイト
	10	FIFO内の1バイト
	11	FIFOフル
5、4		マスターTx FIFOステータス・ビット
	00	FIFOエンプティ
	01	FIFOに書き込まれたバイト
	10	FIFO内の1バイト
	11	FIFOフル
3、2		スレーブRx FIFOステータス・ビット
	00	FIFOエンプティ
	01	FIFOに書き込まれたバイト
	10	FIFO内の1バイト
	11	FIFOフル
1、0		スレーブTx FIFOステータス・ビット
	00	FIFOエンプティ
	01	FIFOに書き込まれたバイト
	10	FIFO内の1バイト
	11	FIFOフル

プログラマブル・ロジック・アレイ (PLA)

ADuC7019/20/21/22/24/25/26/27は、完全なプログラマブル・ロジック・アレイ (PLA) を内蔵しています。このPLAでは、2つの独立したPLAブロックが相互接続されています。各ブロックは8つのPLAエレメントから構成されているため、合計で16個のPLAエレメントがあります。

各PLAエレメントに含まれる2入力ルックアップ・テーブルは、2つの入力とフリップフロップをベースにして、任意のロジック出力関数を生成するように設定できます。これを図62に示します。

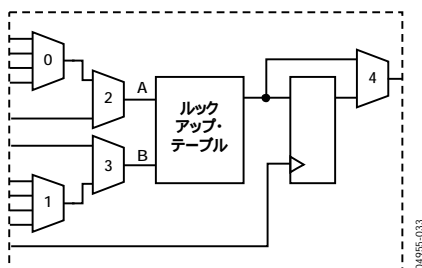


図62. PLAエレメント

ADuC7019/20/21/22/24/25/26/27では、合計で30本の汎用I/Oピンを使用できます。これには16本の入力ピンと14本の出力ピンがあり、PLAを使用する前にGPxCONレジスタでPLAピンとして設定します。なお、コンパレータ出力も、16本の入力ピンの1つとして含まれます。

PLAは一連のユーザMMRによって設定されます。PLAの出力は、内部割込みシステム、ADCのCONV_{START}信号、MMR、16本のPLA出力ピンの任意のピンのいずれかに接続できます。

2つのブロックは、次のように相互接続できます。

- エレメント15 (ブロック1) の出力は、エレメント0 (ブロック0) のMux 0の入力0に帰還させることができます。
- エレメント7 (ブロック0) の出力は、エレメント8 (ブロック1) のMux 0の入力0に帰還させることができます。

表64. エレメントのI/O

PLAブロック0			PLAブロック1		
エレメント	入力	出力	エレメント	入力	出力
0	P1.0	P1.7	8	P3.0	P4.0
1	P1.1	P0.4	9	P3.1	P4.1
2	P1.2	P0.5	10	P3.2	P4.2
3	P1.3	P0.6	11	P3.3	P4.3
4	P1.4	P0.7	12	P3.4	P4.4
5	P1.5	P2.0	13	P3.5	P4.5
6	P1.6	P2.1	14	P3.6	P4.6
7	P0.0	P2.2	15	P3.7	P4.7

PLA MMRのインターフェース

PLAペリフェラル・インターフェースは、ここで説明する22本のMMRから構成されています。

PLAELMxレジスタ

名前	アドレス	デフォルト値	アクセス
PLAELM0	0xFFFF0B00	0x0000	RW
PLAELM1	0xFFFF0B04	0x0000	RW
PLAELM2	0xFFFF0B08	0x0000	RW
PLAELM3	0xFFFF0B0C	0x0000	RW
PLAELM4	0xFFFF0B10	0x0000	RW
PLAELM5	0xFFFF0B14	0x0000	RW
PLAELM6	0xFFFF0B18	0x0000	RW
PLAELM7	0xFFFF0B1C	0x0000	RW
PLAELM8	0xFFFF0B20	0x0000	RW
PLAELM9	0xFFFF0B24	0x0000	RW
PLAELM10	0xFFFF0B28	0x0000	RW
PLAELM11	0xFFFF0B2C	0x0000	RW
PLAELM12	0xFFFF0B30	0x0000	RW
PLAELM13	0xFFFF0B34	0x0000	RW
PLAELM14	0xFFFF0B38	0x0000	RW
PLAELM15	0xFFFF0B3C	0x0000	RW

PLAELMxは、エレメント0 ~ 15のコントロール・レジスタで、各エレメントの入力 / 出力muxを設定し、ルックアップ・テーブルの機能を選択し、フリップフロップをバイパスまたは使用します。表65と表67を参照してください。

ADuC7019/20/21/22/24/25/26/27

表65. PLAELMx MMRのビット説明

ビット	値	説明
31~11		予約
10、9		Mux (0)制御 (表67を参照)
8、7		Mux (1)制御 (表67を参照)
6		Mux (2)制御。セットすればmux (0)の出力を選択します。クリアすればPLADINからのビット値を選択します。
5		Mux (3)制御。セットすれば特定のエレメントの入力ピンを選択します。クリアすればmux (1)の出力を選択します。
4~1		ルックアップ・テーブルの制御
	0000	0
	0001	NOR
	0010	B AND NOT A
	0011	NOT A
	0100	A AND NOT B
	0101	NOT B
	0110	EXOR
	0111	NAND
	1000	AND
	1001	EXNOR
	1010	B
	1011	NOT A OR B
	1100	A
	1101	A OR NOT B
	1110	OR
	1111	1
0		Mux (4)制御。セットすればフリップフロップをバイパスします。クリアすればフリップフロップを選択します(デフォルト)。

PLACLKレジスタ

名前	アドレス	デフォルト値	アクセス
PLACLK	0xFFFF0B40	0x00	RW

PLACLKは、ブロック0のフリップフロップのクロック選択と、ブロック1のフリップフロップのクロック選択です。

表66. PLACLK MMRのビット説明

ビット	値	説明
7		予約
6~4		ブロック1のクロック源選択
	000	P0.5でのGPIOクロック
	001	P0.0でのGPIOクロック
	010	P0.7でのGPIOクロック
	011	HCLK
	100	OCLK (32.768kHz)
	101	Timer1オーバーフロー
	その他	予約
3		予約
2~0		ブロック0のクロック源選択
	000	P0.5でのGPIOクロック
	001	P0.0でのGPIOクロック
	010	P0.7でのGPIOクロック
	011	HCLK
	100	OCLK (32.768kHz)
	101	Timer1オーバーフロー
	その他	予約

表67. フィードバック設定

ビット	値	PLAELM0	PLAELM1 ~ PLAELM7	PLAELM8	PLAELM9 ~ PLAELM15
10~9	00	エレメント15	エレメント0	エレメント7	エレメント8
	01	エレメント2	エレメント2	エレメント10	エレメント10
	10	エレメント4	エレメント4	エレメント12	エレメント12
	11	エレメント6	エレメント6	エレメント14	エレメント14
8~7	00	エレメント1	エレメント1	エレメント9	エレメント9
	01	エレメント3	エレメント3	エレメント11	エレメント11
	10	エレメント5	エレメント5	エレメント13	エレメント13
	11	エレメント7	エレメント7	エレメント15	エレメント15

PLAIRQレジスタ

名前	アドレス	デフォルト値	アクセス
PLAIRQ	0xFFFF0B44	0x00000000	RW

PLAIRQでは、IRQ0やIRQ1をイネーブルにし、IRQのソースを選択します。

表68. PLAIRQ MMRのビット説明

ビット	値	説明
15~13 12		予約 PLA IRQ1イネーブル・ビット。セットすればPLAからのIRQ1出力がイネーブルになります。クリアすればPLAからのIRQ1出力がディスエーブルになります。
11~8	0000 0001 1111	PLA IRQ1ソース PLAエレメント0 PLAエレメント1 PLAエレメント15
7~5 4		予約 PLA IRQ0イネーブル・ビット。セットすればPLAからのIRQ0出力がイネーブルになります。クリアすればPLAからのIRQ0出力がディスエーブルになります。
3~0	0000 0001 1111	PLA IRQ0ソース PLAエレメント0 PLAエレメント1 PLAエレメント15

PLAADCレジスタ

名前	アドレス	デフォルト値	アクセス
PLAADC	0xFFFF0B48	0x00000000	RW

PLAADCは、ADC変換の開始信号からのPLAソースです。

表69. PLAADC MMRのビット説明

ビット	値	説明
31~5 4		予約 ADC変換の開始イネーブル・ビット。セットすればPLAからのADC変換の開始がイネーブルになります。クリアすればPLAからのADC変換の開始がディスエーブルになります。
3~0	0000 0001 1111	ADC変換の開始ソース PLAエレメント0 PLAエレメント1 PLAエレメント15

PLADINレジスタ

名前	アドレス	デフォルト値	アクセス
PLADIN	0xFFFF0B4C	0x00000000	RW

PLADINは、PLA用のデータ入力MMRです。

表69. PLADIN MMRのビット説明

ビット	説明
31~16 15~0	予約 エレメント15~エレメント0への入力ビット

PLADOUTレジスタ

名前	アドレス	デフォルト値	アクセス
PLADOUT	0xFFFF0B50	0x00000000	R

PLADOUTは、PLA用のデータ出力MMRです。このレジスタは常に更新されます。

表70. PLADOUT MMRのビット説明

ビット	説明
31~16 15~0	予約 エレメント15~エレメント0からの出力ビット

PLALCKレジスタ

名前	アドレス	デフォルト値	アクセス
PLALCK	0xFFFF0B54	0x00	W

PLALCKは、PLAロック・オプションです。ビット0への書込みは1回のみです。セットされると、PLADINを除いてPLA MMRの変更はできなくなります。開発システムにはPLAツールが付属しているため、PLAを簡単に設定することができます。

プロセッサ・リファレンス・ ペリフェラル

割込みシステム

ADuC7019/20/21/22/24/25/26/27には23個の割込みソースがあり、割込みコントローラによって制御されます。大部分の割込みは、ADCやUARTなどのオンチップ・ペリフェラルから生成されます。また4つの追加割込みソースは、外部割込み要求ピンXIRQ0、XIRQ1、XIRQ2、XIRQ3から生成されます。ARM7TDMI CPUコアでは、割込みを通常の割込み要求IRQまたは高速割込み要求FIQとしてのみ認識します。すべての割込みは、個別にマスクできます。

割込みシステムの制御と設定は、9本の割込み関連レジスタによって管理されます。そのうちの4本はIRQ専用、別の4本はFIQ専用です。残りの1本のMMRは、プログラムされた割込みソースの選択に使用されます。表71に示すように、ビット23を除き、IRQレジスタとFIQレジスタのビットは同じ割込みソースを表します。

表72. IRQ/FIQ MMRのビット説明

ビット	説明
0	すべての割込みはORされます
1	SWI
2	Timer0
3	Timer1
4	ウェイクアップ・タイマ - Timer2
5	ウォッチドッグ・タイマ - Timer3
6	フラッシュ制御
7	ADCチャンネル
8	PLLロック
9	PC0スレーブ
10	PC0マスター
11	PC1マスター
12	SPIスレーブ
13	SPIマスター
14	UART
15	外付けIRQ0
16	コンパレータ
17	PSM
18	外付けIRQ1
19	PLA IRQ0
20	PLA IRQ1
21	外付けIRQ2
22	外付けIRQ3
23	PWMトリップ(IRQのみ)/PWM同期(FIQのみ)

IRQ

割込み要求 (IRQ) は、プロセッサのIRQモードに入るための例外信号で、内部イベントと外部イベントの汎用割込み処理に対応するために使用します。

IRQ専用の4本の32ビット・レジスタは、IRQSTA、IRQSIG、IRQEN、IRQCLRです。

IRQSTAレジスタ

名前	アドレス	デフォルト値	アクセス
IRQSTA	0xFFFF0000	0x00000000	R

IRQSTA (読み出し専用レジスタ) は、現在のイネーブルになったIRQソース・ステータスを提供します。1に設定された場合、そのソースはARM7TDMIコアにアクティブなIRQ要求を生成します。優先順位エンコーダや割込みベクトル生成はありません。この機能は、共通割込みハンドラ・ルーチンにソフトウェアで実装されます。ARM7TDMIコアへのIRQ信号を作成するために、すべての32ビットは論理的にORされます。

IRQSIGレジスタ

名前	アドレス	デフォルト値	アクセス
IRQSIG	0xFFFF0004	0x00XXX000	RW

IRQSIGは、さまざまなIRQソースのステータスを反映します。ペリフェラルがIRQ信号を生成した場合は、IRQSIG内の対応するビットがセットされます。そうでない場合はクリアされず。特定ペリフェラルでの割込みがクリアされると、IRQSIGビットがクリアされます。IRQEN MMRでは、すべてのIRQソースをマスクできます。IRQSIGは、読み出し専用です。

IRQENレジスタ

名前	アドレス	デフォルト値	アクセス
IRQEN	0xFFFF0008	0x00000000	RW

IRQENは、現在のイネーブル・マスクの値を提供します。ビットがセットされると、IRQ例外を作成するためのソース要求がイネーブルになります。ビットがクリアされると、ソース要求がディスエーブルになるかマスクされ、IRQ例外を作成しません。

IRQCLRレジスタ

名前	アドレス	デフォルト値	アクセス
IRQCLR	0xFFFF000C	0x00000000	W

IRQCLR (書き込み専用レジスタ) では、割込みソースをマスクするために、IRQENレジスタをクリアします。セットされた各ビットは、残りのビットに影響を与えることなく、IRQENレジスタの対応するビットをクリアします。IRQENとIRQCLRというレジスタ・ペアは、アトミックなリード・モディファイ・ライトを要求することなく、イネーブル・マスクを独立して操作します。

FIQ

高速割込み要求 (FIQ) は、プロセッサのFIQモードに入るための例外信号で、低遅延でデータ転送や通信チャンネル・タスクを処理するために使用します。FIQインターフェースはIRQインターフェースと同一で、第2レベル割込み (最高の優先順位) を提供します。FIQSIG、FIQEN、FIQCLR、FIQSTAという4本の32ビット・レジスタは、FIQ専用です。

FIQSTAレジスタ

名前	アドレス	デフォルト値	アクセス
FIQSTA	0xFFFFF0100	0x00000000	R

FIQSIGレジスタ

名前	アドレス	デフォルト値	アクセス
FIQSIG	0xFFFFF0104	0x00000000	R

FIQENレジスタ

名前	アドレス	デフォルト値	アクセス
FIQEN	0xFFFFF0108	0x00000000	R

FIQCLRレジスタ

名前	アドレス	デフォルト値	アクセス
FIQCLR	0xFFFFF010C	0x00000000	W

コアへのFIQ信号およびFIQレジスタとIRQレジスタのビット0 (FIQソース) を作成するために、FIQSTAのビット31~ビット1が論理的にORされます。

FIQENとFIQCLRのロジックにより、IRQマスクとFIQマスクの両方で割り込みソースをイネーブルにできません。FIQENでセットされたビットは、副作用として、IRQEN内の同じビットをクリアします。また、IRQENでセットされたビットは、副作用として、FIQEN内の同じビットをクリアします。割り込みソースは、IRQENマスクとFIQENマスクの両方でディスエーブルにできます。

プログラム割り込み

プログラム割り込みはノンマスクابلであるため、SWICFGという別のレジスタによって制御されます。SWICFGは、IRQSTAレジスタとIRQSIGレジスタに同時に書き込み、FIQSTAレジスタとFIQSIGレジスタに書き込むこともあります。このソフトウェア割り込み専用の32ビット・レジスタが、表72に示すSWICFGです。このMMRにより、プログラムされたソース割り込みを制御できます。

SWICFGレジスタ

名前	アドレス	デフォルト値	アクセス
SWICFG	0xFFFFF0010	0x00000000	W

表73. SWICFG MMRのビット説明

ビット	説明
31~3	予約
2	プログラム割り込み-FIQ。このビットのセット/クリアは、FIQSTAとFIQSIGのビット1のセット/クリアに対応します。
1	プログラム割り込み-IRQ。このビットのセット/クリアは、IRQSTAとIRQSIGのビット1のセット/クリアに対応します。
0	予約

なお、割り込み信号を割り込みコントローラで検出したり、ユーザがIRQSTA/FIQSTAレジスタで検出したりするには、割り込み信号は、少なくとも割り込み遅延時間に相当する時間にわたってアクティブであることが必要です。

タイマ

ADuC7019/20/21/22/24/25/26/27には、4本の汎用タイマ/カウンタがあります。

1. Timer0
2. Timer1
3. Timer2またはウェイクアップ・タイマ
4. Timer3またはウォッチドッグ・タイマ

これら4本のタイマの通常の動作モードとしては、自走モードと周期モードがあります。

自走モードでは、カウンタが最大値からゼロスケールまで減少し、最小値からカウントを再開します（もしくは最小値からフルスケールまで増加し、最大値からカウントを再開します）。

周期モードでは、カウンタはロード・レジスタ (TxLD MMR) の値からゼロ/フルスケールまで減分/増分して、ロード・レジスタに格納された値からカウントを再開します。

タイマのインターバルは以下で計算されます。

$$\text{インターバル} = \frac{(T \times LD) \times \text{プリスケアラ}}{\text{ソースクロック}}$$

カウンタの値は、その値レジスタ (TxVAL) にアクセスして、いつでも読み出せます。なお、タイマがコア・クロック以外のクロックからクロック駆動されている場合は、非同期クロック・システムのために誤った値が読み出されることがあります。この設定では、TxVALを必ず2度読み出してください。2つの読みが異なる場合は、もう一度読み出して正しい値を取得します。

タイマを開始するには、対応するタイマのコントロール・レジスタ (TxCON) に書き込みます。

ノーマル・モードにおいて、カウント・ダウンの場合、カウンタの値がゼロに達するたびにIRQが生成されます。カウント・アップの場合、カウンタ値がフルスケールに達するたびにIRQが生成されます。IRQをクリアするには、該当するタイマのクリア・レジスタ (TxCLRI) に任意の値を書き込みます。

非同期クロックでタイマを使用するとき、タイマ・ブロックでの割り込みのクリアに要する時間は、割り込みルーチン内のコードの実行時間よりも長いことがあります。割り込み信号をクリアしてから、割り込みサービス・ルーチンを終了してください。それには、IRQSTA MMRをチェックします。

ADuC7019/20/21/22/24/25/26/27

Timer0 (RTOSタイマ)

Timer0は、プログラマブル・プリスケアラを備えた、汎用の16ビット・タイマです(カウントダウン)。プリスケアラ・ソースは、コア・クロック周波数(HCLK)で、1、16、256のいずれかのファクタでスケールリングできます。

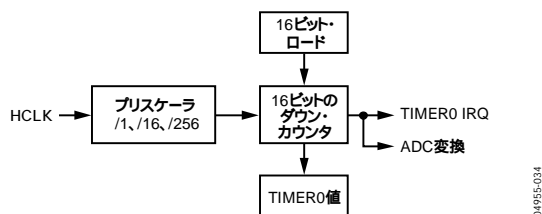


図63. Timer0のブロック図

Timer0のインターフェースは、4本のMMR (TOLD、TOVAL、TOCON、TOCLRI) から構成されています。

TOLDレジスタ

名前	アドレス	デフォルト値	アクセス
TOLD	0xFFFFF0300	0x0000	RW

TOLDは、16ビットのロード・レジスタです。

TOVALレジスタ

名前	アドレス	デフォルト値	アクセス
TOVAL	0xFFFFF0304	0xFFFF	R

TOVALは、カウンタの現在の状態を表す、16ビットの読出し専用レジスタです。

TOCONレジスタ

名前	アドレス	デフォルト値	アクセス
TOCON	0xFFFFF0308	0x0000	RW

TOCONは、表73に示す設定MMRです。

表74. TOCON MMRのビット説明

ビット	値	説明
31~8	予約	
7		Timer0イネーブル・ビット。セットすればTimer0がイネーブルになります。クリアすればTimer0がディスエーブルになります(デフォルト)。
6		Timer0モード。セットすれば周期モードで動作します。クリアすれば自走モードで動作します(デフォルト・モード)。
5~4	予約	
3~2		プリスケール: 00 コア・クロック/1。デフォルト値 01 コア・クロック/16 10 コア・クロック/256 11 未定義。00と等価
1~0	予約	

TOCLRIレジスタ

名前	アドレス	デフォルト値	アクセス
TOCLRI	0xFFFFF030C	0xFF	W

TOCLRIは、8ビット・レジスタです。このレジスタに任意の値を書き込むと、割込みがクリアされます。

Timer1

Timer1は、プログラマブル・プリスケアラを備えた、汎用の32ビット・タイマです(カウントダウンまたはカウントアップ)。ソースには、32kHzの外部水晶発振器、コア・クロック周波数、外部GPIOのP1.0またはP0.6のいずれかを使用できます。このソースは、1、16、256、32768のいずれかのファクタによってスケールリングできます。

カウンタは、標準の32ビット値、または時:分:秒:100分の1のフォーマットが可能です。

Timer1にはキャプチャ・レジスタ(TICAP)があり、選択したIRQソース初期アサーションによってトリガできます。この機能を使用すれば、イベントのアサーションを、IRQの処理時にRTOSタイマによって許可される精度よりも正確に判定できます。

図64のブロック図に示すように、Timer1を使用してADC変換を開始できます。

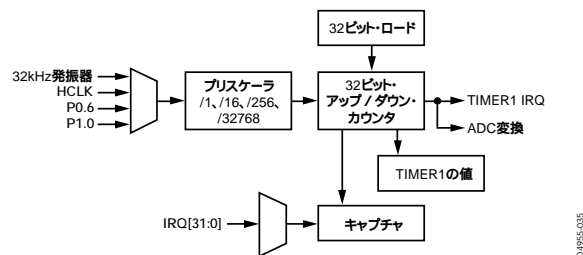


図64. Timer1のブロック図

Timer1のインターフェースは、T1LD、T1VAL、T1CON、T1CLRI、T1CAPという5本のMMRから構成されています。

T1LDレジスタ

名前	アドレス	デフォルト値	アクセス
T1LD	0xFFFFF0320	0x00000000	RW

T1LDは、16ビットのロード・レジスタです。

T1VALレジスタ

名前	アドレス	デフォルト値	アクセス
T1VAL	0xFFFFF0324	0xFFFFFFFF	R

T1VALは、カウンタの現在の状態を表す、16ビットの読出し専用レジスタです。

T1CONレジスタ

名前	アドレス	デフォルト値	アクセス
T1CON	0xFFFFF0328	0x0000	RW

T1CONは、表74に示す設定MMRです。

表75. T1CON MMRのビット説明

ビット	値	説明
31~18		予約
17		イベント・セレクト・ビット。セットすればイベントの時間キャプチャがイネーブルになります。クリアすればイベントの時間キャプチャがディスエーブルになります。
16		イベント選択範囲：0~31。これらのイベントについては、表72で説明します。すべてのイベントは、2だけオフセットされます。つまり、Timer1においては表72のイベント2はイベント0になります。
11~9		クロック・セレクト
	000	コア・クロック (HCLK)
	001	外付け32.768kHz水晶発振器
	010	P1.0の立上がりエッジでトリガ
	011	P0.6の立上がりエッジでトリガ
8		カウント・アップ。セットすればTimer1がカウント・アップします。クリアすればTimer1がカウント・ダウンします (デフォルト)。
7		Timer1イネーブル・ビット。セットすればTimer1がイネーブルになります。クリアすればTimer1がディスエーブルになります (デフォルト)。
6		Timer1モード。セットすれば周期モードで動作します。クリアすれば自走モードで動作します (デフォルト・モード)。
5、4		形式
00		2進
01		予約
10		時：分：秒：100分の1 (23~0時間)
11		時：分：秒：100分の1 (255~0時間)
3~0		プリスケール：
	0000	ソース・クロック/1
	0100	ソース・クロック/16
	1000	ソース・クロック/256
	1111	ソース・クロック/32768

T1CLRIレジスタ

名前	アドレス	デフォルト値	アクセス
T1CLRI	0xFFFFF032C	0xFF	W

T1CLRIは、8ビット・レジスタです。このレジスタに任意の値を書き込むと、Timer1割込みがクリアされます。

T1CAPレジスタ

名前	アドレス	デフォルト値	アクセス
T1CAP	0xFFFFF0330	0x00000000	R

T1CAPは、32ビット・レジスタで、特定イベントの発生時にT1VALに格納される値を保持します。このイベントはT1CONで選択します。

Timer2 (ウェイクアップ・タイマ)

Timer2は、プログラマブル・プリスケラを備えた、32ビットのウェイクアップ・タイマです (カウントダウンまたはカウントアップ)。ソースには、32kHzの外部水晶発振器、コア・クロック周波数、32kHzの内部発振器のいずれかを使用できます。クロック源は、1、16、256、32768のいずれかのファクタによってスケールリングできます。コア・クロックがディスエーブルになると、ウェイクアップ・タイマは実行を継続します。

カウンタは、単純な32ビット値、または時：分：秒：100分の1のフォーマットが可能です。

Timer2を使用すれば、図65のブロック図に示すように、ADC変換を開始できます。

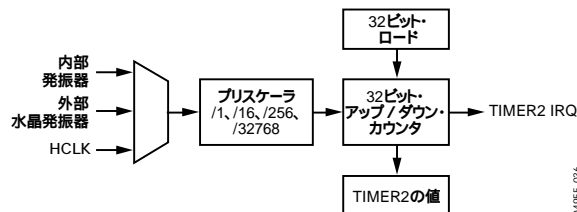


図65. Timer2のブロック図

Timer2インターフェースは、T2LD、T2VAL、T2CON、T2CLRIという4本のMMRで構成されています。

T2LDレジスタ

名前	アドレス	デフォルト値	アクセス
T2LD	0xFFFFF0340	0x00000000	RW

T2LDは、16ビットのロード・レジスタです。

T2VALレジスタ

名前	アドレス	デフォルト値	アクセス
T2VAL	0xFFFFF0344	0xFFFFFFFF	R

T2VALは、カウンタの現在の状態を表す、16ビットの読み出し専用レジスタです。

ADuC7019/20/21/22/24/25/26/27

T2CONレジスタ

名前	アドレス	デフォルト値	アクセス
T2CON	0xFFFFF0348	0x0000	RW

T2CONは、表75に示す設定MMRです。

表76. T2CON MMRのビット説明

ビット	値	説明
31~11		予約
10, 9		クロック源
	00	外部水晶発振器
	01	外部水晶発振器
	10	内部発振器
	11	コア・クロック (41MHz/2 ^{CD})
8		カウント・アップ。セットすればTimer2がカウント・アップします。クリアすればTimer2がカウント・ダウンします (デフォルト)。
7		Timer2イネーブル・ビット。セットすればTimer2がイネーブルになります。クリアすればTimer2がディスエーブルになります (デフォルト)。
6		Timer2モード。セットすれば周期モードで動作します。クリアすれば自走モードで動作します (デフォルト・モード)。
5, 4		形式:
	00	2進
	01	予約
	10	時:分:秒:100分の1 (23~0時間)
	11	時:分:秒:100分の1 (255~0時間)
3~0		プリスケール:
	0000	ソース・クロック/1、デフォルト
	0100	ソース・クロック/16
	1000	ソース・クロック/256、形式2と3で予想される
	1111	ソース・クロック/32768

T2CLRIレジスタ

名前	アドレス	デフォルト値	アクセス
T2CLRI	0xFFFFF034C	0xFF	W

T2CLRIは8ビット・レジスタです。このレジスタに任意の値を書き込むと、Timer2割込みがクリアされます。

Timer3 (ウォッチドッグ・タイマ)

Timer3には、ノーマル・モードとウォッチドッグ・モードという2つの動作モードがあります。ウォッチドッグ・タイマは、不正なソフトウェア状態からの回復に使用されます。いったんイネーブルになると、プロセッサのリセットを強制することを防ぐには、定期的な対応を必要とします。

ノーマル・モード

ノーマル・モードでのTimer3は、クロック源とカウントアップ機能を除けば、Timer0と同じです。クロック源はPLLからの32kHzで、1、16、256のいずれかのファクタによってスケールリングできます。

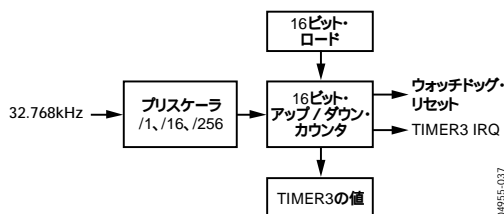


図66. Timer3のブロック図

ウォッチドッグ・モード

ウォッチドッグ・モードに入るには、T3CON MMRのビット5をセットします。Timer3は、T3LDレジスタ内の値から、ゼロまで減少します。T3LDはタイムアウトとして使用されます。最大タイムアウトは、T3LDのプリスケールとプリスケアラ /256を使用して、512秒とすることができます。ウォッチドッグ・モードで動作するとき、Timer3は、32kHzの内部水晶発振器によってクロック駆動されます。なお、正しくウォッチドッグ・モードに入るには、T3LD MMRに書き込んだ後で、T3CON MMRのビット5をセットします。

タイマが0に達した場合は、T3CONレジスタのビット1に応じて、リセットまたは割込みが発生します。リセットや割込みを回避するには、期間満了前にT3ICLRに任意の値を書き込む必要があります。これによって、カウンタにT3LDが再ロードされ、新しいタイムアウト期間が始まります。

ウォッチドッグ・モードに入るとすぐに、T3LDとT3CONは書き込み保護されます。これら2本のレジスタは、リセットによってウォッチドッグ・イネーブル・ビットがクリアされ、Timer3がウォッチドッグ・モードを終了するまでは、変更できません。

Timer3のインターフェースは、T3LD、T3VAL、T3CON、T3ICLRという4本のMMRから構成されています。

T3LDレジスタ

名前	アドレス	デフォルト値	アクセス
T3LD	0xFFFFF0360	0x0000	RW

T3LDは、16ビットのロード・レジスタです。

T3VALレジスタ

名前	アドレス	デフォルト値	アクセス
T3VAL	0xFFFFF0364	0xFFFF	R

T3VALは、カウンタの現在の状態を表す、16ビットの読み出し専用レジスタです。

T3CONレジスタ

名前	アドレス	デフォルト値	アクセス
T3CON	0xFFFFF0368	0x0000	RW

T3CONは、表76に示す設定MMRです。

表77. T3CON MMRのビット説明

ビット	値	説明
31~9		予約
8		カウント・アップ。セットすればTimer3がカウント・アップします。クリアすればTimer3がカウント・ダウンします(デフォルト)
7		Timer3イネーブル・ビット。セットすればTimer3がイネーブルになります。クリアすればTimer3がディスエーブルになります(デフォルト)
6		Timer3モード。セットすれば周期モードで動作します。クリアすれば自走モードで動作します(デフォルト・モード)
5		ウォッチドッグ・モード・イネーブル・ビット。セットすればウォッチドッグ・モードがイネーブルになります。クリアすればウォッチドッグ・モードがディスエーブルになります(デフォルト)
4		セキュア・クリア・ビット。セットすればセキュア・クリア・オプションがイネーブルになります。クリアすればセキュア・クリア・オプションがディスエーブルになります(デフォルト)
3, 2		プリスケール:
	00	ソース・クロック/1、デフォルト
	01	ソース・クロック/16
	10	ソース・クロック/256
	11	未定義。00と等価。
1		ウォッチドッグIRQオプション・ビット。セットすればウォッチドッグが0に達したとき、リセットではなくIRQを生成します。クリアすればIRQオプションがディスエーブルになります。
0		予約

T3CLRレジスタ

名前	アドレス	デフォルト値	アクセス
T3CKRI	0xFFFFF036C	0x00	W

T3CLRは8ビット・レジスタです。このレジスタに任意の値を書き込むと、ノーマル・モードではTimer3割込みがクリアされ、ウォッチドッグ・モードでは新しいタイムアウト時間がリセットされます。

セキュア・ビット・クリア(ウォッチドッグ・モードのみ)
セキュア・クリア・ビットは、上位レベルの保護に使用します。セットされると、ウォッチドッグ・リセットを回避するには、T3ICLRに特定の連続した値を書き込む必要があります。この値は、図67に示すように、8ビットの線形フィードバック・シフト・レジスタ(LFSR)の多項式 = $X^8 + X^6 + X^5 + X + 1$ によって生成されるシーケンスです。

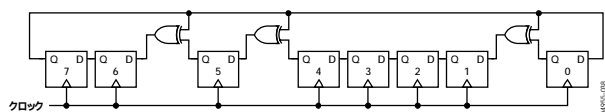


図67. 8ビットのLFSR

ウォッチドッグ・モードに入る前に、初期値またはシードがT3ICLRに書き込まれます。ウォッチドッグ・モードに入った後、T3ICLRへの書き込みは、この予想された値に一致する必要

があります。一致する場合は、カウンタの再ロードが行われたとき、LFSRは次の状態に進みます。予想された状態に一致しない場合は、たとえカウンタがまだ満了していても、すぐにリセットが生成されます。多項式の性質上、値0x00を初期シードとして使用しないでください。値0x00を使用すると、必ず強制的に即時リセットされます。LFSRの値は読み出せません。これはソフトウェアで追跡/生成します。

シーケンスの例:

1. 初期シード0xAAをT3ICLRに入れてから、ウォッチドッグ・モードでTimer3を開始します。
2. 0xAAをT3ICLRに入れます。Timer3が再ロードされます。
3. 0x37をT3ICLRに入れます。Timer3が再ロードされます。
4. 0x6EをT3ICLRに入れます。Timer3が再ロードされます。
5. 0x66を入れます。0xDCが予想されました。ウォッチドッグがチップをリセットします。

外部メモリのインターフェース

ADuC7019/20/21/22/24/25/26/27のうちADuC7026とADuC7027のみが外部メモリ・インターフェースを備えています。外部メモリ・インターフェースには多数のピンが必要であるため、ピン数の多いパッケージにしかありません。外部ポートを使用するには、XMCFG MMRを1に設定します。

内部的には32ビット・アドレスに対応していますが、外部ピンにはアドレスの下位16ビットのみがあります。

メモリ・インターフェースでは、最大4つの128kB非同期メモリ(SRAMやEEPROM)をアドレス指定できます。

表78は、外部メモリへのインターフェースに必要なピンを示します。

表78. 外部メモリへのインターフェース・ピン

ピン	機能
AD[15:0]	アドレス/データ・バス
A16	8ビット・メモリ専用の拡張アドレッシング
MS[3:0]	メモリ・セレクト・ピン
WR	書込みストロブ
RS	読出しストロブ
AE	アドレス・ラッチ・イネーブル
BHE、BLE	バイト書込み機能

表79に示すように、4つの外部メモリ領域を使用できます。各領域にはピンMS[3:0]が関連付けられます。これらの信号により、外部メモリの特定領域へのアクセスが可能になります。各メモリ領域のサイズは、128kB最大、64k×16、128k×8のいずれかとすることができます。8ビット・メモリによる128kにアクセスするため、特別のアドレス・ライン(A16)が提供されます(図68の例を参照)。4つの領域は、独立して構成されています。

表79. メモリ領域

開始アドレス	終了アドレス	内容
0x10000000	0x1000FFFF	外部メモリ0
0x20000000	0x2000FFFF	外部メモリ1
0x30000000	0x3000FFFF	外部メモリ2
0x40000000	0x4000FFFF	外部メモリ3

各外部メモリ領域は、XMCFG、XMxCON、XMxPARという3本のMMRによって制御できます。

ADuC7019/20/21/22/24/25/26/27

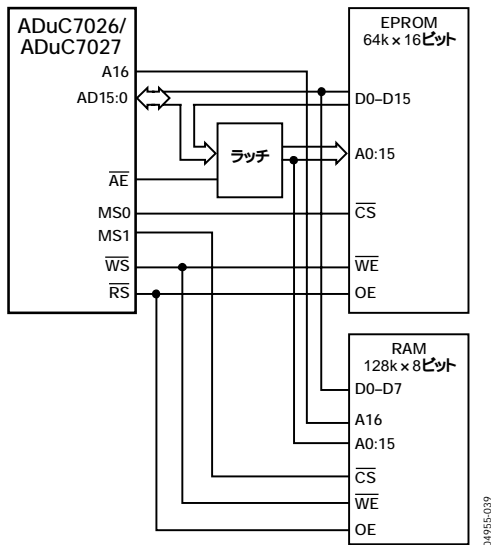


図68. 外部EPROM/RAMへのインターフェース

XMCFGレジスタ

名前	アドレス	デフォルト値	アクセス
XMCFG	0xFFFFF000	0x00	RW

外部メモリ・アクセスをイネーブルにするため、XMCFGは1に設定されます。ポート・ピンを外部メモリ・アクセス・ピンとして機能させるには、これを事前に1に設定します。ポート・ピンは、GPxCON MMRによって個々にイネーブルにする必要もあります。

XMxCONレジスタ

名前	アドレス	デフォルト値	アクセス
XM0CON	0xFFFFF010	0x00	RW
XM1CON	0xFFFFF014	0x00	RW
XM2CON	0xFFFFF018	0x00	RW
XM3CON	0xFFFFF01C	0x00	RW

XMxCONは、メモリ領域ごとのコントロール・レジスタです。これにより、メモリ領域のイネーブル/ディスエーブルが可能になり、メモリ領域のデータ・バス幅を制御できます。

表80. XMxCON MMRのビット説明

ビット	説明
1	8/16ビットのデータ・バス幅を選択します。セットすれば16ビットのデータ・バスを選択します。クリアすれば8ビットのデータ・バスを選択します。
0	メモリ領域をイネーブルにします。セットすればメモリ領域がイネーブルになります。クリアすればメモリ領域がディスエーブルになります。

XMxPARレジスタ

名前	アドレス	デフォルト値	アクセス
XM0PAR	0xFFFFF020	0x70FF	RW
XM1PAR	0xFFFFF024	0x70FF	RW
XM2PAR	0xFFFFF028	0x70FF	RW
XM3PAR	0xFFFFF02C	0x70FF	RW

XMxPARは、メモリ領域ごとの外部メモリのアクセスに使用されるプロトコルを定義するレジスタです。

表81. XMxPAR MMRのビット説明

ビット	説明
15	バイト書込みストロープ有効。このビットは、同じメモリ領域を共有している2つの8ビット・メモリにのみ使用されます。セットすればA0出力をWR出力でゲートします。これによって、BHE信号とBLE信号を使用せずにバイト書込みが可能になります。クリアすればBHE信号とBLE信号を使用してバイト書込みを行います。
14 ~ 12	アドレス・ラッチ・イネーブル・ストロープ上の待ち状態の数
11	予約
10	追加のアドレス・ホールド・タイム。セットすれば追加のホールド・タイムがディスエーブルになります。クリアすれば読出し/書込みでのアドレスに対する1クロック・サイクルのホールドがイネーブルになります。
9	読出しに対する追加のバス遷移時間。セットすれば追加のバス遷移時間がディスエーブルになります。クリアすれば読出しストロープ (RS) 前後の1つの追加クロックがイネーブルになります。
8	書込みに対する追加のバス遷移時間。セットすれば追加のバス遷移時間がディスエーブルになります。クリアすれば書込みストロープ (WS) 前後の1つの追加クロックがイネーブルになります。
7 ~ 4	書込み待ち状態の数。セットすればWSパルスの長さに加算される待ち状態の数を選択します。0x0は1クロックです。0xFは16クロック・サイクル (デフォルト値) です。
3 ~ 0	読出し待ち状態の数。セットすればRSパルスの長さに加算される待ち状態の数を選択します。0x0は1クロックです。0xFは16クロック・サイクル (デフォルト値) です。

図69、図70、図71、図72は、読出しサイクル、アドレス・ホールド・サイクルとバス・ターン・サイクルを持つ読出しサイクル、アドレス・ホールド・サイクルと書込みホールド・サイクルを持つ書込みサイクル、待ち状態を持つ書込みサイクルのタイミングを示します。

ADuC7019/20/21/22/24/25/26/27

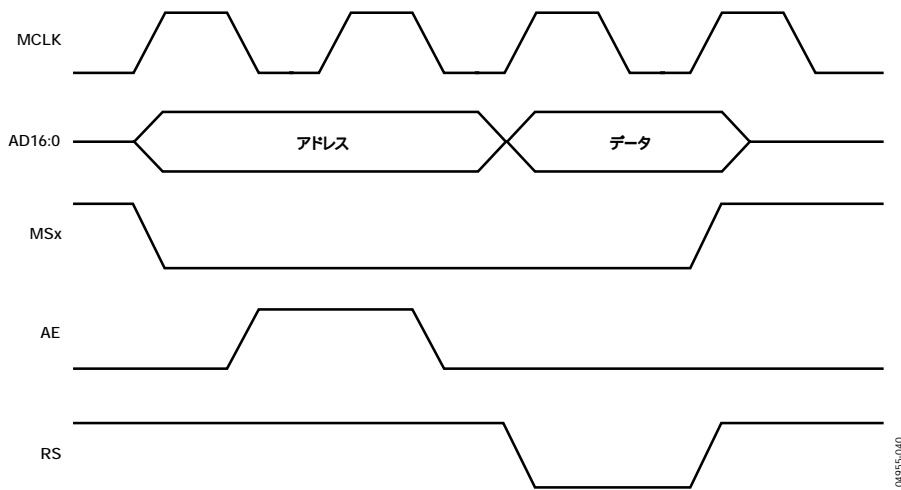


図69. 外部メモリ読出しサイクル

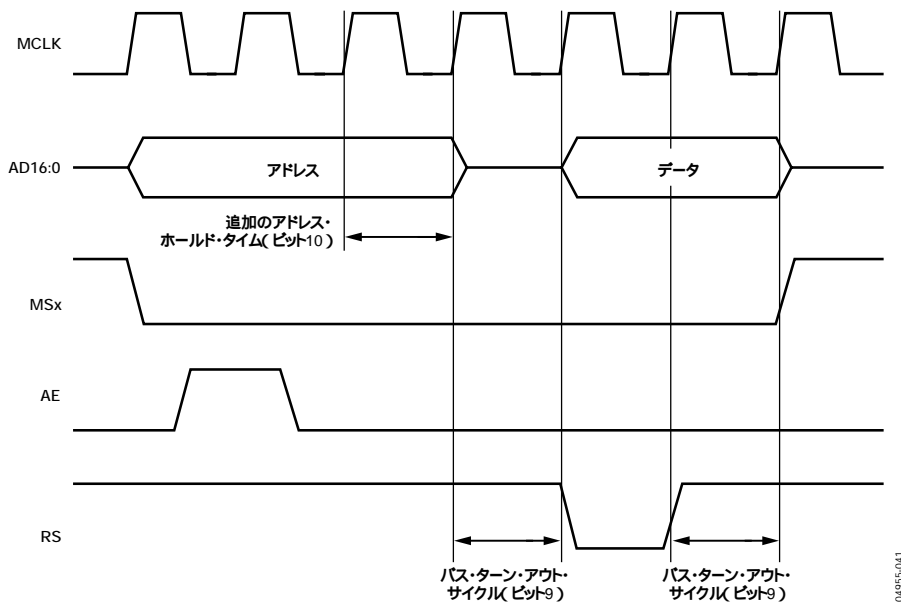
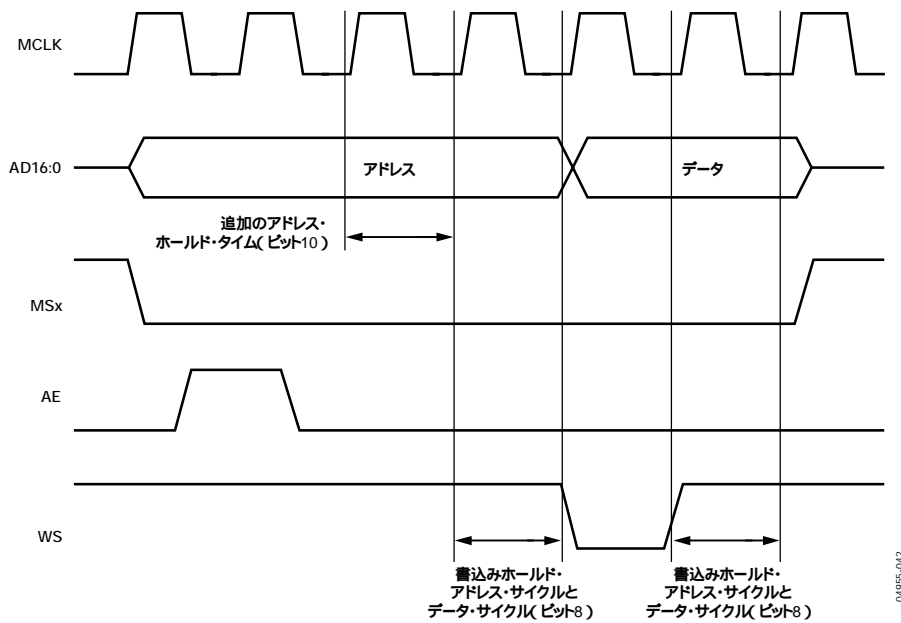


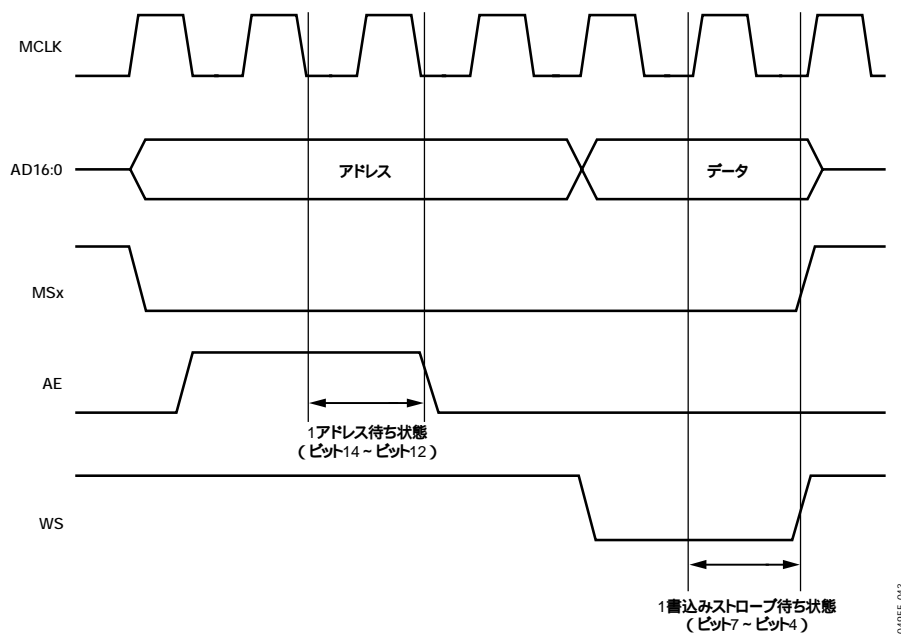
図70. アドレス・ホールド・サイクルとバス・ターン・サイクルを持つ、外部メモリ読出しサイクル

ADuC7019/20/21/22/24/25/26/27



04955_042

図71. アドレス・ホールド・サイクルと書き込みホールド・サイクルを持つ、外部メモリ書き込みサイクル



04955_043

図72. 待ち状態を持つ、外部メモリ書き込みサイクル

ハードウェア設計上の留意点

電源

ADuC7019/20/21/22/24/25/26/27の動作可能な電源電圧範囲は、2.7～3.6Vです。アナログ電源ピンとデジタル電源ピン（それぞれ、 AV_{DD} と IOV_{DD} ）が分離されているため、システム IOV_{DD} ラインによく現れるノイズの多いデジタル信号から AV_{DD} への影響が、比較的小さく抑えられています。このモードでは、デバイスは別々の電源で、すなわち各電源に対して異なる電圧電源レベルを使用して動作することもできます。たとえば、 IOV_{DD} 電圧レベル3.3V、 AV_{DD} レベル3Vで（またはその逆でも）動作するようにシステムを設計できます。代表的な別電源構成を図73に示します。

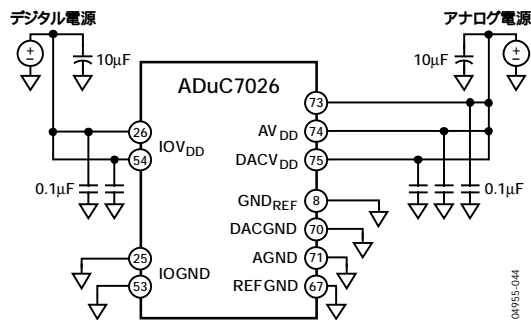


図73. 外付けの両電源構成

2個の電源を用意する代わりに、 AV_{DD} と IOV_{DD} の間に小さな直列抵抗またはフェライト・ビード（あるいはその両方）を接続することにより AV_{DD} のノイズを抑え、別に AV_{DD} をグラウンドからデカップリングする方法もあります。この構成の例を図74に示します。この構成では、他のアナログ回路（オペアンプ、電圧リファレンスなど）もこの AV_{DD} 電源ラインに接続できます。

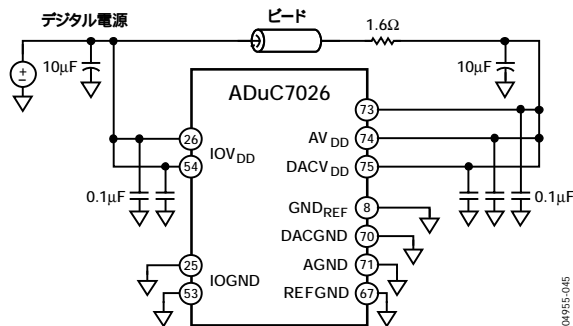


図74. 外付け単電源の接続

図73と図74では、大きな値（10µF）のコンデンサが IOV_{DD} に接続されており、さらに別の10µFコンデンサが AV_{DD} に接続されています。また、小さい値（0.1µF）のコンデンサが、チップの各 AV_{DD} および IOV_{DD} ピンに配置されています。標準的な設計方法として、これらのコンデンサをすべて使用し、小さいコンデンサを各 AV_{DD} ピンの近くに、できるだけ短いパターン長で配置してください。これらの各コンデンサのグラウンド・ピンは、直接直下のグラウンド・プレーンに接続してください。最後に、ADuC7019/20/21/22/24/25/26/27上のアナログ・グラウンド・ピンとデジタル・グラウンド・ピンは、常に同一のシステム・グラウンド・リファレンス・ポイントを基準としてください。

リニア電圧レギュレータ

ADuC7019/20/21/22/24/25/26/27は3.3Vの単電源を必要としますが、コア・ロジックは2.6V電源を必要とします。オンチップ・リニア・レギュレータは、コア・ロジック用に IOV_{DD} から2.6Vを生成します。 LV_{DD} ピン21は、コア・ロジック用の2.6V電源です。図75に示すように、 LV_{DD} と $DGND$ の間には（これらのピンにできるだけ近く）0.47µFの外部補償コンデンサを接続して、電荷のタンクとして機能させる必要があります。

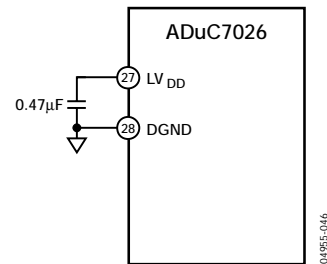


図75. 電圧レギュレータの接続

LV_{DD} ピンは、他のチップに使用しないでください。また、オンチップ電圧レギュレータのライン・レギュレーション性能を高めるために、 IOV_{DD} に対しては優れた電源デカップリングを使用することをお勧めします。

ADuC7019/20/21/22/24/25/26/27

グラウンド接続と基板レイアウトの推奨事項

高分解能データ・コンバータの場合と同様に、ADCとDACの最適性能を得るために、ADuC7019/20/21/22/24/25/26/27ベース設計のグラウンド接続とPC基板レイアウトには、特に注意を払う必要があります。

ADuC7019/20/21/22/24/25/26/27ではアナログ・グラウンドとデジタル・グラウンドに対して別々のピン（AGNDとIOGND）が用意してありますが、これらのピンを2つの別々のグラウンド・プレーンに接続しないでください（2つのグラウンド・プレーンがADuC7019/20/21/22/24/25/26/27の非常に近い場所で接続されている場合を除く）（図76a）。デジタル・グラウンド・プレーンとアナログ・グラウンド・プレーンがどこか他の場所（たとえばシステムの電源）で接続されているシステムでは、両プレーンをADuC7019/20/21/22/24/25/26/27の近くで再び接続しないでください（グラウンド・ループが発生するため）。これらのシステムでは、ADuC7019/20/21/22/24/25/26/27のAGNDピンとIOGNDピンをすべてアナログ・グラウンド・プレーンに接続してください（図76b）。グラウンド・プレーンが1面しかないシステムでは、デジタル部品とアナログ部品は物理的に離して配置し、デジタル・リターン電流がアナログ回路の近くを通過しないように、またはアナログ・リターン電流がデジタル回路の近くを通過しないように、基板をデジタル部分とアナログ部分に分けてください。そうすればデジタル部分とアナログ部分の中間にADuC7019/20/21/22/24/25/26/27を配置できます（図76c）。

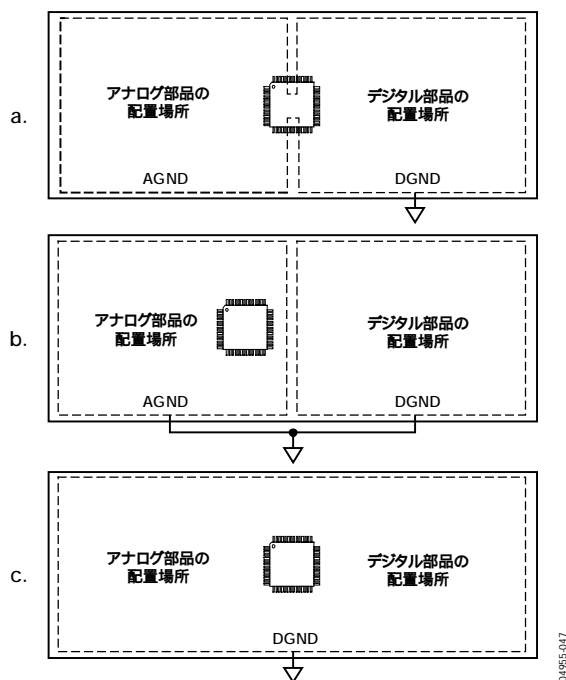


図76. システムのグランディング方式

これらすべてのシナリオ、およびさらに複雑な実際のアプリケーションでは、電源から出発してグラウンドへ戻る電流を念頭に置く必要があります。すべての電流のリターン・パスは、電流を目的地まで運ぶパスにできるだけ近づけて配置するようにします。

たとえば、図76bでアナログ側にある部品にIOV_{DD}を使って電力を供給しないようにします。リターン電流がIOV_{DD}からAGNDへ流れてしまうためです。また、デジタル電流がアナログ回路の下を通過しないようにします。ノイズの多いデジタル・チップを基板の左半分に配置するとこのような状態が発生します（図76c）。可能な限り、グラウンド・プレーンに大きな不連続が生じないようにします（同一レイヤー上の長いパターンにより発生します）。リターン信号が長いパスを通過しなければならないようになるためです。もちろん、すべての接続はグラウンド・プレーンに直接行い、グラウンドに接続されたビアからピンを遠ざけるパターンを少なくするか回避します。

高速ロジック信号（立上がり / 立下がり時間 < 5 ns）をADuC7019/20/21/22/24/25/26/27のデジタル入力に接続する場合は、各ラインに直列抵抗を挿入して、ADuC7019/20/21/22/24/25/26/27入力ピンでの立上がり時間と立下がり時間を5ns以上に維持します。通常、100Ωないし200Ωの値があれば、高速信号がADuC7019/20/21/22/24/25/26/27に容量性結合してADCの変換精度に影響を与えないようにできます。

クロック発振器

ADuC7019/20/21/22/24/25/26/27のクロック源は、内部PLLまたは外部クロック入力によって生成できます。内部PLLを使用するには、図77に示すように、XCLKIとXCLKOの間に32.768kHzの並列共振水晶発振器を接続し、各ピンからグラウンドまでコンデンサを接続します。この水晶発振器によって、PLLは正しくロックして41.78MHzの周波数を提供できます。外部水晶発振器が存在しない場合は、内部発振器を使用して41.78MHz ± 5% (typ) の周波数を提供します。

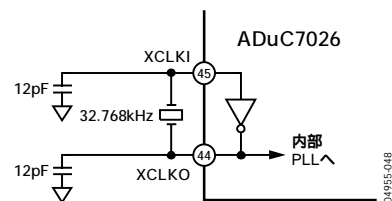


図77. 外付け並列共振水晶発振器の接続

PLLの代わりに外部ソース・クロック入力を使用するには（図78を参照）、PLLCONのビット1とビット0を変更します。外部クロックではP0.7とXCLKを使用します。

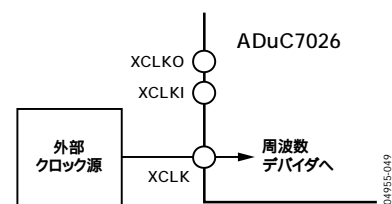


図78. 外部クロック源の接続

外部クロック源を使用すれば、アナログ・ペリフェラルとFlash/EEの正しい動作を保証するために、ADuC7019/20/21/22/24/25/26/27の動作可能な指定のクロック速度範囲は50kHz ~ 44MHz ± 1%になります。

パワーオン・リセット動作

ADuC7019/20/21/22/24/25/26/27には、内部パワーオン・リセット（POR）が実装されています。2.35V（typ）を下回るLV_{DD}の場合は、内部PORがADuC7019/20/21/22/24/25/26/27をリセット状態に保持します。LV_{DD}が2.35Vを上回るにつれて、内部タイマが128ms（typ）にわたってタイムアウトしてから、デバイスはリセット状態から解放されます。この時点までに、電源IOV_{DD}が安定した2.7Vの最小レベルに達するようにしてください。同様に、パワーダウン時には、LV_{DD}が2.35Vを下回るまでは、内部PORはADuC7019/20/21/22/24/25/26/27をリセット状態で保持します。

図79は、内部PORの動作を詳しく示します。

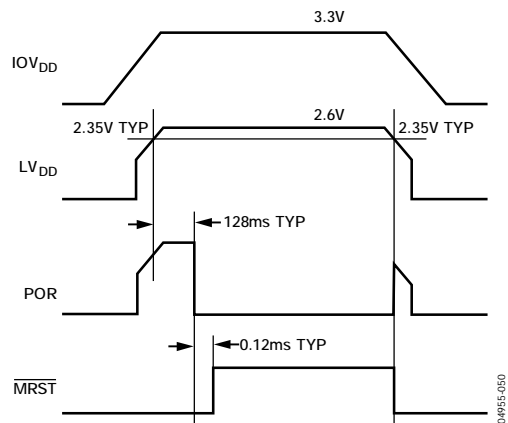


図79. ADuC7019/20/21/22/24/25/26/27の内部パワーオン・リセット動作

代表的なシステム構成

ADuC7020の代表的な構成を図80に示します。これまでに説明したハードウェアの考慮事項の一部もまとめています。CSPパッケージの下面にあるヒートシンクは機構強度を上げる目的でボードのメタルプレートへはんだする必要があります。このメタルプレートはグラウンドに接続することができます。

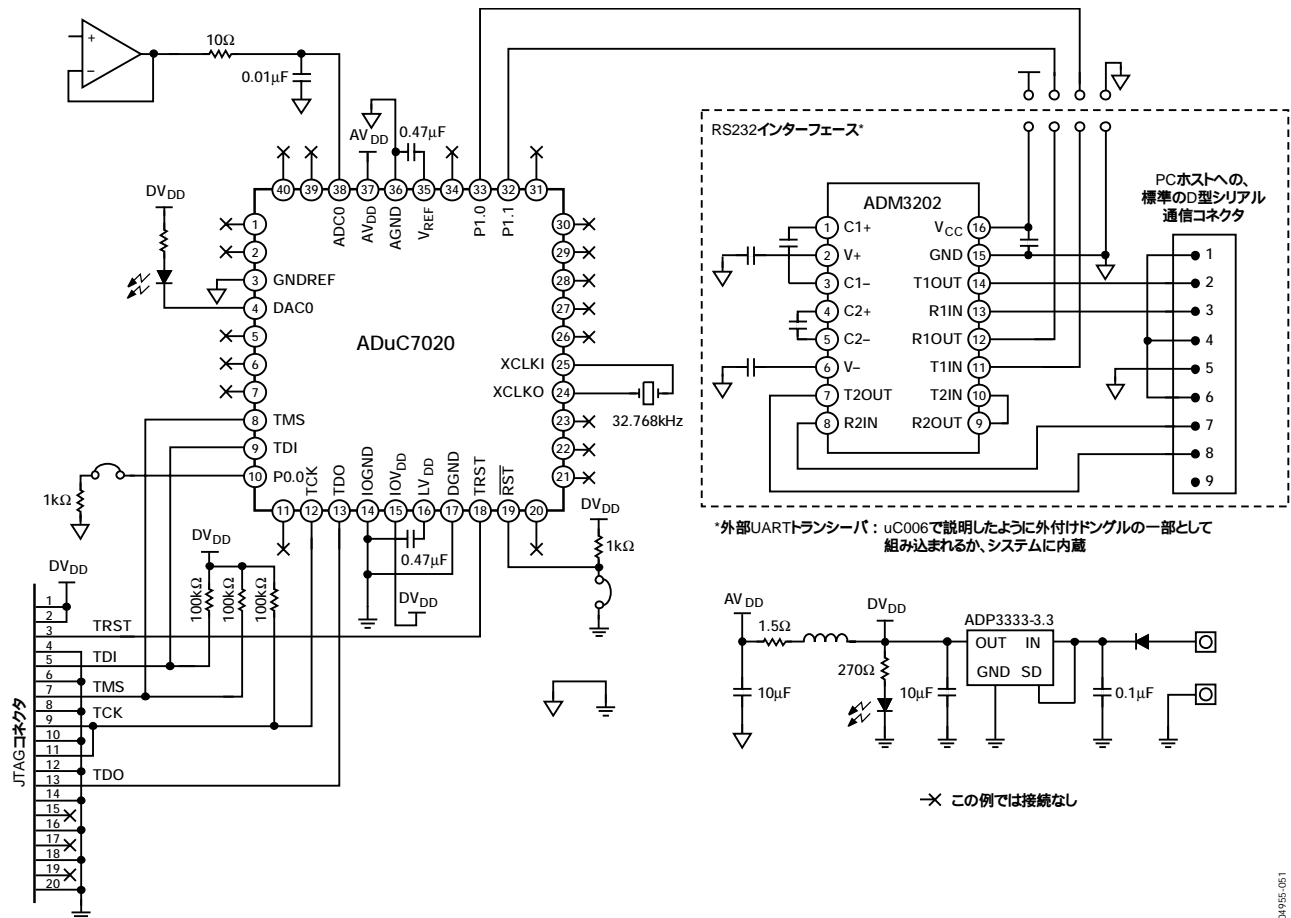


図80. 代表的なシステム構成

ADuC7019/20/21/22/24/25/26/27

開発ツール

PCベースのツール

ADuC7019/20/21/22/24/25/26/27ファミリーでは、4種類の開発システムを使用できます。

- ADuC7026 QuickStart Plus：総合的なハードウェア開発環境を希望される新規ユーザ向けです。ADuC7026には、ADuC7019/20/21/22/24/25/26/27ファミリーで使用できる関数のスーパーセットがあるため、ADuC7019/20/21/22/24/25/26/27ファミリーの他のデバイスで開発したいユーザに適しています。すべてのADuC7019/20/21/22/24/25/26/27デバイスは、完全にコード互換です。
- ADuC7020、ADuC7024、ADuC7026 QuickStart™：すでにエミュレータをお持ちのユーザ向けです。

これらのシステムは、以下のPCベースの(Windows®互換)ハードウェアとソフトウェア開発ツールから構成されています。

ハードウェア

- ADuC7019/20/21/22/24/25/26/27評価用ボード
- シリアルポート・プログラミング・ケーブル
- RDI準拠のJTAGエミュレータ (ADuC7026 QuickStart Plus のみに添付)

ソフトウェア

- 統合開発環境：アセンブラ、コンパイラ、およびJTAGベースの非割込み型デバッガを含みます。
- シリアル・ダウンローダ・ソフトウェア
- コード例

その他

- CD-ROMドキュメンテーション

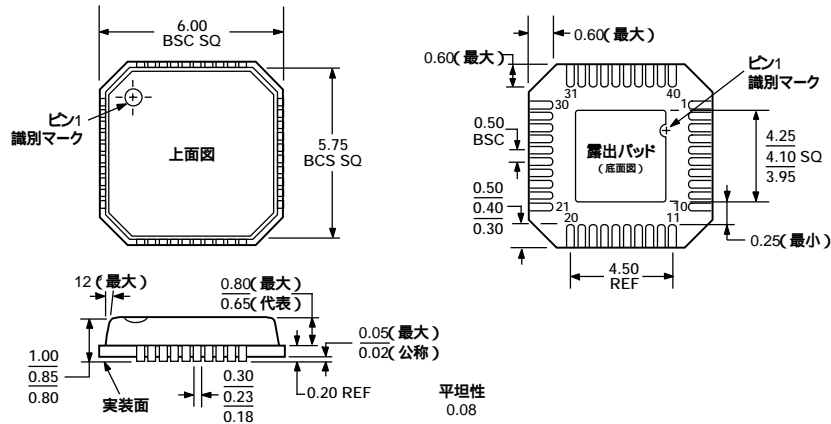
インサーキット・シリアル・ダウンローダ

シリアル・ダウンローダは、Windowsアプリケーションです。これによりユーザは、標準PC上のシリアルポートを介して、アセンブルしたプログラムをオンチップ・プログラムFlash/EEメモリに連続的にダウンロードできます。

UARTベースのシリアル・ダウンローダは、すべての開発システムに含まれており、オーダー・ガイドで最後に「I」のついていないモデルのADuC7019/20/21/22/24/25/26/27で使用できます。

I²Cベースのシリアル・ダウンローダは、ウェブサイトからも入手できます。このソフトウェアでは、USB/I²Cアダプタ・ボードが必要です (<http://www.fh-pforzheim.de/stw-svs/texte/Dongle.html>)。I²Cベースのシリアル・ダウンローダは、オーダー・ガイドで最後に「I」のついているモデルのみ使用できます。

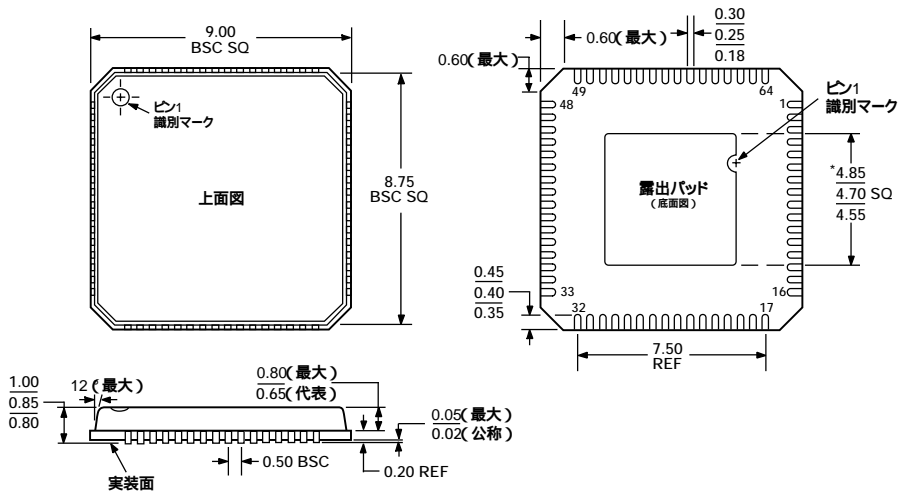
外形寸法



JEDEC規格MO-220-VJJD-2に準拠

図81. 40ピン・フレーム・チップ・スケール・パッケージ [LFCSP_VQ]
6×6mmボディ、極薄型クワッド
(CP-40)

寸法単位：mm



*露出パッド寸法を除きJEDEC規格MO-220-VMMDに準拠

図82. 64ピン・フレーム・チップ・スケール・パッケージ [LFCSP_VQ]
9×9mmボディ、極薄型クワッド
(CP-64-1)

寸法単位：mm

ADuC7019/20/21/22/24/25/26/27

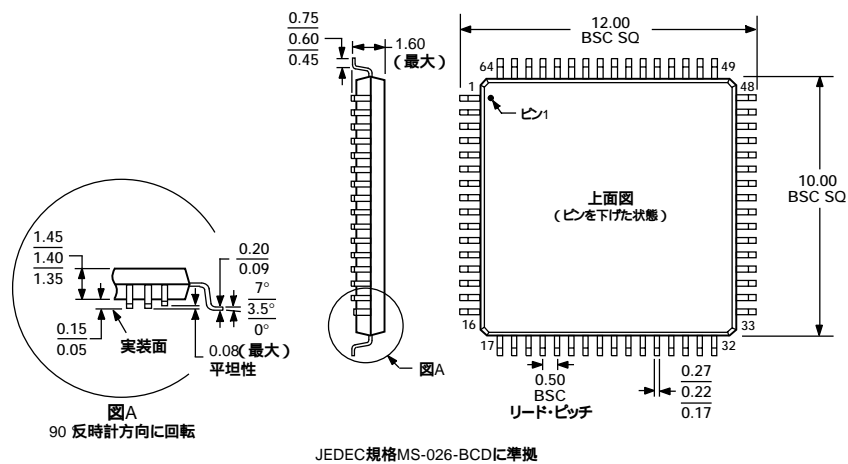


図83. 64ピン低背型クワッド・フラット・パッケージ [LQFP]
(ST-64-2)
寸法単位: mm

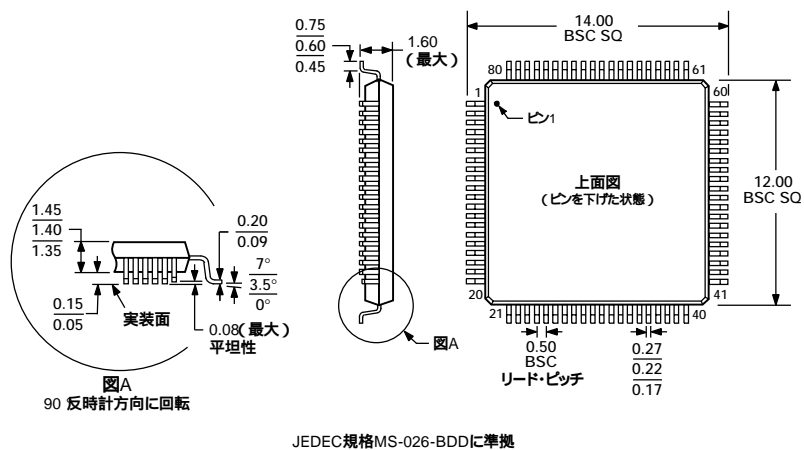


図84. 80ピン低背型クワッド・フラット・パッケージ [LQFP]
(ST-80-1)
寸法単位: mm

ADuC7019/20/21/22/24/25/26/27

オーダー・ガイド

モデル	ADC チャンネル	DAC チャンネル	フラッシュ/ RAM	PWM	GPIO	ダウン ローダ	温度範囲	パッケージ	パッケージ・ オプション	注文 数量
ADuC7019BCPZ62I ¹	5 ²	3	62kB/8kB	単相	14	ꝑC	- 40 ~ 125	40ピン LFCSP_VQ	CP-40	2,500 750
ADuC7019BCPZ62I-RL ¹	5 ²	3	62kB/8kB	単相	14	ꝑC	- 40 ~ 125	40ピン LFCSP_VQ	CP-40	
ADuC7019BCPZ62IRL7 ¹	5 ²	3	62kB/8kB	単相	14	ꝑC	- 40 ~ 125	40ピン LFCSP_VQ	CP-40	
ADuC7020BCPZ62 ¹	5	4	62kB/8kB	単相	14	UART	- 40 ~ 125	40ピン LFCSP_VQ	CP-40	2,500 750
ADuC7020BCPZ62-RL ¹	5	4	62kB/8kB	単相	14	UART	- 40 ~ 125	40ピン LFCSP_VQ	CP-40	
ADuC7020BCPZ62-RL7 ¹	5	4	62kB/8kB	単相	14	UART	- 40 ~ 125	40ピン LFCSP_VQ	CP-40	
ADuC7020BCPZ62I ¹	5	4	62kB/8kB	単相	14	ꝑC	- 40 ~ 125	40ピン LFCSP_VQ	CP-40	2,500 750
ADuC7020BCPZ62I-RL ¹	5	4	62kB/8kB	単相	14	ꝑC	- 40 ~ 125	40ピン LFCSP_VQ	CP-40	
ADuC7020BCPZ62IRL7 ¹	5	4	62kB/8kB	単相	14	ꝑC	- 40 ~ 125	40ピン LFCSP_VQ	CP-40	
ADuC7021BCPZ62 ¹	8	2	62kB/8kB	単相	13	UART	- 40 ~ 125	40ピン LFCSP_VQ	CP-40	2,500 750
ADuC7021BCPZ62-RL ¹	8	2	62kB/8kB	単相	13	UART	- 40 ~ 125	40ピン LFCSP_VQ	CP-40	
ADuC7021BCPZ62-RL7 ¹	8	2	62kB/8kB	単相	13	UART	- 40 ~ 125	40ピン LFCSP_VQ	CP-40	
ADuC7021BCPZ62I ¹	8	2	62kB/8kB	単相	13	ꝑC	- 40 ~ 125	40ピン LFCSP_VQ	CP-40	2,500 750
ADuC7021BCPZ62I-RL ¹	8	2	62kB/8kB	単相	13	ꝑC	- 40 ~ 125	40ピン LFCSP_VQ	CP-40	
ADuC7021BCPZ62IRL7 ¹	8	2	62kB/8kB	単相	13	ꝑC	- 40 ~ 125	40ピン LFCSP_VQ	CP-40	
ADuC7021BCPZ32 ¹	8	2	32kB/4kB	単相	13	UART	- 40 ~ 125	40ピン LFCSP_VQ	CP-40	2,500 750
ADuC7021BCPZ32-RL ¹	8	2	32kB/4kB	単相	13	UART	- 40 ~ 125	40ピン LFCSP_VQ	CP-40	
ADuC7021BCPZ32-RL7 ¹	8	2	32kB/4kB	単相	13	UART	- 40 ~ 125	40ピン LFCSP_VQ	CP-40	
ADuC7022BCPZ62 ¹	10		62kB/8kB	単相	13	UART	- 40 ~ 125	40ピン LFCSP_VQ	CP-40	2,500 750
ADuC7022BCPZ62-RL ¹	10		62kB/8kB	単相	13	UART	- 40 ~ 125	40ピン LFCSP_VQ	CP-40	
ADuC7022BCPZ62-RL7 ¹	10		62kB/8kB	単相	13	UART	- 40 ~ 125	40ピン LFCSP_VQ	CP-40	
ADuC7022BCPZ32 ¹	10		32kB/4kB	単相	13	UART	- 40 ~ 125	40ピン LFCSP_VQ	CP-40	2,500 750
ADuC7022BCPZ32-RL ¹	10		32kB/4kB	単相	13	UART	- 40 ~ 125	40ピン LFCSP_VQ	CP-40	
ADuC7022BCPZ32-RL7 ¹	10		32kB/4kB	単相	13	UART	- 40 ~ 125	40ピン LFCSP_VQ	CP-40	
ADuC7024BCPZ62 ¹	10	2	62kB/8kB	三相	30	UART	- 40 ~ 125	64ピン LFCSP_VQ	CP-64-1	2,500 750
ADuC7024BCPZ62-RL ¹	10	2	62kB/8kB	三相	30	UART	- 40 ~ 125	64ピン LFCSP_VQ	CP-64-1	
ADuC7024BCPZ62-RL7 ¹	10	2	62kB/8kB	三相	30	UART	- 40 ~ 125	64ピン LFCSP_VQ	CP-64-1	
ADuC7024BSTZ62 ¹	10	2	62kB/8kB	三相	30	UART	- 40 ~ 125	64ピンLQFP	ST-64-2	1,000
ADuC7024BSTZ62-RL ¹	10	2	62kB/8kB	三相	30	UART	- 40 ~ 125	64ピンLQFP	ST-64-2	

ADuC7019/20/21/22/24/25/26/27

モデル	ADC チャンネル	DAC チャンネル	フラッシュ/ RAM	PWM	GPIO	ダウン ローダ	温度範囲	パッケージ	パッケージ・ オプション	注文 数量
ADuC7025BCPZ62 ¹	12		62kB/8kB	三相	30	UART	- 40 ~ 125	64ピン LFCSP_VQ	CP-64-1	
ADuC7025BCPZ62-RL ¹	12		62kB/8kB	三相	30	UART	- 40 ~ 125	64ピン LFCSP_VQ	CP-64-1	2,500
ADuC7025BCPZ62-RL7 ¹	12		62kB/8kB	三相	30	UART	- 40 ~ 125	64ピン LFCSP_VQ	CP-64-1	750
ADuC7025BCPZ32 ¹	12		32kB/4kB	三相	30	UART	- 40 ~ 125	64ピン LFCSP_VQ	CP-64-1	
ADuC7025BCPZ32-RL ¹	12		32kB/4kB	三相	30	UART	- 40 ~ 125	64ピン LFCSP_VQ	CP-64-1	2,500
ADuC7025BCPZ32-RL7 ¹	12		32kB/4kB	三相	30	UART	- 40 ~ 125	64ピン LFCSP_VQ	CP-64-1	750
ADuC7025BSTZ62 ¹	12		62kB/8kB	三相	30	UART	- 40 ~ 125	64ピンLQFP	ST-64-2	
ADuC7025BSTZ62-RL ¹	12		62kB/8kB	三相	30	UART	- 40 ~ 125	64ピンLQFP	ST-64-2	1,000
ADuC7026BSTZ62 ^{1,3}	12	4	62kB/8kB	三相	40	UART	- 40 ~ 125	80ピンLQFP	ST-80-1	
ADuC7026BSTZ62-RL ^{1,3}	12	4	62kB/8kB	三相	40	UART	- 40 ~ 125	80ピンLQFP	ST-80-1	1,000
ADuC7026BSTZ62I ^{1,3}	12	4	62kB/8kB	三相	40	I ² C	- 40 ~ 125	80ピンLQFP	ST-80-1	
ADuC7026BSTZ62I-RL ^{1,3}	12	4	62kB/8kB	三相	40	I ² C	- 40 ~ 125	80ピンLQFP	ST-80-1	1,000
ADuC7027BSTZ62 ^{1,3}	12	4	62kB/8kB	三相	40	UART	- 40 ~ 125	80ピンLQFP	ST-80-1	
ADuC7027BSTZ62-RL ^{1,3}	12	4	62kB/8kB	三相	40	UART	- 40 ~ 125	80ピンLQFP	ST-80-1	1,000
EVAL-ADuC7020MK								ADuC7020 MiniKit		
EVAL-ADuC7020QS								ADuC7020 QuickStart 開発システム		
EVAL-ADuC7024QS								ADuC7024 QuickStart 開発システム		
EVAL-ADuC7026QS								ADuC7026 QuickStart 開発システム		
EVAL-ADuC7026QSP								ADuC7026 QuickStart Plus 開発システム		

¹ Z = 鉛フリー製品

² ADCチャンネルの1つは内部的にバッファリングされます。

³ 外部メモリ・インターフェースを含みます。