



5 チャンネルの集積された電源ソリューション クワッド降圧スイッチング・レギュレータ、 200mA 出力 LDO

データシート

ADP5052

特長

- 広い入力電圧範囲：4.5V～15V
- 全温度範囲にわたる出力精度：±1.5%
- 調整可能なスイッチング周波数：250kHz～1.4MHz
- 可変出力 / 固定出力オプション
- パワー・レギュレーション
 - CH1, CH2：プログラム可能な過電流保護 1.2A / 2.5A / 4A 同期整流式降圧スイッチング・レギュレータ（ローサイドの FET 外付）
 - CH3, CH4：1.2A の同期整流式降圧スイッチング・レギュレータ
 - CH5：200mA LDO レギュレータ
- 内部、小さな負荷用として、5.1V の LDO は常時動作
- シングルの 8A 出力電源も可能（CH1 と CH2 の並列カレントシェア動作）
- 0.8V スレッシュホールドで動作する高精度イネーブル機能
- 出力放電用ディスチャージスイッチ内蔵
- FPWM または自動 PWM/PSM の選択機能
- 入力または出力の外部周波数同期機能
- OVP/OCF 障害でのラッチオフ保護オプション
- 選択されたチャンネルでのパワーグッド・フラグ
- UVLO、OCF、TSD 保護
- 48 ピン LFCSP パッケージ(7 mm×7 mm)
- 40°C～+125°Cの接合温度定格

アプリケーション

- スモール・セル用基地局
- FPGA およびプロセッサ・アプリケーション
- 警備/防犯装置
- 医療用アプリケーション

概要

ADP5052 は、4 つの高性能降圧スイッチング・レギュレータと 200mA のロー・ドロップアウト（LDO）レギュレータを、48 ピン LFCSP パッケージに収めており、高性能および省ボード・スペースの要求を満たします。このデバイスは、最大 15V までの高い入力電圧を、前段レギュレータ無しで、直接接続することが可能です。

チャンネル 1 とチャンネル 2 は、ハイサイド・パワー MOSFET とローサイド MOSFET ドライバを内蔵しています。効率を最適化したソリューションを提供し、1.2A、2.5A もしくは 4A のプログラム可能な出力過電流保護を提供するために、外部 NFET を接続することが可能です。また、チャンネル 1 とチャンネル 2 とを並列接続すれば、カレントシェア機能によりシングル出力で最大 8A までの電流供給ができます。

チャンネル 3 とチャンネル 4 は、1.2A の出力電流を供給する、ハイサイドとローサイドの両方の MOSFET を内蔵しています。

代表的なアプリケーション回路

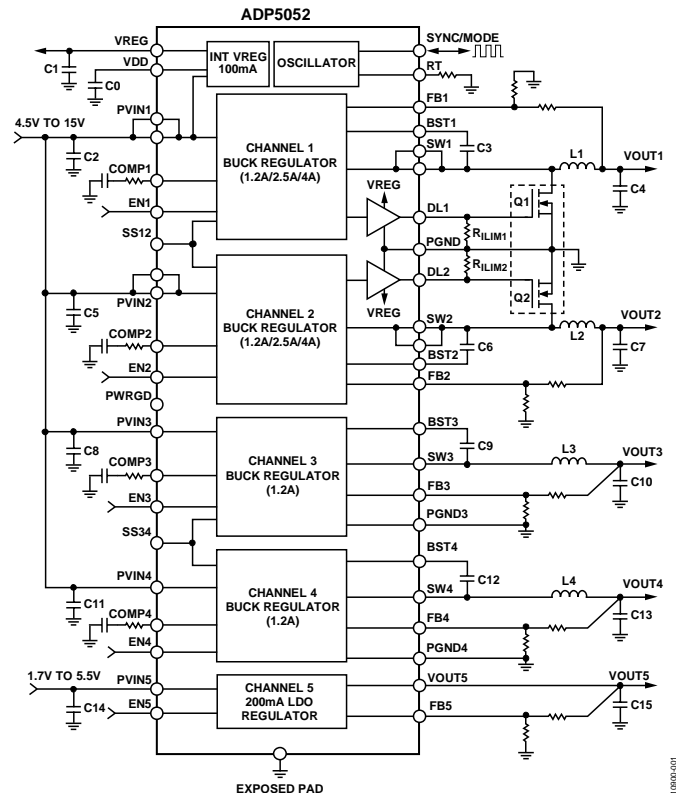


図 1.

ADP5052 のスイッチング周波数は、デバイス自身でプログラムするか、もしくは外部クロックと同期させることも可能です。ADP5052 は、パワーアップ・シーケンス、または UVLO スレッシュホールド調整を容易にするため、各チャンネルに高精度イネーブル・ピンを備えています。

ADP5052 に、内蔵されている汎用の LDO は、静止時消費電流が小さく、ロー・ドロップアウト電圧で、最大 200mA までの出力電流を供給できます。

表 1. ファミリー・モデル

| モデル名 | チャンネル数 | I _C | パッケージ |
|---------|------------|----------------|-------------|
| ADP5050 | 降圧：4、LDO：1 | あり | 48 ピン LFCSP |
| ADP5051 | 降圧：4、監視回路 | あり | 48 ピン LFCSP |
| ADP5052 | 降圧：4、LDO：1 | なし | 48 ピン LFCSP |
| ADP5053 | 降圧：4、監視回路 | なし | 48 ピン LFCSP |

目次

| | |
|----------------------------------|----|
| 特長 | 1 |
| アプリケーション | 1 |
| 代表的なアプリケーション回路 | 1 |
| 概要 | 1 |
| 改訂履歴 | 2 |
| 詳細な機能ブロック図 | 3 |
| 仕様 | 4 |
| 降圧スイッチング・レギュレータの仕様 | 5 |
| LDO レギュレータの仕様 | 7 |
| 絶対最大定格 | 8 |
| 熱抵抗 | 8 |
| ESD の注意 | 8 |
| ピン配置およびピン機能説明 | 9 |
| 代表的な性能特性 | 11 |
| 動作原理 | 17 |
| 降圧スイッチング・レギュレータの動作モード | 17 |
| PWM モード | 17 |
| PSM モード | 17 |
| 強制 PWM、自動 PWM/PSM モード | 17 |
| 調整可能および固定出力電圧 | 17 |
| 内部レギュレータ (VREG と VDD) | 17 |
| 異なる電圧入力アプリケーション対応 | 18 |
| ローサイド・デバイスの選択 | 18 |
| ブートストラップ回路 | 18 |
| アクティブ出力放電スイッチ | 18 |
| 高精度イネーブル | 18 |
| 発振器 | 18 |
| 位相シフト | 19 |
| 同期入力/出力 | 19 |
| ソフト・スタート | 19 |
| 並列動作 | 20 |
| 出力が充電されていた場合のスタートアップ | 20 |
| 電流制限保護機能 | 20 |
| 周波数フォールドバック | 21 |
| 最大デューティ・サイクル下のパルス・スキップ・モード | 21 |
| 瞬断による過負荷保護 | 21 |
| ラッチオフによる保護 | 21 |
| 短絡ラッチオフ・モード | 21 |
| 過電圧ラッチオフ・モード | 21 |
| 低電圧ロックアウト (UVLO) | 22 |

改訂履歴

| | |
|--|----|
| 2/14—Rev. 0 to Rev. A | |
| Added Table 1; Renumbered Sequentially | 1 |
| Changes to Figure 13 and Figure 14 | 12 |
| Changes to Table 11 | 24 |
| Updated Outline Dimensions | 38 |

| | |
|---------------------------------------|----|
| パワーグッド機能 | 22 |
| サーマル・シャットダウン | 22 |
| LDO レギュレータ | 22 |
| アプリケーション情報 | 23 |
| ADIsimPower デザイン・ツール | 23 |
| 可変出力電圧のプログラミング | 23 |
| 電圧変換の制限 | 23 |
| 電流制限の設定 | 23 |
| ソフト・スタートの設定 | 24 |
| インダクタの選択 | 24 |
| 出力コンデンサの選択 | 24 |
| 入力コンデンサの選択 | 25 |
| ローサイド・パワー・デバイスの選択 | 25 |
| UVLO 入力のプログラミング | 25 |
| 補償部品値の計算 | 26 |
| 消費電力 | 26 |
| 降圧スイッチング・レギュレータの消費電力 | 26 |
| 電力スイッチ導通損失 (P _{COND}) | 26 |
| スイッチング損失 (P _{SW}) | 26 |
| 遷移損失 (P _{TRAN}) | 27 |
| サーマル・シャットダウン | 27 |
| LDO レギュレータの消費電力 | 27 |
| ジャンクション温度 | 27 |
| 設計例 | 28 |
| スイッチング周波数の設定 | 28 |
| 出力電圧の設定 | 28 |
| 電流制限値の設定 | 28 |
| インダクタの選択 | 28 |
| 出力コンデンサの選択 | 29 |
| ローサイド MOSFET の選択 | 29 |
| 補償ネットワークの設計 | 29 |
| ソフト・スタート時間の設定 | 29 |
| 入力コンデンサの選択 | 29 |
| 推奨される外付け部品 | 30 |
| 推奨回路基板のレイアウト | 31 |
| 代表的なアプリケーション回路 | 32 |
| 工場でのプログラム可能なオプション | 35 |
| 工場出荷時のデフォルト・オプション | 37 |
| 外形寸法 | 38 |
| オーダー・ガイド | 38 |

5/13—Revision 0:Initial Version

詳細な機能ブロック図

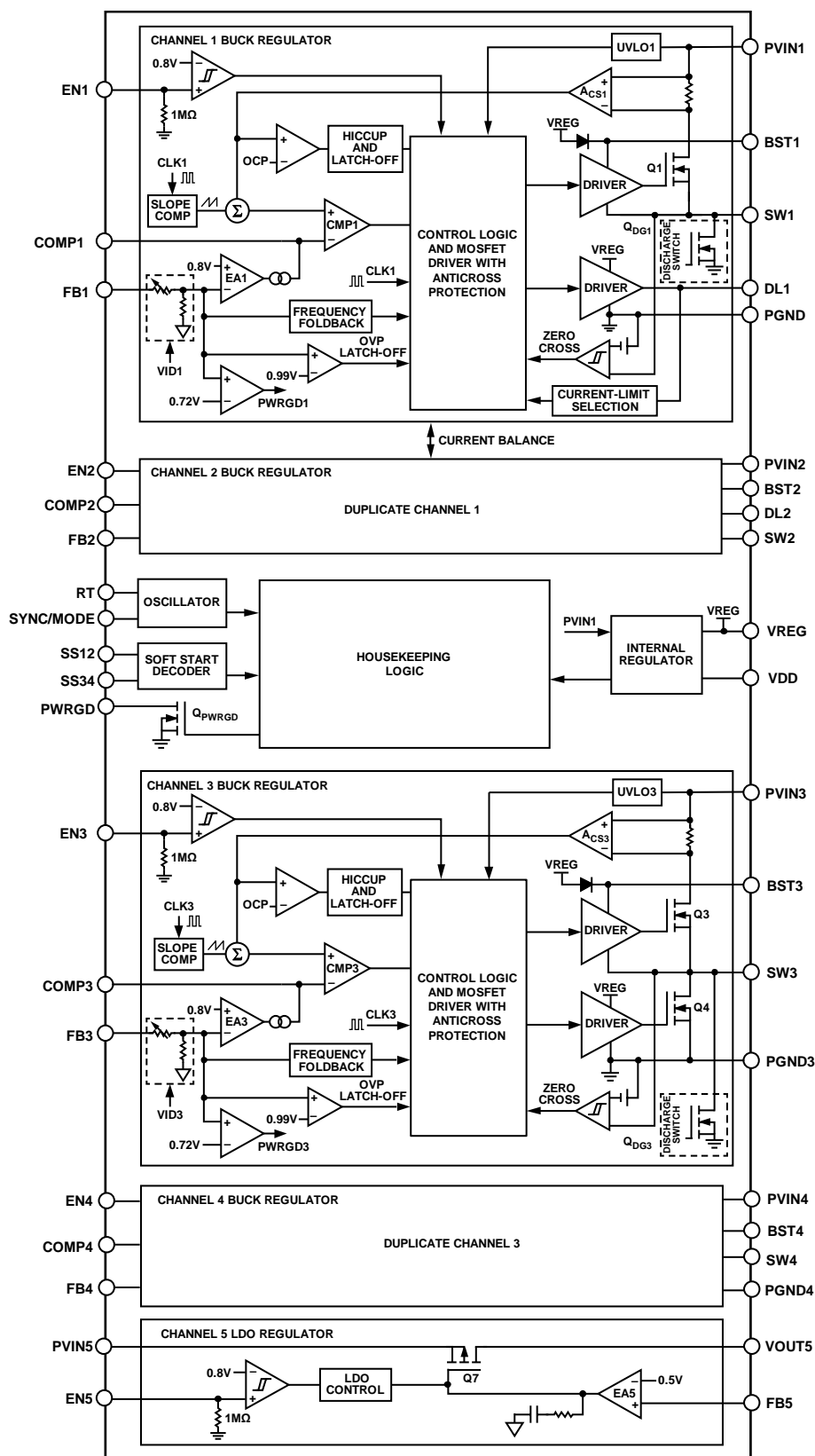


図 2.

10800-202

仕様

最小もしくは最大の特性に関しては、 $V_{IN} = 12\text{ V}$ 、 $V_{VREG} = 5.1\text{ V}$ 、 $T_J = -40^\circ\text{C}$ から $+125^\circ\text{C}$ 。他は特に断りのない限り、 $T_A = 25^\circ\text{C}$ における代表特性。

表 2.

| Parameter | Symbol | Min | Typ | Max | Unit | Test Conditions/Comments |
|--------------------------------------|-------------------------------|-------|------------|-------|------------------|---------------------------------|
| INPUT SUPPLY VOLTAGE RANGE | V_{IN} | 4.5 | | 15.0 | V | PVIN1, PVIN2, PVIN3, PVIN4 pins |
| QUIESCENT CURRENT | | | | | | PVIN1, PVIN2, PVIN3, PVIN4 pins |
| Operating Quiescent Current | $I_{Q(4\text{-BUCKS})}$ | | 4.8 | 6.25 | mA | No switching, all ENx pins high |
| | $I_{SHDN(4\text{BUCKS}+LDO)}$ | | 25 | 65 | μA | All ENx pins low |
| UNDERVOLTAGE LOCKOUT | UVLO | | | | | PVIN1, PVIN2, PVIN3, PVIN4 pins |
| Rising Threshold | $V_{UVLO\text{-RISING}}$ | | 4.2 | 4.36 | V | |
| Falling Threshold | $V_{UVLO\text{-FALLING}}$ | 3.6 | 3.78 | | V | |
| Hysteresis | V_{HYS} | | 0.42 | | V | |
| OSCILLATOR CIRCUIT | | | | | | |
| Switching Frequency | f_{SW} | 700 | 740 | 780 | kHz | RT = 25.5 k Ω |
| Switching Frequency Range | | 250 | | 1400 | kHz | |
| SYNC 入力 | | | | | | |
| Input Clock Range | f_{SYNC} | 250 | | 1400 | kHz | |
| Input Clock Pulse Width | | | | | | |
| Minimum On Time | $t_{SYNC_MIN_ON}$ | 100 | | | ns | |
| Minimum Off Time | $t_{SYNC_MIN_OFF}$ | 100 | | | ns | |
| Input Clock High Voltage | $V_{H(SYNC)}$ | 1.3 | | | V | |
| Input Clock Low Voltage | $V_{L(SYNC)}$ | | | 0.4 | V | |
| VO Output | | | | | | |
| Clock Frequency | f_{CLK} | | f_{SW} | | kHz | |
| Positive Pulse Duty Cycle | $t_{CLK_PULSE_DUTY}$ | | 50 | | % | |
| Rise or Fall Time | $t_{CLK_RISE_FALL}$ | | 10 | | ns | |
| High Level Voltage | $V_{H(SYNC_OUT)}$ | | V_{VREG} | | V | |
| PRECISION ENABLING | | | | | | EN1, EN2, EN3, EN4, EN5 pins |
| High Level Threshold | $V_{TH_H(EN)}$ | | 0.806 | 0.832 | V | |
| Low Level Threshold | $V_{TH_L(EN)}$ | 0.688 | 0.725 | | V | |
| Pull-Down Resistor | $R_{PULL\text{-DOWN}(EN)}$ | | 1.0 | | M Ω | |
| POWER GOOD | | | | | | |
| Internal Power-Good Rising Threshold | $V_{PWRGD(RISE)}$ | 86.3 | 90.5 | 95 | % | $I_{PWRGD} = 1\text{ mA}$ |
| Internal Power-Good Hysteresis | $V_{PWRGD(HYS)}$ | | 3.3 | | % | |
| Internal Power-Good Falling Delay | t_{PWRGD_FALL} | | 50 | | μs | |
| Rising Delay for PWRGD Pin | $t_{PWRGD_PIN_RISE}$ | | 1 | | ms | |
| Leakage Current for PWRGD Pin | $I_{PWRGD_LEAKAGE}$ | | 0.1 | 1 | μA | |
| Output Low Voltage for PWRGD Pin | V_{PWRGD_LOW} | | 50 | 100 | mV | |
| INTERNAL REGULATORS | | | | | | |
| VDD Output Voltage | V_{VDD} | 3.2 | 3.305 | 3.4 | V | $I_{VDD} = 10\text{ mA}$ |
| VDD Current Limit | I_{LIM_VDD} | 20 | 51 | 80 | mA | |
| VREG Output Voltage | V_{VREG} | 4.9 | 5.1 | 5.3 | V | $I_{VREG} = 50\text{ mA}$ |
| VREG Output Voltage | $V_{DROPOUT}$ | | 225 | | mV | |
| VREG Current Limit | I_{LIM_VREG} | 50 | 95 | 140 | mA | |
| THERMAL SHUTDOWN | | | | | | |
| Thermal Shutdown Threshold | T_{SHDN} | | 150 | | $^\circ\text{C}$ | |
| Thermal Shutdown Hysteresis | T_{HYS} | | 15 | | $^\circ\text{C}$ | |

降圧スイッチング・レギュレータの仕様

最小もしくは最大の特性に関しては、 $V_{IN} = 12\text{ V}$ 、 $V_{VREG} = 5.1\text{ V}$ 、すべてのチャンネルの $f_{SW} = 600\text{ kHz}$ 、 $T_J = -40^\circ\text{C}$ から $+125^\circ\text{C}$ 。他は特に断りのない限り、 $T_A = 25^\circ\text{C}$ における代表特性。

表 3.

| Parameter | Symbol | Min | Typ | Max | Unit | Test Conditions/Comments |
|--|---------------------------|-------|---------------------|-------|---------------|--|
| CHANNEL 1 SYNC BUCK REGULATOR | | | | | | |
| FB1 Pin | | | | | | |
| Fixed Output Options | V_{OUT1} | 0.85 | | 1.60 | V | Fuse trim |
| Adjustable Feedback Voltage | V_{FB1} | | 0.800 | | V | |
| Feedback Voltage Accuracy | $V_{FB1}(\text{DEFAULT})$ | -0.55 | | +0.55 | % | $T_J = 25^\circ\text{C}$ |
| | | -1.25 | | +1.0 | % | $0^\circ\text{C} \leq T_J \leq 85^\circ\text{C}$ |
| | | -1.5 | | +1.5 | % | $-40^\circ\text{C} \leq T_J \leq +125^\circ\text{C}$ |
| Feedback Bias Current | I_{FB1} | | | 0.1 | μA | Adjustable voltage |
| SW1 Pin | | | | | | |
| High-Side Power FET On Resistance | $R_{DS(ON)(1H)}$ | | 100 | | m Ω | Pin-to-pin measurement |
| Current-Limit Threshold | $I_{TH(ILIM1)}$ | 3.50 | 4.4 | 5.28 | A | $R_{ILIM1} = \text{floating}$ |
| | | 1.91 | 2.63 | 3.08 | A | $R_{ILIM1} = 47\text{ k}\Omega$ |
| | | 4.95 | 6.44 | 7.48 | A | $R_{ILIM1} = 22\text{ k}\Omega$ |
| Minimum On Time | t_{MIN_ON1} | | 117 | 155 | ns | $f_{SW} = 250\text{ kHz to } 1.4\text{ MHz}$ |
| Minimum Off Time | t_{MIN_OFF1} | | $1/9 \times t_{SW}$ | | ns | $f_{SW} = 250\text{ kHz to } 1.4\text{ MHz}$ |
| Low-Side Driver, DL1 Pin | | | | | | |
| Rising Time | $t_{RISING1}$ | | 20 | | ns | $C_{ISS} = 1.2\text{ nF}$ |
| Falling Time | $t_{FALLING1}$ | | 3.4 | | ns | $C_{ISS} = 1.2\text{ nF}$ |
| Sourcing Resistor | $t_{SOURCING1}$ | | 10 | | Ω | |
| Sinking Resistor | $t_{SINKING1}$ | | 0.95 | | Ω | |
| Error Amplifier (EA), COMP1 Pin | | | | | | |
| EA Transconductance | g_{m1} | 310 | 470 | 620 | μS | |
| Soft Start | | | | | | |
| Soft Start Time | t_{SS1} | | 2.0 | | ms | SS12 connected to VREG |
| Programmable Soft Start Range | | 2.0 | | 8.0 | ms | |
| Hiccup Time | $t_{HICCUP1}$ | | $7 \times t_{SS1}$ | | ms | |
| C_{OUT} Discharge Switch On Resistance | R_{DIS1} | | 250 | | Ω | |
| CHANNEL 2 SYNC BUCK REGULATOR | | | | | | |
| FB2 Pin | | | | | | |
| Fixed Output Options | V_{OUT2} | 3.3 | | 5.0 | V | Fuse trim |
| Adjustable Feedback Voltage | V_{FB2} | | 0.800 | | V | |
| Feedback Voltage Accuracy | $V_{FB2}(\text{DEFAULT})$ | -0.55 | | +0.55 | % | $T_J = 25^\circ\text{C}$ |
| | | -1.25 | | +1.0 | % | $0^\circ\text{C} \leq T_J \leq 85^\circ\text{C}$ |
| | | -1.5 | | +1.5 | % | $-40^\circ\text{C} \leq T_J \leq +125^\circ\text{C}$ |
| Feedback Bias Current | I_{FB2} | | | 0.1 | μA | Adjustable voltage |
| SW2 Pin | | | | | | |
| High-Side Power FET On Resistance | $R_{DS(ON)(2H)}$ | | 110 | | m Ω | Pin-to-pin measurement |
| Current-Limit Threshold | $I_{TH(ILIM2)}$ | 3.50 | 4.4 | 5.28 | A | $R_{ILIM2} = \text{floating}$ |
| | | 1.91 | 2.63 | 3.08 | A | $R_{ILIM2} = 47\text{ k}\Omega$ |
| | | 4.95 | 6.44 | 7.48 | A | $R_{ILIM2} = 22\text{ k}\Omega$ |
| Minimum On Time | t_{MIN_ON2} | | 117 | 155 | ns | $f_{SW} = 250\text{ kHz to } 1.4\text{ MHz}$ |
| Minimum Off Time | t_{MIN_OFF2} | | $1/9 \times t_{SW}$ | | ns | $f_{SW} = 250\text{ kHz to } 1.4\text{ MHz}$ |
| Low-Side Driver, DL2 Pin | | | | | | |
| Rising Time | $t_{RISING2}$ | | 20 | | ns | $C_{ISS} = 1.2\text{ nF}$ |
| Falling Time | $t_{FALLING2}$ | | 3.4 | | ns | $C_{ISS} = 1.2\text{ nF}$ |
| Sourcing Resistor | $t_{SOURCING2}$ | | 10 | | Ω | |
| Sinking Resistor | $t_{SINKING2}$ | | 0.95 | | Ω | |
| Error Amplifier (EA), COM2 Pin | | | | | | |

| Parameter | Symbol | Min | Typ | Max | Unit | Test Conditions/Comments |
|--|--------------------|-------|---------------------|-------|---------------|--|
| EA Transconductance | g_{m2} | 310 | 470 | 620 | μs | |
| Soft Start | | | | | | |
| Soft Start Time | t_{SS2} | | 2.0 | | ms | SS12 connected to VREG |
| Programmable Soft Start Range | | 2.0 | | 8.0 | ms | |
| Hiccup Time | $t_{HICCUP2}$ | | $7 \times t_{SS1}$ | | ms | |
| C_{OUT} Discharge Switch On Resistance | R_{DIS2} | | 250 | | Ω | |
| CHANNEL 3 SYNC BUCK REGULATOR | | | | | | |
| FB3 Pin | | | | | | |
| Fixed Output Options | V_{OUT3} | 1.20 | | 1.80 | V | Fuse trim |
| Adjustable Feedback Voltage | V_{FB3} | | 0.800 | | V | |
| Feedback Voltage Accuracy | $V_{FB3(DEFAULT)}$ | -0.55 | | +0.55 | % | $T_J = 25^\circ\text{C}$ |
| | | -1.25 | | +1.0 | % | $0^\circ\text{C} \leq T_J \leq 85^\circ\text{C}$ |
| | | -1.5 | | +1.5 | % | $-40^\circ\text{C} \leq T_J \leq +125^\circ\text{C}$ |
| Feedback Bias Current | I_{FB3} | | | 0.1 | μA | Adjustable voltage |
| SW3 Pin | | | | | | |
| High-Side Power FET On Resistance | $R_{DSON(3H)}$ | | 225 | | m Ω | Pin-to-pin measurement |
| Low-Side Power FET On Resistance | $R_{DSON(3L)}$ | | 150 | | m Ω | Pin-to-pin measurement |
| Current-Limit Threshold | $I_{TH(ILIM3)}$ | 1.7 | 2.2 | 2.55 | A | |
| Minimum On Time | t_{MIN_ON3} | | 90 | 120 | ns | $f_{SW} = 250 \text{ kHz to } 1.4 \text{ MHz}$ |
| Minimum Off Time | t_{MIN_OFF3} | | $1/9 \times t_{SW}$ | | ns | $f_{SW} = 250 \text{ kHz to } 1.4 \text{ MHz}$ |
| Error Amplifier (EA), COM3 Pin | | | | | | |
| EA Transconductance | g_{m3} | 310 | 470 | 620 | μs | |
| Soft Start | | | | | | |
| Soft Start Time | t_{SS3} | | 2.0 | | ms | SS34 connected to VREG |
| Programmable Soft Start Range | | 2.0 | | 8.0 | ms | |
| Hiccup Time | $t_{HICCUP3}$ | | $7 \times t_{SS1}$ | | ms | |
| C_{OUT} Discharge Switch On Resistance | R_{DIS3} | | 250 | | Ω | |
| CHANNEL 4 SYNC BUCK REGULATOR | | | | | | |
| FB4 Pin | | | | | | |
| Fixed Output Options | V_{OUT4} | 2.5 | | 5.5 | V | Fuse trim |
| Adjustable Feedback Voltage | V_{FB4} | | 0.800 | | V | |
| Feedback Voltage Accuracy | $V_{FB4(DEFAULT)}$ | -0.55 | | +0.55 | % | $T_J = 25^\circ\text{C}$ |
| | | -1.25 | | +1.0 | % | $0^\circ\text{C} \leq T_J \leq 85^\circ\text{C}$ |
| | | -1.5 | | +1.5 | % | $-40^\circ\text{C} \leq T_J \leq +125^\circ\text{C}$ |
| Feedback Bias Current | I_{FB4} | | | 0.1 | μA | |
| SW4 Pin | | | | | | |
| High-Side Power FET On Resistance | $R_{DSON(4H)}$ | | 225 | | m Ω | Pin-to-pin measurement |
| Low-Side Power FET On Resistance | $R_{DSON(4L)}$ | | 150 | | m Ω | Pin-to-pin measurement |
| Current-Limit Threshold | $I_{TH(ILIM4)}$ | 1.7 | 2.2 | 2.55 | A | |
| Minimum On Time | t_{MIN_ON4} | | 90 | 120 | ns | $f_{SW} = 250 \text{ kHz to } 1.4 \text{ MHz}$ |
| Minimum Off Time | t_{MIN_OFF4} | | $1/9 \times t_{SW}$ | | ns | $f_{SW} = 250 \text{ kHz to } 1.4 \text{ MHz}$ |
| Error Amplifier (EA), COM4 Pin | | | | | | |
| EA Transconductance | g_{m3} | 310 | 470 | 620 | μs | |
| Soft Start | | | | | | |
| Soft Start Time | t_{SS4} | | 2.0 | | ms | SS34 connected to VREG |
| Programmable Soft Start Range | | 2.0 | | 8.0 | ms | |
| Hiccup Time | $t_{HICCUP4}$ | | $7 \times t_{SS4}$ | | ms | |
| C_{OUT} Discharge Switch On Resistance | R_{DIS4} | | 250 | | Ω | |

LDO レギュレータの仕様

最小もしくは最大の特性に関しては、 $V_{IN5} = (V_{OUT5} + 0.5 \text{ V})$ または 1.7 V (どちらか大きい方) から 5.5 V ; $C_{IN} = C_{OUT} = 1 \mu\text{F}$; $T_J = -40^\circ\text{C}$ から $+125^\circ\text{C}$ 。他は特に断りのない限り、 $T_A = 25^\circ\text{C}$ における代表特性。

表 4.

| Parameter | Min | Typ | Max | Unit | Test Conditions/Comments |
|--|----------------------|------------------|----------------------|---|--|
| INPUT SUPPLY VOLTAGE RANGE | 1.7 | | 5.5 | V | PVIN5 pin |
| OPERATIONAL SUPPLY CURRENT Bias Current for LDO Regulator | | 30 60 145 | 130 170 320 | μA μA μA | $I_{OUT5} = 200 \mu\text{A}$ $I_{OUT5} = 10 \text{ mA}$ $I_{OUT5} = 200 \text{ mA}$ |
| VOLTAGE FEEDBACK (FB5 PIN) Adjustable Feedback Voltage Feedback Voltage Accuracy | -1.0 -1.6 -2.0 | 0.500 | +1.0 +1.6 +2.0 | V % % % | $T_J = 25^\circ\text{C}$ $0^\circ\text{C} \leq T_J \leq 85^\circ\text{C}$ $-40^\circ\text{C} \leq T_J \leq +125^\circ\text{C}$ |
| DROPOUT VOLTAGE | | 80 100 180 | | mV mV mV | $I_{OUT5} = 200 \text{ mA}$ $V_{OUT5} = 3.3 \text{ V}$ $V_{OUT5} = 2.5 \text{ V}$ $V_{OUT5} = 1.5 \text{ V}$ |
| CURRENT-LIMIT THRESHOLD | 250 | 510 | | mA | Specified from the output voltage drop to 90% of the specified typical value |
| OUTPUT NOISE | | 92 | | $\mu\text{V rms}$ | 10 Hz to 100 kHz, $V_{PVIN5} = 5 \text{ V}$, $V_{OUT5} = 1.8 \text{ V}$ |
| POWER SUPPLY REJECTION RATIO | | 77 66 | | dB dB | $V_{PVIN5} = 5 \text{ V}$, $V_{OUT5} = 1.8 \text{ V}$, $I_{OUT5} = 1 \text{ mA}$ 10 kHz 100 kHz |

絶対最大定格

表 5.

| Parameter | Rating |
|--|---------------|
| PVIN1 to PGND | -0.3 V～+18 V |
| PVIN1 to PGND | -0.3 V～+18 V |
| PVIN3 to PGND3 | -0.3 V～+18 V |
| PVIN4 to PGND4 | -0.3 V～+18 V |
| PVIN5 to GND | -0.3 V～+6.5 V |
| SW1 to PGND | -0.3 V～+18 V |
| SW2 to PGND | -0.3 V～+18 V |
| SW3 to PGND3 | -0.3 V～+18 V |
| SW4 to PGND4 | -0.3 V～+18 V |
| PGND to GND | -0.3 V～+0.3 V |
| PGND3 to GND | -0.3 V～+0.3 V |
| PGND4 to GND | -0.3 V～+0.3 V |
| BST1 to SW1 | -0.3 V～+6.5 V |
| BST2 to SW2 | -0.3 V～+6.5 V |
| BST3 to SW3 | -0.3 V～+6.5 V |
| BST4 to SW4 | -0.3 V～+6.5 V |
| DL1 to PGND | -0.3 V～+6.5 V |
| DL2 to PGND | -0.3 V～+6.5 V |
| SS12, SS34 to GND | -0.3 V～+6.5 V |
| EN1, EN2, EN3, EN4, EN5 to GND | -0.3 V～+6.5 V |
| VREG to GND | -0.3 V～+6.5 V |
| SYNC/MODE to GND | -0.3 V～+6.5 V |
| VOU5, FB5 to GND | -0.3 V～+6.5 V |
| RT to GND | -0.3 V～+3.6 V |
| PWRGD to GND | -0.3 V～+6.5 V |
| FB1, FB2, FB3, FB4 to GND ¹ | -0.3 V～+3.6 V |
| FB2 to GND ² | -0.3 V～+6.5 V |
| FB4 to GND ² | -0.3 V～+7 V |
| COMP1, COMP2, COMP3, COMP4 to GND | -0.3 V～+3.6 V |
| VDD to GND | -0.3 V～+3.6 V |
| Storage Temperature Range | -65°C～+150°C |
| Operational Junction Temperature Range | -40°C～+125°C |

¹ この定格は、ADP5052 が、可変出力電圧モード時に適用されます。² この定格は、ADP5052 が、固定出力電圧モード時に適用されます。

上記の絶対最大定格を超えるストレスを加えるとデバイスに恒久的な損傷を与えることがあります。この規定はストレス定格の規定のみを目的とするものであり、この仕様の動作の節に記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くとデバイスの信頼性に影響を与えます。

熱抵抗

θ_{JA} は最悪の条件、すなわち、回路基板に表面実装パッケージをハンダ付けした状態で規定しています。

表 6. 熱抵抗

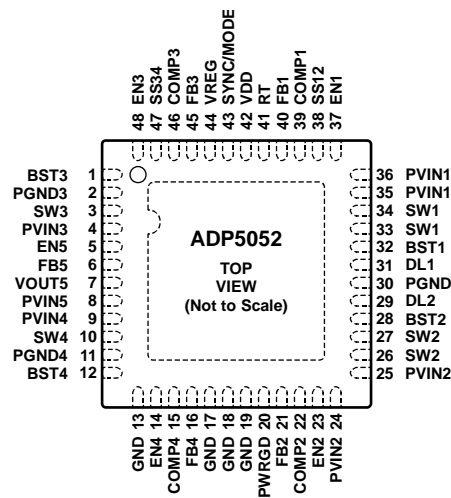
| Package Type | θ_{JA} | θ_{JC} | Unit |
|--------------|---------------|---------------|------|
| 48 ピン LFCSP | 27.87 | 2.99 | °C/W |

ESD の注意

**ESD (electrostatic discharge) sensitive device.**

Charged devices and circuit boards can discharge without detection. Although this product features patented or proprietary protection circuitry, damage may occur on devices subjected to high energy ESD. Therefore, proper ESD precautions should be taken to avoid performance degradation or loss of functionality.

ピン配置およびピン機能説明



NOTES
1. THE EXPOSED PAD MUST BE CONNECTED AND SOLDERED TO AN EXTERNAL GROUND PLANE.

10990-002

図 3. ピン配置

表 7. ピン機能の説明

| Pin No. | Mnemonic | Description |
|----------|----------|---|
| 1 | BST3 | チャンネル 3 のハイサイド FET 用電源。 |
| 2 | PGND3 | チャンネル 3 の電源グラウンド。 |
| 3 | SW3 | チャンネル 3 のスイッチング・ノード。 |
| 4 | PVIN3 | チャンネル 3 の電源入力。このピンとグラウンド間には、バイパス・コンデンサを接続してください。 |
| 5 | EN5 | チャンネル 5 のイネーブル入力。ターンオン・スレッシュホールドを設定するため、外部に抵抗分圧回路を取り付けて下さい。 |
| 6 | FB5 | チャンネル 5 のフィードバック・センス入力 |
| 7 | VOUT5 | チャンネル 5 の電源出力。 |
| 8 | PVIN5 | チャンネル 5 の電源入力。このピンとグラウンド間には、バイパス・コンデンサを接続してください。 |
| 9 | PVIN4 | チャンネル 4 の電源出力。このピンとグラウンド間には、バイパス・コンデンサを接続してください。 |
| 10 | SW4 | チャンネル 4 のスイッチング・ノード。 |
| 11 | PGND4 | チャンネル 4 の電源グラウンド。 |
| 12 | BST4 | チャンネル 4 のハイサイド FET 用電源。 |
| 13 | GND | このピンは内部テスト用です。グラウンドに接続してください。 |
| 14 | EN4 | チャンネル 4 のイネーブル入力ターンオン・スレッシュホールドを設定するため、外部に抵抗分圧回路を取り付けて下さい。 |
| 15 | COMP4 | チャンネル 4 の誤差増幅器出力。このピンから、RC ネットワークをグラウンドに接続して下さい。 |
| 16 | FB4 | チャンネル 4 のフィードバック・センス入力 |
| 17、18、19 | GND | このピンは内部テスト用です。グラウンドに接続してください。 |
| 20 | PWRGD | パワーグッド信号出力。このオープンドレイン出力は、選択されたチャンネル用のパワーグッド出力です。 |
| 21 | FB2 | チャンネル 2 のフィードバック・センス入力 |
| 22 | COMP2 | チャンネル 2 の誤差増幅器出力。このピンから、RC ネットワークをグラウンドに接続して下さい。 |
| 23 | EN2 | チャンネル 2 のイネーブル入力。ターンオン・スレッシュホールドを設定するため、外部に抵抗分圧回路を取り付けて下さい。 |

| Pin No. | Mnemonic | Description |
|---------|-----------|--|
| 24, 25 | PVIN2 | チャンネル 2 の電源入力。このピンとグラウンド間には、バイパス・コンデンサを接続してください。 |
| 26, 27 | SW2 | チャンネル 2 のスイッチング・ノード。 |
| 28 | BST2 | チャンネル 2 のハイサイド FET 用電源。 |
| 29 | DL2 | チャンネル 2 のローサイド FET ゲート・ドライバ。チャンネル 2 用の電流制限スレッシュホールドをプログラムするため、このピンからグラウンドに対して抵抗を接続して下さい。 |
| 30 | PGND | チャンネル 1 とチャンネル 2 用電力グラウンド。 |
| 31 | DL1 | チャンネル 1 用ローサイド FET ゲート・ドライバ。チャンネル 1 用の電流制限スレッシュホールドをプログラムするため、このピンからグラウンドに対して抵抗を接続して下さい。 |
| 32 | BST1 | チャンネル 1 用ハイサイド FET 用電源。 |
| 33, 34 | SW1 | チャンネル 1 用スイッチング・ノード。 |
| 35, 36 | PVIN1 | 5.1V 内部 VREG リニア・レギュレータと、チャンネル 1 降圧スイッチング・レギュレータ用電力入力このピンとグラウンド間には、バイパス・コンデンサを接続してください。 |
| 37 | EN1 | チャンネル 1 用イネーブル入力。ターンオン・スレッシュホールドを設定するため、外部に抵抗分圧回路を取り付けて下さい。 |
| 38 | SS12 | チャンネル 1 とチャンネル 2 のソフト・スタート時間をプログラムするために、VREG とグラウンド間に、抵抗分圧回路を接続して下さい（詳細は、ソフト・スタートセクション参照）。また、このピンは、チャンネル 1 とチャンネル 2 との並列動作を設定するためにも使われます（詳細は、並列動作セクション参照）。 |
| 39 | COMP1 | チャンネル 1 の誤差増幅器出力。このピンから、RC ネットワークをグラウンドに接続して下さい。 |
| 40 | FB1 | チャンネル 1 のフィードバック・センス入力。 |
| 41 | RT | スイッチング周波数をプログラムするために、RT ピンとグラウンド間に抵抗を接続してください。スイッチング周波数範囲は、250 kHz から 1.4 MHz です。詳細については、発振器セクションを参照してください。 |
| 42 | VDD | 内部 3.3V リニア・レギュレータ出力このピンとグラウンド間には、1 μ F のコンデンサを接続してください。 |
| 43 | SYNC/MODE | 同期入力/出力(SYNC)。外部クロックと内部スイッチング周波数とを同期する場合は、周波数 250 kHz から 1.4 MHz の範囲の外部クロック信号を入力して下さい。工場でのヒューズ調整を行う事で、このピンは、同期出力として構成することができます。 強制 PWM もしくは自動 PWM/PSM 選択ピン (MODE)。このピンをロジック・ハイにすると、このデバイスは、強制 PWM (FPWM) モードで動作します。このピンをロジック・ローにすると、このデバイスは、自動 PWM/PSM 切り替えモードで動作します。 |
| 44 | VREG | 内部 5.1 V リニア・レギュレータ出力。このピンとグラウンド間には、1 μ F のコンデンサを接続してください。 |
| 45 | FB3 | チャンネル 3 用フィードバック・センス入力 |
| 46 | COMP3 | チャンネル 3 用誤差増幅器出力。このピンから、RC ネットワークをグラウンドに接続して下さい。 |
| 47 | SS34 | チャンネル 3 とチャンネル 4 のソフト・スタート時間をプログラムするために、VREG とグラウンド間に、抵抗分圧回路を接続して下さい（詳細は、ソフト・スタートセクション参照）。 |
| 48 | EN3 | チャンネル 3 のイネーブル入力。ターンオン・スレッシュホールドを設定するため、外部に抵抗分圧回路を取り付けて下さい。 |
| | EPAD | エクスポーズド・パッド（アナログ・グラウンド）。エクスポーズド・パッドは、外部のグラウンドに接続し、必ず半田付けしてください。 |

代表的な性能特性

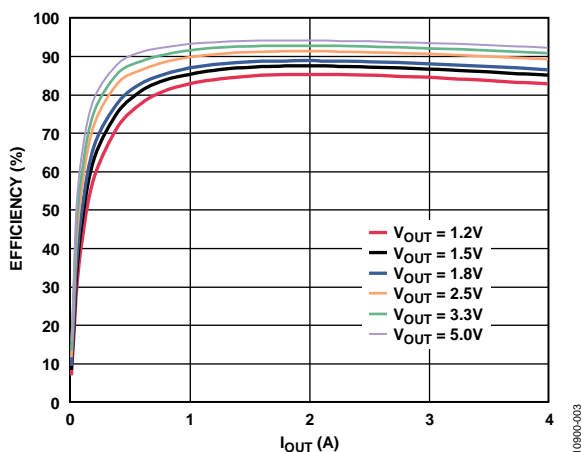


図 4. チャンネル 1/チャンネル 2 の効率カーブ $V_{IN} = 12V$
 $f_{SW} = 600\text{ kHz}$, FPWM モード

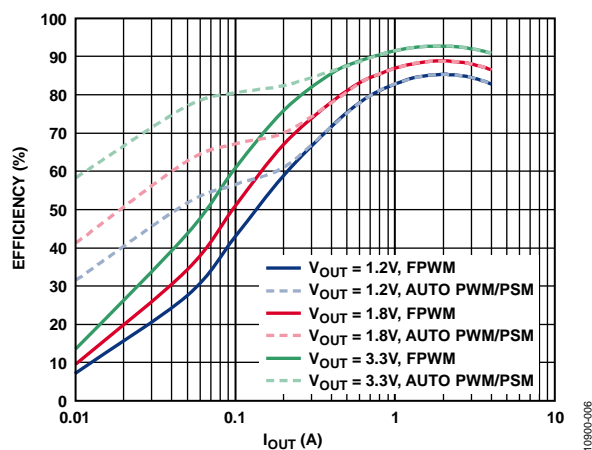


図 7. チャンネル 1/チャンネル 2 の効率カーブ $V_{IN} = 12V$,
 $f_{SW} = 600\text{ kHz}$, FPWM モードと自動 PWM/PSM モード

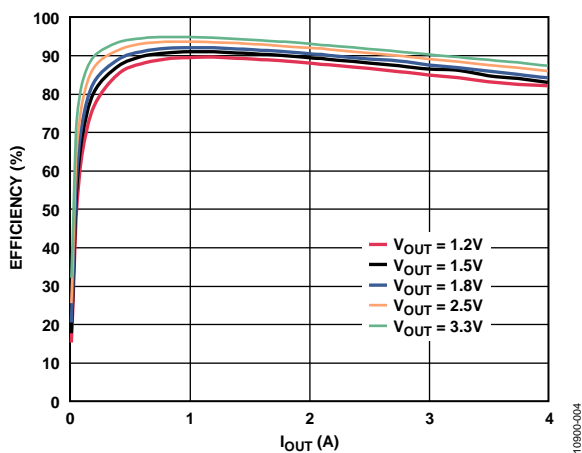


図 5. チャンネル 1/チャンネル 2 の効率カーブ $V_{IN} = 5.0V$,
 $f_{SW} = 600\text{ kHz}$, FPWM モード

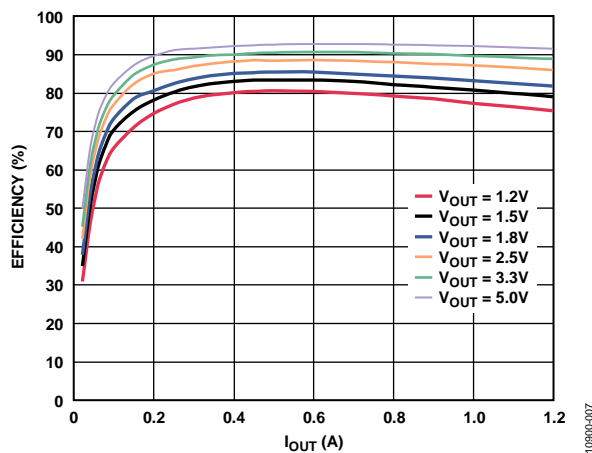


図 8. チャンネル 3/チャンネル 4 の効率カーブ $V_{IN} = 12V$,
 $f_{SW} = 600\text{ kHz}$, FPWM モード

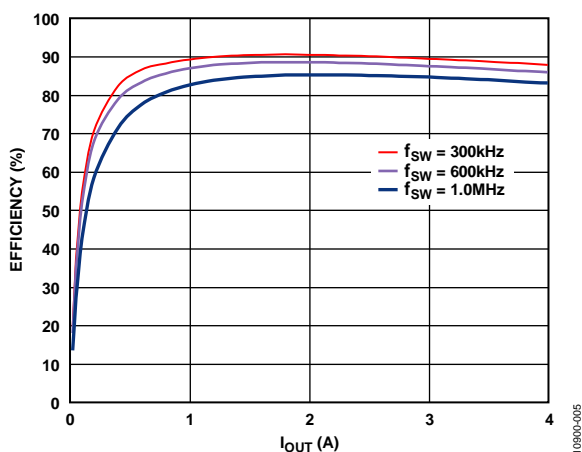


図 6. チャンネル 1/チャンネル 2 の効率カーブ $V_{IN} = 12V$,
 $f_{OUT} = 1.8V$, FPWM モード

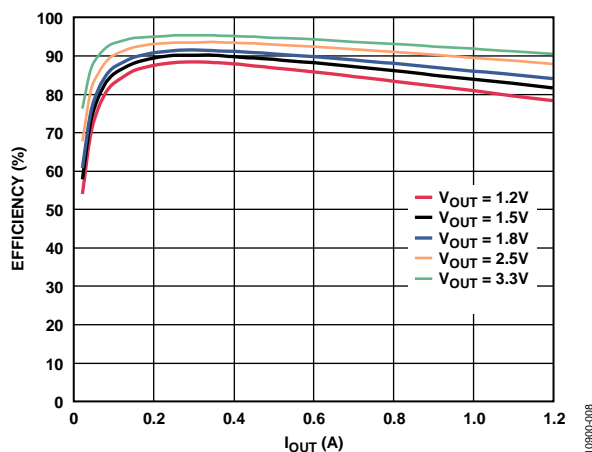


図 9. チャンネル 3/チャンネル 4 の効率カーブ $V_{IN} = 5.0V$,
 $f_{SW} = 600\text{ kHz}$, FPWM モード

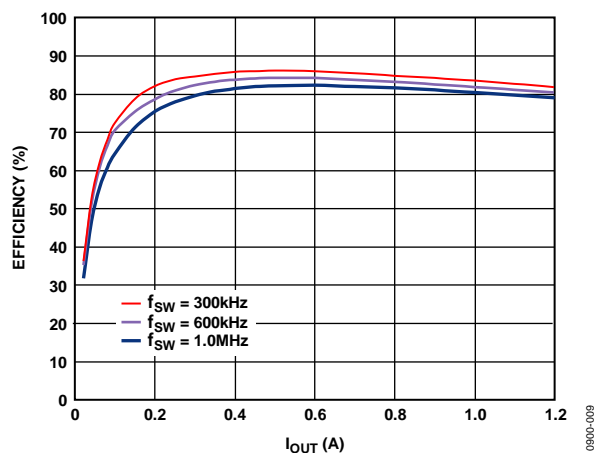


図 10. チャンネル 3/チャンネル 4 の効率カーブ $V_{IN} = 12\text{ V}$, $V_{OUT} = 1.8\text{ V}$, FPWM モード

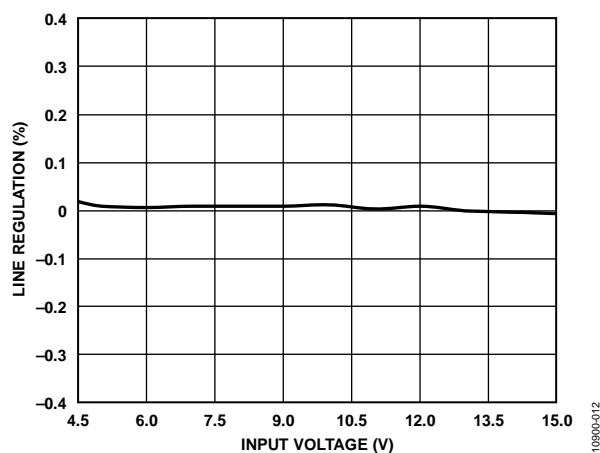


図 13. チャンネル 1 ライン・レギュレーション $V_{OUT} = 3.3\text{ V}$, $I_{OUT} = 4\text{ A}$, $f_{SW} = 600\text{ kHz}$, FPWM モード

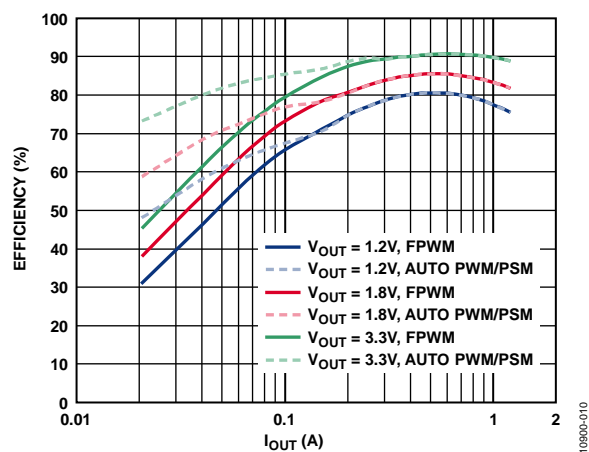


図 11. チャンネル 3/チャンネル 4 の効率カーブ $V_{IN} = 12\text{ V}$, $f_{SW} = 600\text{ kHz}$, FPWM モードと自動 PWM/PSM モード

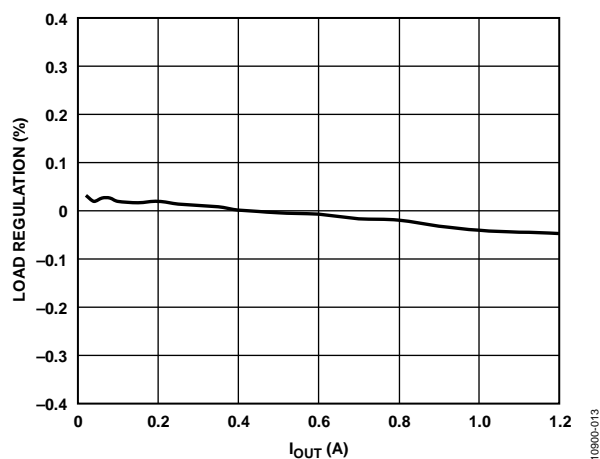


図 14. チャンネル 3 ロード・レギュレーション $V_{IN} = 12\text{ V}$, $V_{OUT} = 3.3\text{ V}$, $f_{SW} = 600\text{ kHz}$, FPWM モード

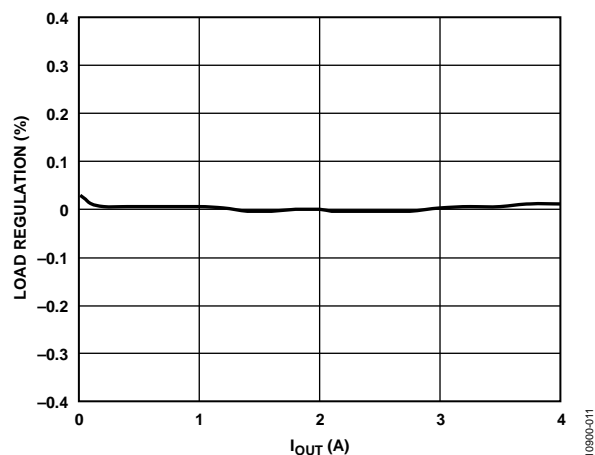


図 12. チャンネル 1 ロード・レギュレーション $V_{IN} = 12\text{ V}$, $V_{OUT} = 3.3\text{ V}$, $f_{SW} = 600\text{ kHz}$, FPWM モード

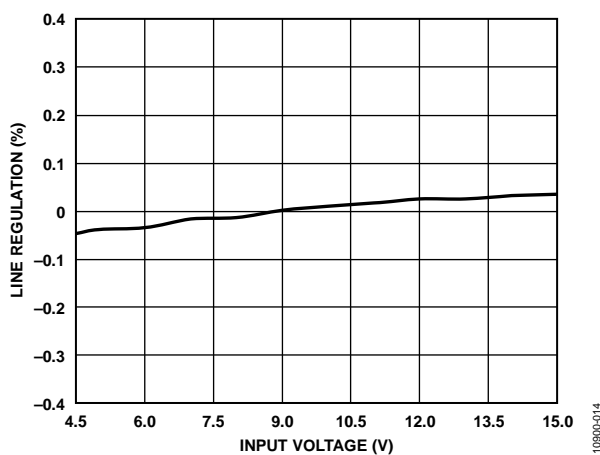


図 15. チャンネル 3 ライン・レギュレーション $V_{OUT} = 3.3\text{ V}$, $I_{OUT} = 1\text{ A}$, $f_{SW} = 600\text{ kHz}$, FPWM モード

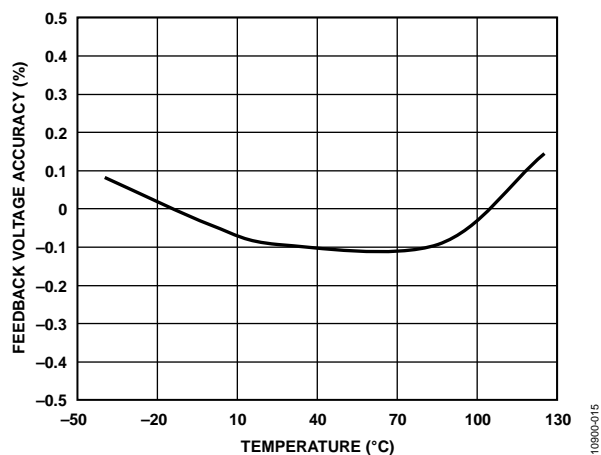


図 16. 0.8V フィードバック電圧精度の温度特性
(チャンネル 1、可変出力品)

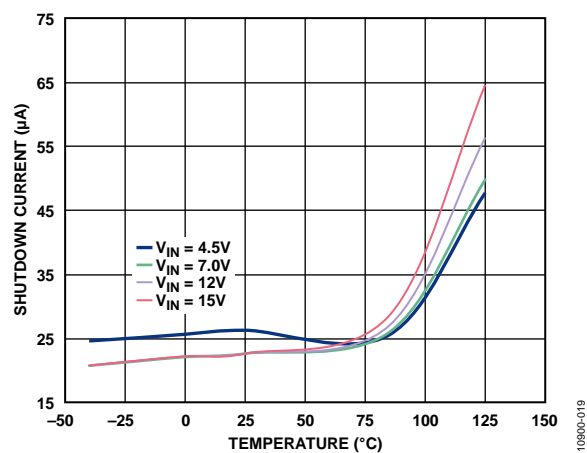


図 19. シャット・ダウン電流の温度特性
(EN1、EN2、EN3、EN4、EN5 がローの時)

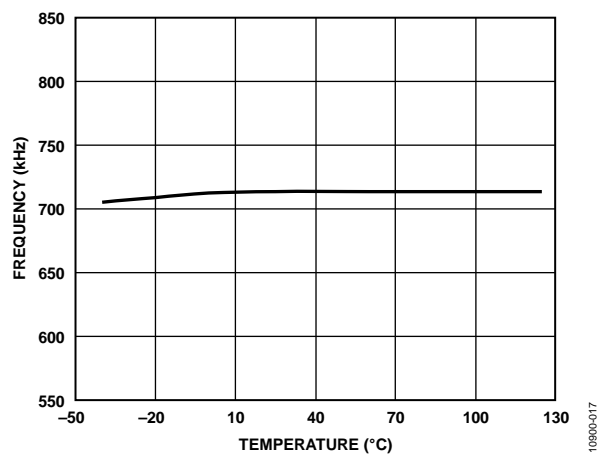


図 17. 周波数の温度特性、 $V_{IN} = 12\text{ V}$

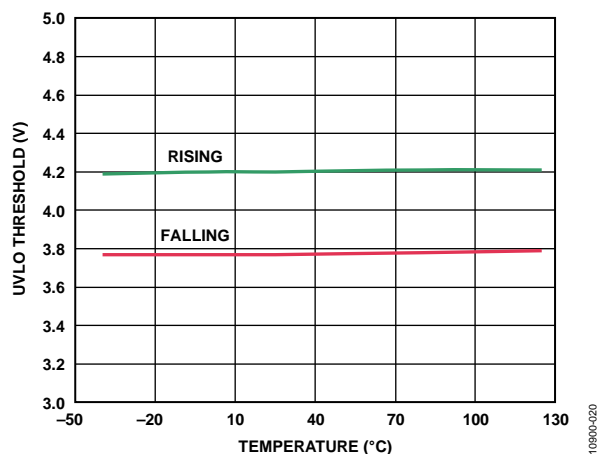


図 20. UVLO スレッシュホールドの温度特性

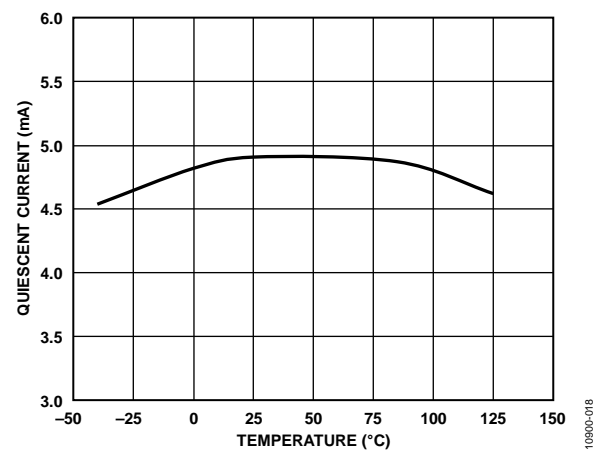


図 18. 静止電流の温度特性
(PVIN1、PVIN2、PVIN3、PVIN4 すべてを含む)

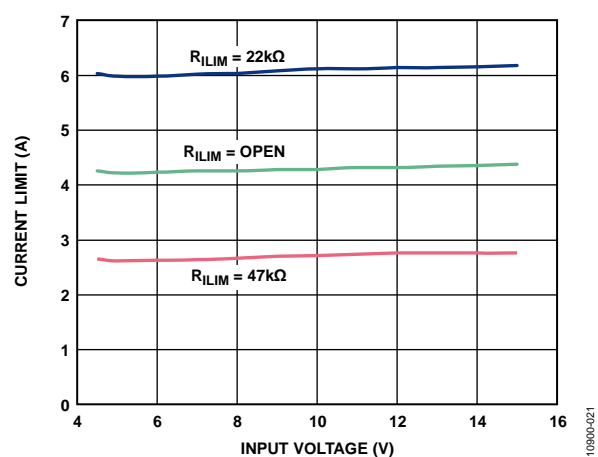


図 21. 入力電圧 対 チャンネル 1/チャンネル 2 の電流制限値

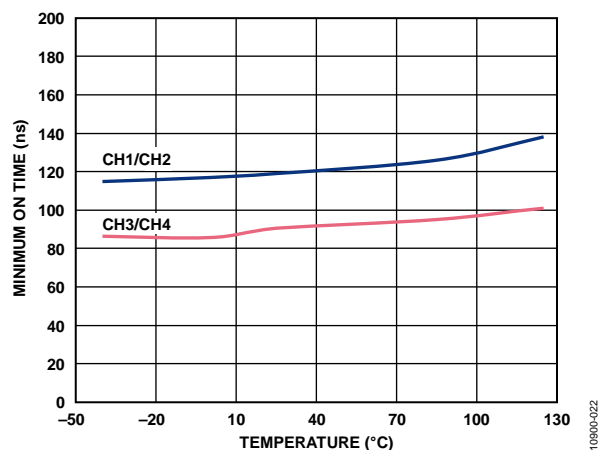
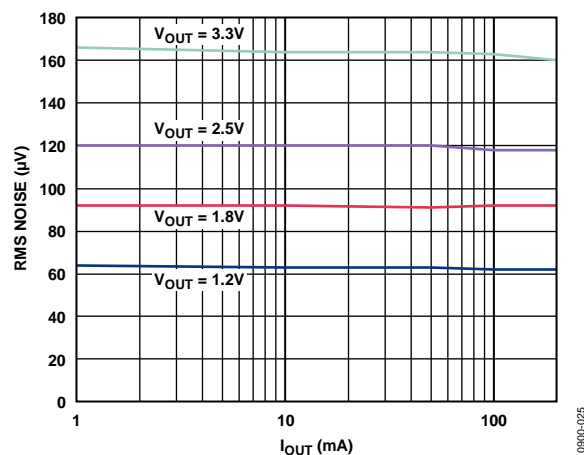
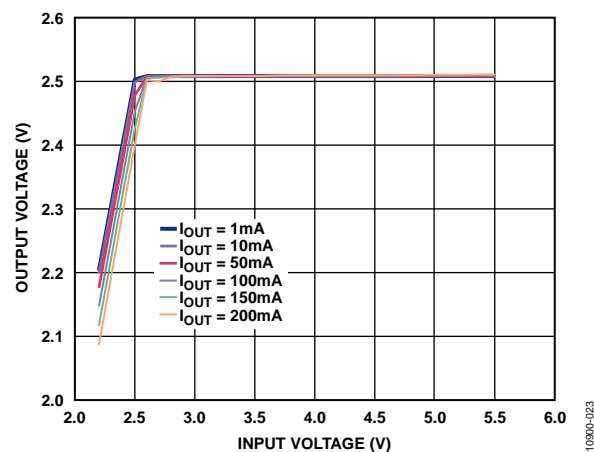
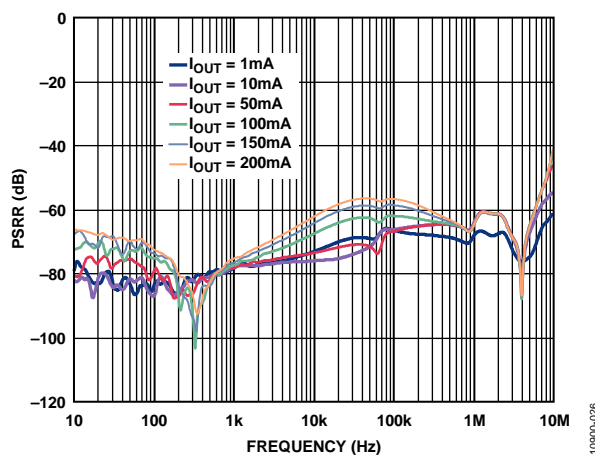
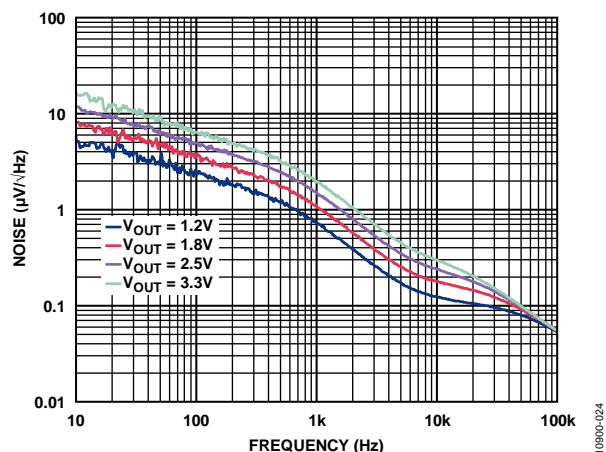
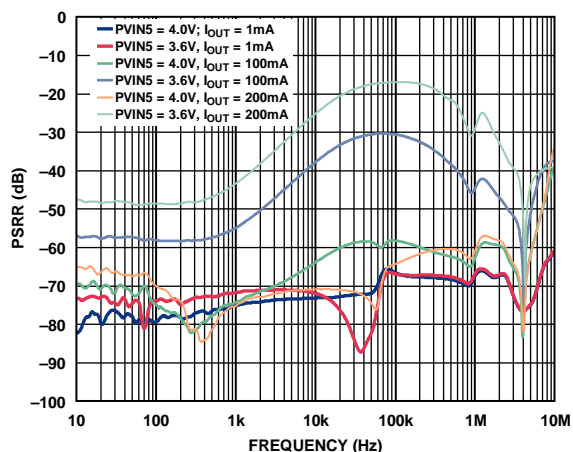


図 22. 最小オン時間の温度特性

図 25. 出力負荷 対 チャンネル 5 (LDO レギュレータ) 出力ノイズ
 $V_{IN} = 5\text{ V}$, $C_{OUT} = 1\text{ }\mu\text{F}$ 図 23. 入力電圧 対 チャンネル 5 (LDO レギュレータ) の
ライン・レギュレーション図 26. チャンネル 5
(LDO レギュレータ) の PSRR の周波数特性,
 $V_{IN} = 5\text{ V}$, $V_{OUT} = 3.3\text{ V}$, $C_{OUT} = 1\text{ }\mu\text{F}$ 図 24. チャンネル 5 (LDO レギュレータ) 出力の
ノイズ・スペクトラム
 $V_{IN} = 5\text{ V}$, $C_{OUT} = 1\text{ }\mu\text{F}$, $I_{OUT} = 10\text{ mA}$ 図 27. 各種負荷電流及びドロップアウト電圧対する、
チャンネル 5 (LDO レギュレータ) の PSRR,
 $V_{OUT} = 3.3\text{ V}$, $C_{OUT} = 1\text{ }\mu\text{F}$

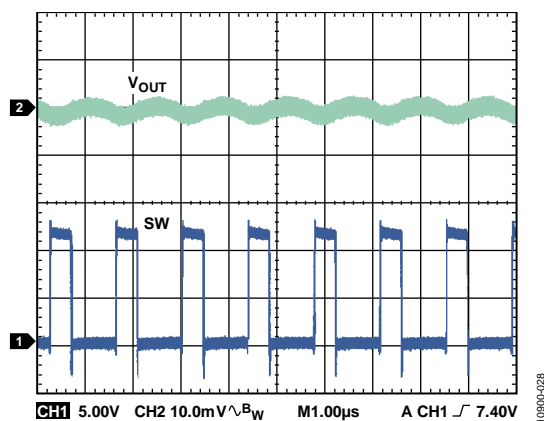


図 28. 高負荷時の安定状態波形。 $V_{IN} = 12\text{ V}$, $V_{OUT} = 3.3\text{ V}$, $I_{OUT} = 3\text{ A}$, $f_{SW} = 600\text{ kHz}$, $L = 4.7\text{ }\mu\text{H}$, $C_{OUT} = 47\text{ }\mu\text{F} \times 2$, FPWM モード

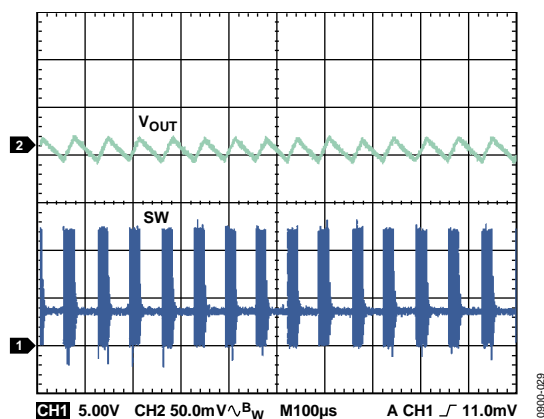


図 29. 低負荷時における安定状態波形。 $V_{IN} = 12\text{ V}$, $V_{OUT} = 3.3\text{ V}$, $I_{OUT} = 30\text{ mA}$, $f_{SW} = 600\text{ kHz}$, $L = 4.7\text{ }\mu\text{H}$, $C_{OUT} = 47\text{ }\mu\text{F} \times 2$, 自動 PWM/PSM モード

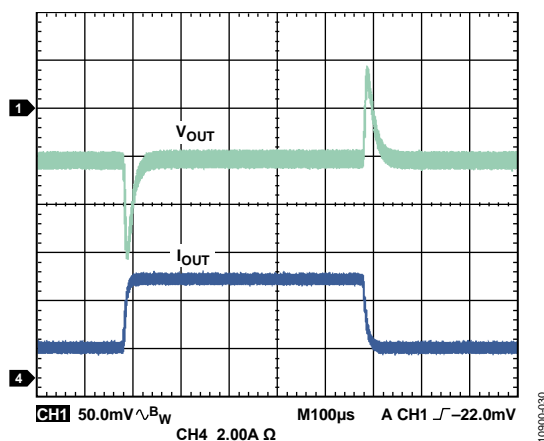


図 30. チャンネル 1/チャンネル 2 の負荷応答。 1 A から 4 A , $V_{IN} = 12\text{ V}$, $V_{OUT} = 3.3\text{ V}$, $f_{SW} = 600\text{ kHz}$, $L = 2.2\text{ }\mu\text{H}$, $C_{OUT} = 47\text{ }\mu\text{F} \times 2$

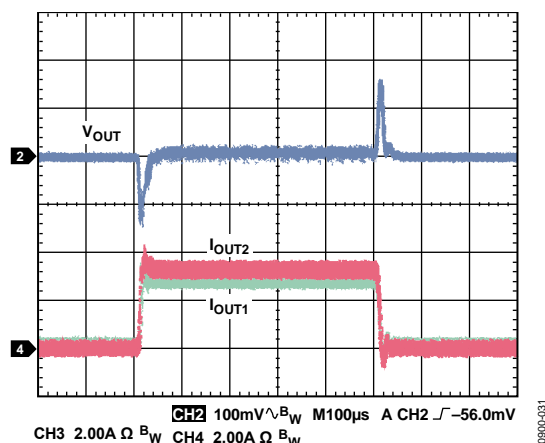


図 31 チャンネル 1/チャンネル 2 を並列動作時の負荷応答。 0 A から 6 A , $V_{IN} = 12\text{ V}$, $V_{OUT} = 3.3\text{ V}$, $f_{SW} = 600\text{ kHz}$, $L = 4.7\text{ }\mu\text{H}$, $C_{OUT} = 47\text{ }\mu\text{F} \times 4$

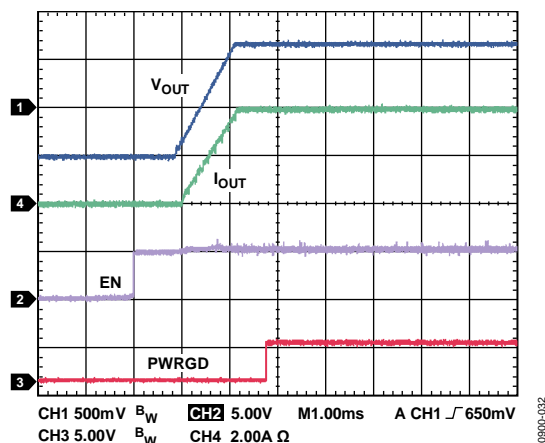


図 32. チャンネル 1/チャンネル 2 のソフト・スタート波形。 4 A の抵抗負荷時。
 $V_{IN} = 12\text{ V}$, $V_{OUT} = 1.2\text{ V}$, $f_{SW} = 600\text{ kHz}$, $L = 1\text{ }\mu\text{H}$, $C_{OUT} = 47\text{ }\mu\text{F} \times 2$

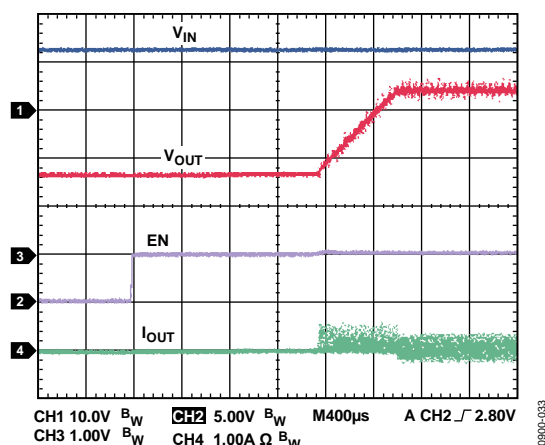


図 33. 出力コンデンサに電荷が残っていた場合のスタートアップ。
 $V_{IN} = 12\text{ V}$, $V_{OUT} = 3.3\text{ V}$

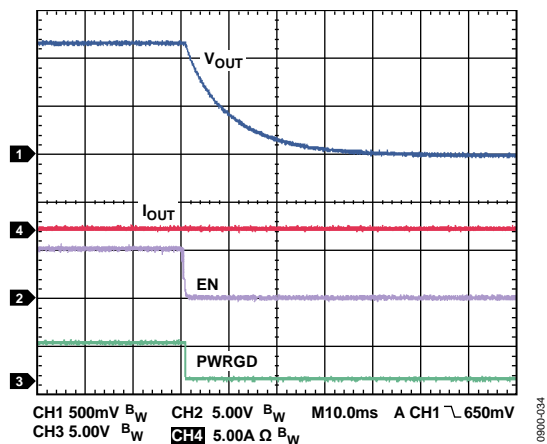


図 34. アクティブ出力放電によるチャンネル 1/チャンネル 2 のシャット・ダウン波形。

$V_{IN} = 12\text{ V}$, $V_{OUT} = 1.2\text{ V}$, $f_{SW} = 600\text{ kHz}$, $L = 1\text{ }\mu\text{H}$, $C_{OUT} = 47\text{ }\mu\text{F} \times 2$

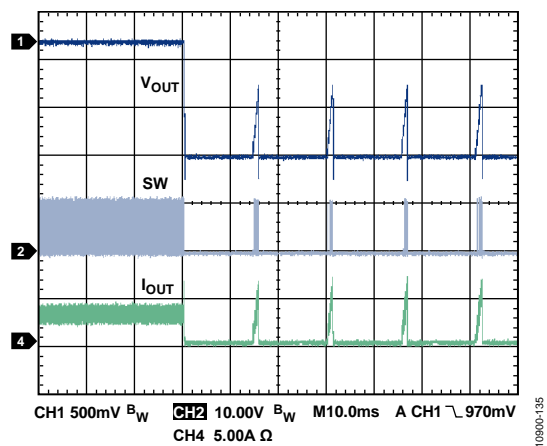


図 35. 出力短絡保護へ移行時の波形。 $V_{IN} = 12\text{ V}$, $V_{OUT} = 1.2\text{ V}$, $f_{SW} = 600\text{ kHz}$, $L = 1\text{ }\mu\text{H}$, $C_{OUT} = 47\text{ }\mu\text{F} \times 2$

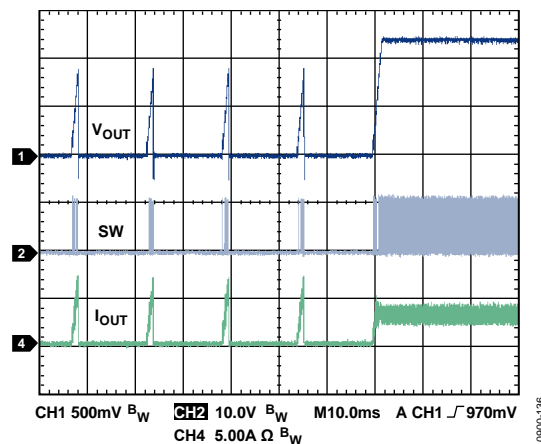


図 36. 出力短絡保護からの復帰時の波形。

$V_{IN} = 12\text{ V}$, $V_{OUT} = 1.2\text{ V}$, $f_{SW} = 600\text{ kHz}$, $L = 1\text{ }\mu\text{H}$, $C_{OUT} = 47\text{ }\mu\text{F} \times 2$

動作原理

ADP5052 は、マイクロパワー・マネジメント・ユニットで、4つの高性能降圧スイッチング・レギュレータと 200mA の LDO を、48 ピン LFCSP パッケージに収めており、性能およびボード・スペースの要求をみたちます。さらにシンプルかつ高効率なアプリケーションを実現するため、前段レギュレータ無しで、最大 15 V までの入力電圧を直接することができます。

降圧スイッチング・レギュレータの動作モード PWM モード

パルス幅変調 (PWM) モードでは、ADP5052 の降圧スイッチング・レギュレータは、固定周波数で動作します。この周波数は、RT ピンによってプログラミングできる内部発振器で決まります。発振器からの信号における各サイクルのスタート時、ハイサイドの MOSFET がオンになり、正の電圧がインダクタに加えられます。電流検知用信号がハイサイド MOSFET をオフにするピーク・インダクタ電流スレッシュホールドを超えるまで、インダクタに流れる電流が増加します。このスレッシュホールドは、誤差増幅器の出力で設定します。

ハイサイド MOSFET がオフ状態のとき、発振器のクロック・パルスが次の新しいサイクルを開始するまで、インダクタに流れる電流は、ローサイド MOSFET を通じて減少してゆきます。ADP5052 の降圧スイッチング・レギュレータは、ピーク・インダクタ電流スレッシュホールドを調整することで、出力電圧を安定化します。

PSM モード

ADP5052 の降圧スイッチング・レギュレータは、さらなる高効率を達成するため、出力の負荷電流が PSM (パワー・セーブ・モード) スレッシュホールドを下回ると、周波数可変の PSM 動作へと滑らかに降します。出力電圧がレギュレーションできる電圧以下になると、降圧スイッチング・レギュレータは PWM モードに入り、発振器を数サイクル分動作させて、出力電圧をレギュレーションできる電圧まで上昇させます。バースト間のアイドル時間では、MOSFET はオフになり、出力コンデンサが全出力電流を供給します。

PSM コンパレータは、インダクタに流れるピーク電流を表す情報を保つ内部補償ノードを監視しています。平均 PSM 電流スレッシュホールドは、入力電圧 (V_{IN})、出力電圧 (V_{OUT})、インダクタおよびコンデンサの値に依存します。出力電圧は、時折レギュレーションできる電圧を下回ったり元に戻ったりするので、軽い負荷状態においては、PSM モードにおける出力電圧のリップルは、強制 PWM モードにおける出力電圧のリップルより大きくなります。

強制 PWM、自動 PWM/PSM モード

この降圧スイッチング・レギュレータは、SYNC/MODE ピンを使って、常時 PWM モードで動作するように構成することができます。強制 PWM モード (FPWM) では、出力電流が PWM/PSM 切り替えスレッシュホールドを下回ったとしても、レギュレータは固定周波数で動作します。軽い負荷状態において、PWM モードの効率は、PSM モードに比べて低くなります。ローサイド MOSFET は、インダクタの電流が 0A を下回ってもオン状態を維持します。その結果 ADP5052 は電流連続モード (CCM) になります。

この降圧スイッチング・レギュレータは、SYNC/MODE ピンを使って、自動 PWM/PSM モードに構成することもできます。この自動 PWM/PSM モードでは、降圧スイッチング・レギュレータは出力電流の値に応じて、PWM モード、もしくはは

PSM モードで動作します。平均出力電流が、PWM/PSM スレッシュホールドを下回った場合、降圧スイッチング・レギュレータは PSM モードに入ります。この PSM モードでは、レギュレータは高効率を維持するため、スイッチング周波数を下げて動作します。出力電流が 0A になると、ローサイド MOSFET はオフになり、この結果、レギュレータは電流不連続モード (DCM) になります。

SYNC/MODE ピンを VREG に接続すると、このデバイスは強制 PWM (FPWM) モードとして動作します。SYNC/MODE ピンをグラウンド接続すると、このデバイスは自動 PWM/PSM モードとして動作します。

調整可能および固定出力電圧

ADP5052 は、工場でのヒューズ調整を行うことで、出力電圧を調整可能とするか、固定出力電圧にするかを設定することができます。出力電圧を調整可能な状態に設定した場合、必要な電圧を得るため、フィードバック基準電圧 (チャンネル 1 からチャンネル 4 の場合、0.8V、チャンネル 5 の場合は 0.5V) 端子に、抵抗分圧回路を取り付けてください。

固定出力電圧設定の場合、抵抗分圧回路が ADP5052 内部に取り付けられているため、フィードバック・ピン (FBx) を直接電圧出力に接続して下さい。表 8 に、各降圧スイッチング・レギュレータの各チャンネルにおける固定出力電圧範囲を示します。

表 8. 固定出力電圧範囲

| チャンネル | 固定出力電圧範囲 |
|---------|-------------------------------------|
| チャンネル 1 | 0.85 V ~ 1.6 V、25 mV ステップ |
| チャンネル 2 | 3.3 V ~ 5.0 V、300mV または 200 mV ステップ |
| チャンネル 3 | 1.2 V ~ 1.8 V、100 mV ステップ |
| チャンネル 4 | 2.5 V ~ 5.5 V、100 mV ステップ |

出力電圧範囲は、工場でのヒューズ調整で設定できます。もし、この表とは違った出力電圧範囲が必要であれば、最寄りのアナログ・デバイス、もしくは販売代理店の営業担当者にご連絡ください。

内部レギュレータ (VREG と VDD)

ADP5052 内部にある VREG レギュレータは、MOSFET ドライバ用バイアス電圧源として、MOSFET に安定した 5.1V を供給します。ADP5052 内部にある VDD レギュレータは、内部コントロール回路用電源として、安定した 3.3V を供給します。VREG とグラウンド間には 1.0μF のセラミック・コンデンサを接続してください。VDD とグラウンド間にも、VREG とは別の 1.0μF のセラミック・コンデンサを接続してください。PVIN1 に電圧がかかっている限り、内部の VREG と VDD レギュレータは動作しています。

内部の VREG レギュレータは、常に 5.1V の電圧で動作し、95mA の電流供給能力があるので、MOSFET を駆動する電流と、小さなシステムに必要な電流を賄うことができます。VREG レギュレータには、電流制限回路が含まれており、このデバイスに過負荷がかかったときに、VREG レギュレータ回路を保護します。

VDD レギュレータは、内部回路用であり、VREG と同じような目的に使うことは推奨されません。

異なる電源電圧入力に対応

ADP5052 の 4 つの降圧スイッチング・レギュレータは、異なる電源電圧入力に対応できます。これは、4 つの降圧スイッチング・レギュレータの各々の入力端子に、異なった電圧源を接続できることを意味します。

PVIN1 ピンは、内部レギュレータと制御回路へ電圧を供給する電圧源になっています。従って、それぞれの降圧スイッチング・レギュレータに異なった電圧を与えることを考えているならば、PVIN1 ピンに与える電圧は、他のチャンネルが動作する前に、UVLO スレッシュホールドを超えるようにしなければなりません。

高精度イネーブルを使うと、PVIN1 ピンの電圧を監視し、PVIN1 電圧が十分高くなって、他のレギュレータ出力が制御可能になるまで、それらのレギュレータの動作開始を遅らせることができます。詳細については、高精度イネーブルセクションを参照してください。

ADP5052 は、4 つの降圧スイッチング・レギュレータの直列接続による電圧供給にも対応しています。図 37 に示すように、PVIN2、PVIN3、そして PVIN4 には、チャンネル 1 の出力電圧を接続することができます。この構成では、チャンネル 1 の出力電圧は、PVIN2、PVIN3、そして PVIN4 の UVLO スレッシュホールドよりも高い電圧であることが必要です。

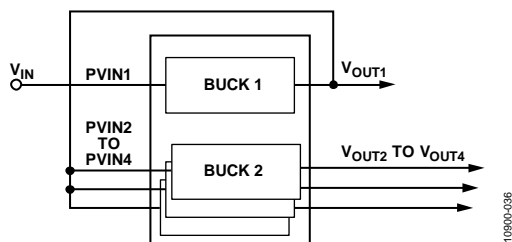


図 37. 直列接続による電力供給アプリケーション

ローサイド・デバイスの選択

チャンネル 1 とチャンネル 2 の降圧スイッチング・レギュレータは、4A のハイサイド・パワー・MOSFET とローサイド MOSFET ドライバを内蔵しています。ADP5052 に使用する N チャンネル MOSFET は、同期整流スイッチング・レギュレータとして動作可能なものを選択する必要があります。一般的には、低 $R_{DS(on)}$ の N チャンネル MOSFET を使うことで高効率を達成することができます。また、PCB 上の専有面積を節約するために、チャンネル 1 とチャンネル 2 用の 2 つの MOSFET が 1 つのパッケージに入っているものを推奨します。詳細については、ローサイド・パワー・デバイスの選択を参照してください。

ブートストラップ回路

ADP5052 内部の各スイッチング・レギュレータには、ブートストラップ回路が内蔵されています。ブートストラップ回路は、0.1μF のセラミック・コンデンサ (X5R もしくは X7R) が必要で、ハイサイド MOSFET 用のゲート駆動電圧を供給するために、BSTx ピンと SWx ピンの間に接続してください。

アクティブ出力放電スイッチ

ADP5052 内の降圧スイッチング・レギュレータは、スイッチング・ノードとグラウンド間に、放電用スイッチを内蔵しています。チャンネルをディスエーブルにすると、そのチャンネルに内蔵されているスイッチをオンにします。これによって、出力コンデンサに貯まっている電荷を素早くの放電できます。チャンネル 1 からチャンネル 4 に内蔵されている、放電スイッチのオン抵抗の代表値は 250 Ω です。全 4 つの降圧スイッチング・レギュレータの対する、各放電スイッチ機

能のイネーブルもしくはディスエーブルは、工場でのヒューズ調整で設定します。

高精度イネーブル

ADP5052 は、LDO レギュレータを含む、各レギュレータのイネーブル制御ピンを持っています。イネーブル制御 (ENx) ピンは、基準電圧 0.8V の高精度イネーブル回路として接続されています。ENx ピンの電圧が 0.8V 以上になると、レギュレータがイネーブルになります。ENx ピンの電圧が 0.725 V を下回ると、レギュレータはディスエーブルになります。ENx ピンが開放状態でエラーが起こることを防ぐために、内部には 1MΩ プルダウン抵抗が取り付けられています。

高精度イネーブルのスレッシュホールド電圧を使えば、1 つのデバイスにおける各チャンネル出力のシーケンシングが可能になるだけでなく、複数の ADP5052 のチャンネル間、もしくは他の電源デバイスの電源投入シーケンスも可能になります。ENx ピンは、抵抗分圧回路を使って、プログラム可能な、UVLO 入力としても使うことができます (図 38 参照)。詳細については、UVLO 入力のプログラミングセクションを参照してください。

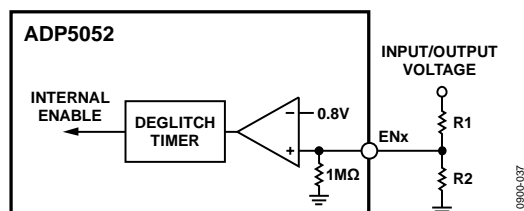


図 38.1 チャンネルに対する高精度イネーブル用回路図

発振器

ADP5052 のスイッチング周波数 (f_{sw}) は、RT ピンとグラウンド間に取り付ける抵抗の値によって、250kHz から 1.4MHz まで設定できます。RT に接続する抵抗値は以下の式を使って計算できます。

$$R_{RT} \text{ (k}\Omega\text{)} = [14,822/f_{sw} \text{ (kHz)}]^{1.081}$$

図 39 は、スイッチング周波数 (f_{sw}) と RT ピンに接続する抵抗値との代表的な関係を示しています。スイッチング周波数が可変できるので、効率を重視するか、それとも回路専有面積を重視するかを選択し調整できます。

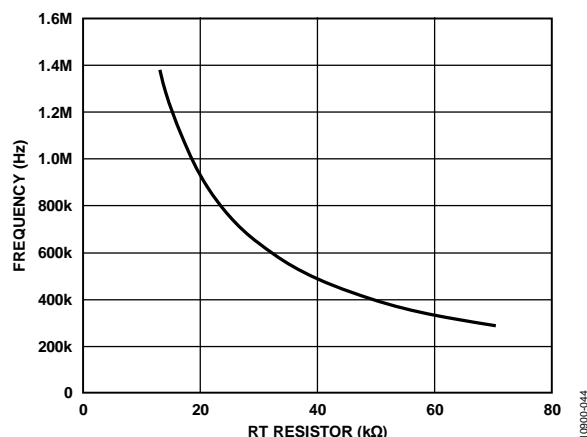


図 39. RT ピンの抵抗 対 スイッチング周波数

チャンネル 1 とチャンネル 3 に関しては、RT ピンを使って決めたマスター・スイッチング周波数の半分の周波数を持つ信号を与える事もできます。この設定は、工場でのヒューズ調整によって選択します。但し、マスター・スイッチング周波数が 250kHz 以下の場合、チャンネル 1 とチャンネル 3 へ半分の周波数を供給することは、推奨されません。

位相シフト

チャンネル1とチャンネル2、チャンネル3とチャンネル4は180°で位相シフトしています。従って、チャンネル3はチャンネル1とは位相が一致しており、さらにチャンネル4はチャンネル2とは位相が一致しています（図40参照）。このような位相差を持たせることで、位相差を伴ったスイッチング動作をさせ、入力リップル電流とグラウンドノイズを減らせるため、EMIノイズ対策やビートノイズ対策などに効果があります。

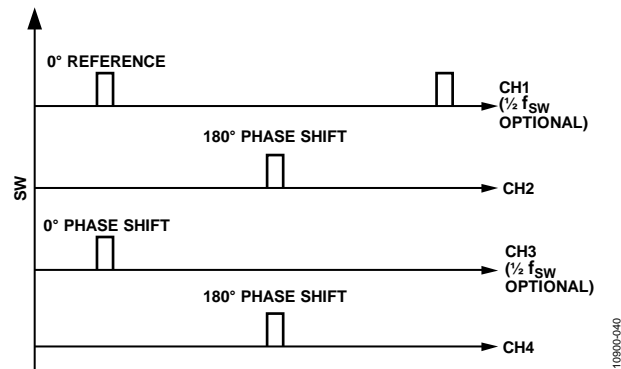


図 40. 4つの降圧スイッチング・レギュレータにおける位相シフト

同期入力/出力

ADP5052のスイッチング周波数は、250kHzから1.4MHzまでの範囲で、外部クロックと同期させることができます。ADP5052は、外部クロックがSYNC/MODEピンに与えられているかどうかを自動的に検知し、内部スイッチング・クロック周波数から外部クロックの周波数へ、なめらかに切り替えることができます。外部クロック信号が停止した時、デバイスは内部クロックでの動作に切り替わり、そのまま動作し続けます。

RTピンで設定される内部クロック信号の周波数は、外部クロックとの同期動作を成功させるため、外部クロック信号の周波数に近い値に設定しなければなりません。代表的なアプリケーションでは、2つの信号における周波数の差異は、±15%以下にすることを推奨します。

SYNC/MODEピンは、工場でのヒューズ調整により同期クロック出力として構成することもできます。SYNC/MODEピンからは、RTピンに接続される抵抗によって決まる内部スイッチング周波数と等しく、かつ50%のデューティ比を持つクロック・パルスが出力されます。この信号は、チャンネル1のスイッチング・ノードで発生する同期クロックから、ある時間（スイッチング周期 t_{sw} の約15%）遅れて出力されます。

図41に2つのADP5052を周波数同期モードで使う場合の構成を示します。1つのADP5052は、もう1つのADP5052へのクロック出力源として構成されます。このとき、100kΩのプルアップ抵抗を使うことをお勧めします。これはSYNC/MODEピンが開放状態になったときのエラーを防ぐためです。

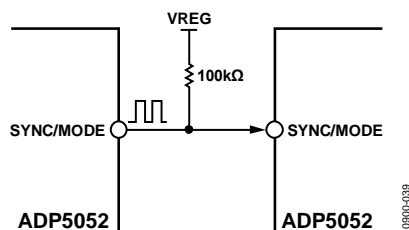


図 41. 2つのADP5052を同期モードで動作させる場合の構成

図41に示した構成では、第1のADP5052のチャンネル1と、第2のADP5052のチャンネル1との位相差は0°です（図42参照）。

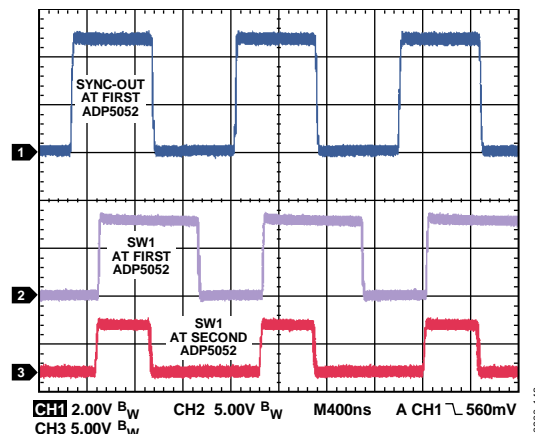


図 42. 2つのADP5052を同期モードで動作指させたときの波形

ソフト・スタート

ADP5052の降圧スイッチング・レギュレータは、ソフト・スタート回路を搭載しています。この回路によってスタートアップ時、出力電圧の上昇を制御することができ、それによって突入電流を制限します。SS12ピンとSS34ピンを直接VREGに接続すると、各レギュレータのソフト・スタート時間は、おおよそ2msに固定されます。

ソフト・スタート時間の値を、2ms、4msもしくは8msに設定したい場合、VREGピンとグラウンド間に抵抗分圧回路を設け、その電圧を、SS12ピンもしくはSS34ピンに与えて下さい（図43参照）。この構成は、特定のスタートアップ・シーケンスに対応する事が求められるアプリケーション、または大きな出力コンデンサを使ったアプリケーションにおいて必要になるかもしれません。

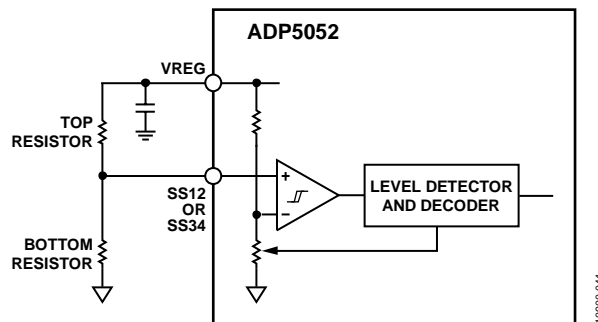


図 43. ソフト・スタート用レベル検出回路

SS12 ピンは、チャンネル 1 とチャンネル 2 のソフト・スタート時間をプログラムできますが、抵抗値の選び方によっては、チャンネル 1 とチャンネル 2 の並列動作をさせることもできます。SS34 ピンは、チャンネル 3 とチャンネル 4 のソフト・スタート時間をプログラムできます。表 9 に、ソフト・スタート時間を設定するために必要な抵抗値の一覧を示します。

表 9. SS12 と SS34 Pin によって設定される、ソフト・スタート時間

| R _{TOP} (kΩ) | R _{BOT} (kΩ) | ソフト・スタート時間 | | ソフト・スタート時間 | |
|-----------------------|-----------------------|------------|---------|------------|---------|
| | | チャンネル 1 | チャンネル 2 | チャンネル 3 | チャンネル 4 |
| 0 | N/A | 2 ms | 2 ms | 2 ms | 2 ms |
| 100 | 600 | 2 ms | 並列動作 | 2 ms | 4 ms |
| 200 | 500 | 2 ms | 8 ms | 2 ms | 8 ms |
| 300 | 400 | 4 ms | 2 ms | 4 ms | 2 ms |
| 400 | 300 | 4 ms | 4 ms | 4 ms | 4 ms |
| 500 | 200 | 8 ms | 2 ms | 4 ms | 8 ms |
| 600 | 100 | 8 ms | 並列動作 | 8 ms | 2 ms |
| N/A | 0 | 8 ms | 8 ms | 8 ms | 8 ms |

並列動作

ADP5052 は、チャンネル 1 とチャンネル 2 とを 2 フェーズで並列動作させ、最大 8A の電流が供給できる単一電源にすることができます。チャンネル 1 とチャンネル 2 とを並列動作させ、単一電源として構成するには、次の手順を行って下さい (図 44 参照)：

- 図 44 に示してあるように、SS12 ピンを使って並列動作可能な設定にします。
- COMP2 ピンはオープンのままにしておきます。
- FB1 ピンを使って出力電圧を決めます。
- FB2 ピンをグラウンドに接続します。つまり FB2 は無視されます。
- EN2 ピンをグラウンドに接続します。つまり EN2 は無視されます。

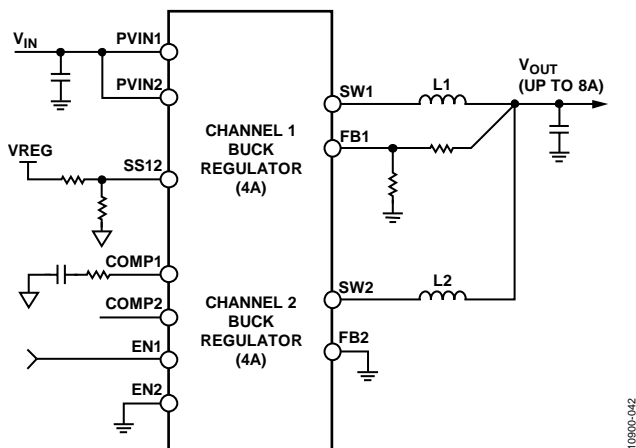


図 44. チャンネル 1 とチャンネル 2 を使った並列動作

チャンネル 1 とチャンネル 2 とを並列動作させる様に構成する場合、それぞれのチャンネルの設定は以下の様にして下さい。

- チャンネル 1 とチャンネル 2 との入力電圧と電流制限設定は、同じ値にして下さい。
- 両方のチャンネルとも、強制 PWM モードで動作させて下さい。

並列動作時の各チャンネルの電流バランスは、内部の制御ループによって自動調整されます。図 45 に、並列動作時の各チャンネルの代表的な電流バランスのマッチング特性を示します。

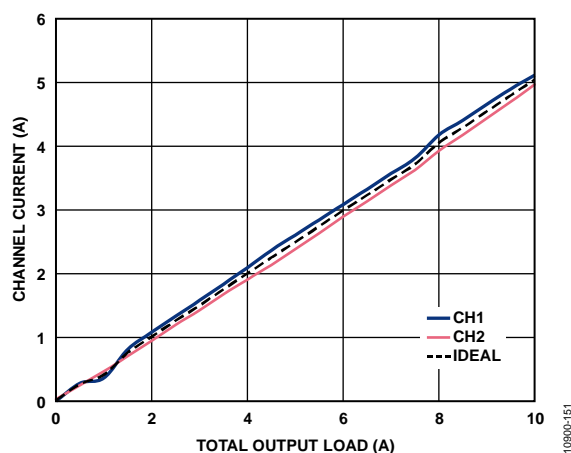


図 45. 並列動作構成時の電流バランス特性 $V_{IN} = 12\text{ V}$, $V_{OUT} = 1.2\text{ V}$, $f_{SW} = 600\text{ kHz}$, FPM モード

出力に残存電圧があった場合のスタートアップ

ADP5052 の降圧スイッチング・レギュレータは、スタートアップ時にローサイド FET の破損を防ぐ為、充電された出力に対する (安全な) スタートアップ機能を備えています。レギュレータがオンになる前に、出力端子のコンデンサに電荷が残っていた場合、レギュレータは、逆向きの電流がインダクタに流れるのを防ぎます。逆電流を防ぐ期間は、ソフト・スタート用に設定された内部基準電圧が、充電された出力電圧によって生じる、フィードバック (FBx) ピンに与えられた電圧を超えるまでです。

電流制限保護機能

ADP5052 の降圧スイッチング・レギュレータ、ハイサイド MOSFET に流れる正電流の総量を制限する、電流制限保護機能を備えています。パワー・スイッチのピーク電流制限機能が、入力から出力へと流れる電流の総量を制限します。プログラマブルな電流制限スレッシュホールド設定機能を有しているので、小型インダクタを使った小電力アプリケーションにも対応できます。

チャンネル 1 用の電流制限スレッシュホールドを決めるには、DL1 ピンとグラウンド間に抵抗を接続して下さい。チャンネル 2 用の電流制限スレッシュホールドを決めるには、DL2 ピンとグラウンド間に、先ほどとは別の抵抗を接続して下さい。表 10 にチャンネル 1 とチャンネル 2 用の、電流制限スレッシュホールドを設定する為の抵抗値一覧を示します。

表 10. チャンネル 1 とチャンネル 2 のピーク電流制限スレッシュホールド設定

| R _{LIM1} または R _{LIM2} | 代表的なピーク電流制限スレッシュホールド |
|---|----------------------|
| フローティング | 4.4 A |
| 47kΩ | 2.63 A |
| 22kΩ | 6.44 A |

ADP5052 の降圧スイッチング・レギュレータは、負電流制限保護回路も備えており、ローサイド MOSFET に流れる負電流を、ある電流値で制限します。

周波数フォールドバック

ADP5052 の降圧スイッチング・レギュレータは、出力が短絡したとき、出力電流が制御不能にならないように周波数フォールドバック機能を備えています。周波数フォールドバック機能は、以下の様にして実現されています：

- FBx ピンの端子電圧が、設定した電圧の半分の値まで下降した場合、スイッチング周波数が半分になります。
- FBx ピンの端子電圧が、設定した電圧の 4 分の 1 まで下降した場合、出力電流が半分になるようにスイッチング周波数を下げます。この時、スイッチング周波数 f_{sw} は 4 分の 1 になります。

スイッチング周波数を下げること、インダクタに流れる電流を下げるための時間が長くなり、同時にピーク電流レギュレーションを行っている間の電流リップルが大きくなります。この結果、平均電流を下げることで、出力電流が制御不能になることを防ぎます。

最大デューティ・サイクル下のパルス・スキップ・モード

最大デューティ・サイクル下では、周波数フォールバック機能によってレギュレーション状態を保ちます。例えば入力電圧が低下して、最大デューティ・サイクル状態に到達した場合、PWM 変調器は PWM パルスを 1 つずつ飛ばしてゆきます。その結果、周波数フォールドバックのスイッチング周波数は半分になります。さらにデューティ・サイクルが大きくなると、PWM 変調器は、PWM パルスを 2 つおきに飛ばして行きます。その結果、周波数フォールドバックのスイッチング周波数は 3 分の 1 になります。周波数フォールバックは、有効最大デューティ・サイクルを大きくできます。それにより入力電圧と出力電圧とのドロップアウト電圧を下げるができます。

瞬断による過負荷保護

ADP5052 の降圧スイッチング・レギュレータは、過電流保護 (OCP) のため、瞬断モードを備えています。インダクタに流れる電流が、電流制限スレッシュホールドに到達すると、ハイサイド MOSFET はオフになり、ローサイド MOSFET は、次のスイッチングサイクルまでオフになります。

瞬断モードが動作状態で上記の現象が発生すると、過電流フォールト・カウンタの値が 1 が増加します。もし過電流フォールト・カウンタの値が 15 かそれ以上になると、出力短絡状態であると見なされ、ハイサイドとローサイドの MOSFET の両方がオフになります。降圧スイッチング・レギュレータは、ソフト・スタートサイクルの 7 周期分に相当する期間、瞬断モードを維持します。その後ソフト・スタートを行ってリセットを試みます。出力短絡フォールト・カウンタがクリアされると、レギュレータが通常動作に復帰しますが、復帰出来ない場合、ソフト・スタート後も再度瞬断モードになります。

重い負荷が接続された状態では、最初のソフト・スタート期間のみ、瞬断による過負荷保護機能は動作せず、降圧スイッチング・レギュレータの動作できるようにします。重い負荷が接続された状態で瞬断モードから降圧スイッチング・レギュレータを確実に復帰させるには、細心の回路設計と適切な部品選択が必要であることに注意して下さい。4 つの降圧スイッチング・レギュレータ全ての瞬断モードのイネーブル/ディスエーブルは、工場でのヒューズ調整によって行う事ができます。瞬断モードがディスエーブルであっても、周波数フォールドバック機能が過電流保護として機能します。

ラッチオフによる保護

ADP5052 の降圧スイッチング・レギュレータは、深刻な問題、例えば出力短絡や過電圧状態からデバイスを保護するため、オプションでラッチオフ・モードを持たせることができます。ラッチオフ・モードは、工場でのヒューズ調整でイネーブルにできます。

短絡ラッチオフ・モード

短絡ラッチオフ・モードは、工場でのヒューズ調整でイネーブルにできます。この時、4 つの降圧スイッチング・レギュレータに対して、全てオンにするかオフにするか、の選択になります。出力短絡ラッチオフ・モードがイネーブルであれば、ソフト・スタート後、保護回路が過剰な電流を検知した時、降圧スイッチング・レギュレータは瞬断モードに入ってリスタートを試みます。7 周期後でリスタートを試みた後、レギュレータのフォールト状態が続いていた場合、レギュレータはシャット・ダウンします。このシャット・ダウン (ラッチオフ) 状態は、チャンネルが再びイネーブルになるか、チャンネルの電力供給が再開される事によってのみ、解除されます。出力短絡 (保護用) ラッチオフ・モードは、瞬断モードがディスエーブルでは動作しません。

図 46 に、短絡保護用ラッチオフ検知機能を示します。

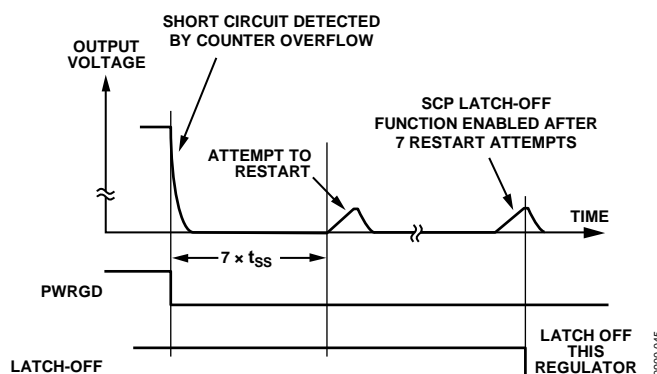


図 46. 短絡ラッチオフ検出

過電圧ラッチオフ・モード

過電圧ラッチオフ・モードは、工場でのヒューズ調整でイネーブルにできます。この時、4 つの降圧スイッチング・レギュレータに対して、全てオンにするかオフにするか、の選択になります。過電圧ラッチオフ・モードの動作スレッシュホールドは、公称出力電圧の 124% に設定されます。出力電圧がこのスレッシュホールド電圧を超えると、保護回路が過電圧状態を検知し、レギュレータをシャット・ダウンさせます。このシャット・ダウン (ラッチオフ) 状態は、チャンネルが再びイネーブルになるか、チャンネルの電力供給が再開される事によってのみ、解除されます。

図 47 に過電圧ラッチオフ検出機能を示します。

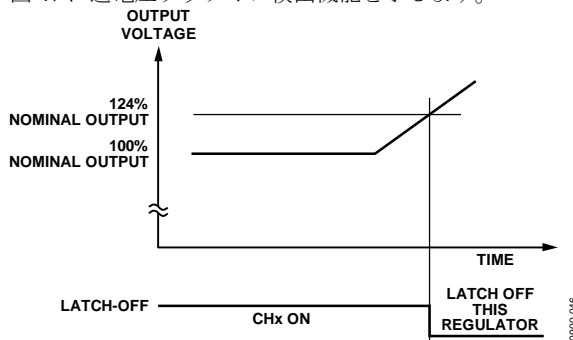


図 47. 過電圧ラッチオフ検出

低電圧ロックアウト (UVLO)

低電圧ロックアウト回路は、ADP5052 内の各降圧スイッチング・レギュレータへの入力電圧を監視します。いずれかの入力端子 (PVIN1x) の電圧が 3.78V (代表値) を下回った場合、該当するチャンネルはオフ状態になります。入力電圧が 4.2V (代表値) にまで上昇すると、ソフト・スタート周期が起動し、ENx ピンがハイになった時に該当チャンネルがイネーブルになります。

チャンネル 1 (PVIN1) の UVLO 状態は、他のチャンネルの状態に比べて優先度が高く、他のチャンネルが動作する前に、PVIN1 に電圧を与えなければいけないことに注意して下さい。

パワーグッド機能

ADP5052 は、オープンドレインのパワーグッド出力 (PWRGD ピン) を備えており、選択された降圧スイッチング・レギュレータが正常動作している時に、アクティブ・ハイとなります。デフォルトで、PWRGD ピンは、チャンネル 1 の出力電圧を監視しています。他のチャンネルに対しての、PWRGD ピンによる監視機能に関しては、ADP5052 の注文時に構成できます (詳細は表 20 参照)。

該当するチャンネルの公称出力電圧の 90.5% (代表値) 以上であれば、PWRGD ピンがロジック・ハイの状態になります。降圧スイッチング・レギュレータの出力電圧が、公称電圧の 87.2% (代表値) を下回り、その状態がおおよそ 50 μ s 以上続いた場合、PWRGD ピンはロー状態になります。

PWRGD ピンの出力は、内部の PWRGDx 信号の論理和です。PWRGD ピンがハイになる前に、内部の PWRGDx 信号は 1ms の検証時間を必要としますが、1 つでも PWRGDx 信号がローになれば、PWRGD ピンの出力は遅滞なくローになります。チャンネル 1 からチャンネル 4 のうち、どのチャンネルの組み合わせによって PWRGD ピンを制御するのかは、工場でのヒューズ調整によって構成できます。デフォルトの PWRGD ピンの設定は、チャンネル 1 の出力の監視です。

サーマル・シャットダウン

もし ADP5052 の接合温度が、150°C を超えた場合、サーマル・シャットダウン回路が、内部のリニア・レギュレータ以外の機能全てをオフにします。大電流動作や、不適切な回路基板設計、もしくは高い周囲温度によって、極端な接合温度の上昇を引き起こします。サーマル・シャットダウン回路には、15°C のヒステリシスが設けられており、ADP5052 は、オンチップ温度が 135°C 以下にならないと、通常動作に復帰しません。サーマル・シャットダウンからデバイスが復帰すると、イネーブルになっている各チャンネルのソフト・スタートが起動します。

LDO レギュレータ

ADP5052 には、低静止電流と低ドロップ・アウト電流を備えた、汎用 LDO レギュレータが内蔵されています。この LDO レギュレータは、最大で 200mA の電流容量があります。

LDO レギュレータは、1.7V から 5.5V の入力電圧で動作します。入力電圧範囲が広いので、このデバイス内の降圧スイッチング・レギュレータのうち 1 つから電圧を供給し、カスケード構成で動作させることができます。LDO の出力電圧は、外部の抵抗分圧回路によって設定できます (図 48 参照)。

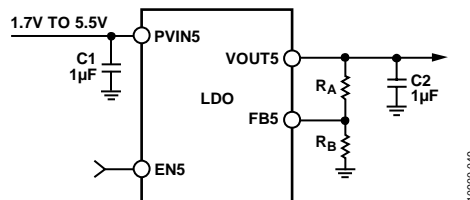


図 48. 200mA の LDO レギュレータ

この LDO レギュレータは、優れた電源電圧変動除去比 (PSRR) を持っているので、入力と出力に小型 1 μ F のセラミック・コンデンサを取り付けるだけで、ラインと負荷の変動があっても、優れた過渡応答特性を示します。

アプリケーション情報

ADIsimPower™ デザイン・ツール

ADP5052 は ADIsimPower™ デザイン・ツール・セットでの設計サポートに対応しています。ADIsimPower は、電源回路設計を行うためのツールを集めたソフトウェアで、設計目標に対して最適化された回路設計ができます。このソフトウェア・ツールを使えば、必要な回路図と部品表の作成ができ、その回路特性を瞬時に計算できます。ADIsimPower を使えば、IC の動作条件と外部部品の制約を考慮しながら、コスト、プリント基板上での専有面積と部品数を最適化できます。

ADIsimPower は、www.analog.com/ADIsimPower から入手できます。また、このツール経由で、部品未実装ボードのリクエストができます。

可変出力電圧のプログラミング

ADP5052 の出力電圧の設定は、その出力電圧を外部に取り付けた抵抗で分圧し、分圧電圧を FBx ピンに接続することで行います。フィードバック・ピンのバイアス電流によって起こる出力電圧精度の低下を防ぐ為、分圧回路下側の抵抗値は、大きな値を選ばないようにして下さい。50kΩ 以下を推奨します。

出力電圧は、以下の式で設定できます。

$$V_{OUT} = V_{REF} \times (1 + (R_{TOP}/R_{BOT}))$$

ここで、

V_{OUT} は、出力電圧

V_{REF} は、フィードバック基準電圧：チャンネル 1 からチャンネル 4 は 0.8V。チャンネル 5 は 0.5V

R_{TOP} は、 V_{OUT} から FB に接続するフィードバック抵抗の値

R_{BOT} は、FB からグラウンドに接続するフィードバック抵抗値

固定出力電圧オプションを選択している場合、抵抗分圧回路は必要ありません。オプションに無い固定出力電圧が必要であれば、アナログ・デバイセズの担当営業、もしくは代理店までご相談下さい。

電圧変換の制限

与えられた入力電圧によっては、最小オン時間と、最小オフ時間に制限があるため、出力電圧の上限と下限が存在します。

与えられた入力電圧に対する最小出力電圧とスイッチング周波数は、最小オン時間によって制限されます。チャンネル 1 とチャンネル 2 の最小オン時間は、117ns（代表値）で、チャンネル 3 とチャンネル 4 の最小オン時間は、90ns（代表値）です。接合温度が上昇すると、最小オン時間は長くなります。

チャンネル 1 とチャンネル 2 を強制 PWM モードで動作させると、最小オン時間の制限を超え、公称出力電圧が上昇する可能性があります。この問題を避けるため、スイッチング周波数を慎重に選択しなければなりません。

電流連続モード（CCM）で動作させる場合、与えられた入力電圧とスイッチング周波数での最小出力電圧は、以下の式で計算することができます。

$$\begin{aligned} V_{OUT_MIN} &= V_{IN} \times t_{MIN_ON} \times f_{SW} - (R_{DS(ON)1} - R_{DS(ON)2}) \times \\ &I_{OUT_MIN} \times t_{MIN_ON} \times f_{SW} - (R_{DS(ON)2} + R_L) \times I_{OUT_MIN} \end{aligned} \quad (1)$$

ここで、

V_{OUT_MIN} は、最小出力電圧

t_{MIN_ON} は、最小オン時間

f_{SW} は、スイッチング周波数

$R_{DS(ON)1}$ は、ハイサイド MOSFET のオン抵抗

$R_{DS(ON)2}$ は、ローサイド MOSFET のオン抵抗

I_{OUT_MIN} は、最小出力電流

R_L は、出力インダクタの抵抗値

与えられた入力電圧とスイッチング周波数での最大出力電圧は、最小オフ時間と最大デューティ・サイクルによって制限されます。周波数フォールドバック機能がスイッチング周波数を低下させて、有効最大デューティ・サイクルの増加を手助けします。このため、入力電圧と出力電圧間のドロップアウト電圧を低くできます（詳細は、周波数フォールドバックセクション参照）。

与えられた入力電圧とスイッチング周波数での最大出力電圧は、以下の式で計算できます。

$$\begin{aligned} V_{OUT_MAX} &= V_{IN} \times (1 - t_{MIN_OFF} \times f_{SW}) - (R_{DS(ON)1} - R_{DS(ON)2}) \times \\ &I_{OUT_MAX} \times (1 - t_{MIN_OFF} \times f_{SW}) - (R_{DS(ON)2} + R_L) \times I_{OUT_MAX} \end{aligned} \quad (2)$$

ここで、

V_{OUT_MAX} は、最大出力電圧

t_{MIN_OFF} は、最小オフ時間

f_{SW} は、スイッチング周波数

$R_{DS(ON)1}$ は、ハイサイド MOSFET のオン抵抗

$R_{DS(ON)2}$ は、ローサイド MOSFET のオン抵抗

I_{OUT_MAX} は、最大出力電流

R_L は、出力インダクタの抵抗値

式 1 と式 2 に示したように、スイッチング周波数を下げると、最小オン時間と最小オフ時間の制限を緩和できます。

電流制限の設定

ADP5052 のチャンネル 1 とチャンネル 2 は、3つの電流制限スレッショールドを選択できます。電流制限値を選択するとき、インダクタのピーク電流 I_{PEAK} を超えないように注意して下さい。チャンネル 1 とチャンネル 2 の電流制限値の一覧を表 10 に示します。

ソフト・スタートの設定

ADP5052 の降圧スイッチング・レギュレータは、ソフト・スタート回路を搭載しています。この回路によってスタートアップ時、出力電圧の上昇を制御することができ、それによって突入電流を制限します。ソフト・スタートの時間を 2 ms、4 ms または 8 ms に設定するには、SS12 または SS34 ピン、VREG ピンとグラウンド間に分圧抵抗を接続して下さい（ソフト・スタートセクション参照）。

インダクタの選択

インダクタの値は、スイッチング周波数、入力電圧、出力電圧、そしてインダクタ・リップル電流によって決まります。インダクタの値が小さいと、高速な過渡応答を得られますが、大きなインダクタ・リップル電流により効率が低下します。インダクタの値が大きいと、リップル電流が小さくなり効率も改善しますが、結果として過渡応答が低速になります。従って、過渡応答と効率との間で妥協点を見いだす必要があります。ガイドラインとして、インダクタ・リップル電流 ΔI_L は、通常最大負荷電流の 30% から 50% 程度に設定します。インダクタの値は次式で計算することができます。

$$L = [(V_{IN} - V_{OUT}) \times D] / (\Delta I_L \times f_{SW})$$

ここで、

V_{IN} は入力電圧。

V_{OUT} は出力電圧

D は、デューティ・サイクル ($D = V_{OUT}/V_{IN}$)。

ΔI_L はインダクタ・リップル電流

f_{SW} は、スイッチング周波数

ADP5052 は、内部の電流ループ内にスローブ補償回路を備えており、50% より大きなデューティ・サイクルになった時のサブハーモニック発振が起きないようにしています。

最大インダクタ電流は、以下の式を用いて計算して下さい。

$$I_{PEAK} = I_{OUT} + (\Delta I_L / 2)$$

インダクタの飽和電流は、最大インダクタ電流よりも大きくなければなりません。高速飽和特性を持つフェライト・コアを使ったインダクタの場合、インダクタが飽和してしまうのを防ぐ為、そのインダクタの定格飽和電流が、降圧スイッチング・レギュレータの電流制限スレッショールドよりも大きいことを確認して下さい。

インダクタに流れる rms 電流値は次式で計算することができます。

$$I_{RMS} = \sqrt{I_{OUT}^2 + \frac{\Delta I_L^2}{12}}$$

シールドされたフェライト・コア材料は、コアの損失と EMI を低く抑えることができ、推奨できます。表 11 に推奨するインダクタの一覧を示します。

表 11. 推奨インダクタ

| ベンダー | 製品番号 | 値(μH) | I _{SAT} (A) | I _{RMS} (A) | DCR (mΩ) | サイズ |
|-----------|-------------|-------|-------------------------|-------------------------|-------------|-------|
| Coilcraft | XFL4020-102 | 1.0 | 5.4 | 11 | 10.8 | 4 × 4 |
| | XFL4020-222 | 2.2 | 3.7 | 8.0 | 21.35 | 4 × 4 |
| | XFL4020-332 | 3.3 | 2.9 | 5.2 | 34.8 | 4 × 4 |
| | | | | | | |

| ベンダー | 製品番号 | 値(μH) | I _{SAT} (A) | I _{RMS} (A) | DCR (mΩ) | サイズ |
|------|-------------|-------|-------------------------|-------------------------|-------------|-----------|
| | XFL4020-472 | 4.7 | 2.7 | 5.0 | 52.2 | 4 × 4 |
| | XAL4030-682 | 6.8 | 3.6 | 3.9 | 67.4 | 4 × 4 |
| | XAL4040-103 | 10 | 3.0 | 3.1 | 84 | 4 × 4 |
| | XAL6030-102 | 1.0 | 23 | 18 | 5.62 | 6 × 6 |
| | XAL6030-222 | 2.2 | 15.9 | 10 | 12.7 | 6 × 6 |
| | XAL6030-332 | 3.3 | 12.2 | 8.0 | 19.92 | 6 × 6 |
| | XAL6060-472 | 4.7 | 10.5 | 11 | 14.4 | 6 × 6 |
| | XAL6060-682 | 6.8 | 9.2 | 9.0 | 18.9 | 6 × 6 |
| TOKO | FDV0530-1R0 | 1.0 | 11.2 | 9.1 | 9.4 | 6.2 × 5.8 |
| | FDV0530-2R2 | 2.2 | 7.1 | 7.0 | 17.3 | 6.2 × 5.8 |
| | FDV0530-3R3 | 3.3 | 5.5 | 5.3 | 29.6 | 6.2 × 5.8 |
| | FDV0530-4R7 | 4.7 | 4.6 | 4.2 | 46.6 | 6.2 × 5.8 |

出力コンデンサの選択

出力コンデンサは、電圧リップルとレギュレータの動的ループ特性の両方に影響を与えます。例えば、負荷がステップ状に遷移したり、負荷が突然重くなったりすると、制御ループがインダクタに十分な電流を流せるようになるまで、出力コンデンサは負荷に対して電流供給をしなければなりません。これにより、出力電圧にアンダーシュートが発生します。

要求されるアンダーシュート（電圧ドループ）仕様を満たすために必要な出力コンデンサの値は、以下の式を使って計算できます。

$$C_{OUT_UV} = \frac{K_{UV} \times \Delta I_{STEP}^2 \times L}{2 \times (V_{IN} - V_{OUT}) \times \Delta V_{OUT_UV}}$$

ここで、

K_{UV} は、係数（通常 2 に設定）

ΔI_{STEP} は、負荷ステップ

ΔV_{OUT_UV} は、出力電圧の許容されるアンダーシュートの値

出力コンデンサの値が、レギュレータの動的ループ特性に影響を与えるもう一つの例は、負荷が突然出力から取り外され、インダクタに蓄えられたエネルギーが一気に出力コンデンサに流れ込む場合です。この時、出力電圧にオーバーシュートが発生します。

要求されるオーバーシュート仕様を満たすために必要な出力コンデンサの値は、以下の式を使って計算できます。

$$C_{OUT_OV} = \frac{K_{OV} \times \Delta I_{STEP}^2 \times L}{(V_{OUT} + \Delta V_{OUT_OV})^2 - V_{OUT}^2}$$

ここで、

K_{OV} は、係数（通常 2 に設定）

ΔI_{STEP} は、負荷ステップ

ΔV_{OUT_OV} は、出力電圧の許容されるオーバーシュートの値

出力電圧の電圧リップルは、出力コンデンサの ESR とそのコンデンサの値によって決まります。要求される出力電圧リップルを満たすコンデンサを選択するには、以下の式を用いて下さい。

$$C_{OUT_RIPPLE} = \frac{\Delta I_L}{8 \times f_{SW} \times \Delta V_{OUT_RIPPLE}}$$

$$R_{ESR} = \frac{\Delta V_{OUT_RIPPLE}}{\Delta I_L}$$

ここで、

ΔI_L は、インダクタ・リップル電流

f_{SW} は、スイッチング周波数

ΔV_{OUT_RIPPLE} は、許容される出力電圧リップル値

R_{ESR} は出力コンデンサの等価直列抵抗値

要求されるトランジエント特性と出力リップル特性を満足するように、出力コンデンサの値、 C_{OUT_UV} 、 C_{OUT_OV} 、 C_{OUT_RIPPLE} はなるべく大きい値を選んで下さい。

選択したコンデンサの定格電圧は、出力電圧より高いものを選んで下さい。なお、出力コンデンサに流れる最小電流実効値の定格は、以下の式で決まります。

$$I_{C_{OUT_rms}} = \frac{\Delta I_L}{\sqrt{12}}$$

入力コンデンサの選択

入力のカップリング・コンデンサは、入力に含まれる高周波ノイズを低減し、電力を蓄える役割も果たします。セラミック・コンデンサを用い、必ず $PVINx$ ピンのできるだけ近くに配置して下さい。入力コンデンサ、ハイサイド NFET、ローサイド NFET で形成されるループができるだけ小さくなるよう、部品を配置して下さい。入力コンデンサの定格電圧は、最大入力電圧よりも高くなければなりません。入力コンデンサの電流実効値の定格は、以下の式で計算する値より大きいことを確認して下さい。

$$I_{C_{IN_rms}} = I_{OUT} \times \sqrt{D \times (1 - D)}$$

ここで D は、デューティ・サイクル ($D = V_{OUT}/V_{IN}$) です。

ローサイド・パワー・デバイスの選択

チャンネル 1 とチャンネル 2 は、ローサイド MOSFET のドライバを内蔵しています。このドライバは、外付けのローサイド N チャンネル MOSFET (NFET) を駆動します。この N チャンネル MOSFET の選択は、降圧スイッチング・レギュレータの性能に大きく影響を与えます。

MOSFET を選択する際、以下を満足するようにして下さい：

- ドレイン・ソース電圧 (V_{DS}) は、 $1.2 \times V_{IN}$ より高いものを選んで下さい。
- ドレイン電流 (I_D) は $1.2 \times I_{LIMIT_MAX}$ より大きいものを選んで下さい。ここで I_{LIMIT_MAX} は、設計時に選んだ、最大電流制限スレッシュホールド値です。
- $V_{GS} = 4.5 \text{ V}$ で完全にオンになる MOSFET を選択して下さい。
- 全ゲート電荷量 (Q_g at $V_{GS} = 4.5 \text{ V}$) は、 20 nC 以下であることも必要です。 Q_g 特性が低いと、レギュレータの効率が高くなります。

ハイサイド MOSFET がオフになると、ローサイド MOSFET がインダクタに電流を供給します。低いデューティ・サイクルで動作するアプリケーションの場合、ローサイド MOSFET がより長い期間、電流を供給しなければなりません。高い効率を実現するためには、低いオン抵抗を持つ MOSFET をローサイド MOSFET として選択して下さい。ローサイド MOSFET の導通電力損失は、以下の式で計算できます：

$$P_{FET_LOW} = I_{OUT}^2 \times R_{DS(on)} \times (1 - D)$$

ここで、

$R_{DS(on)}$ は、ローサイド MOSFET のオン抵抗

D は、デューティ・サイクル ($D = V_{OUT}/V_{IN}$)。

表 12 に、各種電流制限設定において推奨される、デュアル MOSFET の一覧を示します。MOSFET 選択時、その MOSFET が電力損失による熱消費に耐えられるものを選んで下さい。

表 12. 推奨デュアル MOSFET

| ベンダー | 製品番号 | V_{DS} (V) | I_D (A) | $R_{DS(on)}$ (m Ω) | Q_g (nC) | サイズ |
|-----------|-----------|-----------------|--------------|-------------------------------|---------------|-------|
| IR | IRFHM8363 | 30 | 10 | 20.4 | 6.7 | 3 × 3 |
| | IRLHS6276 | 20 | 3.4 | 45 | 3.1 | 2 × 2 |
| Fairchild | FDMA1024 | 20 | 5.0 | 54 | 5.2 | 2 × 2 |
| | FDMB3900 | 25 | 7.0 | 33 | 11 | 3 × 2 |
| | FDMB3800 | 30 | 4.8 | 51 | 4 | 3 × 2 |
| | FDC6401 | 20 | 3.0 | 70 | 3.3 | 3 × 3 |
| | | | | | | |
| Vishay | Si7228DN | 30 | 23 | 25 | 4.1 | 3 × 3 |
| | Si7232DN | 20 | 25 | 16.4 | 12 | 3 × 3 |
| | Si7904BDN | 20 | 6 | 30 | 9 | 3 × 3 |
| | Si5906DU | 30 | 6 | 40 | 8 | 3 × 2 |
| | Si5908DC | 20 | 5.9 | 40 | 5 | 3 × 2 |
| | SiA906EDJ | 20 | 4.5 | 46 | 3.5 | 2 × 2 |
| AOS | AON7804 | 30 | 22 | 26 | 7.5 | 3 × 3 |
| | AON7826 | 20 | 22 | 26 | 6 | 3 × 3 |
| | AO6800 | 30 | 3.4 | 70 | 4.7 | 3 × 3 |
| | AON2800 | 20 | 4.5 | 47 | 4.1 | 2 × 2 |

UVLO 入力のプログラミング

高精度イネーブル入力は、図 38 に示すように、入力電圧の UVLO のスレッシュホールドをプログラムするために使うこともできます。内部 $1 \text{ M}\Omega$ のプルダウン抵抗の誤差によって引き起こされる入力電圧の精度低下を防ぐため、分圧回路下側の抵抗値が、非常に大きな値になっていないか確認して下さい。抵抗値は、 $50 \text{ k}\Omega$ 以下を推奨します。

高精度ターンオン・スレッシュホールド値は、 0.8 V です。 V_{IN} start-up 電圧を、抵抗による分圧回路によって計算する場合、以下の式を用いて下さい。

$$V_{IN_STARTUP} = (0.8 \text{ nA} + (0.8 \text{ V}/R_{BOT_EN})) \times (R_{TOP_EN} + R_{BOT_EN})$$

ここで、

R_{TOP_EN} は、 V_{IN} と EN 間に接続する抵抗

R_{BOT_EN} は、EN とグラウンド間に接続する抵抗

補償用部品値の計算

ピーク電流モード制御アーキテクチャの場合、電力段は、出力コンデンサと負荷抵抗に対して電流を供給する、電圧制御型電流源として簡略化できます。簡略化されたループには、1つのポールと、出力コンデンサの ESR によってできる 1つのゼロができます。制御入力から出力への伝達関数は、以下の式で表されます。

$$G_{vd}(s) = \frac{V_{OUT}(s)}{V_{COMP}(s)} = A_{VI} \times R \times \left(\frac{1 + \frac{s}{2\pi \times f_z}}{1 + \frac{s}{2\pi \times f_p}} \right)$$

$$f_z = \frac{1}{2\pi \times R_{ESR} \times C_{OUT}}$$

$$f_p = \frac{1}{2\pi \times (R + R_{ESR}) \times C_{OUT}}$$

ここで、

$A_{VI} = 10 \text{ A/V}$ (チャンネル 1 またはチャンネル 2) もしくは、 3.33 A/V (チャンネル 3 またはチャンネル 4)

R は、負荷抵抗

R_{ESR} は、出力コンデンサの等価直列抵抗

C_{OUT} は、出力コンデンサ

ADP5052 は、システム補償用の誤差増幅器として、トランスコンダクタンス増幅器を使っています。図 49 に、ピーク電流モード制御の小信号等価回路を示します。

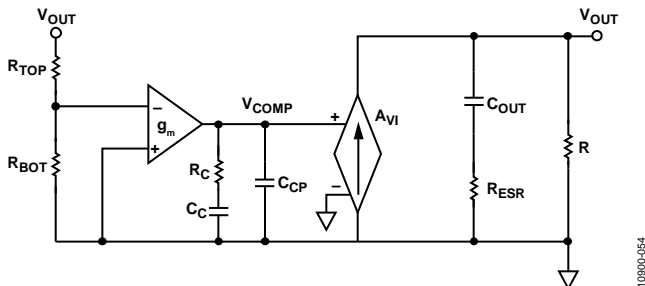


図 49. ピーク電流モード制御の小信号等価回路

補償部品は R_C と C_C で、ゼロに対する寄与があります。 R_C と、オプションの C_{CP} は、ポールに対する寄与があります。

クローズド・ループの伝達関数式は、以下のようになります。

$$T_V(s) = \frac{R_{BOT}}{R_{BOT} + R_{TOP}} \times \frac{-g_m}{C_C + C_{CP}} \times \frac{1 + R_C \times C_C \times s}{s \times \left(1 + \frac{R_C \times C_C \times C_{CP} \times s}{C_C + C_{CP}} \right)} \times G_{vd}(s)$$

出力にセラミック・コンデンサを使ったアプリケーションの補償部品である、 R_C 、 C_C 、 C_{CP} の選択を行う際のガイドラインを以下に示します。

1. クロスオーバー周波数 (f_c) を決めます。通常 f_c は、 $f_{sw}/12$ と $f_{sw}/6$ との間に設定します。
2. R_C を以下の式を用いて計算します。

$$R_C = \frac{2\pi \times V_{OUT} \times C_{OUT} \times f_c}{0.8V \times g_m \times A_{VI}}$$

3. ポール (f_p) に対して補償を行うゼロを決めます。 C_C を以下の式を用いて計算します。

$$C_C = \frac{(R + R_{ESR}) \times C_{OUT}}{R_C}$$

4. C_{CP} はオプションですが、出力コンデンサの ESR によって生じるゼロを打ち消すために使うことができます。 C_{CP} を以下の式を用いて計算します。

$$C_{CP} = \frac{R_{ESR} \times C_{OUT}}{R_C}$$

消費電力

ADP5052 全体の消費電力は、簡易的に以下の式で決まります。

$$P_D = P_{BUCK1} + P_{BUCK2} + P_{BUCK3} + P_{BUCK4} + P_{LDO}$$

降圧スイッチング・レギュレータの消費電力

各降圧スイッチング・レギュレータの消費電力 (P_{LOSS}) は、電力スイッチ導通損失 (P_{COND})、スイッチング損失 (P_{SW})、そして遷移損失 (P_{TRAN}) の 3 つから構成されます。他の電力消費源も存在しますが、それらは高出力電流状態にあるアプリケーションでは、無視出来るほど小さな値です。

降圧スイッチング・レギュレータの消費電力を見積もるには、以下の式を用いて下さい。

$$P_{LOSS} = P_{COND} + P_{SW} + P_{TRAN}$$

電力スイッチ導通損失 (P_{COND})

電力スイッチ導通損失は、内部オン抵抗 ($R_{DS(on)}$) を持つハイサイド及びローサイドの電力スイッチに、出力電流が流れることによって生じます。

電力スイッチ導通損失は、以下の式を用いて計算します。

$$P_{COND} = (R_{DS(on)_{HS}} \times D + R_{DS(on)_{LS}} \times (1 - D)) \times I_{OUT}^2$$

ここで、

$R_{DS(on)_{HS}}$ は、ハイサイド MOSFET のオン抵抗

$R_{DS(on)_{LS}}$ は、ローサイド MOSFET のオン抵抗

D は、デューティ・サイクル ($D = V_{OUT}/V_{IN}$)。

スイッチング損失 (P_{SW})

スイッチング損失は、ドライバが電力デバイスをスイッチング周波数でオン・オフする際に流れる電流に関連しています。ドライバが電力デバイス MOSFET のゲートをオンする時は、ドライバは、デバイスのゲートに対して、電荷を供給します。一方、ゲートをオフする時は、ドライバは、ゲートからグラウンドに対して、電荷を供給します。スイッチング損失は、以下の式を用いて計算します。

$$P_{SW} = (C_{GATE_{HS}} + C_{GATE_{LS}}) \times V_{IN}^2 \times f_{sw}$$

ここで、

$C_{GATE_{HS}}$ は、ハイサイド MOSFET のゲート容量

$C_{GATE_{LS}}$ は、ローサイド MOSFET のゲート容量

f_{sw} は、スイッチング周波数

遷移損失 (P_{TRAN})

遷移損失は、ハイサイド MOSFET のターンオン・ターンオフが瞬時に行われないために生じます。スイッチのノードが遷移するとき、MOSFET は、インダクタに流れる全電流を供給します。MOSFET のソース・ドレイン間電圧は、入力電圧の半分になり、その結果電力損失を生じます。遷移損失は、負荷と入力電圧と共に上昇し、各スイッチング周期に 2 回発生します。遷移損失は、以下の式を用いて見積もります。

$$P_{\text{TRAN}} = 0.5 \times V_{\text{IN}} \times I_{\text{OUT}} \times (t_{\text{R}} + t_{\text{F}}) \times f_{\text{SW}}$$

ここで、

t_{R} は、スイッチ・ノードの立ち上がり時間

t_{F} は、スイッチ・ノードの立ち下がり時間

サーマル・シャットダウン

チャンネル 1 とチャンネル 2 は、内部のハイサイド MOSFET がオンの時に流れるインダクタ電流値を蓄積します。それゆえ、少量の入力実効電流が流れ、それによって生じる少量の電力が ADP5052 内部で消費され、デバイス全体の発熱に対する制約を下げてしまいます。

それゆえ、チャンネル 1 とチャンネル 2 が、高い周囲温度かつ大きなデューティ・サイクル下において、最大負荷で動作している時、入力実効電流が非常に大きくなり、接合温度が、最大接合温度である 125°C を超えてしまう可能性もあります。そこで、接合温度が 150°C を超えると、レギュレータは、サーマル・シャットダウンになり、接合温度が 135°C になるまで復帰しません。

LDO レギュレータの消費電力

LDO レギュレータの消費電力は、以下の式で与えられます。

$$P_{\text{LDO}} = [(V_{\text{IN}} - V_{\text{OUT}}) \times I_{\text{OUT}}] + (V_{\text{IN}} \times I_{\text{GND}})$$

ここで、

V_{IN} と V_{OUT} は、それぞれ、LDO レギュレータの入力電圧と出力電圧

I_{OUT} は、LDO レギュレータの負荷電流

I_{GND} は、LDO レギュレータのグラウンド電流

ADP5052 のグラウンド電流による消費電力は非常に小さいので、無視する事ができます。

ジャンクション温度

ダイのジャンクション温度は、システムの置かれた環境の周囲温度と、デバイスの消費電力によって上昇したパッケージ温度の和です。

$$T_{\text{J}} = T_{\text{A}} + T_{\text{R}}$$

ここで、

T_{J} は、ジャンクション温度

T_{A} は、周囲温度

T_{R} は、消費電力による、パッケージの温度上昇

パッケージの温度上昇は、パッケージ内の消費電力と完全な比例関係にあります。この関係の比例定数は、ダイの接続部から周囲温度への熱抵抗で、以下の式で表されます。

$$T_{\text{R}} = \theta_{\text{JA}} \times P_{\text{D}}$$

ここで、

T_{R} は、パッケージの温度上昇

θ_{JA} は、ダイの接続部からパッケージの周囲温度への熱抵抗（表 6 参照）。

P_{D} は、パッケージ内の消費電力

ここで考慮すべき重要な点は、JEDEC で定められた、4 層、4 インチ x 3 インチ、2.5 オンスの銅泊を使った PCB（プリント基板）上にデバイスを置いた場合を元に、熱抵抗の値が計算されている事です。実際のアプリケーションでは、大きさや層数の異なった PCB を使う可能性のある事を考慮して下さい。

デバイスからの熱を逃がすため、銅泊の厚みをできるだけ厚くする事が重要です。放熱用の銅泊は、内層に配置するより、空気に晒されるようにすると、より良い放熱特性が得られます。デバイスのエクスポーズド・パッドは、幾つかのビアを経由してグラウンド・プレーンに接続して下さい。

設計例

このセクションでは、ステップ・バイ・ステップでの設計手順を示し、チャンネル 1 に必要な外部部品の選択手順も示します。表 13 に、この例における設計要求事項を示します。

表 13. この例におけるチャンネル 1 の設計要求事項

| パラメータ | 仕様 |
|--------|--|
| 入力電圧 | $V_{PVIN1} = 12 \text{ V} \pm 5\%$ |
| 出力電圧 | $V_{OUT1} = 1.2 \text{ V}$ |
| 出力電流 | $I_{OUT1} = 4 \text{ A}$ |
| 出力リップル | $\Delta V_{OUT1_RIPPLE} = 12 \text{ mV}$ (CCM モードにて) |
| 負荷応答特性 | $\pm 5\%$ (負荷遷移の 20% から 80% まで $1\text{A}/\mu\text{s}$ スループレート時) |

この例は、チャンネル 1 に対して、ステップ・バイ・ステップの設計手順を示してありますが、この手順は、このデバイスにおける他の降圧スイッチング・レギュレータ（チャンネル 2 からチャンネル 4）にも適応できます。

スイッチング周波数の設定

ADP5052 を使って降圧スイッチング・レギュレータを設計する場合、最初に決めなければならないのはスイッチング周波数です。一般的に、スイッチング周波数を高く設定すると、小さい部品を使う事ができ、ソリューションに求められる専有面積を小さくできます。一方で、スイッチング周波数を低く設定すると、スイッチング損失が小さくなり、高い変換効率が得られます。

ADP5052 のスイッチング周波数は、RT ピンとグラウンド間に接続する抵抗によって、250 kHz から 1.4 MHz まで設定できます。効率とソリューションに求められる専有面積とのトレードオフに基づき、抵抗値を選択して下さい（詳細に関しては発振器 セクションを参照して下さい）。しかしながら、設定可能な最高スイッチング周波数で動作させる場合、最小オン時間と最小オフ時間によって決まる変換可能な出力電圧の制限を必ず確認して下さい（詳細は 電圧変換の制限 セクション参照）。

この設計例では、専有面積も小さく、かつ高い変換効率が得られるよう、スイッチング周波数を 600kHz としました。スイッチング周波数を 600kHz に設定するには、以下の式を使って抵抗値 R_{RT} を計算します。

$$R_{RT} \text{ (k}\Omega\text{)} = [14, 822 / f_{SW} \text{ (kHz)}]^{1.081}$$

これにより、 $R_{RT} = 31.6 \text{ k}\Omega$ としました。

出力電圧の設定

下側の抵抗 (R_{BOT}) を $10 \text{ k}\Omega$ とし、以下の式を使ってフィードバック抵抗を計算します。

$$R_{BOT} = R_{TOP} \times (V_{REF} / (V_{OUT} - V_{REF}))$$

ここで、
 V_{REF} は チャンネル 1 の場合 0.8 V
 V_{OUT} は出力電圧

出力電圧を 1.2 V に設定するため、以下の抵抗値を選択します。
 $R_{TOP} = 4.99 \text{ k}\Omega$, $R_{BOT} = 10 \text{ k}\Omega$.

電流制限値の設定

4A の出力電流で動作させた時の代表的なピーク電流制限値は 6.44 A です。従ってこの例では、 $R_{ILIM1} = 22 \text{ k}\Omega$ とします（表 10 参照）。詳細については、電流制限保護機能セクションを参照してください。

インダクタの選択

インダクタ・リップル電流のピーク to ピーク値 ΔI_L は、最大出力電流の 35% に設定します。インダクタの値を見積もるには、以下の式を用いて下さい。

$$L = [(V_{IN} - V_{OUT}) \times D] / (\Delta I_L \times f_{SW})$$

ここで、
 $V_{IN} = 12 \text{ V}$.
 $V_{OUT} = 1.2 \text{ V}$.
 D は、デューティ・サイクル ($D = V_{OUT} / V_{IN} = 0.1$).
 $\Delta I_L = 35\% \times 4 \text{ A} = 1.4 \text{ A}$.
 $f_{SW} = 600 \text{ kHz}$.

L として、 $1.28 \mu\text{H}$ が得られます。最も近い標準インダクタの値は $1.5 \mu\text{H}$ で、この場合のインダクタ・リップル電流のピーク to ピーク値 ΔI_L は、 1.2 A となります。

ピーク・インダクタ電流は、以下の式を用いて計算出来ます。

$$I_{PEAK} = I_{OUT} + (\Delta I_L / 2)$$

インダクタに流れるピーク電流は、 4.6 A となります。

インダクタに流れる電流の実効値は、以下の式を使って計算できます。

$$I_{RMS} = \sqrt{I_{OUT}^2 + \frac{\Delta I_L^2}{12}}$$

インダクタに流れる電流の実効値は、およそ 4.02 A となります。

従って、インダクタの最小定格電流は 4.02 A で、最大定格飽和電流は 4.6 A であることが要求されます。しかしながら、電流制限状態でインダクタが飽和状態にならず、レギュレータを高い信頼性で動作させるためには、定格飽和電流が、最大ピーク電流制限値（代表値で 7.48 A ）より高い値を持つインダクタを選択することを推奨します。

これらの要求事項と推奨事項とを基にして、この設計例では、DCR（直流抵抗） $13.5 \text{ m}\Omega$ を持つ、TOKO FDV0530-1R5 を選びました。

出力コンデンサの選択

出力コンデンサは、出力電圧リップルと負荷応答特性を満足させるものを選ぶ必要があります。以下の式を用いて、出力電圧リップル特性を満足させる、等価直列抵抗値とコンデンサ容量を計算するには、以下の式を用いて下さい。

$$C_{OUT_RIPPLE} = \frac{\Delta I_L}{8 \times f_{SW} \times \Delta V_{OUT_RIPPLE}}$$

$$R_{ESR} = \frac{\Delta V_{OUT_RIPPLE}}{\Delta I_L}$$

計算されたコンデンサの値 C_{OUT_RIPPLE} は $20.8 \mu F$ で、等価直列抵抗値は R_{ESR} $8.6 m\Omega$ です。

±5% のオーバーシュート及びアンダーシュート特性を満足させるため、以下の式を用いて、コンデンサの値を計算して下さい。

$$C_{OUT_UV} = \frac{K_{UV} \times \Delta I_{STEP}^2 \times L}{2 \times (V_{IN} - V_{OUT}) \times \Delta V_{OUT_UV}}$$

$$C_{OUT_OV} = \frac{K_{OV} \times \Delta I_{STEP}^2 \times L}{(V_{OUT} + \Delta V_{OUT_OV})^2 - V_{OUT}^2}$$

評価目的のため、 $K_{OV} = K_{UV} = 2$ とすると、 $C_{OUT_OV} = 117 \mu F$ と $C_{OUT_UV} = 13.3 \mu F$ が得られます。

出力コンデンサの等価直列抵抗は $8.6 m\Omega$ 以下で、その容量は $117 \mu F$ 以上であることが必要です。そこで、 $47 \mu F$ 、X5R、 $6.3 V$ のセラミック・コンデンサを3つ用いることを推奨します。例えば村田製作所の GRM21BR60J476ME15（等価直列抵抗、 $2 m\Omega$ ）が挙げられます。

ローサイド MOSFET の選択

高い変換効率を必要とするソリューションでは、低い $R_{DS(on)}$ を持つ N チャンネル MOSFET を選択することが必要です。また、その MOSFET のブレイクダウン電圧 (V_{DS}) は、 $1.2 \times V_{IN}$ 以上で、ドレイン電流の最大定格は、 $1.2 \times I_{LIMIT_MAX}$ 以上であることが必要です。

20 V 耐圧のデュアル N チャンネル MOSFET、例えば Si7232DN (Vishay) をチャンネル 1 とチャンネル 2 用に推奨します。ドライバの電圧が $4.5 V$ 時、Si7232DN の $R_{DS(on)}$ は $16.4 m\Omega$ で、全ゲート電荷量は $12 nC$ です。

補償ネットワークの設計

より良い負荷応答特性と特性の安定を図るため、クロスオーバー周波数 f_c を、スイッチング周波数 f_{SW} の 10 分の 1 に設定して下さい。この例では、 f_{SW} は $600 kHz$ なので、 f_c を $60 kHz$ に設定します。

$1.2 V$ の出力レールでは、 $47 \mu F$ のセラミック出力コンデンサの容量は、 $40 \mu F$ まで低下します。

$$R_C = \frac{2 \times \pi \times 1.2 V \times 3 \times 40 \mu F \times 60 kHz}{0.8 V \times 470 \mu S \times 10 A/V} = 14.4 k\Omega$$

$$C_C = \frac{(0.3 \Omega + 0.001 \Omega) \times 3 \times 40 \mu F}{14.4 k\Omega} = 2.51 nF$$

$$C_{CP} = \frac{0.001 \Omega \times 3 \times 40 \mu F}{14.4 k\Omega} = 8.3 pF$$

上記の計算で得られた値を標準値から選ぶと、 $R_C = 15 k\Omega$ 、 $C_C = 2.7 nF$ となります。
 C_{CP} はオプションです。

図 50 に、 $1.2 V$ 出力レールのボード線図を示します。クロスオーバー周波数は $62 kHz$ で、位相余裕は 58° です。図 51 に、負荷応答特性波形を示します。

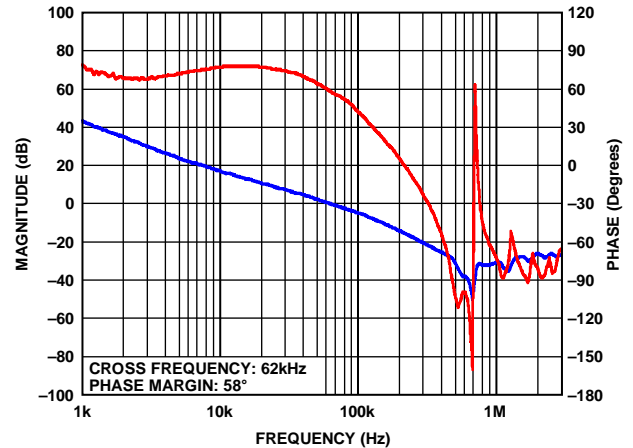


図 50. 1.2V 出力のボード線図

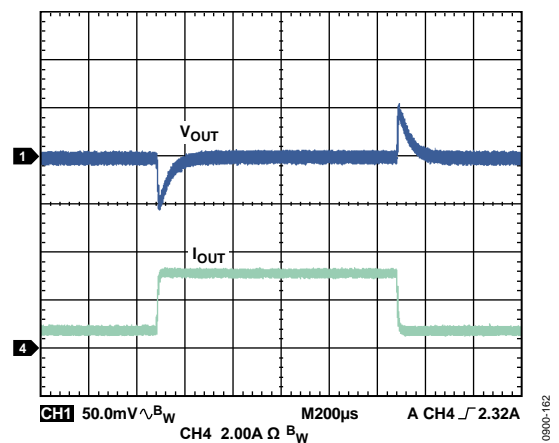


図 51. 1.2V 出力の 0.8V から 1.2A への負荷応答

ソフト・スタート時間の設定

ソフト・スタート回路は、出力電圧の上昇を制御することができ、スタートアップ時に発生する電圧のオーバーシュートを抑え、突入電流を制限します。

SS12 ピンを使って、ソフト・スタートの時間を $2 ms$ 、 $4 ms$ または $8 ms$ のいずれかに設定できます。またこの SS12 ピンで、チャンネル 1 とチャンネル 2 とを並列動作するように構成することもできます。詳細に関しては、ソフト・スタートセクションと、表 9 を参照して下さい。

入力コンデンサの選択

入力コンデンサには、最低でも $10 \mu F$ の容量を持つセラミック・コンデンサを用い、PVIN1 ピンに出来るだけ近づけて配置して下さい。ここでは、 $10 \mu F$ 、X5R、 $25 V$ のセラミック・コンデンサを 1 つ取り付けの事を推奨します。

推奨される外付け部品

表 14 に ADP5052 のチャンネル 1 とチャンネル 2 とを 4A 電流出力アプリケーションとして構成する場合の、推奨部品一覧を示します。

表 15 に、チャンネル 3 とチャンネル 4 とを 1.2A 電流出力アプリケーションとして構成する場合の、推奨部品一覧を示します。

表 14. チャンネル 1 とチャンネル 2 を、代表的な 4A 電流出力アプリケーションとして構成する場合の推奨外付け部品
(出力リップル：±1%、60%のステップ遷移時の許容誤差：±7.5%)

| f _{sw} (kHz) | I _{OUT} (A) | V _{IN} (V) | V _{OUT} (V) | L (μH) | C _{OUT} (μF) | R _{TOP} (kΩ) | R _{BOT} (kΩ) | R _C (kΩ) | C _C (pF) | Dual FET |
|--------------------------|----------------------|---------------------|-------------------------|--------|-----------------------|--------------------------|--------------------------|---------------------|---------------------|----------|
| 300 | 4 | 12 または 5 | 1.2 | 3.3 | 2 × 100 ¹ | 4.99 | 10 | 10 | 4700 | Si7232DN |
| | | 12 または 5 | 1.5 | 3.3 | 2 × 100 ¹ | 8.87 | 10.2 | 10 | 4700 | Si7232DN |
| | | 12 または 5 | 1.8 | 3.3 | 3 × 47 ² | 12.7 | 10.2 | 6.81 | 4700 | Si7232DN |
| | | 12 または 5 | 2.5 | 4.7 | 3 × 47 ² | 21.5 | 10.2 | 10 | 4700 | Si7232DN |
| | | 12 または 5 | 3.3 | 6.8 | 3 × 47 ² | 31.6 | 10.2 | 10 | 4700 | Si7232DN |
| | | 12 | 5.0 | 6.8 | 47 ³ | 52.3 | 10 | 4.7 | 4700 | Si7232DN |
| 600 | 4 | 12 または 5 | 1.2 | 1.5 | 2 × 47 ² | 4.99 | 10 | 10 | 2700 | Si7232DN |
| | | 12 または 5 | 1.5 | 1.5 | 2 × 47 ² | 8.87 | 10.2 | 10 | 2700 | Si7232DN |
| | | 12 または 5 | 1.8 | 2.2 | 2 × 47 ² | 12.7 | 10.2 | 10 | 2700 | Si7232DN |
| | | 12 または 5 | 2.5 | 2.2 | 2 × 47 ² | 21.5 | 10.2 | 10 | 2700 | Si7232DN |
| | | 12 または 5 | 3.3 | 3.3 | 2 × 47 ² | 31.6 | 10.2 | 15 | 2700 | Si7232DN |
| | | 12 | 5.0 | 3.3 | 47 ³ | 52.3 | 10 | 10 | 2700 | Si7232DN |
| 1000 | 4 | 5 | 1.2 | 1.0 | 2 × 47 ² | 4.99 | 10 | 15 | 1500 | Si7232DN |
| | | 5 | 1.5 | 1.0 | 2 × 47 ² | 8.87 | 10.2 | 15 | 1500 | Si7232DN |
| | | 12 または 5 | 1.8 | 1.0 | 47 ² | 12.7 | 10.2 | 10 | 1500 | Si7232DN |
| | | 12 または 5 | 2.5 | 1.5 | 47 ² | 21.5 | 10.2 | 10 | 1500 | Si7232DN |
| | | 12 または 5 | 3.3 | 1.5 | 47 ² | 31.6 | 10.2 | 10 | 1500 | Si7232DN |
| | | 12 | 5.0 | 2.2 | 47 ³ | 52.3 | 10 | 15 | 1500 | Si7232DN |

¹ 100 μF コンデンサ：Murata GRM31CR60J107ME39 (6.3 V, X5R, 1206).

² 47 μF コンデンサ：Murata GRM21BR60J476ME15 (6.3 V, X5R, 0805).

³ 47 μF コンデンサ Murata GRM31CR61A476ME15 (10 V, X5R, 1206).

表 15. チャンネル 3 とチャンネル 4 を、代表的な 1.2A 電流出力アプリケーションとして構成する場合の推奨外付け部品
(出力リップル：±1%、60%のステップ遷移時の許容誤差：±7.5%)

| f _{sw} (kHz) | I _{OUT} (A) | V _{IN} (V) | V _{OUT} (V) | L (μH) | C _{OUT} (μF) | R _{TOP} (kΩ) | R _{BOT} (kΩ) | R _C (kΩ) | C _C (pF) |
|-----------------------|----------------------|---------------------|-------------------------|--------|-----------------------|-----------------------|-----------------------|---------------------|---------------------|
| 300 | 1.2 | 12 または 5 | 1.2 | 10 | 2 × 22 ¹ | 4.99 | 10 | 6.81 | 4700 |
| | | 12 または 5 | 1.5 | 10 | 2 × 22 ¹ | 8.87 | 10.2 | 6.81 | 4700 |
| | | 12 または 5 | 1.8 | 15 | 2 × 22 ¹ | 12.7 | 10.2 | 6.81 | 4700 |
| | | 12 または 5 | 2.5 | 15 | 2 × 22 ¹ | 21.5 | 10.2 | 6.81 | 4700 |
| | | 12 または 5 | 3.3 | 22 | 2 × 22 ¹ | 31.6 | 10.2 | 6.81 | 4700 |
| | | 12 | 5.0 | 22 | 22 ² | 52.3 | 10 | 6.81 | 4700 |
| 600 | 1.2 | 12 または 5 | 1.2 | 4.7 | 22 ¹ | 4.99 | 10 | 6.81 | 2700 |
| | | 12 または 5 | 1.5 | 6.8 | 22 ¹ | 8.87 | 10.2 | 6.81 | 2700 |
| | | 12 または 5 | 1.8 | 6.8 | 22 ¹ | 12.7 | 10.2 | 6.81 | 2700 |
| | | 12 または 5 | 2.5 | 10 | 22 ¹ | 21.5 | 10.2 | 6.81 | 2700 |
| | | 12 または 5 | 3.3 | 10 | 22 ¹ | 31.6 | 10.2 | 6.81 | 2700 |
| | | 12 | 5.0 | 10 | 22 ² | 52.3 | 10 | 6.81 | 2700 |
| 1000 | 1.2 | 5 | 1.2 | 2.2 | 22 ¹ | 4.99 | 10 | 10 | 1800 |
| | | 12 または 5 | 1.5 | 3.3 | 22 ¹ | 8.87 | 10.2 | 10 | 1800 |
| | | 12 または 5 | 1.8 | 4.7 | 22 ¹ | 12.7 | 10.2 | 10 | 1800 |
| | | 12 または 5 | 2.5 | 4.7 | 22 ¹ | 21.5 | 10.2 | 10 | 1800 |
| | | 12 または 5 | 3.3 | 6.8 | 22 ¹ | 31.6 | 10.2 | 10 | 1800 |
| | | 12 | 5.0 | 6.8 | 22 ² | 52.3 | 10 | 15 | 1800 |

¹ 22 μF コンデンサ Murata GRM31CR61A476ME15 (6.3 V, X5R, 0603).

² 22 μF コンデンサ Murata GRM219R61A226MEA0 (10 V, X5R, 0805).

推奨回路基板のレイアウト

ADP5052 の性能を最大限引き出すためには、回路基板のレイアウトが大変重要です（図 53 参照）。基板レイアウトが悪いと、電圧レギュレーションやデバイスの安定性に影響を与えるばかりではなく、電磁干渉（EMI）や、電磁両立性（EMC）特性にも影響を与えます。良い PCB レイアウトを作るために、以下に示すガイドラインを参照して下さい。

- 入力コンデンサ、インダクタ、MOSFET、出力コンデンサ、そしてブートストラップ・コンデンサは、IC に出るだけ近づけて配置して下さい。
- 入力コンデンサと PVIN1x ピンとの接続には、短くて太いパターンを用いて下さい。また、パワーグラウンドを設け、入力及び出力コンデンサのグラウンド側との接続は最短となるようにして下さい。
- 必要ならば、PVINx、PGNDx そして、SWx と他の電力プレーンとは、幾つかの高電流用ビアを介して接続して下さい。
- インダクタと SWx 及び出力コンデンサの接続は、最短で太いパターンを使って接続して下さい。
- 高電流ループ・パターンは、出来るだけ短くて太くするようにして下さい。図 52 に高電流が流れる経路を示します。
- エクスポーズド・パッドに接続されるグラウンド用金属の量を出来るだけ多くして下さい。また、熱消費を改善するため、部品面には出来るだけ多くのビアを打って下さい。

- 部品面のグラウンドと、グラウンド・プレーンとを数多くのビアで接続することで、敏感な回路ノードに対するノイズの干渉を減らすことができます。
- デカップリング・コンデンサは、VREG と VDD ピンの出来るだけ近くに配置して下さい。
- 周波数設定用抵抗は、RT ピンの出来るだけ近くに配置して下さい。
- フィードバック用抵抗分圧回路は、FBx ピンの出来るだけ近くに配置して下さい。加えて、FBx へのパターンは、ノイズの影響を避けるため、高電流パターンとスイッチ・ノードから出来るだけ遠ざけて配線して下さい。
- 回路スペースが限られている場合、フットプリントを出るだけ最小とするソリューションを実現するため、0402 もしくは 0603 のチップ抵抗・チップ・コンデンサを用いて下さい。

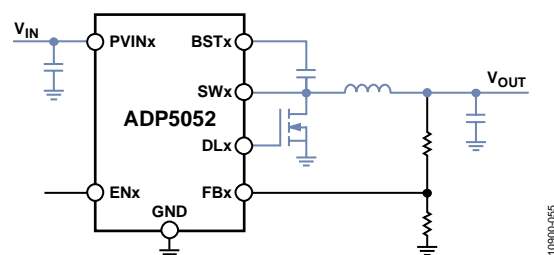


図 52. 代表的な回路において高電流が流れるパターンを青色で示す

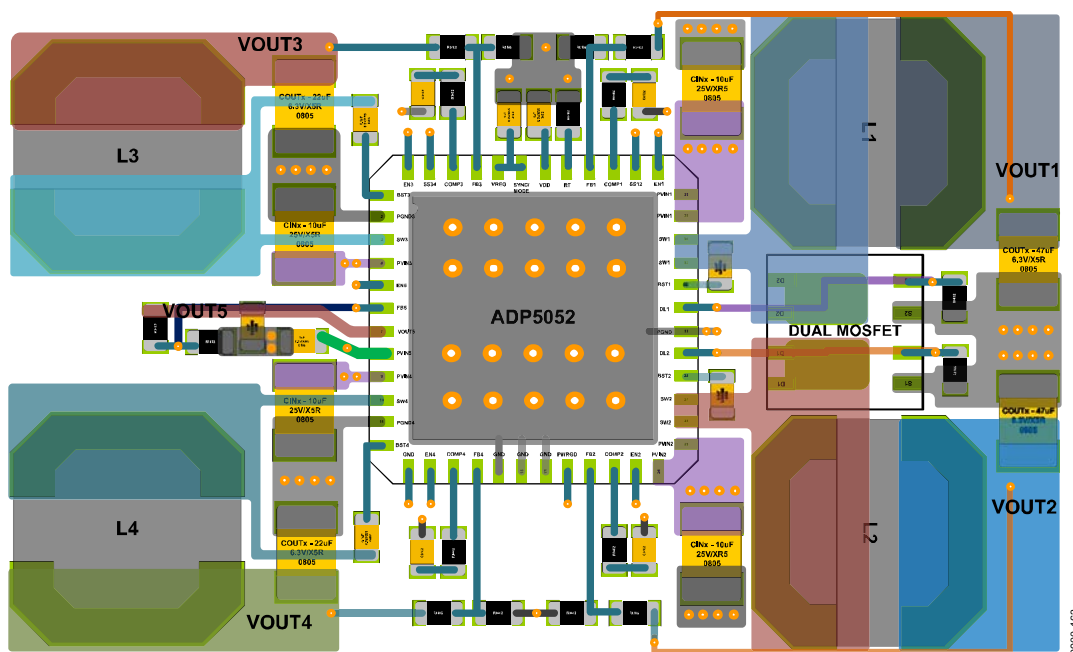


図 53. ADP5052 用の代表的な PCB レイアウト

代表的なアプリケーション回路

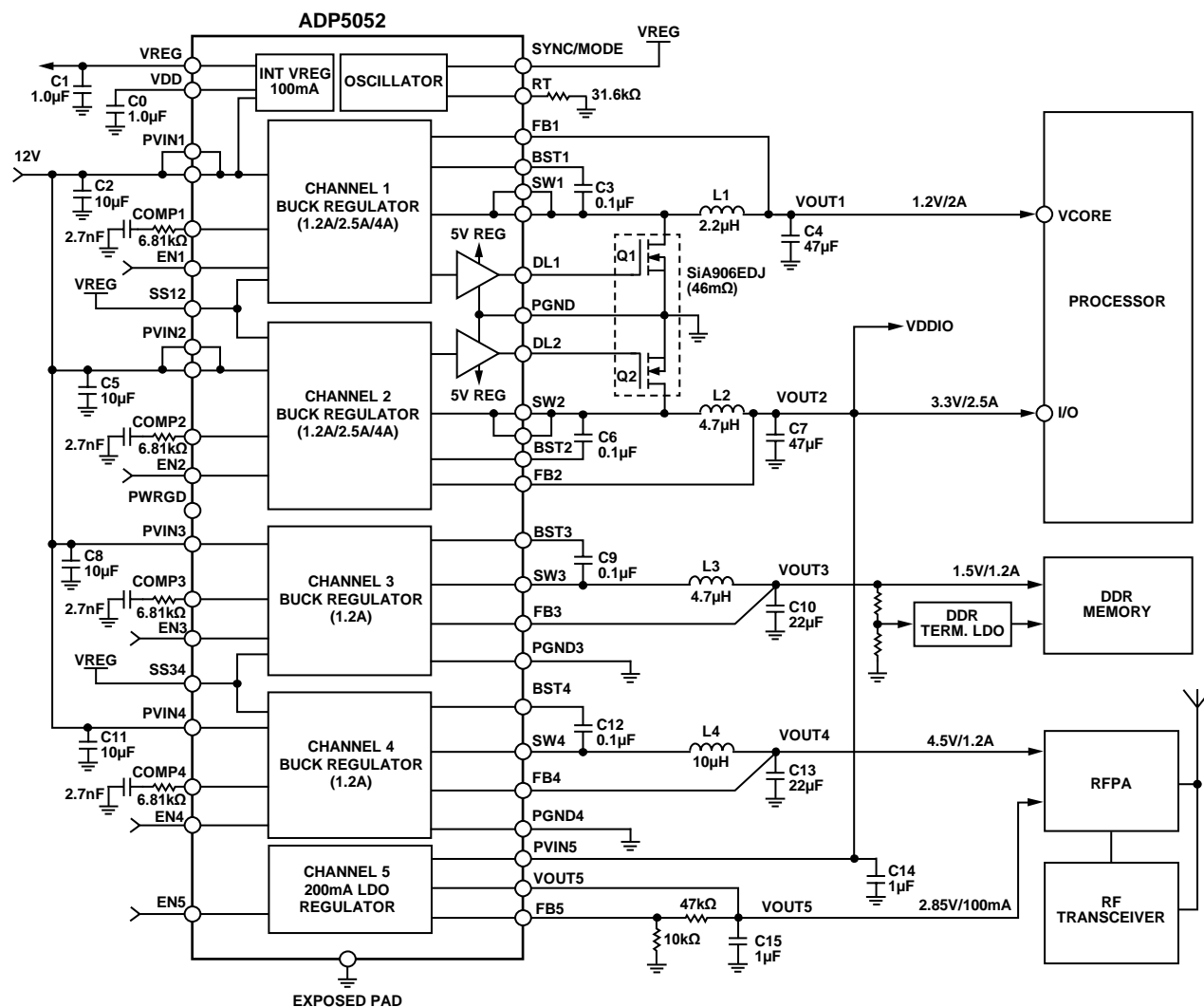


図 54. 代表的なフェムトセル用アプリケーション。600kHz スイッチング周波数、固定出力電圧

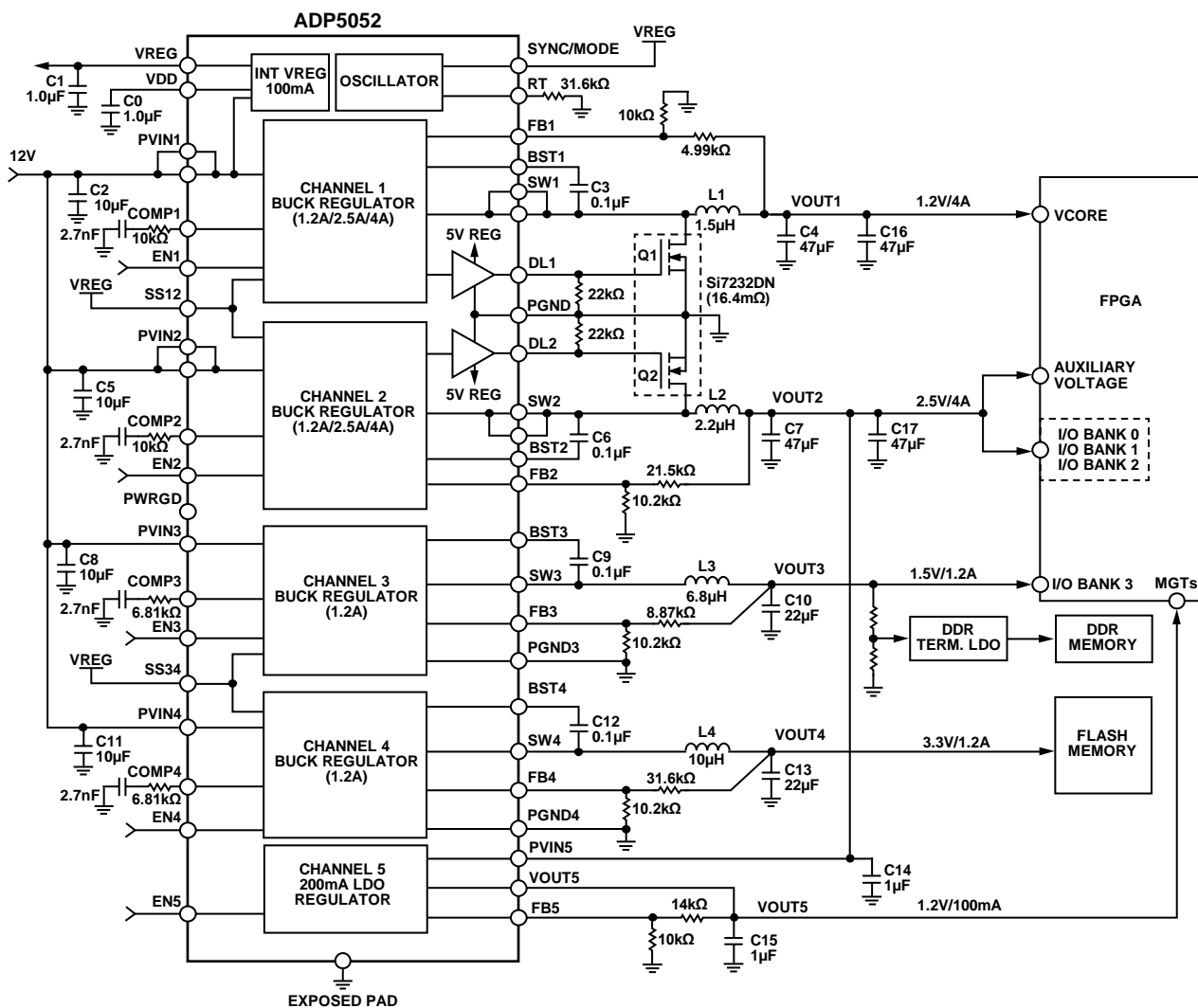


図 55. 代表的な FPGA アプリケーション。600kHz スイッチング周波数、固定出力電圧

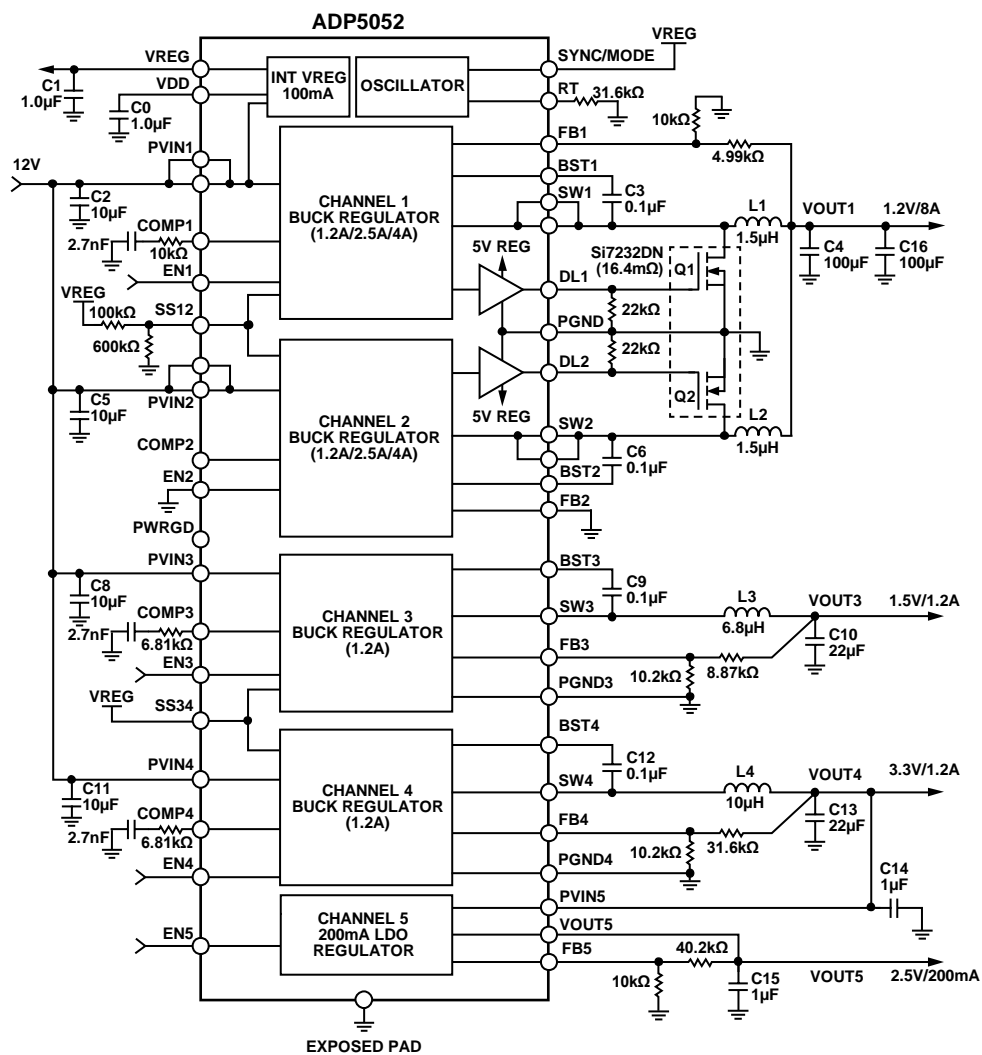


図 56. 代表的なチャンネル1とチャンネル2との並列動作アプリケーション

10900-165

工場でのプログラム可能なオプション

表 16 から表 27 に、アナログ・デバイセズへの注文時、ADP5052 にプログラムできるオプションの一覧を示します。デフォルト・オプションの一覧は、表 28 を参照してください。デフォルトではないオプションでデバイスを注文される場合は、アナログ・デバイセズの営業担当者、もしくは代理店にお尋ね下さい。

表 16. チャンネル 1 用出力電圧オプション（固定出力オプション：0.85 V～1.6 V、25 mV ステップ）

| オプション | 説明 |
|----------|---------------------|
| オプション 0 | 0.8 V 可変電圧出力（デフォルト） |
| オプション 1 | 0.85 V 固定電圧出力 |
| オプション 2 | 0.875 V 固定電圧出力 |
| ... | ... |
| オプション 30 | 1.575 V 固定電圧出力 |
| オプション 31 | 1.6 V 固定電圧出力 |

表 17. チャンネル 2 用出力電圧オプション（固定出力オプション：3.3 V～5.0 V、300mV/200 mV ステップ）

| オプション | 説明 |
|---------|---------------------|
| オプション 0 | 0.8 V 可変電圧出力（デフォルト） |
| オプション 1 | 3.3 V 固定電圧出力 |
| オプション 2 | 3.6 V 固定電圧出力 |
| オプション 3 | 3.9 V 固定電圧出力 |
| オプション 4 | 4.2 V 固定電圧出力 |
| オプション 5 | 4.5 V 固定電圧出力 |
| オプション 6 | 4.8 V 固定電圧出力 |
| オプション 7 | 5.0 V 固定電圧出力 |

表 18. チャンネル 3 用出力電圧オプション（固定出力オプション：1.2 V～1.8 V、100 mV ステップ）

| オプション | 説明 |
|---------|---------------------|
| オプション 0 | 0.8 V 可変電圧出力（デフォルト） |
| オプション 1 | 1.2 V 固定電圧出力 |
| オプション 2 | 1.3 V 固定電圧出力 |
| オプション 3 | 1.4 V 固定電圧出力 |
| オプション 4 | 1.5 V 固定電圧出力 |
| オプション 5 | 1.6 V 固定電圧出力 |
| オプション 6 | 1.7 V 固定電圧出力 |
| オプション 7 | 1.8 V 固定電圧出力 |

表 19. チャンネル 4 用出力電圧オプション（固定出力オプション：2.5 V～5.5 V、100 mV ステップ）

| オプション | 説明 |
|----------|---------------------|
| オプション 0 | 0.8 V 可変電圧出力（デフォルト） |
| オプション 1 | 2.5 V 固定電圧出力 |
| オプション 2 | 2.6 V 固定電圧出力 |
| ... | ... |
| オプション 30 | 5.4 V 固定電圧出力 |
| オプション 31 | 5.5 V 固定電圧出力 |

表 20. PWRGD 出力オプション

| オプション | 説明 |
|----------|--|
| オプション 0 | どの出力もモニターしない |
| オプション 1 | チャンネル 1 出力をモニターする（デフォルト） |
| オプション 2 | チャンネル 2 出力をモニターする |
| オプション 3 | チャンネル 1 とチャンネル 2 の出力をモニターする |
| オプション 4 | チャンネル 3 出力をモニターする |
| オプション 5 | チャンネル 1 とチャンネル 3 の出力をモニターする |
| オプション 6 | チャンネル 2 とチャンネル 3 の出力をモニターする |
| オプション 7 | チャンネル 1、チャンネル 2 及びチャンネル 3 の出力をモニターする |
| オプション 8 | チャンネル 4 出力をモニターする |
| オプション 9 | チャンネル 1 とチャンネル 4 の出力をモニターする |
| オプション 10 | チャンネル 2 とチャンネル 4 の出力をモニターする |
| オプション 11 | チャンネル 1、チャンネル 2 及びチャンネル 4 の出力をモニターする |
| オプション 12 | チャンネル 3 とチャンネル 4 の出力をモニターする |
| オプション 13 | チャンネル 1、チャンネル 3 及びチャンネル 4 の出力をモニターする |
| オプション 14 | チャンネル 2、チャンネル 3 及びチャンネル 4 の出力をモニターする |
| オプション 15 | チャンネル 1、チャンネル 2、チャンネル 3、チャンネル 4 の出力をモニターする |

表 21. 出力放電機能オプション

| オプション | 説明 |
|---------|---|
| オプション 0 | 4 つ全ての降圧スイッチング・レギュレータに対して出力放電機能ディスエーブル |
| オプション 1 | 4 つ全ての降圧スイッチング・レギュレータに対して出力放電機能イネーブル（デフォルト） |

表 22. チャンネル 1 用スイッチング周波数オプション

| オプション | 説明 |
|---------|---|
| オプション 0 | RT ピンによって、スイッチング周波数が設定できます（デフォルト）。（要検討） |
| オプション 1 | RT ピンによって、スイッチング周波数（デフォルトの 1/2）が設定できます。 |

表 23. チャンネル 3 用スイッチング周波数オプション

| オプション | 説明 |
|---------|---|
| オプション 0 | RT ピンによって、スイッチング周波数が設定できます（デフォルト）。 |
| オプション 1 | RT ピンによって、スイッチング周波数（デフォルトの 1/2）が設定できます。 |

表 24. ピン 43—SYNC/MODE ピンオプション

| オプション | 説明 |
|---------|--------------------------------------|
| オプション 0 | 外部クロックと同期可能な強制 PWM/自動 PWM/PSM モードの設定 |
| オプション 1 | RT ピンで設定されたマスター周波数と同じクロック信号の発生 |

表 25. 4 つの降圧スイッチング・レギュレータに対する瞬断保護オプション

| オプション | 説明 |
|---------|--|
| オプション 0 | 過電流が発生したときに瞬断保護イネーブル（デフォルト） |
| オプション 1 | 瞬断保護ディスエーブル：過電流が発生した時は、周波数フォールバックによる保護のみ |

表 26. 4 つの降圧スイッチング・レギュレータに対する短絡ラッチオフオプション

| オプション | 説明 |
|---------|-----------------------------|
| オプション 0 | 出力短絡時のラッチオフ機能ディスエーブル（デフォルト） |
| オプション 1 | 出力短絡時のラッチオフ機能イネーブル |

表 27. 4 つの降圧スイッチング・レギュレータの過電圧保護

| オプション | 説明 |
|---------|------------------------------|
| オプション 0 | 出力過電圧時のラッチオフ機能ディスエーブル（デフォルト） |
| オプション 1 | 出力過電圧時のラッチオフ機能イネーブル |

工場出荷時のデフォルト・オプション

表 28 は、デバイス発注時、ADP5052 に、デフォルトでプログラムされているオプションの一覧です（詳細は、オーダー・ガイド参照）。このデフォルト・オプションとは違う構成で発注の際は、アナログ・デバイセズの営業担当者、もしくは代理店にご相談下さい。表 16 から 表 27 に、このデバイスで対応できるオプション一覧を示します。

表 28.工場出荷時のデフォルト・オプション

| オプション | デフォルト値 |
|------------------------|--------------------------------------|
| チャンネル 1 の出力電圧 | 0.8 V 可変電圧出力 |
| チャンネル 2 の出力電圧 | 0.8 V 可変電圧出力 |
| チャンネル 3 の出力電圧 | 0.8 V 可変電圧出力 |
| チャンネル 4 の出力電圧 | 0.8 V 可変電圧出力 |
| PWRGD ピン(Pin 20) 出力 | チャンネル 1 出力をモニターする |
| 出力イネーブル機能 | 4 つ全ての降圧スイッチング・レギュレータをイネーブル |
| チャンネル 1 のスイッチング周波数 | RT ピンに抵抗を接続し、スイッチング周波数（1 倍）を発生 |
| チャンネル 3 のスイッチング周波数 | RT ピンに抵抗を接続し、スイッチング周波数（1 倍）を発生 |
| SYNC/MODE ピン（ピン 43）の機能 | 外部クロックと同期可能な強制 PWM/自動 PWM/PSM モードの設定 |
| 瞬断保護 | 過電流時に瞬断保護 |
| 短絡時ラッチオフ機能 | 短絡時、ラッチオフ機能ディスエーブル |
| 過電圧時ラッチオフ機能 | 過電圧時、ラッチオフ機能ディスエーブル |

The mechanical drawings show the following dimensions:

- TOP VIEW:** Overall width is 7.10. The distance from the left edge to the center is 7.00 SQ. The distance from the center to the right edge is 6.90. A shaded area in the top-left corner is labeled "PIN 1 INDICATOR".
- BOTTOM VIEW:** Shows the "EXPOSED PAD" in the center. Pin numbers 1 through 16 are indicated around the perimeter. Dimensions include 0.30, 0.25, and 0.20 for the top edge; 0.50 BSC for the left edge; 0.50 and 0.40 for the bottom edge; 0.30 for the right edge; and 0.20 MIN for the bottom-right corner. The distance from the top edge to the center is 5.70, and from the bottom edge to the center is 5.60 SQ. The distance from the center to the right edge is 5.50.
- SIDE VIEW:** Shows the package height with dimensions 0.80, 0.75, and 0.70. The "SEATING" surface is indicated. The distance from the seating surface to the top of the package is 0.05 MAX. The nominal distance is 0.02 NOM. The coplanarity is 0.08. The reference distance is 0.203 REF.

FOR PROPER CONNECTION OF THE EXPOSED PAD, REFER TO THE PIN CONFIGURATION AND FUNCTION DESCRIPTIONS SECTION OF THIS DATA SHEET.

図 57 48 ピン・リードフレーム・チップ・ステール・パッケージ[LFCSP_VQ]
7 mm × 7 mm ボディ、極薄クワッド
(CP-40-14)
寸法: mm

0-24-2013-D

| モデル名 ¹ | 温度範囲 | パッケージ | パッケージ・オプション ² |
|-------------------|-------------|--|--------------------------|
| ADP5052ACPZ-R7 | -40℃から+125℃ | 48 ピン・リードフレーム・チップ・スケール・パッケージ [LFCSP_VQ] | CP-48-13 |
| ADP5052-EVALZ | | 評価ボード | |

表 28 にこのデバイスにおける工場出荷時のデフォルト・オプションを示します。工場プログラム可能なオプションのリストは、工場でのプログラム可能なオプションのセクションを参照下さい。工場プログラム可能なオプションとは違う構成をご希望の場合、アナログ・デバイセズの営業担当者、もしくは代理店にご相談下さい。

ノート

ノート