



2 A、低入力電圧、低ノイズの CMOS リニア電圧レギュレータ

データシート

ADP1762

特長

最大出力電流: 2 A

低い入力電源電圧範囲

$V_{IN} = 1.10\text{ V} \sim 1.98\text{ V}$ 、外部バイアス電源不要

固定出力電圧範囲: $V_{OUT_FIXED} = 0.9\text{ V} \sim 1.5\text{ V}$

可変出力電圧範囲: $V_{OUT_ADJ} = 0.5\text{ V} \sim 1.5\text{ V}$

超低ノイズ: $2\text{ }\mu\text{V rms}$ 、 $100\text{ Hz} \sim 100\text{ kHz}$

ノイズ・スペクトル密度

$4\text{ nV}/\sqrt{\text{Hz}}$ (10 kHz)

$3\text{ nV}/\sqrt{\text{Hz}}$ (100 kHz)

低いドロップアウト電圧: 2 A 負荷で 62 mV (代表値)

動作電源電流: 無負荷で 4.5 mA (代表値)

ライン、負荷、温度に対する固定出力電圧精度: $\pm 1.5\%$

優れた電源電圧変動除去比 (PSRR) 性能

10 kHz 、2 A 負荷で 62 dB (代表値)

100 kHz 、2 A 負荷で 46 dB (代表値)

優れた負荷/ラインの過渡応答

突入電流を低減するソフト・スタート

$10\text{ }\mu\text{F}$ の小型セラミック・コンデンサ用に最適化

電流制限と熱過負荷保護

パワーグッド・インジケータ

高精度イネーブルを装備

16 ピン、 $3\text{ mm} \times 3\text{ mm}$ LFCSP パッケージ

アプリケーション

無線周波数 (RF) トランシーバ、A/D コンバータ (ADC) およ
び D/A コンバータ (DAC) 回路、フェーズロック・ループ
(PLL)、電圧制御発振器 (VCO)、クロック内蔵回路など
のノイズに敏感なアプリケーションのレギュレーション
フィールド・プログラマブル・ゲート・アレイ (FPGA) およ
びデジタル・シグナル・プロセッサの電源

医療機器、健康機器

工業用機器、計装機器

概要

ADP1762 は低ノイズ、低ドロップアウト (LDO) のリニア電圧
レギュレータです。このデバイスは効率向上のための外付けバ
イアス電源を必要とせず、最小 1.10 V の入力電圧の単電源で動
作し、最大 2 A の出力電流を供給するように設計されていま
す。

2 A 負荷でのドロップアウト電圧が 62 mV (代表値) と低いた
め、小さなヘッドルームで動作しながら、レギュレーションを
維持することができ、高い効率を実現します。

代表的なアプリケーション回路

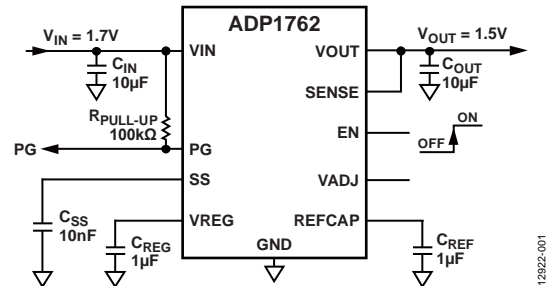


図 1. 固定出力動作

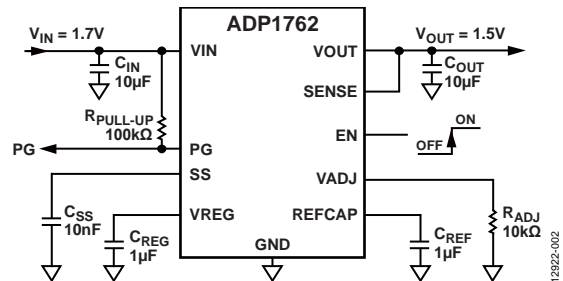


図 2. 可変出力動作

表 1. 関連デバイス

Device	Input Voltage	Maximum Current	Fixed/ Adjustable	Package
ADP1761	1.10 V to 1.98 V	1 A	Fixed/adjustable	16-lead LFCSP
ADP1763	1.10 V to 1.98 V	3 A	Fixed/adjustable	16-lead LFCSP
ADP1740/ ADP1741	1.6 V to 3.6 V	2 A	Fixed/adjustable	16-lead LFCSP
ADP1752/ ADP1753	1.6 V to 3.6 V	0.8 A	Fixed/adjustable	16-lead LFCSP
ADP1754/ ADP1755	1.6 V to 3.6 V	1.2 A	Fixed/adjustable	16-lead LFCSP

ADP1762 は、 $10\text{ }\mu\text{F}$ の小型セラミック出力コンデンサで安定し
て動作するように最適化されており、最小限の基板面積で最適
なトランジェント性能を提供します。

ADP1762 の固定出力電圧範囲は、 $0.9\text{ V} \sim 1.5\text{ V}$ です。可変出力
モードの出力は、VADJ とグラウンドの間に接続された外付け
抵抗によって $0.5\text{ V} \sim 1.5\text{ V}$ に設定することができます。

ソフト・スタート時間は、SS ピンにコンデンサを接続すること
によって外部で設定することができます。短絡保護回路と熱過
負荷保護回路により、悪条件下での損傷を防止します。小型 16
ピン LFCSP パッケージを採用しており、様々なアプリケーション
に対応する最小フットプリント・ソリューションを提供しま
す。

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、それぞれの所有者の財産です。※日本語版資料は REVISION が古い場合があります。最新の内容については、英語版をご参照ください。

Rev. 0

©2016 Analog Devices, Inc. All rights reserved.

アナログ・デバイセズ株式会社

本 社 / 〒105-6891 東京都港区海岸 1-16-1 ニューピア竹芝サウスタワービル
電話 03 (5402) 8200
大阪営業所 / 〒532-0003 大阪府大阪市淀川区宮原 3-5-36 新大阪トラストタワー
電話 06 (6350) 6868

目次

特長	1	ソフト・スタート機能	11
アプリケーション	1	可変出力電圧	12
概要	1	イネーブル機能	12
代表的なアプリケーション回路	1	パワーグッド (PG) 機能	12
改訂履歴	2	アプリケーション情報	13
仕様	3	コンデンサの選択	13
入力コンデンサと出力コンデンサの推奨仕様	4	低電圧ロックアウト	14
絶対最大定格	5	電流制限および熱過負荷保護	14
熱データ	5	熱に対する考慮事項	14
熱抵抗	5	PCB レイアウト時の考慮事項	17
ESD に関する注意	5	外形寸法	18
ピン配置およびピン機能の説明	6	オーダー・ガイド	18
代表的な性能特性	7		
動作原理	11		

改訂履歴

4/16—Revision 0: Initial Version

仕様

特に指定のない限り、 $V_{IN} = V_{OUT} + 0.2\text{ V}$ または $V_{IN} = 1.1\text{ V}$ (いずれか大きい方)、 $I_{LOAD} = 10\text{ mA}$ 、 $C_{IN} = 10\text{ }\mu\text{F}$ 、 $C_{OUT} = 10\text{ }\mu\text{F}$ 、 $C_{REF} = 1\text{ }\mu\text{F}$ 、 $C_{REG} = 1\text{ }\mu\text{F}$ 、 $T_A = 25\text{ }^\circ\text{C}$ 、最小値と最大値は $T_J = -40\text{ }^\circ\text{C} \sim +125\text{ }^\circ\text{C}$ の値。

表 2.

Parameter	Symbol	Test Conditions/Comments	Min	Typ	Max	Unit
INPUT VOLTAGE SUPPLY RANGE	V_{IN}	$T_J = -40^\circ\text{C}$ to $+125^\circ\text{C}$	1.10		1.98	V
CURRENT						
Operating Supply Current	I_{GND}	$I_{LOAD} = 0\text{ }\mu\text{A}$ $I_{LOAD} = 10\text{ mA}$ $I_{LOAD} = 100\text{ mA}$ $I_{LOAD} = 2\text{ A}$		4.5 4.9 5.5 9.4	8 8 8.5 14	mA mA mA mA
Shutdown Current	I_{GND-SD}	EN = GND $T_J = -40^\circ\text{C}$ to $+85^\circ\text{C}$, $V_{IN} = (V_{OUT} + 0.2\text{ V})$ to 1.98 V $T_J = 85^\circ\text{C}$ to 125°C , $V_{IN} = (V_{OUT} + 0.2\text{ V})$ to 1.98 V		2	180 800	μA μA μA
OUTPUT NOISE ¹	OUT_{NOISE}	10 Hz to 100 kHz, $V_{IN} = 1.1\text{ V}$, $V_{OUT} = 0.9\text{ V}$ 100 Hz to 100 kHz, $V_{IN} = 1.1\text{ V}$, $V_{OUT} = 0.9\text{ V}$ 10 Hz to 100 kHz, $V_{IN} = 1.5\text{ V}$, $V_{OUT} = 1.3\text{ V}$ 100 Hz to 100 kHz, $V_{IN} = 1.5\text{ V}$, $V_{OUT} = 1.3\text{ V}$ 10 Hz to 100 kHz, $V_{IN} = 1.7\text{ V}$, $V_{OUT} = 1.5\text{ V}$ 100 Hz to 100 kHz, $V_{IN} = 1.7\text{ V}$, $V_{OUT} = 1.5\text{ V}$		12 2 15 2 21 2		$\mu\text{V rms}$ $\mu\text{V rms}$ $\mu\text{V rms}$ $\mu\text{V rms}$ $\mu\text{V rms}$ $\mu\text{V rms}$
Noise Spectral Density	OUT_{NSD}	$V_{OUT} = 0.9\text{ V}$ to 1.5 V , $I_{LOAD} = 100\text{ mA}$ At 10 kHz At 100 kHz		4 3		nV/ $\sqrt{\text{Hz}}$ nV/ $\sqrt{\text{Hz}}$
POWER SUPPLY REJECTION RATIO ¹	PSRR	$I_{LOAD} = 2\text{ A}$, modulated V_{IN} 10 kHz, $V_{OUT} = 1.3\text{ V}$, $V_{IN} = 1.6\text{ V}$ 100 kHz, $V_{OUT} = 1.3\text{ V}$, $V_{IN} = 1.6\text{ V}$ 1 MHz, $V_{OUT} = 1.3\text{ V}$, $V_{IN} = 1.6\text{ V}$ 10 kHz, $V_{OUT} = 0.9\text{ V}$, $V_{IN} = 1.2\text{ V}$ 100 kHz, $V_{OUT} = 0.9\text{ V}$, $V_{IN} = 1.2\text{ V}$ 1 MHz, $V_{OUT} = 0.9\text{ V}$, $V_{IN} = 1.2\text{ V}$		62 46 39 63 46 34		dB dB dB dB dB dB
OUTPUT VOLTAGE						
Output Voltage Range	V_{OUT_FIXED}	$T_A = 25^\circ\text{C}$	0.9		1.5	V
Fixed Output Voltage Accuracy	V_{OUT_ADJ} V_{OUT}	$I_{LOAD} = 100\text{ mA}$, $T_A = 25^\circ\text{C}$ $10\text{ mA} < I_{LOAD} < 2\text{ A}$, $V_{IN} = (V_{OUT} + 0.2\text{ V})$ to 1.98 V , $T_J = 0^\circ\text{C}$ to 85°C $10\text{ mA} < I_{LOAD} < 2\text{ A}$, $V_{IN} = (V_{OUT} + 0.2\text{ V})$ to 1.98 V	0.5 -0.5 -1.5		1.5 +0.5 +1.5	V % %
ADJUSTABLE PIN CURRENT	I_{ADJ}	$T_A = 25^\circ\text{C}$ $V_{IN} = (V_{OUT} + 0.2\text{ V})$ to 1.98 V	49.5 48.8	50.0 50.0	50.5 51.0	μA μA
ADJUSTABLE OUTPUT VOLTAGE GAIN FACTOR	A_D	$T_A = 25^\circ\text{C}$ $V_{IN} = (V_{OUT} + 0.2\text{ V})$ to 1.98 V		3.0 2.95		
REGULATION						
Line Regulation	$\Delta V_{OUT}/\Delta V_{IN}$	$V_{IN} = (V_{OUT} + 0.2\text{ V})$ to 1.98 V	-0.15		+0.15	%/V
Load Regulation ²	$\Delta V_{OUT}/\Delta I_{OUT}$	$I_{LOAD} = 10\text{ mA}$ to 2 A		0.15	0.41	%/A
DROPOUT VOLTAGE ³	$V_{DROPOUT}$	$I_{LOAD} = 100\text{ mA}$, $V_{OUT} = 1.2\text{ V}$ $I_{LOAD} = 2\text{ A}$, $V_{OUT} = 1.2\text{ V}$		12 62	23 95	mV mV
START-UP TIME ^{1,4}	$t_{START-UP}$	$I_{LOAD} = 10\text{ nF}$, $V_{OUT} = 1\text{ V}$		0.6		ms
SOFT START CURRENT	I_{SS}	$1.1\text{ V} \leq V_{IN} \leq 1.98\text{ V}$	8	10	12	μA
CURRENT-LIMIT THRESHOLD ⁵	I_{LIMIT}		2.2	3	4	A

Parameter	Symbol	Test Conditions/Comments	Min	Typ	Max	Unit
THERMAL SHUTDOWN						
	Threshold	T_J rising		150		°C
	Hysteresis			15		°C
POWER-GOOD (PG) OUTPUT THRESHOLD						
Output Voltage						
	Falling	$1.1\text{ V} \leq V_{IN} \leq 1.98\text{ V}$		-7.5		%
	Rising	$1.1\text{ V} \leq V_{IN} \leq 1.98\text{ V}$		-5		%
PG OUTPUT						
Output Voltage Low	PG_{LOW}	$1.1\text{ V} \leq V_{IN} \leq 1.98\text{ V}$, $I_{PG} \leq 1\text{ mA}$			0.35	V
Leakage Current	I_{PG-LKG}	$1.1\text{ V} \leq V_{IN} \leq 1.98\text{ V}$		0.01	1	μA
Delay ¹	PG_{DELAY}	EN_{RISING} to PG_{RISING}		0.75		ms
PRECISION EN INPUT						
Logic Input		$1.1\text{ V} \leq V_{IN} \leq 1.98\text{ V}$				
	High		595	625	690	mV
	Low		550	580	630	mV
Input Logic Hysteresis	EN_{HYS}			45		mV
Input Leakage Current	I_{EN-LKG}	$EN = V_{IN}$ or GND		0.01	1	μA
Input Delay Time	t_{EN-DLY}	From EN rising from 0 V to V_{IN} to $0.1 \times V_{OUT}$		100		μs
UNDERVOLTAGE LOCKOUT						
Input Voltage						
	Rising	$T_J = -40^\circ\text{C}$ to $+125^\circ\text{C}$		1.01	1.06	V
	Falling	$T_J = -40^\circ\text{C}$ to $+125^\circ\text{C}$	0.87	0.93		V
Hysteresis	$UVLO_{HYS}$			90		mV

¹ 設計と特性評価により保証されていますが、出荷テストは行われません。

² 10 mA と 2 A 負荷を使用した端点計算を使用。

³ ドロップアウト電圧は、入力電圧を公称出力電圧に設定したときの入力-出力間の電圧差として定義され、1.1 V を超える出力電圧にのみ適用されます。

⁴ スタートアップ時間は、VEN の立上がりエッジから VOUT が公称値の 90% になるまでの時間として定義されます。

⁵ 電流制限閾値は、出力電圧が規定代表値の 90 % に低下する電流値として定義されます。例えば、1.0 V 出力電圧の電流制限値は、出力電圧が 1.0 V の 90 % すなわち 0.9 V に低下する電流値として定義されます。

入力コンデンサと出力コンデンサの推奨仕様

表 3.

Parameter	Symbol	Test Conditions/Comments	Min	Typ	Max	Unit
CAPACITANCE ¹		T _A = −40°C to +125°C				
Input	C _{IN}		7.0	10		μF
Output	C _{OUT}		7.0	10		μF
Regulator	C _{REG}		0.7	1		μF
Reference	C _{REF}		0.7	1		μF
CAPACITOR EQUIVALENT SERIES RESISTANCE (ESR)		T _A = −40°C to +125°C				
C _{IN} , C _{OUT}	R _{ESR}		0.001		0.5	Ω
C _{REG} , C _{REF}			0.001		0.2	Ω

¹ 最小入力容量と最小出力容量は、動作条件の全範囲で 7.0 μF を上回る必要があります。最小容量規定値を満たすようにするため、デバイス選択時にアプリケーションの動作条件の全範囲を考慮する必要があります。X7R と X5R のタイプのコンデンサを推奨します。Y5V コンデンサと Z5U コンデンサはどの LDO にも推奨できません。

絶対最大定格

表 4.

Parameter	Rating
VIN to GND	−0.3 V to +2.16 V
EN to GND	−0.3 V to +3.96 V
VOUT to GND	−0.3 V to VIN
SENSE to GND	−0.3 V to VIN
VREG to GND	−0.3 V to VIN
REFCAP to GND	−0.3 V to VIN
VADJ to GND	−0.3 V to VIN
SS to GND	−0.3 V to VIN
PG to GND	−0.3 V to +3.96 V
Storage Temperature Range	−65°C to +150°C
Operating Temperature Range	−40°C to +125°C
Operating Junction Temperature	125°C
Lead Temperature (Soldering, 10 sec)	300°C

上記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定はストレス定格のみを指定するものであり、この仕様の動作のセクションに記載する規定値以上のデバイス動作を定めたものではありません。製品を長時間絶対最大定格状態に置くと、製品の信頼性に影響を与えることがあります。

熱データ

絶対最大定格は、これらの組み合わせではなく個別に適用されます。ジャンクション温度の制限値を超えると、ADP1762 は損傷を受けることがあります。周囲温度をモニタリングしても、ジャンクション温度が規定制限値内にあることを保証できません。消費電力が大きくかつ熱抵抗が高いアプリケーションでは、最大周囲温度を下げる必要があります。

中程度の消費電力で、プリント回路ボード（PCB）の熱抵抗が低いアプリケーションでは、ジャンクション温度が規定値内にある限り、最大周囲温度はこの最大値を超えても問題はありません。デバイスのジャンクション温度（ T_J ）は、周囲温度（ T_A ）、デバイス消費電力（ P_D ）、パッケージのジャンクション-周囲間の熱抵抗（ θ_{JA} ）に依存します。 T_J は次式を使って計算します。

$$T_J = T_A + (P_D \times \theta_{JA})$$

パッケージの接合部-周囲間熱抵抗（ θ_{JA} ）は、4 層ボードを使ったモデリングと計算に基づいています。ジャンクション-周囲間の熱抵抗は、アプリケーションとボード・レイアウトに強く依存します。最大消費電力が大きいアプリケーションでは、ボ

ードの熱設計に注意が必要です。 θ_{JA} 値は、PCB 材料、レイアウト、環境条件に依存して変化します。 θ_{JA} の規定値は、4 インチ × 3 インチの 4 層回路ボードに基づいています。ボード構造の詳細については、JEDEC 規格の JESD51-7 を参照してください。

Ψ_{JB} はジャンクション-ボード間熱特性パラメータで単位は °C/W です。パッケージの Ψ_{JB} は、4 層ボードを使ったモデリングと計算に基づいています。JEDEC 規格の JESD51-12 ドキュメント「*Guidelines for Reporting and Using Electronic Package Thermal Information*」には、熱特性評価パラメータは熱抵抗と同じではないと記載されています。 Ψ_{JB} は、熱抵抗（ θ_{JB} ）の場合のように 1 つのパスではなく、複数のサーマル・パスを通過する電力成分を表します。したがって、 Ψ_{JB} サーマル・パスには、パッケージ上面からの対流、パッケージからの放射、実際のアプリケーションで Ψ_{JB} を有効にしているファクタが含まれます。最大ジャンクション温度（ T_J ）は、次式を使ってボード温度（ T_B ）と消費電力（ P_D ）から計算します。

$$T_J = T_B + (P_D \times \Psi_{JB})$$

Ψ_{JB} の詳細については、JEDEC 規格の JESD51-8 と JESD51-12 のドキュメントを参照してください。

熱抵抗

θ_{JA} と Ψ_{JB} はワーストケースの条件、すなわち、回路ボードに表面実装パッケージをハンダ付けした状態で仕様規定しています。

表 5. 6400 mm² の銅箔サイズの 4 層 ボードに対する熱抵抗

Package Type	θ_{JA}	Ψ_{JB}	Unit
16-Lead LFCSP	56	28.4	°C/W

ESD に関する注意



ESD（静電放電）の影響を受けやすいデバイスです。

電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能の説明

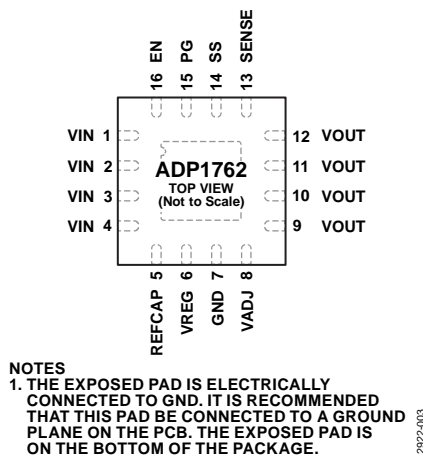


図 3. ピン配置

表 6. ピン機能の説明

Pin No.	Mnemonic	Description
1 to 4	VIN	レギュレータの入力電源。VIN と GND の間に 10 μ F 以上のコンデンサを接続してバイパスします。4 本の VIN ピンは全てこの電源に接続する必要があります。
5	REFCAP	リファレンス・フィルタ・コンデンサ。REFCAP ピンとグラウンドの間に 1 μ F のコンデンサを接続します。グラウンドとの間に負荷を接続しないでください。
6	VREG	LDO アンプへの安定化入力電源。1 μ F 以上のコンデンサで VREG を GND へバイパスします。グラウンドとの間に負荷を接続しないでください。
7	GND	グラウンド。
8	VADJ	可変出力オプション用の可変電圧ピン。VADJ ピンとグラウンドの間に 10 k Ω の外付け抵抗を接続すると、出力電圧が 1.5 V に設定されます。固定出力を選択するには、このピンをフロート状態にします。
9 to 12	VOUT	レギュレーションされた出力電圧 10 μ F 以上のコンデンサで VOUT を GND へバイパスします。4 本の VOUT ピンは全て負荷に接続する必要があります。
13	SENSE	検出入力。SENSE ピンで負荷での実際の出力電圧を測定し、エラーアンプに供給します。SENSE ピンではできるだけ負荷の近くに接続し、VOUT と負荷の間の IR 電圧降下の影響を最小限に抑えます。
14	SS	ソフト・スタート・ピン。SS ピンとグラウンドの間に 10 nF のコンデンサを接続すると、スタートアップ時間が 0.6 ms に設定されます。
15	PG	パワーグッド出力。このオープンドレイン出力には、外付けプルアップ抵抗が必要です。デバイスがシャットダウン・モード、電流制限モード、サーマル・シャットダウン・モードになるか、または VOUT が公称出力電圧の 90% を下回ると、PG ピンは直ちにロー・レベルになります。
16	EN	イネーブル入力。EN ピンをハイ・レベルに駆動するとレギュレータがオンになります。EN ピンをロー・レベルに駆動するとレギュレータがオフになります。自動スタートアップにする場合には、EN ピンを VIN ピンに接続します。
	EP	エクスポーズド・パッド。エクスポーズド・パッドは GND に電氣的に接続されています。このパッドを PCB のグラウンド・プレーンに接続することを推奨します。エクスポーズド・パッドはパッケージ底面にあります。

代表的な性能特性

特に指定のない限り、 $V_{IN} = 1.5\text{ V}$ 、 $V_{OUT} = 1.3\text{ V}$ 、 $T_A = 25^\circ\text{C}$ 。

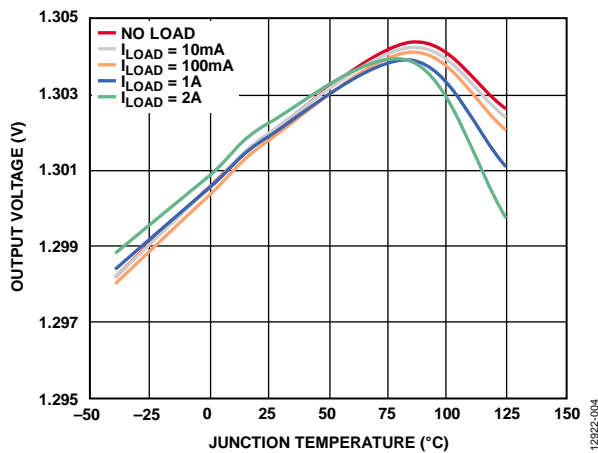


図 4. ジャンクション温度対出力電圧 (V_{OUT})

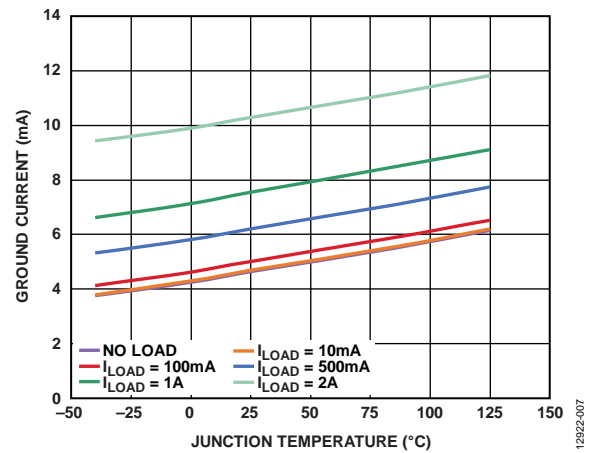


図 7. ジャンクション温度対グラウンド電流

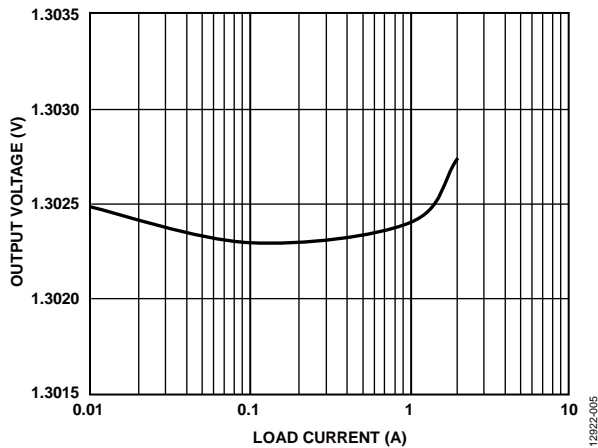


図 5. 負荷電流対出力電圧 (V_{OUT})

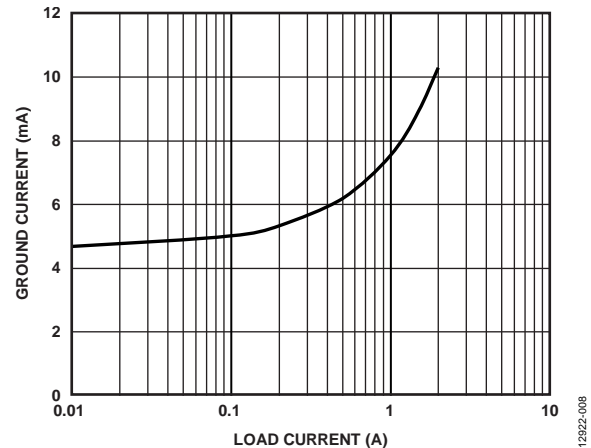


図 8. 負荷電流対グラウンド電流

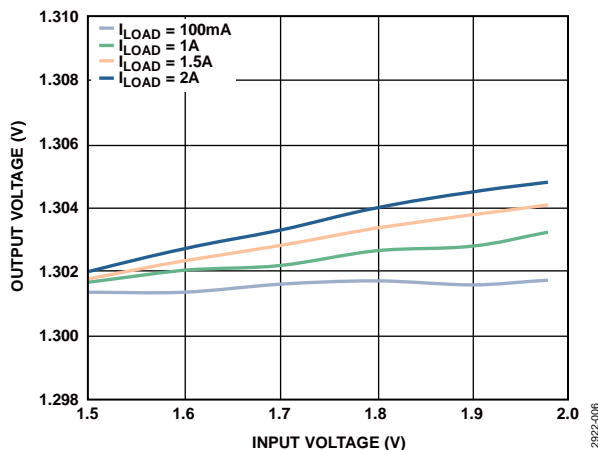


図 6. 入力電圧対出力電圧

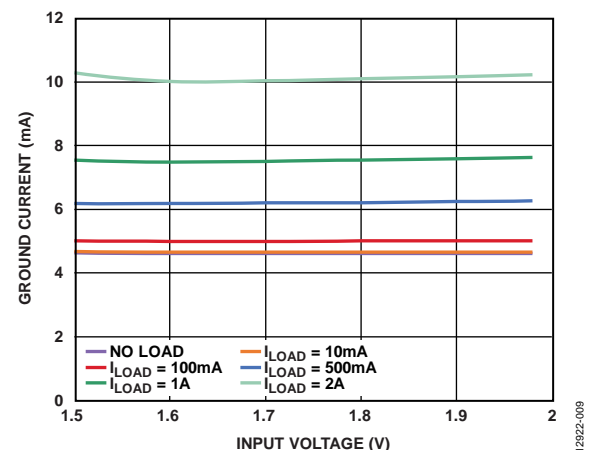


図 9. 入力電圧対グラウンド電流

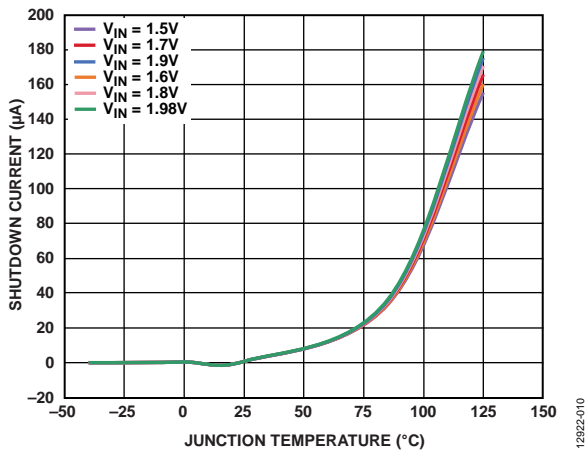


図 10. 各種入力電圧 (V_{IN}) でのジャンクション温度対シャットダウン電流

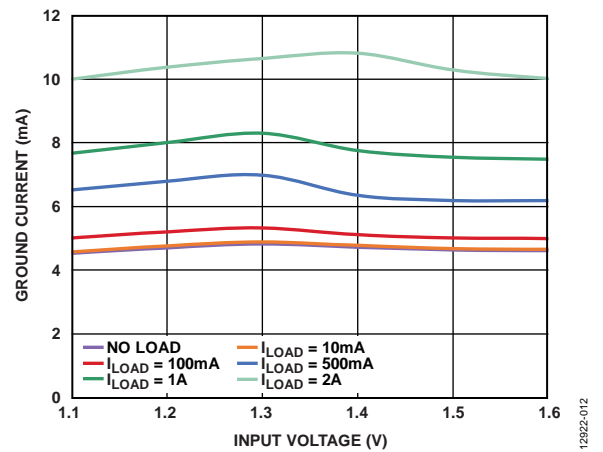


図 13. 入力電圧 (ドロップアウト時) 対グラウンド電流、V_{OUT} = 1.3 V

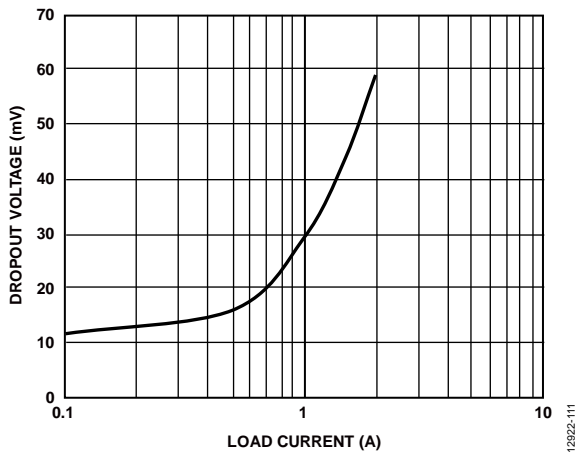


図 11. 負荷電流対ドロップアウト電圧、V_{OUT} = 1.3 V

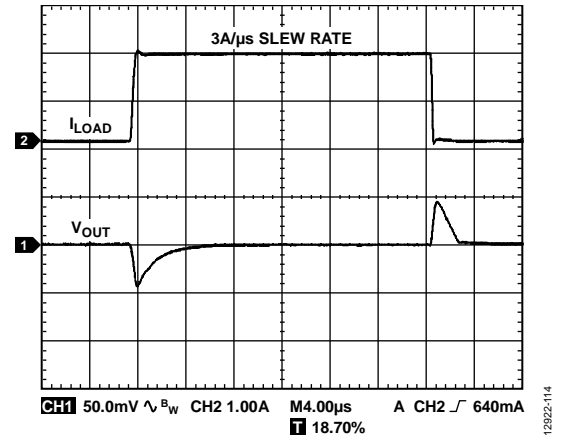


図 14. 負荷過渡応答、C_{OUT} = 10 μF、V_{IN} = 1.7 V、V_{OUT} = 1.3V

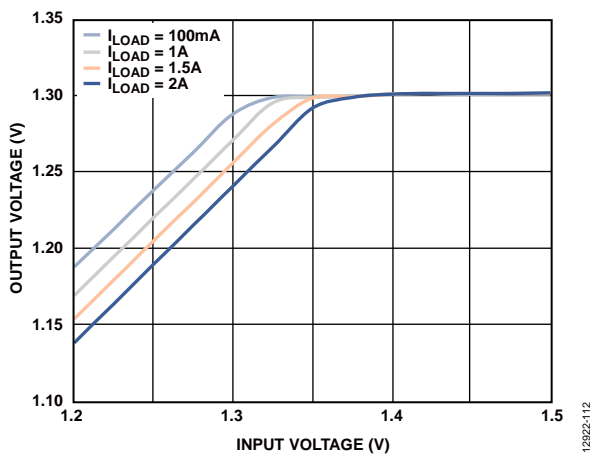


図 12. 入力電圧 (ドロップアウト時) 対出力電圧、V_{OUT} = 1.3 V

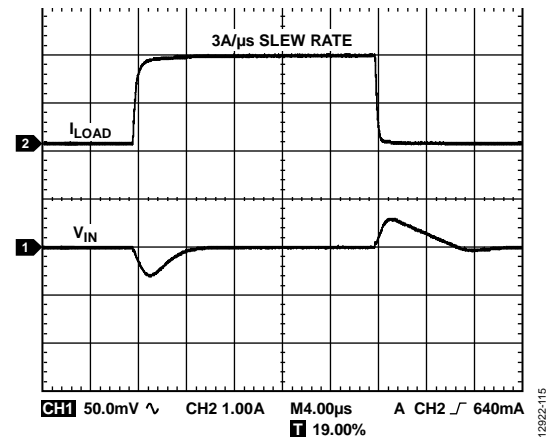


図 15. 負荷過渡応答、C_{OUT} = 47 μF、V_{IN} = 1.7 V、V_{OUT} = 1.3 V

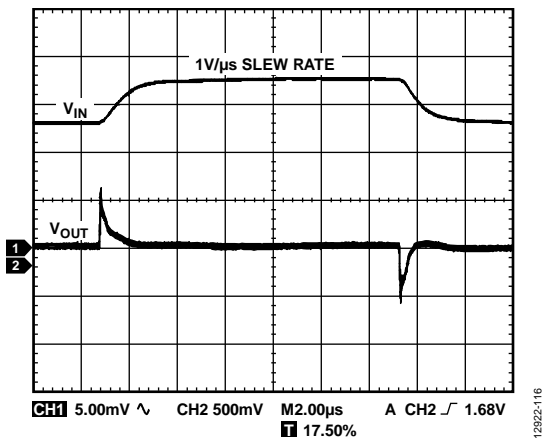


図 16. ライン過渡応答、負荷電流 = 2 A、 $V_{IN} = 1.5\text{ V} \sim 1.98\text{ V}$ のステップ、 $V_{OUT} = 1.3\text{ V}$

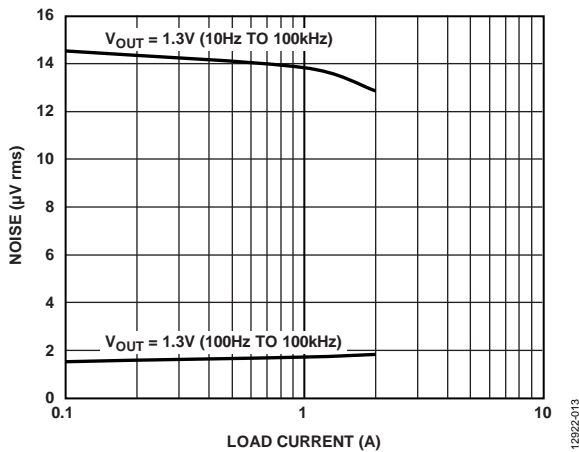


図 17. 各種出力電圧での負荷電流対ノイズ

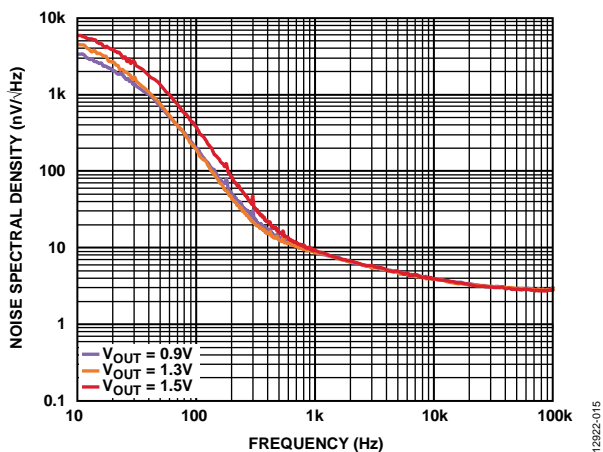


図 18. 各種出力電圧でのノイズ・スペクトル密度の周波数特性、 $I_{LOAD} = 100\text{ mA}$

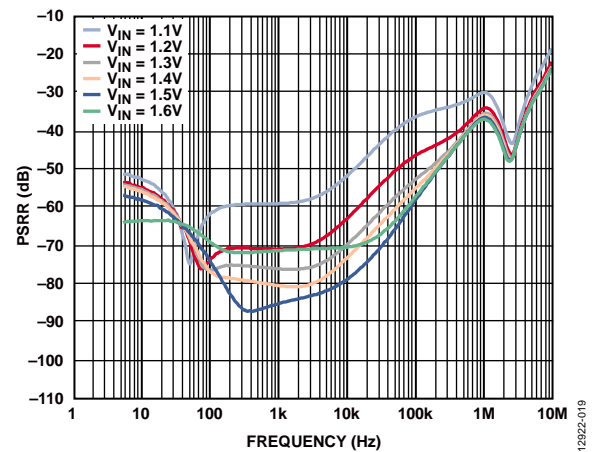


図 19. 各種 V_{IN} での電源電圧変動除去比 (PSRR) の周波数特性、 $V_{OUT} = 0.9\text{ V}$ 、負荷電流 = 2 A

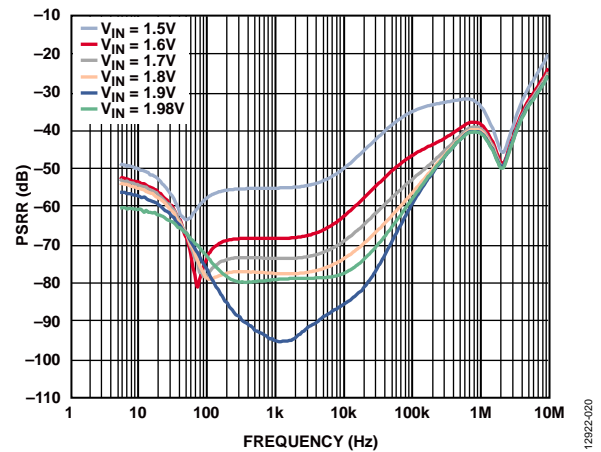


図 20. 各種 V_{IN} での電源電圧変動除去比 (PSRR) の周波数特性、 $V_{OUT} = 1.3\text{ V}$ 、負荷電流 = 2 A

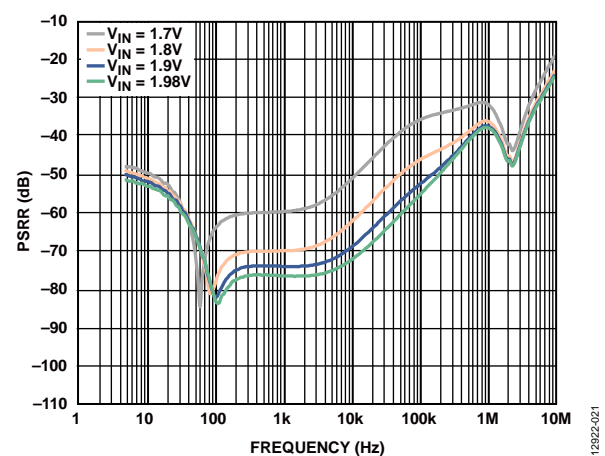


図 21. 各種 V_{IN} での電源電圧変動除去比 (PSRR) の周波数特性、 $V_{OUT} = 1.5\text{ V}$ 、負荷電流 = 2 A

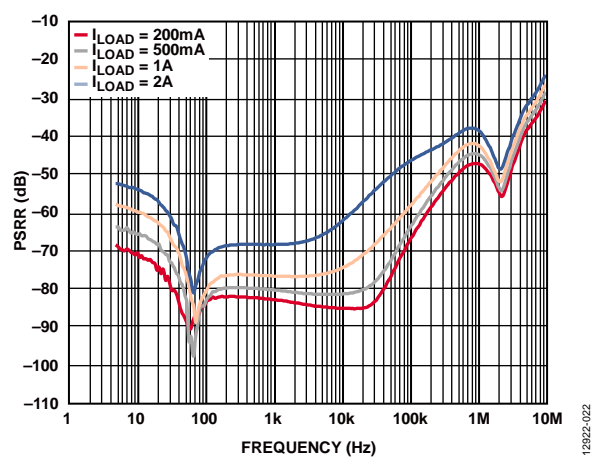


図 22. 各種 V_{IN} での電源変動除去比 (PSRR) 周波数特性、
 $V_{OUT} = 1.3\text{ V}$ 、 $V_{IN} = 1.6\text{ V}$

動作原理

ADP1762 は低ノイズの LDO リニア電圧レギュレータで、先進的な独自のアーキテクチャを採用し、高効率のレギュレーションを達成します。また、 $10\ \mu\text{F}$ の小型セラミック出力コンデンサを使って、高い PSRR、優れたライン過渡応答および負荷過渡応答を実現します。 $1.10\ \text{V} \sim 1.98\ \text{V}$ の入力電源で動作し、最大 $2\ \text{A}$ の出力電流を供給します。シャットダウン・モード時の電源電流は $2\ \mu\text{A}$ です。

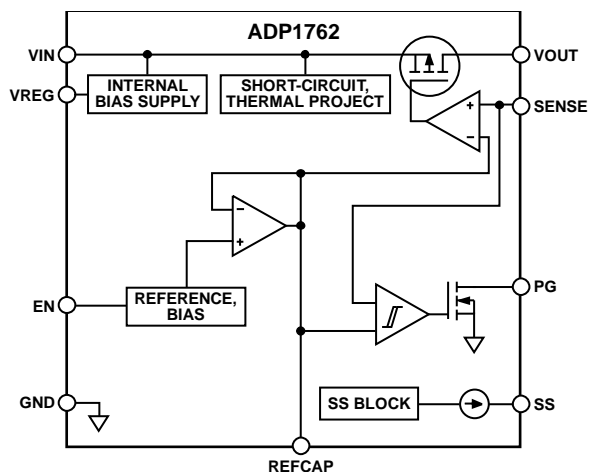


図 23. 機能ブロック図、固定出力

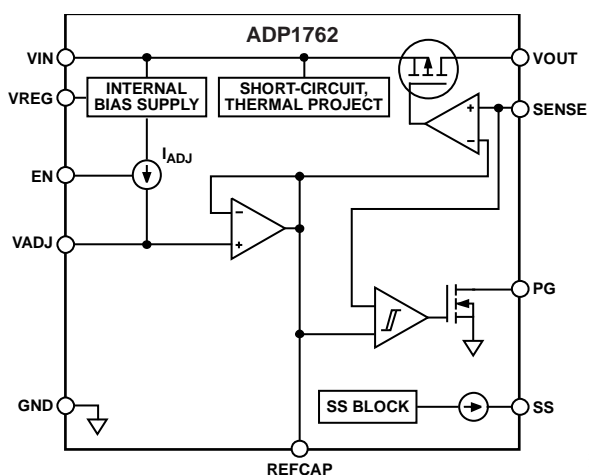


図 24. 機能ブロック図、可変出力

ADP1762 の内部は、リファレンス、エラーアンプ、パス・デバイスで構成されています。出力電流はパス・デバイスを介して供給されます。パス・デバイスはエラーアンプによって制御され、帰還電圧を理想的にはリファレンス電圧に等しくなるように駆動する負帰還システムを構成します。帰還電圧がリファレンス電圧より低くなると、負帰還により駆動電流が増加して出力電圧が上昇します。帰還電圧がリファレンス電圧より高くなると、負帰還により駆動電流が減少して出力電圧が低下します。

ADP1762 は出力電圧範囲 $0.9\ \text{V} \sim 1.5\ \text{V}$ の固定出力で提供されています。その他の固定出力のオプションについては、最寄りのアナログ・デバイセズ販売代理店にお問い合わせください。可変出力を選択した場合は、 $0.5\ \text{V} \sim 1.5\ \text{V}$ に設定することができます。EN ピンを使って、通常動作状態で VOUT ピンをイネーブル/ディスエーブルします。EN がハイ・レベルになると、

VOUT はオンします。EN がロー・レベルになると、VOUT はオフします。自動スタートアップの場合は、EN と VIN を接続します。

ソフト・スタート機能

スタートアップの制御が必要なアプリケーション向けに、ADP1762 は設定可能なソフト・スタート機能を提供します。このソフト・スタート機能により、スタートアップ時の突入電流を低減し、電圧のシーケンスを制御するのに有効です。ソフト・スタート機能を実装するには、SS と GND の間に小容量のセラミック・コンデンサを接続します。スタートアップ時、 $10\ \mu\text{A}$ の電流源がこのコンデンサを充電します。ADP1762 のスタートアップ時の出力電圧を SS の電圧が制限するため、公称出力電圧まで滑らかにランプアップします。固定出力と可変出力のスタートアップ時間は、次式を使って計算します。

$$t_{\text{START-UP_FIXED}} = t_{\text{DELAY}} + V_{\text{REF}} \times (C_{\text{SS}}/I_{\text{SS}}) \quad (1)$$

$$t_{\text{START-UP_ADJ}} = t_{\text{DELAY}} + V_{\text{ADJ}} \times (C_{\text{SS}}/I_{\text{SS}}) \quad (2)$$

ここで、

t_{DELAY} は $100\ \mu\text{s}$ の固定遅延、

V_{REF} は、固定出力モードのオプションの $0.5\ \text{V}$ 内部リファレンス、

C_{SS} は SS と GND の間のソフト・スタート容量、

I_{SS} は SS からのソース電流 ($10\ \mu\text{A}$)、

V_{ADJ} は、 $R_{\text{ADJ}} \times I_{\text{ADJ}}$ に等しい VADJ ピンの電圧です。

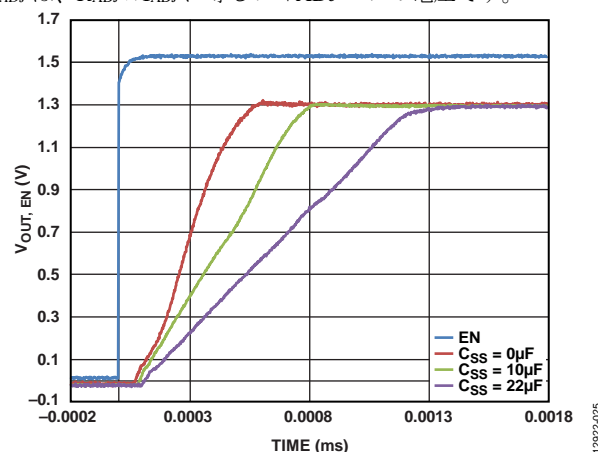


図 25. 固定 VOUT の外付けソフト・スタート・コンデンサによるランプアップ時間 (VOUT, EN)

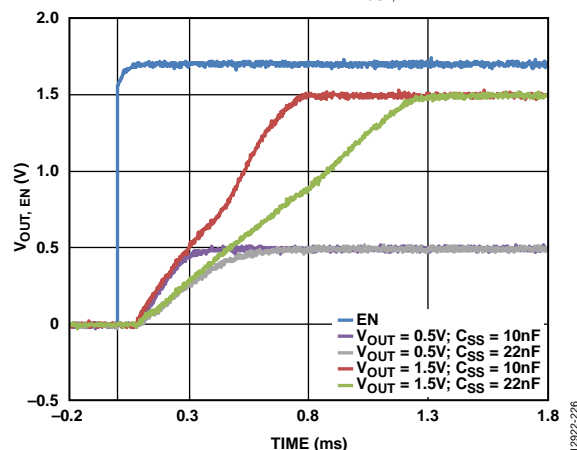


図 26. 可変 VOUT の外付けソフト・スタート・コンデンサによるランプアップ時間 (VOUT, EN)

可変出力電圧

ADP1762 の出力電圧は、0.5 V ～ 1.5 V の範囲に設定することができます。V_{ADJ} ピンとグラウンドの間に抵抗 (R_{ADJ}) を接続して、出力電圧を設定します。出力電圧は次式で計算します。

$$V_{OUT} = A_D \times (R_{ADJ} \times I_{ADJ}) \quad (3)$$

ここで、

A_D は、V_{ADJ} ピンと V_{OUT} ピンの間のゲイン係数で、代表値は 3.0 です。

I_{ADJ} は、V_{ADJ} ピンから流れ出す 50.0 μA の定電流です。

イネーブル機能

ADP1762 では EN ピンを使って、通常動作状態で V_{OUT} ピンをイネーブル/ディスエーブルします。図 27 に示すように、EN の電圧が上昇してアクティブ閾値を上回ると、V_{OUT} がオンします。EN の電圧が下降して非アクティブ閾値を下回ると、V_{OUT} がオフします。

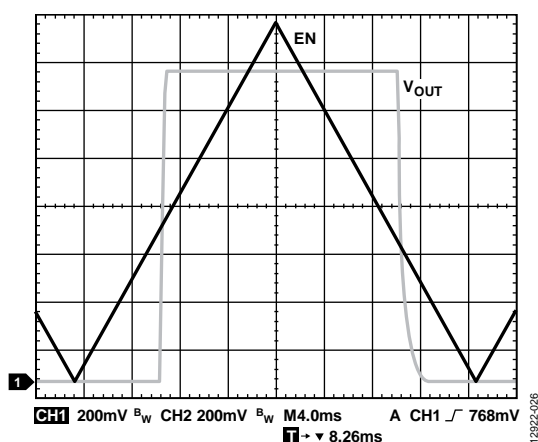


図 27. 代表的な EN ピンの動作

図 28 に示すように、EN ピンにはヒステリシスがあります。このヒステリシスは、EN ピンが閾値ポイントを通過する際のノイズに起因するオン/オフ発振を防止します。

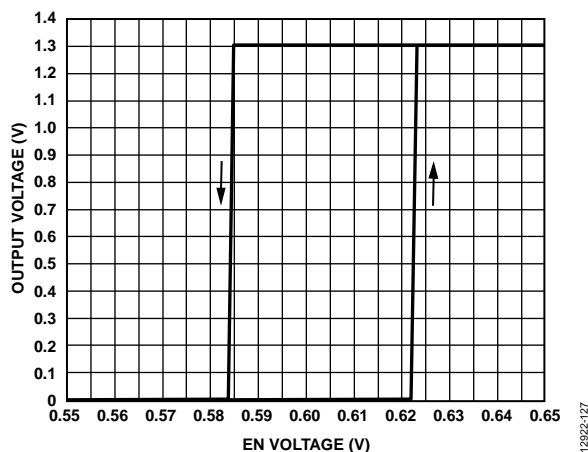


図 28. EN ピンの電圧 (代表値) 対出力電圧、V_{OUT} = 1.3 V

パワーグッド (PG) 機能

ADP1762 は、出力の状態を示すパワーグッド・ピン (PG) を備えています。このオープンドレイン出力には外付けのプルアップ抵抗が必要で、V_{IN} または V_{OUT} に接続することができます。デバイスがシャットダウン・モード、電流制限モード、サーマル・シャットダウン・モードになるか、または出力が公称出力電圧の 90% を下回ると、PG ピンは直ちにロー・レベルになります。ソフト・スタート時のパワーグッド信号の上昇閾値は、公称出力電圧の 95% です。

ADP1762 の入力電圧が内部 PG トランジスタをオンするのに十分であれば、オープンドレイン出力はロー・レベルに保たれます。オプションのソフト・スタート遅延を検出することができます。PG トランジスタは、V_{OUT} または V_{IN} に接続したプルアップ抵抗を使って終端します。

パワーグッドの精度は、出力電圧の上昇時は公称レギュレータ出力電圧の 92.5% で、出力電圧の下降時は 95% トリップ・ポイントです。

レギュレータ入力電圧のブラウンアウト (降下) またはグリッチにより V_{OUT} が 92.5% を下回ると、パワーグッド表示がオフになります。

通常のパワーダウンでは、V_{OUT} が 95% のときにパワーグッドが表示されます。

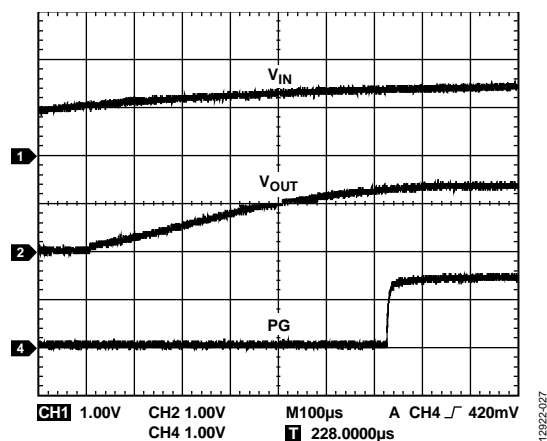


図 29. V_{OUT} 対代表的な PG の動作、V_{IN} 上昇時 (V_{OUT} = 1.3 V)

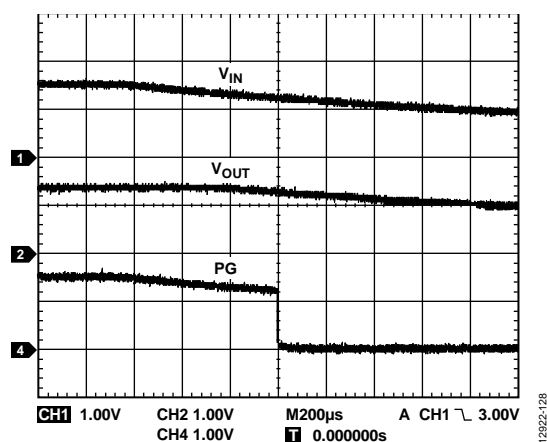


図 30. V_{OUT} 対代表的な PG の動作、V_{IN} 下降時 (V_{OUT} = 1.3 V)

アプリケーション情報

コンデンサの選択

出力コンデンサ

ADP1762 は、省スペースの小型セラミック・コンデンサで動作するように設計されていますが、等価直列抵抗（ESR）値に注意すれば一般的に使用されているコンデンサでも動作します。出力コンデンサの ESR は、LDO 制御ループの安定性に影響します。ADP1762 の安定性を確保するには、ESR が 500 mΩ 以下の最小 10 μF のコンデンサを推奨します。負荷電流の変化に対する過渡応答も出力容量の影響を受けます。大きな値の出力容量を使用すると、負荷電流の大きな変化に対する ADP1762 の過渡応答が向上します。10 μF と 47 μF の出力容量値に対する過渡応答を、それぞれ図 31 と図 32 に示します。

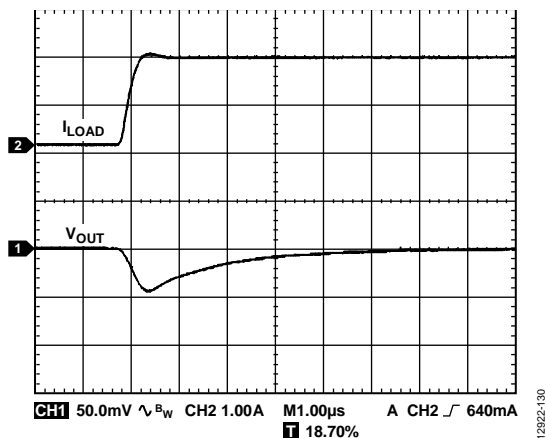


図 31. 出力過渡応答、 $C_{OUT} = 10 \mu F$

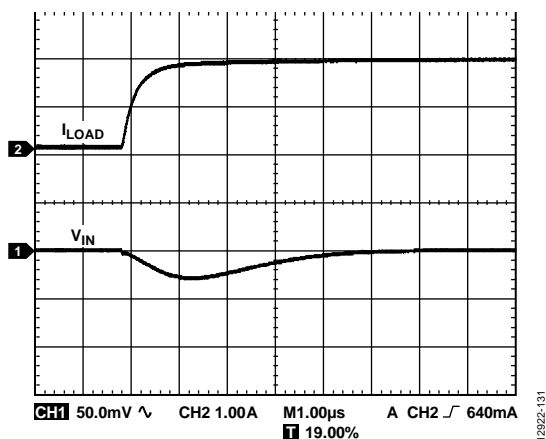


図 32. 出力過渡応答、 $C_{OUT} = 47 \mu F$

入力バイパス・コンデンサ

VIN ピンと GND ピンの間に 10 μF のコンデンサを接続すると、特に入力パターンが長いソース・インピーダンスが高い場合に、PCB レイアウトが回路に与える影響が小さくなります。10 μF より大きい出力容量が必要な場合は、それに合わせて入力コンデンサを大きくすることを推奨します。

入力コンデンサと出力コンデンサの特性

最小容量と最大 ESR の要件を満たす限り、ADP1762 には品質の良いどんなセラミック・コンデンサでも使用することができます。セラミック・コンデンサはさまざまな誘電体を使用して作られており、温度や印加電圧に対する動作がそれぞれ異なります。コンデンサは、必要な温度範囲と DC バイアス条件に対して最小容量を保証できるような、適切な誘電体が使われているものを選ぶ必要があります。電圧定格が 6.3 V または 10 V の X5R または X7R の誘電体を推奨します。Y5V 誘電体と Z5U 誘電体は、温度特性と DC バイアス特性が十分でないため推奨しません。

0805 ケース、10 μF、10 V の X5R コンデンサのバイアス電圧対容量の特性を図 33 に示します。コンデンサの電圧安定性は、コンデンサのサイズと電圧定格の影響を大きく受けます。一般に、コンデンサのパッケージが大きいほど、または電圧定格が大きいほど、優れた安定性を示します。X5R 誘電体の温度による変動は、 $-40^{\circ}\text{C} \sim +85^{\circ}\text{C}$ の温度範囲で約 $\pm 15\%$ であり、パッケージ・サイズや電圧定格に依存しません。

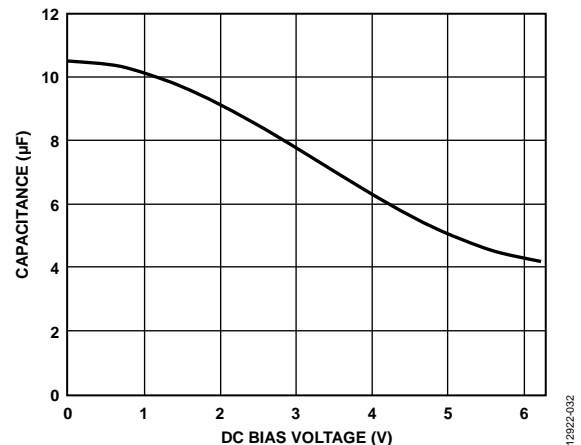


図 33. 容量対 DC バイアス電圧

式 4 を使って、温度、部品許容誤差、電圧に対するコンデンサの変動を考慮したワーストケースの容量を求めます。

$$C_{EFF} = C_{OUT} \times (1 - \text{tempco}) \times (1 - \text{TOL}) \quad (4)$$

ここで、

C_{EFF} は、動作電圧での実効容量、

C_{OUT} は、出力コンデンサ、

$TEMPCO$ は、ワーストケースのコンデンサ温度係数、

TOL は、ワーストケースの部品許容誤差です。

この例では、 $-40^{\circ}\text{C} \sim +85^{\circ}\text{C}$ でのワーストケース温度係数 (tempco) を、X5R 誘電体では 15 % と想定しています。コンデンサの許容誤差 (TOL) は 10%、かつ (図 33 に示すように) 1.0 V で $C_{OUT} = 10 \mu F$ と仮定しています。

これらの値を式 4 に代入すると、

$$C_{EFF} = 10 \mu F \times (1 - 0.15) \times (1 - 0.1) = 7.65 \mu F$$

したがって、この例で選択したコンデンサは、選択した出力電圧で、温度と許容誤差に対する LDO の最小容量条件を満たします。

ADP1762 の性能を保証するには、DC バイアス、温度、許容誤差がコンデンサの動作に及ぼす影響をアプリケーションごとに評価することが不可欠です。

低電圧ロックアウト

ADP1762 には、入力電圧が約 1.06 V を下回ったときに全ての入力と出力をディスエーブルする低電圧ロックアウト回路が内蔵されています。この UVLO は、ADP1762 の入力と出力がパワーアップ時に予測不能な動作をすることを防止します。

電流制限および熱過負荷保護

ADP1762 は、電流制限回路と熱過負荷保護回路により、過大な消費電力による損傷から保護されています。出力負荷が 3 A（代表値）に達すると電流制限に達するように設計されています。出力負荷が 3 A を超えると、出力電圧を下げ一定の電流制限値を維持します。

また、ジャンクション温度を最大 150°C（代表値）に制限する熱過負荷保護機能を備えています。過酷な状態（高周囲温度や高消費電力）で、ジャンクション温度が 150°C を超え始めると、出力がオフになり、出力電流がゼロまで減少します。ジャンクション温度が 135°C（代表値）を下回ると、出力は再びオンになり、出力電流は公称値に戻ります。

V_{OUT} からグラウンドへのハード短絡が発生する場合を検討します。まず、ADP1762 が電流制限値に達するため、3 A だけ短絡回路に流れます。自己発熱が非常に大きくなってジャンクション温度が 150°C を超えると、サーマル・シャットダウン機能が作動して、出力がオフになり、出力電流がゼロまで減少します。ジャンクション温度が下がり、135°C を下回ると、出力がオンになって短絡回路に 3 A が流れて、ジャンクション温度が再び 150°C を超えます。135°C と 150°C の間のこの熱的発振により、3 A と 0 A の間で電流発振が発生します。この発振は出力が短絡状態にある限り続きます。

電流制限機能と熱過負荷保護機能は、偶発的な過負荷状態に対してデバイスを保護することを目的としています。信頼性の高い動作をさせるには、ジャンクション温度が 125°C を超えないようにデバイスの電力を外部で制限します。

熱に対する考慮事項

信頼性の高い動作を保証するには、ADP1762 のジャンクション温度が 125°C を超えないようにする必要があります。ジャンクション温度をこの最大値より低く保つには、ジャンクション温度の変化に影響するパラメータを知る必要があります。これらのパラメータには、周囲温度、パワー・デバイスの消費電力、ジャンクションから周囲の空気までの熱抵抗 (θ_{JA}) などがあります。 θ_{JA} の値は、使用するパッケージ・アセンブリの材料と、パッケージの GND ピンとエクスポーズド・パッド (EPAD) をハンダ付けする PCB 上の銅の量に依存します。PCB の各種銅サイズに対する 16 ピン LFCSP パッケージの θ_{JA} 値（代表値）を表 7 に示します。16 ピン LFCSP パッケージの Ψ_{JB} 値（代表値）を表 8 に示します。

表 7. θ_{JA} 値（代表値）

Copper Size (mm ²)	θ_{JA} (°C/W), LFCSP
25	138.1
100	102.9
500	76.9
1000	67.3
6400	56

表 8. Ψ_{JB} 値（代表値）

Copper Size (mm ²)	Ψ_{JB} (°C/W) at 1 W
100	33.3
500	28.9
1000	28.5

ADP1762 のジャンクション温度を計算するには次式を使います。

$$T_J = T_A + (P_D \times \theta_{JA}) \quad (5)$$

ここで、

T_A は周囲温度、

P_D はチップの消費電力で、次式で与えられます。

$$P_D = (V_{IN} - V_{OUT}) \times I_{LOAD} + (V_{IN} \times I_{GND}) \quad (6)$$

ここで、

V_{IN} と V_{OUT} は、それぞれ入力電圧と出力電圧。

I_{LOAD} は負荷電流。

I_{GND} はグラウンド電流。

式 6 に示すように、所定の周囲温度と計算された消費電力に対して、ジャンクション温度が 125°C を超えないようにするための PCB の最小銅サイズの要件があります。

様々な周囲温度、負荷電流、 $V_{IN} - V_{OUT}$ 間電位差、PCB 銅面積に対するジャンクション温度の計算値を、図 34 ~ 図 39 に示します。

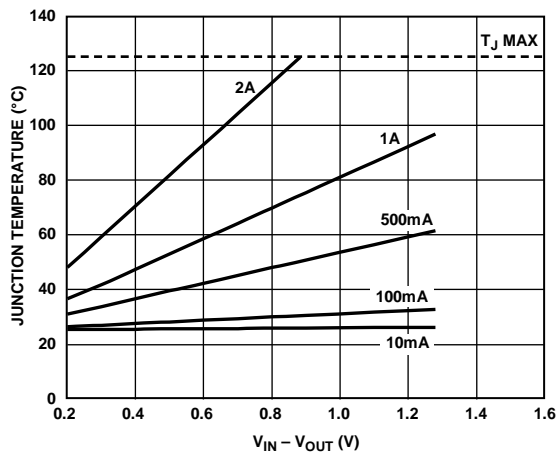


図 34. 6400 mm² の PCB 銅箔、 $T_A = 25^\circ\text{C}$

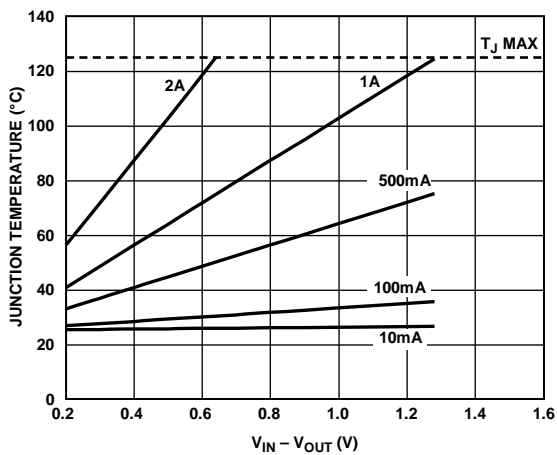


図 35. 500 mm² の PCB 銅箔、 $T_A = 25^\circ\text{C}$

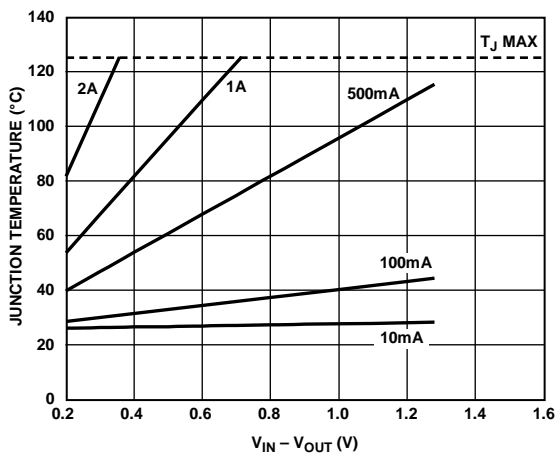


図 36. 25 mm² の PCB 銅箔、 $T_A = 25^\circ\text{C}$

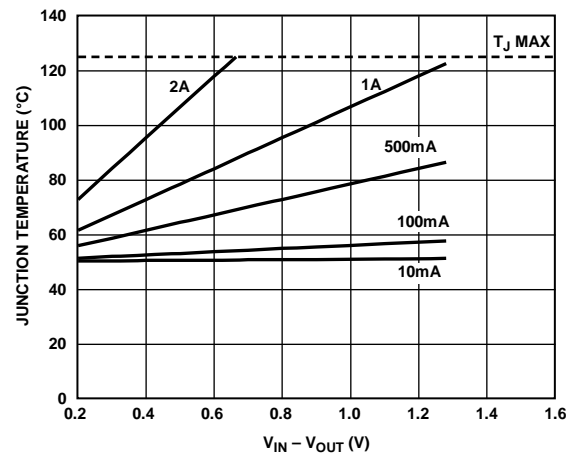


図 37. 6400 mm² の PCB 銅箔、 $T_A = 50^\circ\text{C}$

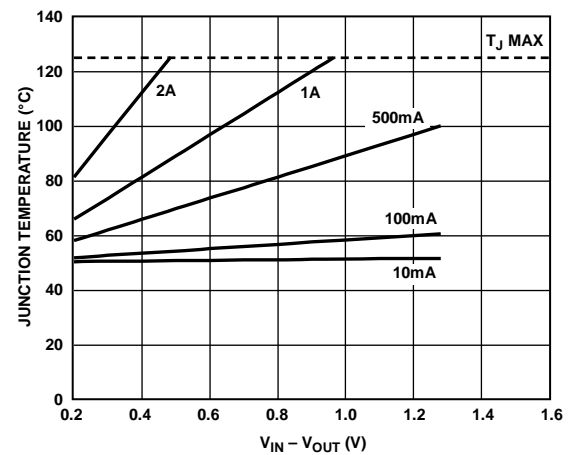


図 38. 500 mm² の PCB 銅箔、 $T_A = 50^\circ\text{C}$

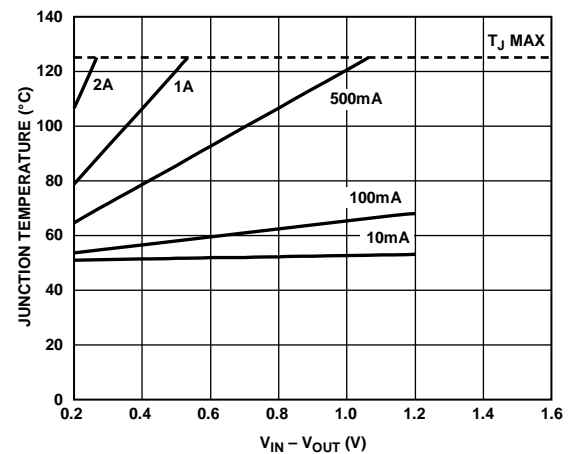


図 39. 25 mm² の PCB 銅箔、 $T_A = 50^\circ\text{C}$

ボード温度が既知の場合、熱特性評価パラメータ (Ψ_{JB}) を使ってジャンクション温度の上昇を計算することができます。最大ジャンクション温度 (T_J) は、次式を使ってボード温度 (T_B) と消費電力 (P_D) から計算します。

$$T_J = T_B + (P_D \times \Psi_{JB}) \quad (7)$$

様々なボード温度、負荷電流、 V_{IN} - V_{OUT} 間電位差、PCB 銅面積に対するジャンクション温度の計算値を、図 40 ~ 図 43 に示します。

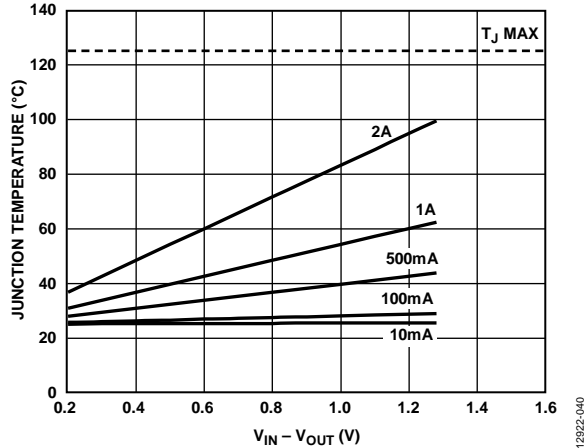


図 40. 500 mm² の PCB 銅箔、 $T_B = 25^\circ\text{C}$

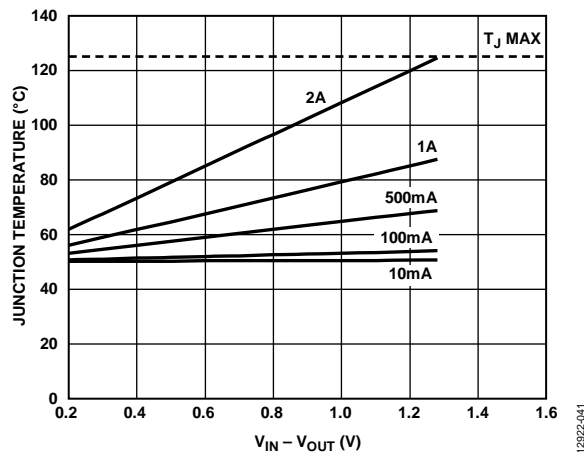


図 41. 500 mm² の PCB 銅箔、 $T_B = 50^\circ\text{C}$

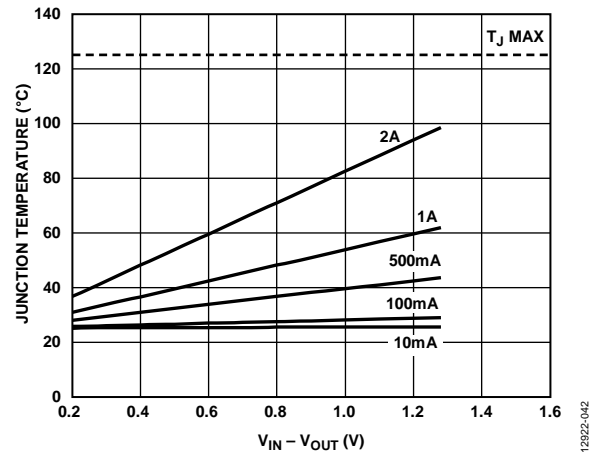


図 42. 1000 mm² の PCB 銅箔、 $T_B = 25^\circ\text{C}$

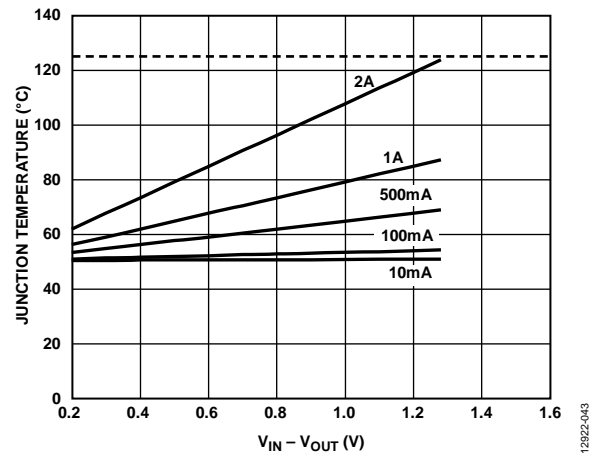


図 43. 1000 mm² の PCB 銅箔、 $T_B = 50^\circ\text{C}$

PCB レイアウト時の考慮事項

ADP1762 のピンに接続する銅の量を増やことによりパッケージからの放熱を改善することができます。ただし、表 8 に示すように、最終的に効果の逡減状態に達して、それ以上銅の面積を増やしても放熱を大きく改善できません。

PCB を設計する際には以下の推奨事項に従ってください。

- 入力コンデンサは VIN ピンと GND ピンのできるだけ近くに配置します。
- 出力コンデンサは VOUT ピンと GND ピンのできるだけ近くに配置します。
- ソフト・スタート・コンデンサ (C_{SS}) は SS ピンのできるだけ近くに配置します。
- リファレンス・コンデンサ (C_{REF}) とレギュレータ・コンデンサ (C_{REG}) は、それぞれ REFCAP ピンと VREG ピンのできるだけ近くに配置します。
- 負荷は VOUT ピンと SENSE ピンのできるだけ近くに接続します。

0603 または 0805 サイズのコンデンサと抵抗を使うと、面積が制限されているボード上で最小のフットプリント・ソリューションを実現できます。



図 44. 評価用ボード

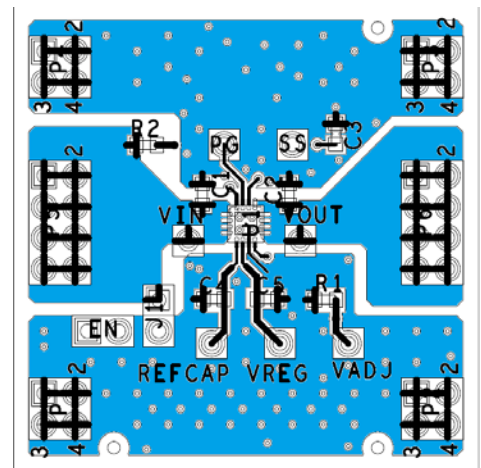


図 45. 代表値なボード・レイアウト、上面

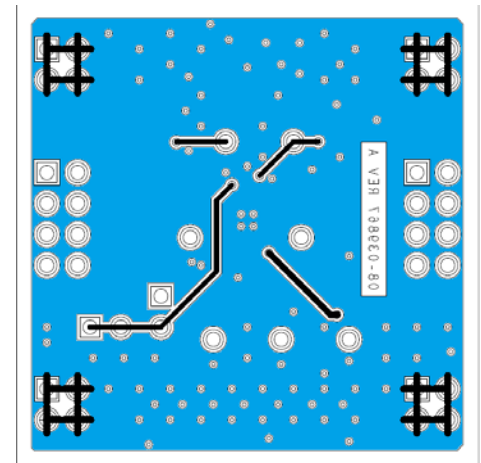
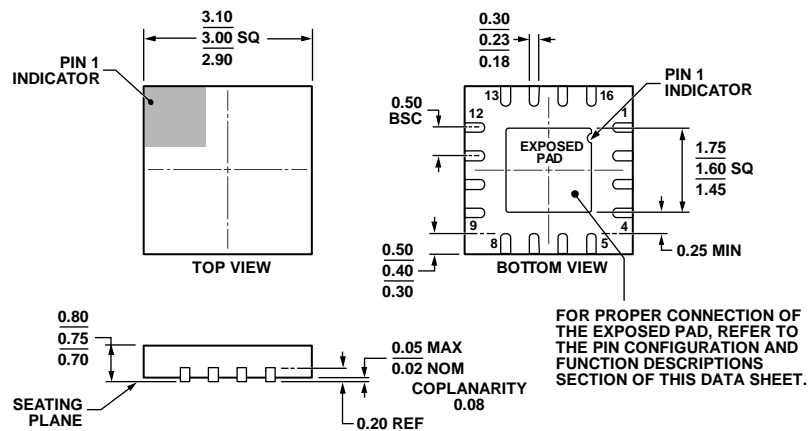


図 46. 代表値なボード・レイアウト、底面

外形寸法



COMPLIANT TO JEDEC STANDARDS MO-220-WEED-6.

図 47. 16 ピン・リードフレーム・チップスケール・パッケージ [LFCSP]
3 mm × 3 mm ボディ、0.75 mm パッケージ高
(CP-16-22)
寸法: mm

08-16-2010-E

オーダー・ガイド

Model ¹	Temperature Range	Output Voltage (V) ²	Package Description	Package Option	Branding
ADP1762ACPZ-R7	−40°C to +125°C	Adjustable	16-Lead Lead Frame Chip Scale Package [LFCSP]	CP-16-22	LRS
ADP1762ACPZ-0.9-R7	−40°C to +125°C	0.9	16-Lead Lead Frame Chip Scale Package [LFCSP]	CP-16-22	LRT
ADP1762ACPZ0.95-R7	−40°C to +125°C	0.95	16-Lead Lead Frame Chip Scale Package [LFCSP]	CP-16-22	LUP
ADP1762ACPZ-1.0-R7	−40°C to +125°C	1.0	16-Lead Lead Frame Chip Scale Package [LFCSP]	CP-16-22	LRU
ADP1762ACPZ-1.1-R7	−40°C to +125°C	1.1	16-Lead Lead Frame Chip Scale Package [LFCSP]	CP-16-22	LRV
ADP1762ACPZ-1.2-R7	−40°C to +125°C	1.2	16-Lead Lead Frame Chip Scale Package [LFCSP]	CP-16-22	LRW
ADP1762ACPZ1.25-R7	−40°C to +125°C	1.25	16-Lead Lead Frame Chip Scale Package [LFCSP]	CP-16-22	LRZ
ADP1762ACPZ-1.3-R7	−40°C to +125°C	1.3	16-Lead Lead Frame Chip Scale Package [LFCSP]	CP-16-22	LRX
ADP1762ACPZ-1.5-R7	−40°C to +125°C	1.5	16-Lead Lead Frame Chip Scale Package [LFCSP]	CP-16-22	LRY
ADP1762-1.3-EVALZ		1.3	Evaluation Board		
ADP1762-ADJ-EVALZ		1.1	Evaluation Board		

¹ Z = RoHS 準拠製品。

² その他のオプションについては、最寄りのアナログ・デバイセズ販売代理店にお問い合わせください。その他の電圧出力オプションには、0.5 V、0.55 V、0.6 V、0.65 V、0.7 V、0.75 V、0.8 V、0.85 V、1.05 V、1.15 V、1.35 V、1.4 V、1.45 V があります。