

特長

- 3軸振動センシング：±70 g レンジ
- 広帯域幅：14 kHz
- プログラマブルなデジタル・フィルタ、ローパス/バンドパス・オプション
- データ収集機能
 - 3チャンネル、各1024サンプル、72.9 kSPS サンプル・レート
 - データ収集モードで機器の寿命を管理
 - 手動：初期のベースライン特性評価/検証
 - 自動：使用中の定期的な性能変化チェック
 - イベント：危険な状態を検出する寿命末期の監視
 - 拡張：1軸で3倍の記録長
- 温度と電源のデジタル測定
- プログラマブルな動作と制御
 - キャプチャ・モードとサンプル・レート
 - I/O：データ・レディ、アラーム、キャプチャ・トリガ、汎用
 - 閾値による4つのアラーム設定
 - デジタル起動のセルフテスト
- SPI 互換のシリアル・インターフェース
- シリアル番号とデバイス ID
- 単電源動作：3.15~3.6 V
- 動作温度範囲：-40~+125°C
- 15 mm × 15 mm × 15 mm パッケージ（フレキシブル・コネクタ付き）

アプリケーション

- 振動解析
- 衝撃検出とイベント・キャプチャ
- 状態監視
- 機械の健康状態
- 計測、診断
- 安全性、遮断検出
- セキュリティ検出、タンパー検出

概要

ADIS16223 *iSensor*®は、業界をリードする*iMEMS*®センシング技術に信号処理、データ・キャプチャ、便利なシリアル・ペリフェラル・インターフェース（SPI）を組み合わせた3軸デジタル振動センサー・システムです。SPIとデータ・バッファ構造により、広帯域幅のセンサー・データにアクセスでき、22 kHzのセンサーの共振周波数と72.9 kSPSのサンプル・レートにより、機械の状態監視に最適な周波数応答が得られます。プログラマブルなデジタル・フィルタで、ローパス/バンドパスを設定できます。

データ・キャプチャ・イベントは、内部クロックでデータ・サンプリング・システムを駆動するため、外部クロックは不要です。データ収集機能には4つの異なるモードがあり、データ収集トリガ・オプションを選ぶことで多種多様なアプリケーションのニーズに対応することができます。

さらに、ADIS16223は、デジタル温度センサー、デジタル電源測定、ピーク加速度の出力収集にも利用できます。

ADIS16223は、10-32 UNF ネジによるスタッド・マウントに対応するネジ穴を備え、15 mm × 15 mm × 15 mm のモジュールで提供しています。1 mm、14ピンのフレキシブル・コネクタが2列あり、ユーザ・インターフェースや取付けが簡単にできます。また、-40~+125°Cの拡張動作温度範囲を備えています。

機能ブロック図

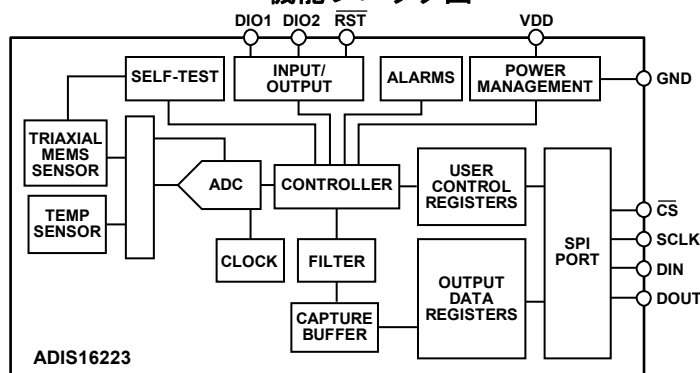


図 1.

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、各社の所有に属します。※日本語資料は REVISION が古い場合があります。最新の内容については、英語版をご参照ください。
©2010 Analog Devices, Inc. All rights reserved.

目次

特長.....	1	自動モード.....	11
アプリケーション.....	1	イベント・モード.....	12
概要.....	1	拡張モード.....	12
機能ブロック図.....	1	パワーダウン制御.....	12
改訂履歴.....	2	自動フラッシュ・バックアップ制御.....	12
仕様.....	3	キャプチャ時間.....	12
タイミング仕様.....	4	アラーム.....	13
絶対最大定格.....	5	システム・ツール.....	14
ESDに対する注意.....	5	グローバル・コマンド.....	14
ピン配置と機能の説明.....	6	入出力機能.....	14
動作原理.....	7	セルフテスト.....	15
センシング素子.....	7	デバイス識別.....	15
データのサンプリングと処理.....	7	フラッシュ・メモリの管理.....	15
ユーザ・インターフェース.....	7	デジタル信号処理.....	16
基本動作.....	8	ローパス・フィルタ.....	16
SPI書込みコマンド.....	8	バンドパス・フィルタ.....	16
SPI読出しコマンド.....	8	オフセット調整.....	16
データ収集.....	10	アプリケーション情報.....	17
キャプチャ・バッファからのデータ読出し.....	10	概要.....	17
出力データ・レジスタ.....	10	インターフェース・ボード.....	17
キャプチャ/アラーム設定.....	11	外形寸法.....	18
マニュアル・モード.....	11	オーダー・ガイド.....	18

改訂履歴

6/10—Revision 0: Initial Version

仕様

特に指定のない限り、 $T_A = -40 \sim +125^\circ\text{C}$ 、 $V_{DD} = 3.3\text{ V}$ 。

表 1.

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
ACCELEROMETERS					
Measurement Range	$T_A = 25^\circ\text{C}$	-70		+70	g
Sensitivity	$T_A = 25^\circ\text{C}$		4.768		mg/LSB
Sensitivity Error	$T_A = 25^\circ\text{C}$		± 5		%
Nonlinearity	With respect to full scale		± 0.2	± 2	%
Cross Axis Sensitivity			2.6		%
Alignment Error	With respect to package		1.5		Degree
Offset Error	$T_A = 25^\circ\text{C}$	-19.1		+19.1	g
Offset Temperature Coefficient			5		mg/ $^\circ\text{C}$
Output Noise	$T_A = 25^\circ\text{C}$, Register AVG_CNT = 0x0000		477		mg rms
Output Noise Density	$T_A = 25^\circ\text{C}$, 10 Hz to 1 kHz		3.3		mg/ $\sqrt{\text{Hz}}$
Bandwidth	X/Y axes, $\pm 5\%$ flatness		7.75		kHz
	X/Y axes, $\pm 10\%$ flatness		9.0		kHz
	Z-axis, $\pm 5\%$ flatness		13		kHz
	Z-axis, $\pm 10\%$ flatness		14.25		kHz
Sensor Resonant Frequency			22		kHz
Self-Test Response		3669	5243	6815	LSB
LOGIC INPUTS¹					
Input High Voltage, V_{INH}		2.0			V
Input Low Voltage, V_{INL}				0.8	V
Logic 1 Input Current, I_{INH}	$V_{\text{IH}} = 3.3\text{ V}$		± 0.2	± 1	μA
Logic 0 Input Current, I_{INL}	$V_{\text{IL}} = 0\text{ V}$				μA
All Except $\overline{\text{RST}}$			-40	-60	μA
$\overline{\text{RST}}$			-1		mA
Input Capacitance, C_{IN}			10		pF
DIGITAL OUTPUTS¹					
Output High Voltage, V_{OH}	$I_{\text{SOURCE}} = 1.6\text{ mA}$	2.4			V
Output Low Voltage, V_{OL}	$I_{\text{SINK}} = 1.6\text{ mA}$			0.4	V
FLASH MEMORY					
Endurance ²		10,000			Cycles
Data Retention ³	$T_J = 85^\circ\text{C}$	20			Years
START-UP TIME⁴					
Initial Startup			179		ms
Reset Recovery ⁵	$\overline{\text{RST}}$ pulse low or Register GLOB_CMD[7] = 1		54		ms
Sleep Mode Recovery			2.5		ms
CONVERSION RATE					
Clock Accuracy	Register AVG_CNT = 0x0000		72.9		kSPS
			3		%
POWER SUPPLY					
Power Supply Current	Operating voltage range, VDD	3.15	3.3	3.6	V
	Capture mode, $T_A = 25^\circ\text{C}$		43	52	mA
	Sleep mode, $T_A = 25^\circ\text{C}$		230		μA

¹ デジタルI/O信号は5V対応です。

² 耐久性はJEDEC規格 22 Method A117 に準拠し、 -40°C 、 $+25^\circ\text{C}$ 、 $+85^\circ\text{C}$ 、 $+125^\circ\text{C}$ の温度条件で測定しています。

³ JEDEC規格 22 Method A117 に準拠した、ジャンクション温度 (T_J) = 85°C 時の等価データ保持寿命期間です。データ保持寿命期間は、ジャンクション温度にもなつて短くなります。図 15 を参照してください。

⁴ ここに示したスタートアップ時間は、AVG_CNTレジスタの設定に依存するデータ・キャプチャ時間を含みません。

⁵ RST ピンは、少なくとも 15 nsの間ローレベルに保持する必要があります。

ADIS16223

タイミング仕様

特に指定のない限り、 $T_A = 25^\circ\text{C}$ 、 $V_{DD} = 3.3\text{ V}$ 。

表 2.

Parameter	Description	Min ¹	Typ	Max	Unit
f_{SCLK}	SCLK frequency	0.01		2.25	MHz
t_{STALL}	Stall period between data, between 16 th and 17 th SCLK	15.4			μs
t_{CS}	Chip select to SCLK edge	48.8			ns
t_{DAV}	DOUT valid after SCLK edge			100	ns
t_{DSU}	DIN setup time before SCLK rising edge	24.4			ns
t_{DHD}	DIN hold time after SCLK rising edge	48.8			ns
t_{SR}	SCLK rise time			12.5	ns
t_{SF}	SCLK fall time			12.5	ns
$t_{\text{DF}}, t_{\text{DR}}$	DOUT rise/fall times		5	12.5	ns
t_{SFS}	$\overline{\text{CS}}$ high after SCLK edge	5			ns

¹テストは行っていませんが、設計により保証しています。

タイミング図

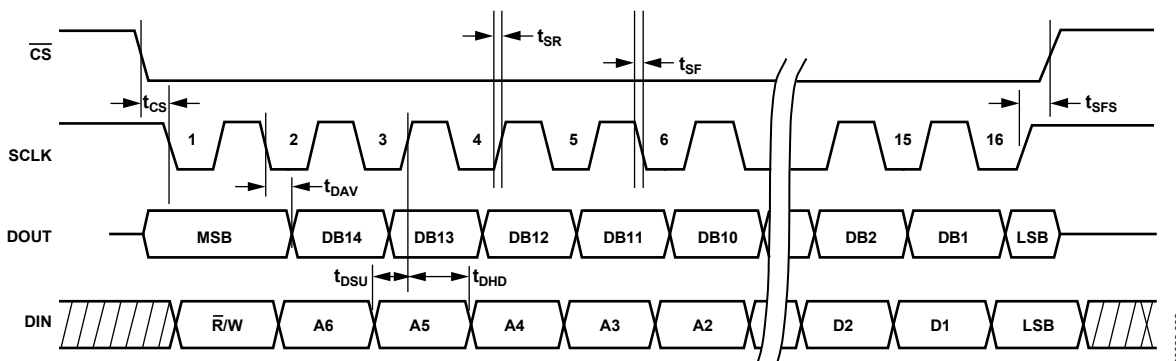


図 2. SPI タイミングとシーケンス

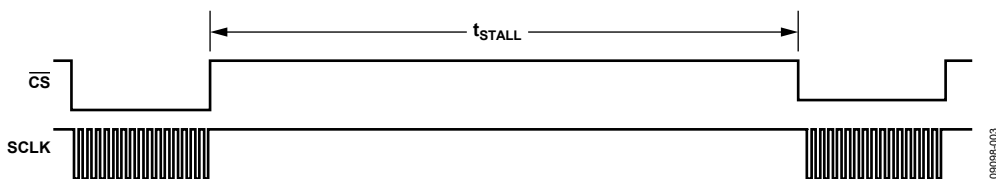


図 3. DIN ビット・シーケンス

絶対最大定格

表 3.

Parameter	Rating
Acceleration	
Any Axis, Unpowered	2000 g
Any Axis, Powered	2000 g
VDD to GND	-0.3 V to +6.0 V
Digital Input Voltage to GND	-0.3 V to +5.3 V
Digital Output Voltage to GND	-0.3 V to VDD + 0.3 V
Analog Inputs to GND	-0.3 V to +3.6 V
Operating Temperature Range	-40°C to +125°C
Storage Temperature Range	-65°C to +150°C

上記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定はストレス定格のみを指定するものであり、この仕様の動作セクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

表 4. パッケージ特性

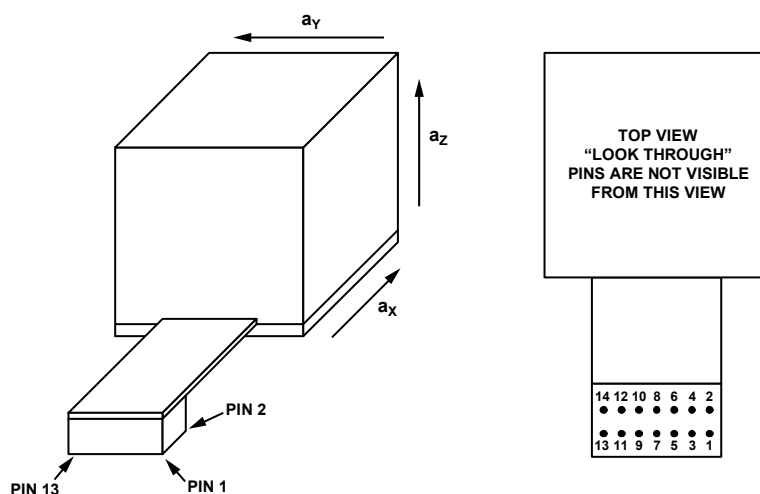
Package Type	θ_{JA}	θ_{JC}	Device Weight
14-Lead Module	31°C/W	11°C/W	6.5 grams

ESDに対する注意



ESD（静電放電）の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないうまま放電することがあります。本製品は当社独自の特許技術であるESD保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESDに対する適切な予防措置を講じることをお勧めします。

ピン配置と機能の説明



1. THE ARROWS ASSOCIATED WITH a_x , a_y , AND a_z DEFINE THE DIRECTION OF VELOCITY CHANGE THAT PRODUCES A POSITIVE OUTPUT IN ACCELERATION OUTPUT REGISTERS.
2. MATING CONNECTOR EXAMPLE: SAMTEC P/N CLM-107-02-LM-D-A.

09098-004

図 4. ピン配置

表 5. ピン機能の説明

ピン番号	記号	タイプ ¹	説明
1, 4, 9, 10	GND	S	グラウンド
2, 6	NC	I	無接続
3	DIO2	I/O	デジタル入出力ライン 2
5	DIO1	I/O	デジタル入出力ライン 1
7	$\overline{\text{RST}}$	I	リセット、アクティブ・ロー
8	VDD	S	電源、3.3 V
11	DIN	I	SPI データ入力
12	DOUT	O ²	SPI データ出力
13	SCLK	I	SPI シリアル・クロック
14	$\overline{\text{CS}}$	I	SPI チップ・セレクト

¹ Sは電源、Oは出力、Iは入力、I/Oは入出力です。

² DOUTは、 $\overline{\text{CS}}$ がローレベルのときに出力です。 $\overline{\text{CS}}$ がハイレベルのとき、DOUTはスリーステートの高インピーダンス・モードです。

動作原理

ADIS16223 は、3 軸、広帯域幅の振動解析用デジタル加速度センサーです。このセンシング・システムは、4 線式シリアル・ペリフェラル・インターフェース (SPI) に対応したプロセッサ・システムにて利用可能で、データを自律的に収集します。

センシング素子

ADIS16223 のデジタル振動センシングは、各軸の広帯域幅MEMS 加速度センサー・コアから始まります。このコアは、直線運動を電気信号に変換するトランスデューサ機能を備えています。図 5 は、センシング素子の直線加速度に対する応答を示します。センサーには、複数の差動コンデンサ・ユニット・セルが内蔵されています。各セルは、固定フレームと可動フレームから構成されています。ここでは、固定フレームと可動フレームを使用して、直線加速度に反応する微分容量ネットワークを形成します。スプリングが可動フレームを固定フレームに係留し、加速度と物理的変位の関係を決定します。可動プレートの変調信号は、それぞれ容量性パスを通して、固定フレーム・プレートと復調回路に送られます。これによって、デバイスに作用する加速度に比例した電気信号を計測します。

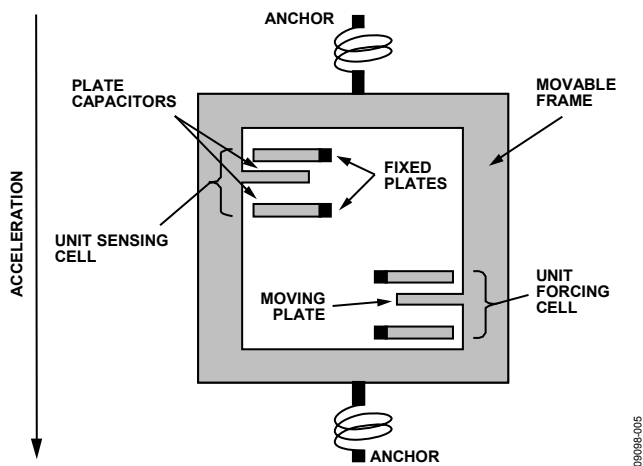


図 5. MEMS センサー

データのサンプリングと処理

各センサーからのアナログ加速度信号は、A/D コンバータ (ADC) に入力され、デジタル化されたデータはコントローラに入力されます。コントローラは、加速度データを処理し、キャプチャ・バッファにロードし、SPI/レジスタ・ユーザ・インターフェースによってデータに対するアクセスを管理します。処理オプションには、オフセット調整、フィルタリング、プリセット・アラーム条件のチェックが含まれます。

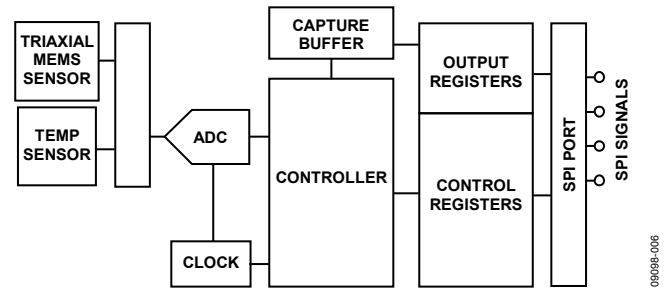


図 6. センサー信号処理の簡略図

ユーザ・インターフェース

SPIインターフェース

ユーザ・レジスタは、センサー・データと設定入力の両方に対するユーザ・アクセスを管理します。各 16 ビット・レジスタには固有のビット割当てがあり、上位バイトと下位バイトの 2 つのアドレスがあります。表 8 に、各レジスタのメモリ・マップに加え、その機能と下位バイト・アドレスを示します。各データ収集コマンドと設定コマンドは、どちらも 4 線式の SPI を使用します。チップ・セレクト (\overline{CS}) 信号が SPI インターフェースを起動し、シリアル・クロック (SCLK) によってシリアル・データ・ラインの同期をとります。SCLK の立上がりエッジで DIN ピンに 1 ビットずつ入力コマンドがクロック入力され、SCLK の立下がりエッジで DOUT ピンから出力データがクロック出力されます。ADIS16223 は SPI スレーブ・デバイスであるため、DOUT の内容は、DIN コマンドを使用して要求された情報を反映したものになります。

デュアル・メモリ構造

ユーザ・レジスタは、SPI インターフェースを経由して、すべての I/O 動作にアドレス指定を行うことができます。制御レジスタはデュアル・メモリ構造であり、デバイスがオンのときは SRAM がその動作を制御し、あらゆるユーザ設定入力に対応します。フラッシュ・メモリは、フラッシュ・バックアップ (表 8 を参照) を備えた制御レジスタの不揮発性記憶領域になります。フラッシュ・メモリに設定データをロードするには、手動でフラッシュ・アップデート・コマンド (GLOB_CMD[12]=1、DIN=0xBF10) を設定する必要があります。デバイスの電源投入時もしくはリセット時に、フラッシュ・メモリの値が SRAM にロードされます。その後、デバイスは、制御レジスタの設定に従ってデータ生成を開始します。

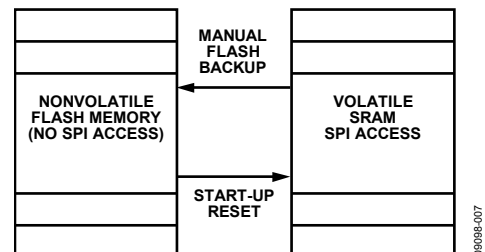


図 7. SRAM とフラッシュ・メモリ

ADIS16223

基本動作

ADIS16223 は、有効な電源電圧が投入されると自動的にスタートアップして、出力レジスタにデジタル加速度データの生成を開始します。図 8 に、SPI 互換プロセッサ・プラットフォームとの接続図を示します。DIO1 の工場出荷時のデフォルト設定では、キャプチャ・イベントが完了するとビジー・インジケータ信号がローレベルに遷移し、ユーザがデータにアクセスできるようになります。必要に応じて、表 28 の DIO_CTRL レジスタを使用して DIO1 と DIO2 を再設定してください。

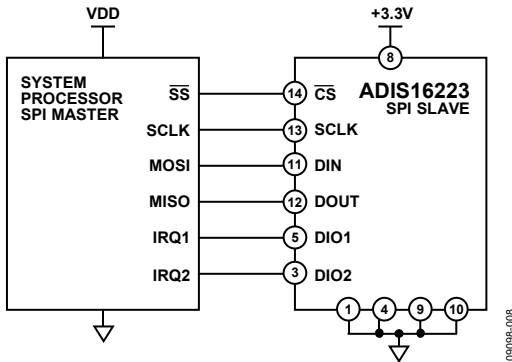


図 8. 電氣的接続図

表 6. マスタ・プロセッサの一般的なピン名と機能

ピン名	機能
SS	スレーブ・セレクト
IRQ1, IRQ2	割り込み要求入力 (オプション)
MOSI	マスタ出力、スレーブ入力
MISO	マスタ入力、スレーブ出力
SCLK	シリアル・クロック

ADIS16223 の SPI インターフェースは、full-duplex のシリアル通信 (同時送受信) に対応し、図 12 に示すビット・シーケンスを使用します。一般に、プロセッサのプラットフォームは、制御レジスタの設定に必要な汎用シリアル・ポートによる SPI 通信に対応します。表 7 に、ADIS16223 と通信するプロセッサ・シリアル・ポートを初期設定する際に注意すべき代表的な設定を示します。

表 7. マスタ・プロセッサの一般的な SPI 設定

Processor Setting	Description
Master	ADIS16223 operates as a slave
SCLK Rate \leq 2.25 MHz	Bit rate setting
SPI Mode 3	Clock polarity/phase (CPOL = 1, CPHA = 1)
MSB-First	Bit sequence
16-Bit	Shift register/data length

表 8 は、すべてのデータ収集と設定を管理するユーザ・レジスタとその下位バイト・アドレスの一覧を示します。各レジスタは 2 バイトで構成され、各バイトには固有の 6 ビット・アドレスがあります。図 9 には、レジスタの一般的なビット割り当てを示します。

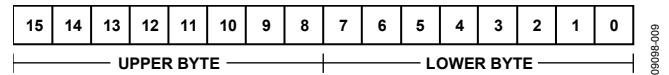


図 9. 一般的なレジスタ・ビット割り当て

SPI 書き込みコマンド

ユーザ制御レジスタは、多くの内部動作を制御します。マスタ・プロセッサは、図 12 の DIN ビット・シーケンスに基づいて、1 度に 1 バイトずつ制御レジスタに書込みます。設定変更や機能によっては、1 回の書込みサイクルで済むこともあります。たとえば、マニュアル・キャプチャ・シーケンスを開始するには、GLOB_CMD[11]=1 (DIN=0xBF08) に設定します。DIN (16 番目の SCLK 立上がりエッジ) に最後のビットがクロック入力されると、直ちにマニュアル・キャプチャが開始されます。設定によっては、両バイトをレジスタに書き込む必要があります (アドレスとデータが必要な場合)、その場合はそれぞれに 16 ビット・シーケンスを使用します。

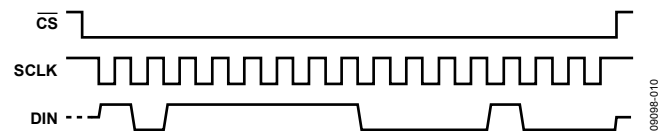


図 10. マニュアル・キャプチャ開始のための SPI シーケンス (DIN = 0xBF08)

SPI 読み出しコマンド

SPI 通信を経由して 1 回のレジスタ読み出しには、2 つの連続する 16 ビット・シーケンスが必要です。最初のシーケンスでは、 $\overline{R/W} = 0$ に設定し、ターゲット・アドレス (ビット [A6:A0]) を送信します。読み出し DIN シーケンスの場合、ビット [D7:D0] は “don't care” ビットです。2 番目のシーケンスの間、DOUT が要求されたレジスタの内容をクロック出力します。2 番目のシーケンスでは、DIN を使用して次の読み出しをセットアップすることもできます。図 11 に、full-duplex mode で x 軸の加速度キャプチャ・バッファ (CAPT_BUFFX) を読み出したときの SPI 信号ラインのすべての信号図を示します。この図では、DIN = 0x1400 にアドレスを送信すると、マスタ・プロセッサは、DOUT の出力データ DOUT=0xF9DA を読み出します。そして、このタイミングと同時に、同じ SCLK パルスを使用して DIN に次のアドレスを送信します。つまり、マスタ・プロセッサは、DOUT の出力データを読み出すと同時に、同じ SCLK パルスを使用して、DIN の次のターゲット・アドレスを送信します。

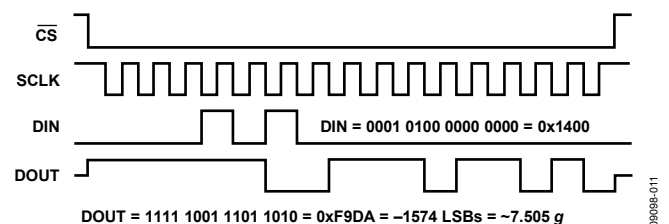
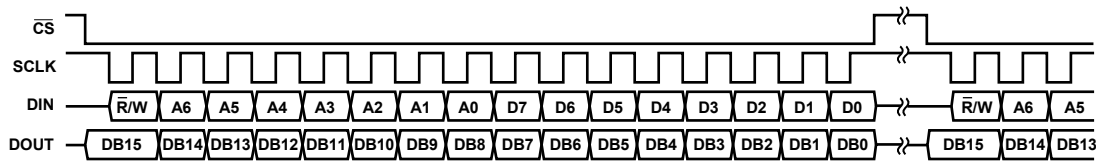


図 11. SPI 読み出しの例、2 番目の 16 ビット・シーケンス



NOTES

1. DOUT BITS ARE BASED ON THE PREVIOUS 16-BIT SEQUENCE ($\bar{R}/W = 0$).

090984-012

図 12. SPI 読み出しシーケンスの例

表 8 のすべてのレジスタは 2 バイトで構成されています。未使用のメモリ領域はすべて予備です。

表 8. ユーザ・レジスタのメモリ・マップ¹

Register Name	Access	Flash Backup	Address ²	Default	Function	Reference
FLASH_CNT	Read only	Yes	0x00	N/A	Status, flash memory write count	Table 35
NULL_X	Read/write	Yes	0x02	0x0000	Control, x-axis accelerometer offset correction	Table 40
NULL_Y	Read/write	Yes	0x04	0x0000	Control, y-axis accelerometer offset correction	Table 40
NULL_Z	Read/write	Yes	0x06	0x0000	Control, z-axis accelerometer offset correction	Table 40
Reserved	N/A	N/A	0x08 to 0x09	N/A	Reserved	N/A
CAPT_SUPPLY ³	Read only	Yes	0x0A	0x8000	Output, power supply during capture	Table 10
CAPT_TEMP ³	Read only	Yes	0x0C	0x8000	Output, temperature during capture	Table 10
CAPT_PEAKX ³	Read only	Yes	0x0E	0x8000	Output, peak x-axis acceleration during capture	Table 10
CAPT_PEAKY ³	Read only	Yes	0x10	0x8000	Output, peak y-axis acceleration during capture	Table 10
CAPT_PEAKZ ³	Read only	Yes	0x12	0x8000	Output, peak z-axis acceleration during capture	Table 10
CAPT_BUFFX ³	Read only	No	0x14	0x8000	Output, capture buffer for x-axis acceleration	Table 10
CAPT_BUFFY ³	Read only	No	0x16	0x8000	Output, capture buffer for y-axis acceleration	Table 10
CAPT_BUFFZ ³	Read only	No	0x18	0x8000	Output, capture buffer for z-axis acceleration	Table 10
CAPT_PNTR	Read/write	No	0x1A	0x0000	Control, capture buffer address pointer	Table 9
CAPT_CTRL	Read/write	Yes	0x1C	0x0020	Control, capture control register	Table 15
CAPT_PRD	Read/write	Yes	0x1E	0x0000	Control, capture period (automatic mode)	Table 17
ALM_MAGX	Read/write	Yes	0x20	0x0000	Alarm, trigger setting, x-axis acceleration	Table 22
ALM_MAGY	Read/write	Yes	0x22	0x0000	Alarm, trigger setting, y-axis acceleration	Table 22
ALM_MAGZ	Read/write	Yes	0x24	0x0000	Alarm, trigger setting, z-axis acceleration	Table 22
ALM_MAGS	Read/write	Yes	0x26	0x0000	Alarm, trigger setting, system	Table 23
ALM_CTRL	Read/write	Yes	0x28	0x0000	Alarm, control register	Table 21
Reserved	N/A	N/A	0x2A to 0x31	N/A	Reserved	N/A
GPIO_CTRL	Read/write	Yes	0x32	0x0000	Control, general-purpose I/O configuration	Table 29
MSC_CTRL	Read/write	No	0x34	0x0000	Control, manual self-test	Table 31
DIO_CTRL	Read/write	Yes	0x36	0x000F	Control, functional I/O configuration	Table 28
AVG_CNT	Read/write	Yes	0x38	0x0000	Control, low-pass filter (number of averages)	Table 37
Reserved	N/A	N/A	0x3A to 0x3B	N/A	Reserved	N/A
DIAG_STAT	Read only	Yes	0x3C	0x0000	Status, system error flags	Table 30
GLOB_CMD	Write only	No	0x3E	N/A	Control, global command register	Table 27
Reserved	N/A	N/A	0x40 to 0x51	N/A	Reserved	N/A
LOT_ID1	Read only	Yes	0x52	N/A	Lot identification code	Table 32
LOT_ID2	Read only	Yes	0x54	N/A	Lot identification code	Table 32
PROD_ID	Read only	Yes	0x56	0x3F5F	Product identifier; convert to decimal = 16,223	Table 33
SERIAL_NUM	Read only	Yes	0x58	N/A	Serial number	Table 34

¹ N/Aは「該当しません」(Not Applicable)の略です。

² 各レジスタは 2 バイトで構成され、下位バイトのアドレスが示されています。上位バイトのアドレスは、下位バイトのアドレスに 1 を加算したものです。

³ このレジスタのデフォルト値は、キャプチャ・イベントが発生しなかったことを示します。

ADIS16223

データ収集

ADIS16223は、キャプチャ・イベントを使用して、加速度（振動）データのサンプリングとロードを行います。キャプチャ・イベントには、図 13に示すように、いくつかのサンプリング/処理動作があります。まず、ADIS16223は、加速度データの 1024 個のサンプルを生成し、キャプチャ・バッファに保存します。次に、キャプチャ・イベントにより、50 kHzのサンプル・レートで 5.12 ms間の電源測定記録をとり、この記録の平均値をCAPT_SUPPLYレジスタにロードします。最後に、キャプチャ・イベントにより、1.7 ms間に 64 個の内部温度データ・サンプルをとり、この記録の平均値をCAPT_TEMPレジスタにロードします。

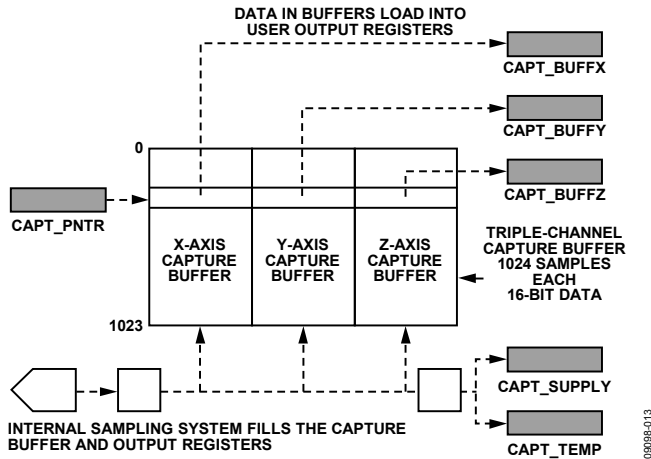


図 13. キャプチャ・バッファの構造と動作

キャプチャ・バッファからのデータ読出し

キャプチャが完了すると、最初のデータ・サンプルがCAPT_BUFFERx レジスタにロードされ、指定ポインタ (CAPT_PNTR) に 0x0000 がロードされます。CAPT_BUFFERx レジスタにどのデータ・サンプルがロードされるかは、指定ポインタによって決まります。たとえば、CAPT_PNTR レジスタ (DIN = 0x9A38, DIN = 0x9B01) に 0x0138 を書き込むと、各バッファ・メモリ内の 313 番目のサンプルが CAPT_BUFFERx レジスタにロードされます。

表 9. CAPT_PNTR ビットの説明

Bits	Description (Default = 0x0000)
[15:10]	Reserved
[9:0]	Data bits

指定ポインタの値は、CAPT_BUFFERx の読出しコマンドごとに増えていくため、次のキャプチャ・データ・セットが自動的に各キャプチャ・バッファ・レジスタにロードされます。

出力データ・レジスタ

ADIS16223 の出力レジスタから、キャプチャ・イベント時に取得した加速度データ、ピーク加速度データ、電源、内部温度のデータにアクセスすることができます。表 10に、出力データ/ポインタ・レジスタとその下位バイト・アドレスの一覧を示します。

表 10. 出力データ/ユーザ・アクセス・レジスタの概要

Register Name	Lower Byte Address	Measurement	Format
CAPT_SUPPLY	0x0A	Power supply	Table 12
CAPT_TEMP	0x0C	Internal temperature	Table 13
CAPT_PEAKX	0x0E	Peak acceleration, X	Table 11
CAPT_PEAKY	0x10	Peak acceleration, Y	Table 11
CAPT_PEAKZ	0x12	Peak acceleration, Z	Table 11
CAPT_BUFFERX	0x14	Acceleration, X	Table 11
CAPT_BUFFERY	0x16	Acceleration, Y	Table 11
CAPT_BUFFERZ	0x18	Acceleration, Z	Table 11
CAPT_PNTR	0x1A	Capture data pointer	Table 9

出力データ・フォーマット

加速度およびピーク加速度出力レジスタは、2 の補数による 16 ビット・デジタル・フォーマットを使用します。スケール係数は 4.768 mg/LSB です。CAPT_PEAKx レジスタは、ゼロ・オフセット誤差を想定して、0 g からの最大偏差を反映し、正または負と極性判定することができます。CAPT_SUPPLY と CAPT_TEMP は、オフセット・バイナリの 12 ビット・デジタル・フォーマットを使用します。スケール係数は、それぞれ+1.2207 mV/LSB と -0.47°C/LSB です。

出力データ・フォーマットの例

表 11、表 12、表 13に、各出力レジスタ・データ・フォーマットのさまざまなデジタル・コーディング例を示します。

表 11. 加速度データ・フォーマットの例

Acceleration (g)	LSB	Hex	Binary
+70	+14681	0x3959	0011 1001 0101 1001
+1	+210	0x00D2	0000 0000 1101 0010
+0.004768	+1	0x0001	0000 0000 0000 0001
0	0	0x0000	0000 0000 0000 0000
-0.004768	-1	0xFFFF	1111 1111 1111 1111
-1	-210	0xFFE2	1111 1111 0010 1110
-70	-14681	0xC6A7	1100 0110 1010 0111

表 12. 電源データ・フォーマットの例

Supply Level (V)	LSB	Hex	Binary
3.6	2949	0xB85	1011 1000 0101
3.3 + 0.0012207	2704	0xA90	1010 1001 0000
3.3	2703	0xA8F	1010 1000 1111
3.3 - 0.0012207	2702	0xA8E	1010 1000 1110
3.15	2580	0xA14	1010 0001 0100

表 13. 内部温度データ・フォーマットの例

Temperature (°C)	LSB	Hex	Binary
125	1065	0x429	0100 0010 1001
25 + 0.47	1277	0x4FD	0100 1111 1101
25	1278	0x4FE	0100 1111 1110
25 - 0.047	1279	0x4FF	0100 1111 1111
0	1331	0x533	0101 0011 0011
-40	1416	0x588	0101 1000 1000

キャプチャ／アラーム設定

表 14は、キャプチャ機能のユーザ設定のための制御レジスタの一覧です。表 14のアドレス欄は、各レジスタの下位バイト・アドレスを示しています。

表 14. キャプチャ設定レジスタの概要

Register Name	Lower Byte Address	Description
CAPT_CTRL	0x1C	Capture configuration
CAPT_PRD	0x1E	Capture period (automatic mode)
ALM_MAGX	0x20	X-axis alarm threshold (event mode)
ALM_MAGY	0x22	Y-axis alarm threshold (event mode)
ALM_MAGZ	0x24	Z-axis alarm threshold (event mode)
ALM_S_MAG	0x26	System alarm
ALM_CTRL	0x28	Alarm control (event)
DIO_CTRL	0x36	Digital I/O configuration
GLOB_CMD	0x3E	Capture commands

表 15 のCAPT_CTRLレジスタは、キャプチャ・モード設定のための主なユーザ制御機能を提供します。キャプチャ・モードには、マニュアル、自動、イベント、拡張の4つのモードがあります。モードを設定するには、CAPT_CTRLレジスタに書き込み、GLOB_CMD[11] (表 27を参照) またはいずれかのデジタルI/Oライン (DIO1 またはDIO2) をマニュアル・トリガとして使用して、動作を開始します。表 28のDIO_CTRLレジスタで、DIO1 またはDIO2 をマニュアル・トリガの入力ラインとして設定します。マニュアル・トリガでは、処理中のキャプチャ・イベントを停止し、デバイスを待機状態に戻すこともできます。

表 15. CAPT_CTRL ビットの説明

Bits	Description (Default = 0x0020)
[15:10]	Reserved
[9:8]	Extended mode channel selection 00 = x-axis 01 = y-axis 10 = z-axis 11 = reserved
[7]	Band-pass filter, 1 = enabled
[6]	Automatically store capture buffers to flash upon alarm trigger, 1 = enabled
[5:4]	Pre-event capture length for event mode 00 = 64 samples 01 = 128 samples 10 = 256 samples 11 = 512 samples
[3:2]	Capture mode 00 = manual 01 = automatic 10 = event 11 = extended
[1]	Power-down between capture events, 1 = enabled
[0]	Reserved

マニュアル・モード

表 16は、マニュアル・モードの設定シーケンス例を示します。工場出荷時のデフォルト設定を使用する場合、この例の最初のステップは不要です。データ・キャプチャ・プロセスを開始するには、マニュアル・トリガを使用してください。

表 16. マニュアル・モードの設定例

DIN	Description
0x9C00	Set CAPT_CTRL[7:0] = 0x00 to select manual mode
0xBF08	Set GLOB_CMD[11] = 1 to start the data capture

自動モード

表 18は、自動モードの設定例を示します。この場合、マニュアル・トリガでデータ・キャプチャが開始され、その後カウントダウン・シーケンスに入り、次のデータ・キャプチャが始まります。この例では、データ・キャプチャの完了後にデバイスをシャットダウンして節電するオプションも使用しています。表 17のCAPT_PRDレジスタで、自動モードのカウントダウン時間を設定できます。

表 17. CAPT_PRD レジスタ・ビットの説明

Bits	Description (Default = 0x0000)
[15:10]	Reserved
[9:8]	Scale for data bits 00 = 1 second/LSB 01 = 1 minute/LSB 10 = 1 hour/LSB
[7:0]	Data bits, binary format

表 18. 自動モードの設定例

DIN	Description
0x9F02	Set CAPT_PRD[15:8] = 0x02 to set time scale to hours
0x9E18	Set CAPT_PRD[7:0] = 0x18 to set the period to 24 hours
0x9C06	Set CAPT_CTRL[7:0] = 0x06 to select automatic trigger mode and enable shutdown in between captures
0xBF08	Set GLOB_CMD[11] = 1 to execute a capture, shut down, and begin the 24-hour countdown for the next capture

イベント・モード

イベント・モードでは、マニュアル・トリガによってプレイベント・キャプチャ・プロセスを開始し、連続的にデータをサンプリングし、アラーム・トリガ設定を監視し、循環バッファにデータをロードします。CAPT_CTRL[5:4]で、循環バッファのサイズをプレイベント・キャプチャ長として設定します。循環バッファ内のデータがアラームのいずれかのトリガ設定を上回ると、キャプチャ・バッファの残りはポストイベント・データで埋められます。表 19 に示すこのモードの設定シーケンス例では、値が $\pm 20\text{ g}$ を超えると 3 つの加速度アラームのすべてが作動します。

表 19. イベント・モードの設定例

DIN	Description
0xA063	Set ALM_MAGX = 0x1063, trigger threshold = $\pm 20\text{ g}$, 20 g \div 4.768 mg/LSB = 4195, LSB = 0x1063
0xA110	
0xA263	Set ALM_MAGY = 0x1063, trigger threshold = $\pm 20\text{ g}$, 20 g \div 4.768 mg/LSB = 4195, LSB = 0x1063
0xA310	
0xA463	Set ALM_MAGZ = 0x1063, trigger threshold = $\pm 20\text{ g}$, 20 g \div 4.768 mg/LSB = 4195, LSB = 0x1063
0xA510	
0xA807	Set ALM_CTRL[2:0] = 0x07 to enable ALM_MAGX, ALM_MAGY, and ALM_MAGZ triggers
0xB61F	Set DIO_CTRL[7:0] = 0x1F to set DIO1 as a positive busy indicator and DIO2 as a positive alarm indicator
0x9C58	Set CAPT_CTRL[7:0] = 0x58 to select event mode, enable automatic capture store to flash and set the pre-event capture length to 128 samples
0xBF08	Set GLOB_CMD[11] = 1 to start the process of monitoring data for $> +20\text{ g}$ or $< -20\text{ g}$ (preset alarm trigger settings)

拡張モード

拡張キャプチャ・モード・オプションは、マニュアル・モードと同じように動作しますが、加速度データの 1 軸に対して 3 つのキャプチャ・バッファを使用することが可能という点が異なります。このようにサンプル数が 3 倍に増えるため、FFT 解析技術を使用するアプリケーションでは、ノイズ・フロアが最大で 4.5 dB 改善されます。このモードでは、x 軸のキャプチャ・バッファに最初の 1024 個のサンプル、y 軸のキャプチャ・バッファに 2 番目の 1024 個のサンプル、そして z 軸のキャプチャ・バッファに 3 番目の 1024 個のサンプルがロードされます。拡張モードを選択するには CAPT_CTRL[3:2] = 11 (DIN = 0x9C0C) で設定し、CAPT_CTRL[9:8] で加速度センサーの軸を選択することができます。

パワーダウン制御

データ・キャプチャ・イベント後に ADIS16223 がスリープ・モードに入るように設定するには、CAPT_CTRL[1] = 1 (DIN = 0x9C02) に設定します。デバイスがシャットダウンしてスリープ・モードに入った後は、 $\overline{\text{CS}}$ ピンをローレベルにすることでウェークアップします。デバイスをスリープ・モードからウェークアップさせるデジタル・トリガ入力オプションの詳細については、表 28 と図 14 を参照してください。スリープ・モードから復帰した後、デバイスが SPI インターフェース通信を開始するまで少なくとも 2.5 ms の待ち時間が必要です。この時間より前に DIN ピンに書き込もうとする ($\overline{\text{CS}}$ を下げる) と、データが無効になることがあります。その場合は、 $\overline{\text{CS}}$ をハイレベルに上げてから、再びローレベルに下げて有効なデータの収集を開始します。デバイスはスリープ・モードから復帰した後、次のキャプチャが終わるまで、またはデバイスが手動でスリープ・モードに戻されるまで、ウェーク状態のままです。キャプチャ後にデータを読み出すときは、GLOB_CMD[1] = 1 (DIN = 0xBE02) に設定してデバイスをスリープ・モードに戻すことができます。複数のデバイスをウェークアップさせる場合は、DOUT ラインでの競合を避けるために $\overline{\text{CS}}$ を異なるタイミングで切り替えてください。

自動フラッシュ・バックアップ制御

CAPT_CTRL[6]は、キャプチャ・データ用のフラッシュ・ベースのバックアップ機能を提供します。CAPT_CTRL[6] = 1 にすると、データ・キャプチャ・シーケンスの直後に不揮発性フラッシュ内のミラー位置にキャプチャ・バッファの内容が自動的にロードされます。このデータをフラッシュ・メモリからキャプチャ・バッファに戻すには、GLOB_CMD[13] = 1 (DIN = 0xBF20) に設定します。

キャプチャ時間

キャプチャ時間は、2 つの設定に依存します。

- AVG_CNT レジスタのサンプル当たりの平均カウント設定 (表 37 を参照)
- CAPT_CTRL[6]のフラッシュ・バックアップ設定：
フラッシュなし：CAPT_CTRL[6] = 0
フラッシュあり：CAPT_CTRL[6] = 1 (表 15 を参照)

キャプチャ時間 (t_c) を予測するには、次式を使用します。

$$t_c = 0.014 + \frac{1}{70,700} \times 1024 \times 2^{\text{AVG_CNT}} \text{ (no flash)}$$

$$t_c = 0.516 + \frac{1}{70,700} \times 1024 \times 2^{\text{AVG_CNT}} \text{ (with flash)}$$

アラーム

表 20は、アラーム機能のユーザ設定のための制御レジスタの一覧です。表 20のアドレス欄は、各レジスタの下位バイト・アドレスを示しています。

表 20. アラーム設定レジスタの概要

Register Name	Lower Byte Address	Description
CAPT_CTRL	0x1C	Capture configuration
CAPT_PRD	0x1E	Capture period (automatic mode)
ALM_MAGX	0x20	X-axis alarm threshold (event mode)
ALM_MAGY	0x22	Y-axis alarm threshold (event mode)
ALM_MAGZ	0x24	Z-axis alarm threshold (event mode)
ALM_S_MAG	0x26	System alarm
ALM_CTRL	0x28	Alarm control (event)
DIO_CTRL	0x36	Digital I/O configuration
GLOB_CMD	0x3E	Capture commands

ALM_CTRL レジスタは、3 軸の加速度センサーを監視する 4 つのアラームと、温度または電源を監視するためのシステム・アラームのオン/オフ制御を行います。ALM_CTRL[5]はシステム・アラームの ALM_MAG で設定した閾値を超える/下回る加速度が加わったかどうかの極性を設定します。この機能は、加速度センサー・アラームにはありません。

表 22は、加速度データ・レジスタ (表 11を参照) と同じデータ・フォーマットを使用するALM_MAGX、ALM_MAGY、ALM_MAGZ のビット割当てを示しています。表 23は、ALM_CTRL[4]のデータ・ソース選択と同じデータ・フォーマットを使用するシステム・アラーム (ALM_MAGS) のビット割当てです。ALM_MAGSは、電源 (表 12を参照) または内部温度レジスタ (表 13を参照) のフォーマットを使用できます。ALM_MAG は、各アラームの閾値の大きさを設定することができます。4 つのアラームのエラー・フラグはDIAG_STAT[11:8]にあります。エラー・フラグが 1 の場合の詳細については、表 30を参照してください。

表 21. ALM_CTRL ビットの説明

Bits	Description (Default = 0x0000)
[15:6]	Reserved
[5]	System alarm comparison polarity 1 = trigger when less than ALM_MAGS[11:0] 0 = trigger when greater than ALM_MAGS[11:0]
[4]	System alarm, 1 = temperature, 0 = power supply
[3]	Alarm S enable (ALM_MAGS), 1 = enabled, 0 = disabled
[2]	Alarm Z enable (ALM_MAGZ), 1 = enabled, 0 = disabled
[1]	Alarm Y enable (ALM_MAGY), 1 = enabled, 0 = disabled
[0]	Alarm X enable (ALM_MAGX), 1 = enabled, 0 = disabled

表 22. ALM_MAGX、ALM_MAGY、ALM_MAGZ

Bits	Description (Default = 0x0000)
[15:0]	Data bits for acceleration threshold setting; twos complement, 4.768 mg/LSB.

表 23. ALM_MAGS ビットの説明

Bits	Description (Default = 0x0000)
[15:12]	Reserved.
[11:0]	Data bits for temperature or supply threshold setting. Binary format matches CAPT_TEMP or CAPT_SUPPLY format, depending on the ALM_CTRL[4] setting.

表 24と表 25に、ALM_CTRLとALM_MAGを使用してシステム・アラーム機能を設定するための例を示します。

表 24. システム・アラームの設定例 1

DIN	Description
0xA808	Set ALM_CTRL[7:0] = 0x08 to set system alarm for a power supply too high condition.
0xA70B	Set ALM_MAGS = 0x0B0A for a trigger setting of 3.45 V. 3.45 V ÷ 0.0012207 = 2826 LSB = 0x0B0A. See Table 12 for more details on calculating digital codes for power supply measurements.
0xA60A	

表 25. システム・アラームの設定例 2

DIN	Description
0xA838	Set ALM_CTRL[7:0] = 0x38 to set system alarm for a temperature too low condition.
0xA705	Set ALM_MAGS = 0x0573 for a trigger setting of -30°C. For a temperature trigger setting of -30°C, use the sensitivity of -0.47°C/LSB and the reference TEMP_OUT reading for +25°C of 1278.
0xA673	

表 25に示すALM_MAGSの設定を計算するには、以下の手順に従ってください。

1. $T = -30^{\circ}\text{C}$
2. $\Delta T = -30^{\circ}\text{C} - 25^{\circ}\text{C} = -55^{\circ}\text{C}$
3. $\Delta\text{LSB} = -55^{\circ}\text{C} \div -0.47^{\circ}\text{C}/\text{LSB} = +117\ \text{LSB}$
4. $\text{ALM_MAGS} = 117\ \text{LSB} + 1278\ \text{LSB}$ (25°C 設定)
5. $\text{ALM_MAGS} = 1395\ \text{LSB}$ (10 進)
6. $\text{ALM_MAGS} = 0x0573$ (16 進)

内部温度計測用のデジタル・コード計算の詳細については、表 13を参照してください。

システム・ツール

表 26に、グローバル・コマンド、I/O制御、ステータス/エラー・フラグ、デバイス識別、MEMSセルフテスト、フラッシュ・メモリ管理といったシステム・レベルの機能に対応するコントロール・レジスタの概要を示します。

表 26. システム・ツール・レジスタのアドレス

Register Name	Address	Description
FLSH_CNT	0x00	Flash write cycle count
GPIO_CTRL	0x32	General-purpose I/O control
MSC_CTRL	0x34	Manual self-test controls
DIO_CTRL	0x36	Digital I/O configuration
DIAG_STAT	0x3C	Status, error flags
GLOB_CMD	0x3E	Global commands
LOT_ID1	0x52	Lot Identification Code 1
LOT_ID2	0x54	Lot Identification Code 2
PROD_ID	0x56	Product identification
SERIAL_NUM	0x58	Serial number

グローバル・コマンド

GLOB_CMDレジスタは、複数のコマンドの開始ビットがあり、書き込みによりソフトウェアのリセット等の動作を簡単に行うことができる便利なレジスタです。表 27の割り当てられたビットに 1 を設定すると、SPI通信シーケンスの 16 番目のSCLKの直後に各機能が起動します。機能が完了すると、ビットは自動的に 0 に戻ります。たとえば、キャプチャ・バッファをクリアするには、GLOB_CMD[8]=1 (DIN=0xBF01) に設定します。GLOB_CMDレジスタのすべてのコマンドは、表 27に記載されている実行時間の間、電源が通常の制限範囲内にとどまる必要があります。この実行時間の間は、SPIインターフェースとの通信は行わないでください。さもないと、プロセスが中断し、データ損失や破壊が生じます。

表 27. GLOB_CMD ビットの説明

Bits	Description	Execution Time ¹
[15:14]	Reserved	Not applicable
[13]	Restore capture data and settings from flash memory	0.98 ms (no capture), 7.0 ms (with capture)
[12]	Copy capture data and settings to flash memory	339 ms (no capture), 509 (with capture)
[11]	Capture mode start/stop	Not applicable
[10]	Set CAPT_PNTR = 0x0000	0.035 ms
[9]	Reserved	Not applicable
[8]	Clear capture buffers	0.84 ms
[7]	Software reset	54 ms
[6]	Reserved	Not applicable
[5]	Flash test, compare sum of flash memory with factory value	10.5 ms
[4]	Clear DIAG_STAT register	0.035 ms
[3]	Restore factory register settings and clear the capture buffers	339 ms
[2]	Self-test, result in DIAG_STAT[5]	33 ms
[1]	Power-down	Not applicable
[0]	Autonull	936 ms

¹ コマンド書き込みからデバイスが通常動作に戻るまでの代表的な時間を示しています。

入出力機能

表 28のDIO_CTRLレジスタは、2本のデジタルI/Oラインの設定制御オプションを提供します。

ビジー・インジケータ

ビジー・インジケータは、内部プロセッサのアクティビティ状態を示す出力信号です。この信号は、データ・キャプチャ・イベント中、レジスタ書き込みサイクル中、または表 27の機能などの内部処理中に有効です。DIO_CTRLの工場出荷時のデフォルト設定では、DIO1 はアクティブ・ハイ状態のビジー・インジケータ信号です。この信号は、キャプチャ・バッファからのデータ読出しを行うようマスタ・プロセッサに警告するために、使用してください。

キャプチャ・トリガ

キャプチャ・トリガ機能は、信号パルスによってトリガ・モードとキャプチャ・イベントを開始する入力ピンに提供します。DIO2をアクティブ・ハイのトリガ入力として設定し、DIO1をビジー・インジケータとするには、DIO_CTRL[7:0]=0x2F (DIN=0xB62F) に設定します。トリガを起動するには、トリガ入力信号がローレベルからハイレベルに遷移し、さらにハイレベルからローレベルに遷移する必要があります。図 14に示すように、キャプチャ・プロセスはハイレベルからローレベルへの遷移時に開始します。トリガを発生するには、パルス期間を 2.6 μs以上にする必要があります。

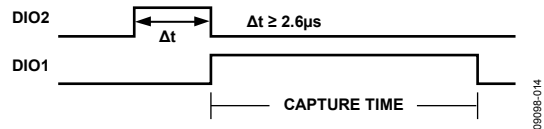


図 14. マニュアル・トリガ/ビジー・インジケータ・シーケンスの例

アラーム・インジケータ

DIO2をアクティブ・ハイの極性を持つアラーム・インジケータに設定するには、DIO_CTRL[7:0]=0x1F (DIN=0xB61F) にします。加速度またはシステム・データが ALM_MAGx レジスタの設定閾値を上回ると、アラーム・インジケータはアクティブ状態に遷移します。アラーム・インジケータを無効状態に戻すには、GLOB_CMD[4]=1 (DIN=0xBF10) に設定し、DIAG_STATエラー・フラグをクリアにします。

表 28. DIO_CTRL ビットの説明

Bits	Description (Default = 0x000F)
[15:6]	Reserved
[5:4]	DIO2 function selection 00 = general-purpose I/O (use GPIO_CTRL) 01 = alarm indicator output (per ALM_CTRL) 10 = capture trigger input 11 = busy indicator output
[3:2]	DIO1 function selection 00 = general-purpose I/O (use GPIO_CTRL) 01 = alarm indicator output (per ALM_CTRL) 10 = capture trigger input 11 = busy indicator output
[1]	DIO2 line polarity; if [5:4] = 00, see GPIO_CTRL in Table 29 1 = active high 0 = active low
[0]	DIO1 line polarity; if [3:2] = 00, see GPIO_CTRL in Table 29 1 = active high 0 = active low

汎用I/O

DIO_CTRLによってDIO1またはDIO2を汎用デジタル・ラインに設定した場合、表29のGPIO_CTRLレジスタを使用して入出力方向を設定し、出力設定時の出力レベルを設定し、入力の状態を監視します。

表 29. GPIO_CTRL ビットの説明

Bits	Description (Default = 0x0000)
[15:10]	Reserved
[9]	DIO2 output level 1 = high 0 = low
[8]	DIO1 output level 1 = high 0 = low
[7:2]	Reserved
[1]	DIO2 direction control 1 = output 0 = input
[0]	DIO1 direction control 1 = output 0 = input

ステータス/エラー・フラグ

表30のDIAG_STATレジスタは、キャプチャ時、SPI通信時、および診断テスト時に発生する条件を反映する全エラー・フラグを示します。エラー・フラグが、1のときはエラー状態を示しますが、エラー・フラグはすべてエラー状態を回避しない限り保持し続けます。つまり、GLOB_CMD[4] = 1 (DIN = 0xBE10) の設定または新しいキャプチャ・イベントの起動によってリセットされるまでクリアされません。0のときは通常動作を示します。DIAG_STAT[14:12]は、各軸のイベント・キャプチャ・トリガのソースを示します。DIAG_STAT[11:8]は、キャプチャ・イベント時にどの軸がALM_MAGx閾値を上回ったかを示します。DIAG_STAT[4]のキャプチャ期間違反フラグは、最新のキャプチャ・シーケンスが進行中のときにユーザがSPIを駆動したかどうかを示します。DIAG_STAT[3]のフラグは、SCLKクロックの総数が16の倍数でないことを示します。

表 30. DIAG_STAT ビットの説明

Bits	Description (Default = 0x0000)
[15]	Reserved
[14]	Alarm Z, event-mode trigger indicator
[13]	Alarm Y, event-mode trigger indicator
[12]	Alarm X, event-mode trigger indicator
[11]	Alarm S, capture supply/temperature data > ALM_MAGS
[10]	Alarm Z, captured acceleration data > ALM_MAGZ
[9]	Alarm Y, captured acceleration data > ALM_MAGY
[8]	Alarm X, captured acceleration data > ALM_MAGX
[7]	Data ready, capture complete
[6]	Flash test result, checksum flag
[5]	Self-test diagnostic error flag
[4]	Capture period violation/interruption
[3]	SPI communications failure
[2]	Flash update failure
[1]	Power supply above 3.625 V
[0]	Power supply below 3.125 V

セルフテスト

自動セルフテスト・ルーチンを実行して合否結果をDIAG_STAT[5]にロードするには、GLOB_CMD[2] = 1 (DIN = 0xBE02) に設定します。3軸すべてのセルフテスト機能を手動で起動するには、MSC_CTRL[8] = 1 (DIN = 0xB501) に設定します。これによって、取得された各軸の加速度センサーのデータにオフセット・シフトが生じます。このオフセット・シフトと、表1のセルフテスト応答仕様を比べてください。オフセット・シフトが仕様の範囲内であれば、デバイスは正常です。

表 31. MSC_CTRL ビットの説明

Bits	Description (Default = 0x0000)
[15:9]	Reserved
[8]	Manual self-test, 1: enabled
[7:0]	Reserved

デバイス識別

表 32. LOT_ID1 および LOT_ID2 ビットの説明

Bits	Description
[15:0]	Lot identification code

表 33. PROD_ID ビットの説明

Bits	Description
[15:0]	0x3F5F = 16,223

表 34. SERIAL_NUM ビットの説明

Bits	Description
[15:0]	Serial number, lot specific

フラッシュ・メモリの管理

フラッシュ・メモリの内部チェックサム・テストを実行してDIAG_STAT[6]に合否結果をロードするには、GLOB_CMD[5] = 1 (DIN = 0xBE20) に設定します。FLASH_CNTレジスタ (表35を参照) は、フラッシュ・メモリ書込みサイクルの累計回数を提供します。これは、フラッシュ・メモリの書換え回数を管理するためのツールです。図15に、データ保持とジャンクション温度の関係を示したものを示します。

表 35. FLASH_CNT ビットの説明

Bits	Description
[15:0]	Binary counter for writing to flash memory

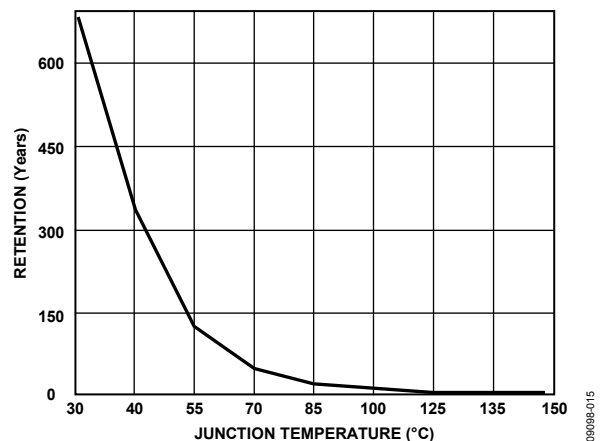


図 15. フラッシュ/EEメモリのデータ保持

デジタル信号処理

図 16に、センサー信号処理のブロック図を示します。表 36は、ローパス・フィルタ、バンドパス・フィルタ、オフセット調整を制御するレジスタの概要です。

表 36. デジタル信号処理レジスタの概要

Register Name	Address	Description
NULL_X	0x02	Offset correction, X
NULL_Y	0x04	Offset correction, Y
NULL_Z	0x06	Offset correction, Z
CAPT_CTRL	0x1C	Band-pass filter enable
AVG_CNT	0x38	Low-pass filter, output sample rate
GLOB_CMD	0x3E	Autonull offset correction

ローパス・フィルタ

ローパス・フィルタによる加速度データの平均化とデシメーションレートは、表 37のAVG_CNTレジスタによって決まります。表 38に、各設定に対応する性能のトレードオフを示します。

表 37. AVG_CNT ビットの説明

Bits	Description (Default = 0x0000)
[15:4]	Reserved
[3:0]	Power-of-two setting for number of averages, binary

表 38. ローパス・フィルタの性能

D	N _D	f _{sc}	f _c (-3 dB)	Noise (mg)
0	1	72.9 kHz	22.5 kHz	465
1	2	36.5 kHz	14.2 kHz	386
2	4	18.2 kHz	7.78 kHz	302
3	8	9.11 kHz	3.99 kHz	227
4	16	4.56 kHz	2.01 kHz	164
5	32	2.28 kHz	1.01 kHz	117
6	64	1.14 kHz	504 Hz	83.0
7	128	570 Hz	252 Hz	58.8
8	256	285 Hz	126 Hz	41.6
9	512	142 Hz	62.7 Hz	29.7
10	1024	71.2 Hz	31.4 Hz	21.2

バンドパス・フィルタ

CAPT_CTRL[7]は、バンドパス・フィルタ機能のオン/オフ制御を行います。バンドパス・フィルタ段は、2次のローパスIIRフィルタと2次のハイパスIIRフィルタを組み合わせています。カットオフ周波数は、このフィルタ段のサンプル・レートを定めるAVG_CNTレジスタに依存します。表 39に、AVG_CNTの設定ごとのローパス・フィルタ (F2) とハイパス・フィルタ (F1) のカットオフ周波数を示します。バンドパス・フィルタ段を有効にするには、CAPT_CTRL[7] = 1 (DIN = 0x9C80) に設定します。

表 39. バンドパス・フィルタの性能 (CAPT_CTRL[7] = 1)

D	N _D	f _{sc}	F1 (Hz)	F2 (Hz)	Noise (mg)
0	1	72.9 kHz	2500	10,000	281
1	2	36.5 kHz	1250	5000	217
2	4	18.2 kHz	625	2500	158
3	8	9.11 kHz	313	1250	110
4	16	4.56 kHz	156	625	78.5
5	32	2.28 kHz	78.1	313	55.6
6	64	1.14 kHz	39.1	156	39.1
7	128	570 Hz	19.5	78.1	27.8
8	256	285 Hz	9.8	39.1	19.9
9	512	142 Hz	4.9	19.5	14.2
10	1024	71.2 Hz	2.4	9.8	10.2

オフセット調整

NULL_X、NULL_Y、NULL_Zの各レジスタは、センサーの出力に加算するオフセット調整機能を提供します。たとえば、NULL_X = 0x00D2 (DIN = 0x82D2) に設定すると、加速度のオフセットが210 LSB (約 1g) 増大します。オートゼロ設定機能を実行するには、GLOB_CMD[0] = 1 (DIN = 0xBE01) に設定します。これによって、各軸のオフセットを平均 65,536 個のサンプルで計算し、オフセット・レジスタにその反数をロードし、フラッシュ・アップデートを実行します。

表 40. NULL_X、NULL_Y、NULL_Z ビットの説明

Bits	Description (Default = 0x0000)
[15:0]	Data bits, twos complement, 4.768 mg/LSB

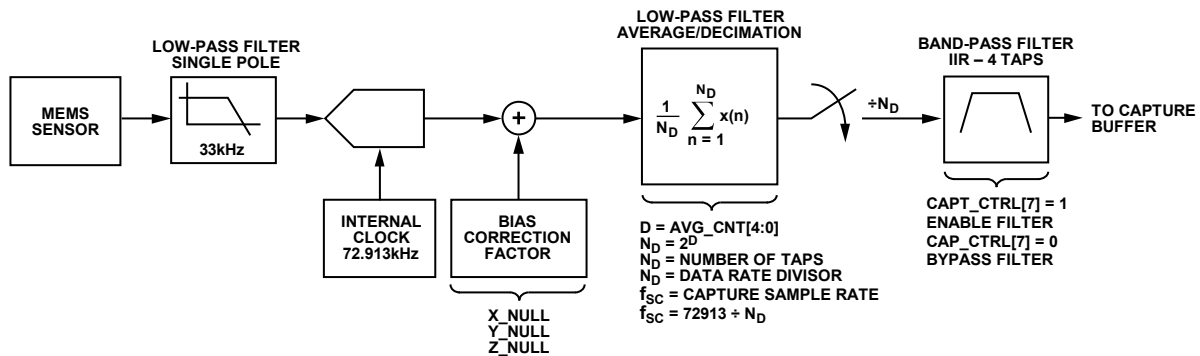


図 16. センサー信号処理の図 (各軸)

アプリケーション情報

概要

ADIS16223 の電源電圧が 3.15 V に達すると、起動シーケンスに入り、デバイスはマニュアル・キャプチャ・モードになります。次のコード例では、GLOB_CMD[11]=1 (DIN=0xBF08) に設定してマニュアル・データ・キャプチャを開始し、DIN = 0x1400 を用いて 1024 個のサンプルすべてを x 軸の加速度キャプチャ・バッファに読み込みます。最初の spi_reg_read からのデータは、このコマンドがプロセスを起動するため、有効ではありません。2 番目の spi_reg_read コマンド (組み込み for ループ内の最初の読出し) から最初の有効なデータになります。このコード・シーケンスによって、図 11 に示したものと同様の CS、SCLK、DIN の各信号が生成されます。

```
spi_write(BF08h);
delay 30ms;
Data(0) = spi_reg_read(14h);
For n = 0 to 1023
Data(n) = spi_reg_read(14h);
n = n + 1;
end
```

インターフェース・ボード

ADIS16223/PCBZ は、既存のプロセッサ・システムへの接続が簡単にできる小型プリント回路基板 (PC ボード) と ADIS16223CMLZ を提供します。1 本の 10-32 ネジで ADIS16223CMLZ をインターフェース・ボードに固定します。インターフェース・ボードの最初の取付け穴は、PC ボードの 4 隅にあり、4-40 ネジ用の隙間があります。2 番目の取付け穴は、M2 × 0.4 mm のネジを使用して ADISUBSZ 評価システムを取り付けるパターンになっています。これらのボードは IS410 材で作られており、厚さは 0.063 インチです。J1 コネクタは、このパターンの 1~12 番ピンを使用します。13 番ピンと 14 番ピンは将来の拡張用ですが、DIO1 信号と DIO2 信号の便利なプローブ・ポイントにもなります。コネクタは、2 列、2 mm (ピッチ) で、3M の製品番号 152212-0100-GB (リボン圧着コネクタ) や 3M の製品番号 3625/12 (リボン・ケーブル) など、多数のリボン・ケーブル・システムに対応します。LED (D1 と D2) は、DIO1 信号と DIO2 信号のビジュアル表示になります。

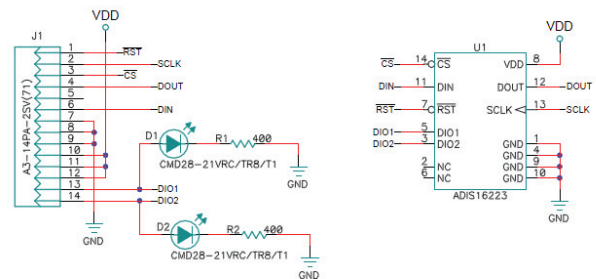


図 17. 回路図

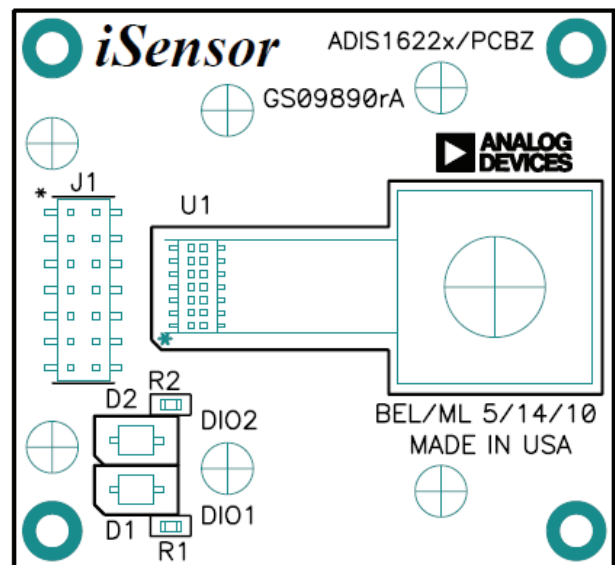


図 18. PC ボード・アセンブリの図と寸法

ADIS16223

外形寸法

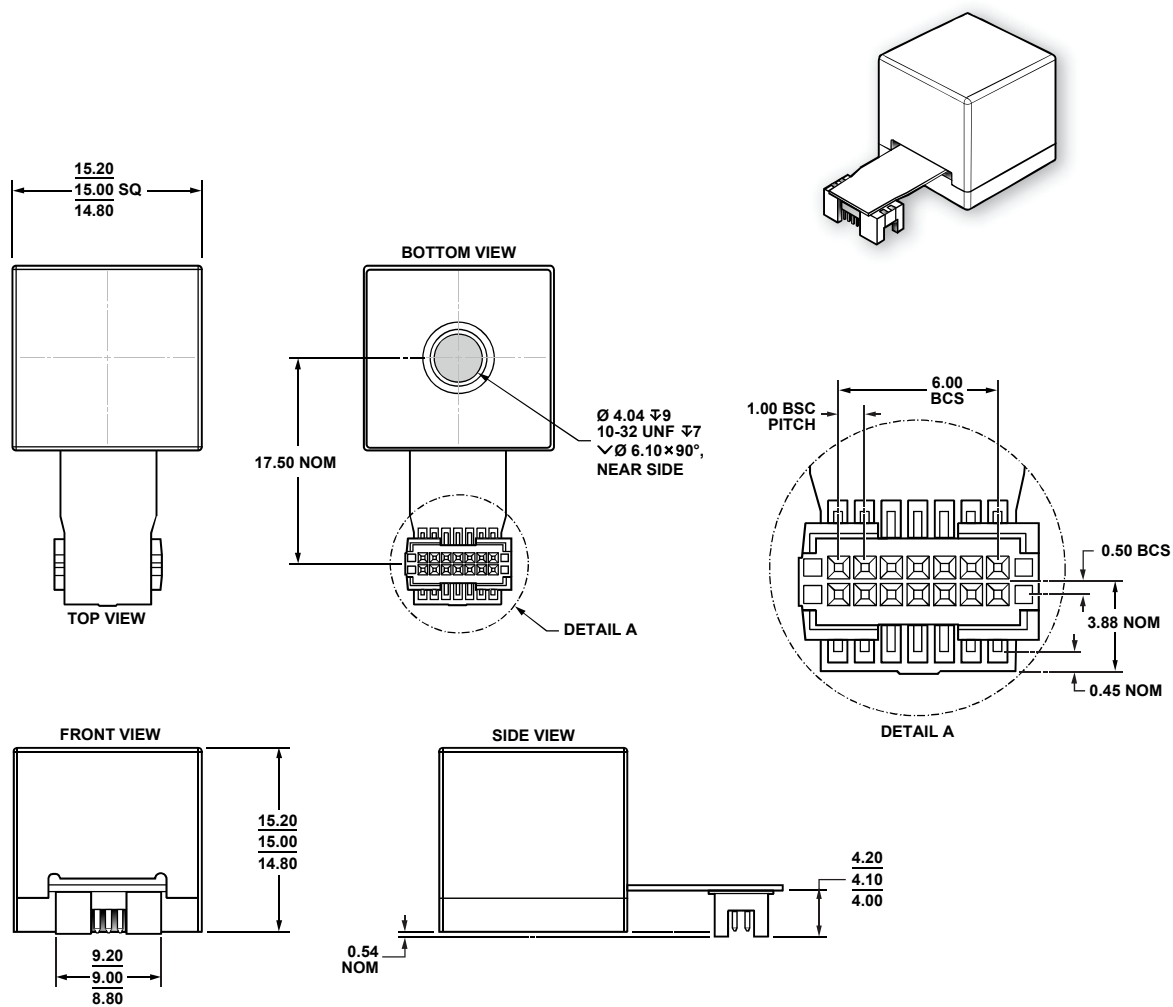


図 19. コネクタ・インターフェース付きの 14 ピン・モジュール (ML-14-2)
寸法単位：mm

オーダー・ガイド

Model ¹	Temperature Range	Package Description	Package Option
ADIS16223CMLZ	-40°C to +125°C	14-Lead Module with Connector Interface	ML-14-2
ADIS16223/PCBZ		Evaluation Board	

¹ Z = RoHS 準拠製品。