



30 V、7.5 MHz、低バイアス電流、 単電源、RRO、高精度オペ・アンプ

データシート

ADA4622-2

特長

AD822 の次世代製品

広帯域幅: 8 MHz (typ)

高速スルー・レート: +23 V/μs ~ 18 V/μs (typ)

低入力バイアス電流: ±10 pA (max) @ $T_A = 25^\circ\text{C}$

低オフセット電圧

A グレード: ±0.8 mV (max) @ $T_A = 25^\circ\text{C}$

B グレード: ±0.35 mV (max) @ $T_A = 25^\circ\text{C}$

入力オフセット電圧ドリフト

A グレード: ±2 μV/°C (typ)、±15 μV/°C (max)

B グレード: ±2 μV/°C (typ)、±5 μV/°C (max)

入力電圧範囲に V_- ピンを含む

レール to レール出力

入力電磁干渉 (EMI) フィルタ

90 dB (typ) @ $f = 1000\text{ MHz}$ および $f = 2400\text{ MHz}$

業界標準パッケージとピン配置

アプリケーション

高出力インピーダンス・センサーのインターフェース

フォトダイオード・センサーのインターフェース

トランスインピーダンス・アンプ

ADC 用ドライバ

高精度フィルタとシグナル・コンディショニング

概要

ADA4622-2 は単電源、レール to レール出力 (RRO)、高精度 JFET 入力オペ・アンプ AD822 の次世代製品です。AD822 は柔軟性が高く使いやすいので、各種のアプリケーションで有効ですが、ADA4622-2 はその特長を維持しながら、多くの改善点を含むアップグレード品となっています。

入力電圧範囲に負電源と同じ電圧が含まれ、出力振幅はレール to レールと同じ範囲を達成しています。近くにスイッチング・ノイズ生成源がある場合に信号のノイズ耐性を高めるため、入力 EMI フィルタが追加されています。

セトリング・タイム性能を改善するため、また、最近のシングル・エンド逐次比較型 A/D コンバータ (SAR ADC) の入力を駆動できるように、帯域幅とスルー・レートに関して速度が向上しているほか、出力駆動能力も強化されています。

ピン配置

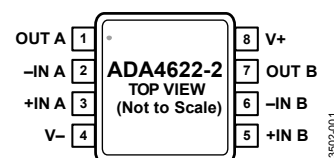


図 1.8 ピン、SOIC_N (R サフィックス) および 8 ピン、MSOP (RM サフィックス) ピン配置

電源電流を一定に保った上で電圧ノイズが低減されていて、広帯域ノイズは 25 %、1/f ノイズは 50 % の低減が実現されています。AD822 に対して DC 精度が改善されており、オフセット電圧は 1/2 になり、ADA4622-2 には最大温度ドリフトの仕様が追加されています。AD822 に対して同相ノイズ除去比が改善されているので、非反転ゲイン・アンプや差動アンプ構成で使用する場合、ADA4622-2 は AD822 より適しています。

ADA4622-2 は -40°C ~ $+125^\circ\text{C}$ の拡張工業用温度範囲で動作が仕様規定されており、5 V ~ 30 V で動作し、+5 V、±5 V、±15 V で仕様規定されています。ADA4622-2 は 8 ピン SOIC パッケージと 8 ピン MSOP パッケージを採用しています。

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、それぞれの所有者の財産です。※日本語版資料は REVISION が古い場合があります。最新の内容については、英語版をご参照ください。

Rev. 0

©2016 Analog Devices, Inc. All rights reserved.

アナログ・デバイセズ株式会社

本社 / 〒105-6891 東京都港区海岸 1-16-1 ニューピア竹芝サウスタワービル
電話 03 (5402) 8200
大阪営業所 / 〒532-0003 大阪府大阪市淀川区宮原 3-5-36 新大阪トラストタワー
電話 06 (6350) 6868

目次

特長	1	動作原理	22
アプリケーション	1	入力特性	22
ピン配置	1	出力特性	23
概要	1	アプリケーション情報	24
改訂履歴	2	推奨される電源ソリューション	24
仕様	3	最大消費電力	24
電気的特性、 $V_{SY} = \pm 15\text{ V}$	3	2 次ローパス・フィルタ	24
電気的特性、 $V_{SY} = \pm 5\text{ V}$	5	ワイドバンド・フォトダイオード・プリアンプ	24
電気的特性、 $V_{SY} = 5\text{ V}$	7	ピーク検出器	27
絶対最大定格	9	外形寸法	28
熱抵抗	9	オーダー・ガイド	28
ESD に関する注意	9		
代表的な性能特性	10		

改訂履歴

10/15—Revision 0: 初版

仕様

電気的特性、 $V_{SY} = \pm 15\text{ V}$

特に指定のない限り、 $V_{SY} = \pm 15\text{ V}$ 、 $V_{CM} = V_{OUT} = 0\text{ V}$ 、 $T_A = 25^\circ\text{C}$ 。

表 1.

Parameter	Symbol	Test Conditions/Comments	Min	Typ	Max	Unit
INPUT CHARACTERISTICS						
Offset Voltage	V _{OS}			0.04	±0.8	mV
A Grade		−40°C < T _A < +125°C			±2	mV
B Grade		−40°C < T _A < +125°C		0.04	±0.35	mV
Offset Voltage Match					±0.8	mV
Offset Voltage Drift	ΔV _{OS} /ΔT				±1	mV
A Grade		−40°C < T _A < +125°C		±2	±15	μV/°C
B Grade		−40°C < T _A < +125°C		±2	±5	μV/°C
Input Bias Current	I _B			2	±10	pA
		−40°C < T _A < +125°C V _{CM} = V−			±1.5	nA
Input Offset Current	I _{OS}			−15		pA
		−40°C < T _A < +125°C			±10	pA
Input Voltage Range	IVR		(V−) − 0.2		(V+) − 1	V
Common-Mode Rejection Ratio	CMRR					
A Grade		V _{CM} = V− to (V+) − 3 V −40°C < T _A < +125°C	84	100		dB
			81			dB
B Grade		V _{CM} = V− to (V+) − 3 V −40°C < T _A < +125°C	87	100		dB
						dB
						dB
Large Signal Voltage Gain	A _{VO}	R _L = 10 kΩ, V _{OUT} = −14.5 V to +14.5 V −40°C < T _A < +125°C	117	122		dB
			109			dB
		R _L = 1 kΩ, V _{OUT} = −14 V to +14 V −40°C < T _A < +125°C	102	110		dB
			93			dB
Input Capacitance	C _{INDM}	Differential mode		0.4		pF
	C _{INCM}	Common mode		3.6		pF
Input Resistance	R _{DIFF}	Differential mode		10 ¹³		Ω
	R _{CM}	Common mode		10 ¹³		Ω
OUTPUT CHARACTERISTICS						
Output Voltage	V _{OH}	I _{SOURCE} = 1 mA −40°C < T _A < +125°C	50	30		mV
High			100			mV
		I _{SOURCE} = 15 mA −40°C < T _A < +125°C	700	500		mV
			900			mV
Low	V _{OL}	I _{SINK} = 1 mA −40°C < T _A < +125°C		45	65	mV
					120	mV
		I _{SINK} = 15 mA −40°C < T _A < +125°C		315	450	mV
					750	mV
Output Current	I _{OUT}	V _{DROPOUT} < 1 V		20		mA
Short-Circuit Current	I _{SC}	Sourcing		42		mA
		Sinking		−51		mA
Closed-Loop Output Impedance	Z _{OUT}	f = 1 kHz, A _V = +1		0.1		Ω
		A _V = +10		0.4		Ω
		A _V = +100		3		Ω

Parameter	Symbol	Test Conditions/Comments	Min	Typ	Max	Unit
POWER SUPPLY						
Power Supply Rejection Ratio	PSRR	$V_{SY} = \pm 4 \text{ V}$ to $\pm 18 \text{ V}$ $-40^{\circ}\text{C} < T_A < +125^{\circ}\text{C}$	87 81	103		dB dB
Supply Current per Amplifier	I_{SY}	$-40^{\circ}\text{C} < T_A < +125^{\circ}\text{C}$		665	700 725	μA μA
DYNAMIC PERFORMANCE						
Slew Rate	SR	$V_{OUT} = \pm 12.5 \text{ V}$, $R_L = 2 \text{ k}\Omega$, $C_L = 100 \text{ pF}$, $A_V = +1$ Low to high transition High to low transition		23 -18		$\text{V}/\mu\text{s}$ $\text{V}/\mu\text{s}$
Gain Bandwidth Product	GBP	$A_V = +100$		8		MHz
Unity-Gain Crossover	UGC	$A_V = +1$		7		MHz
-3 dB Bandwidth	-3 dB	$A_V = +1$		15.5		MHz
Phase Margin	Φ_M			53		Degrees
Settling Time to 0.1%	t_S	$V_{IN} = 10 \text{ V}$ step, $R_L = 2 \text{ k}\Omega$, $C_L = 15 \text{ pF}$, $A_V = -1$		2		μs
Settling Time to 0.01%	t_S	$V_{IN} = 10 \text{ V}$ step, $R_L = 2 \text{ k}\Omega$, $C_L = 15 \text{ pF}$, $A_V = -1$		1.5		μs
EMI REJECTION RATIO						
$f = 1000 \text{ MHz}$	EMIRR	$V_{IN} = 100 \text{ mV p-p}$		90		dB
$f = 2400 \text{ MHz}$				90		dB
NOISE PERFORMANCE						
Voltage Noise	$e_N \text{ p-p}$	0.1 Hz to 10 Hz		0.75		$\mu\text{V p-p}$
Voltage Noise Density	e_N	$f = 10 \text{ Hz}$		30		$\text{nV}/\sqrt{\text{Hz}}$
		$f = 100 \text{ Hz}$		15		$\text{nV}/\sqrt{\text{Hz}}$
		$f = 1 \text{ kHz}$		12.5		$\text{nV}/\sqrt{\text{Hz}}$
		$f = 10 \text{ kHz}$		12		$\text{nV}/\sqrt{\text{Hz}}$
		$f = 1 \text{ kHz}$		0.8		$\text{fA}/\sqrt{\text{Hz}}$
Current Noise Density	i_N	$f = 1 \text{ kHz}$				
Total Harmonic Distortion + Noise	THD + N	$A_V = +1$, $f = 10 \text{ Hz}$ to 20 kHz , $V_{IN} = 7 \text{ V rms}$ at 1 kHz				
Bandwidth (BW) = 80 kHz				0.0003		%
BW = 500 kHz				0.00035		%
MATCHING SPECIFICATIONS						
Maximum Offset Voltage over Temperature				0.5		mV
Offset Voltage Temperature Drift				2.5		$\mu\text{V}/^{\circ}\text{C}$
Input Bias Current				0.5	5	pA
CROSSTALK						
	C_S	$R_L = 5 \text{ k}\Omega$, $V_{IIN} = 20 \text{ V p-p}$ $f = 1 \text{ kHz}$		-112		dB
		$f = 100 \text{ kHz}$		-72		dB

電气的特性、 $V_{SY} = \pm 5\text{ V}$ 特に指定のない限り、 $V_{SY} = \pm 5\text{ V}$ 、 $V_{CM} = V_{OUT} = 0\text{ V}$ 、 $T_A = 25\text{ }^\circ\text{C}$ 。

表 2.

Parameter	Symbol	Test Conditions/Comments	Min	Typ	Max	Unit
INPUT CHARACTERISTICS						
Offset Voltage	V_{OS}			0.04	± 0.8	mV
A Grade		$-40^\circ\text{C} < T_A < +125^\circ\text{C}$			± 2	mV
B Grade		$-40^\circ\text{C} < T_A < +125^\circ\text{C}$		0.04	± 0.35	mV
Offset Voltage Match	$\Delta V_{OS}/\Delta T$				± 1	mV
Offset Voltage Drift		$-40^\circ\text{C} < T_A < +125^\circ\text{C}$		± 2	± 15	$\mu\text{V}/^\circ\text{C}$
A Grade		$-40^\circ\text{C} < T_A < +125^\circ\text{C}$		± 2	± 5	$\mu\text{V}/^\circ\text{C}$
B Grade	I_B			2	± 10	pA
Input Bias Current		$-40^\circ\text{C} < T_A < +125^\circ\text{C}$			± 1.5	nA
		$V_{CM} = V_-$		-5		pA
Input Offset Current	I_{OS}	$-40^\circ\text{C} < T_A < +125^\circ\text{C}$			± 10	pA
Input Voltage Range	IVR		$(V_-) - 0.2$		$(V_+) - 1$	V
Common-Mode Rejection Ratio	CMRR					
A Grade		$V_{CM} = V_- \text{ to } (V_+) - 3\text{ V}$	75	91		dB
		$-40^\circ\text{C} < T_A < +125^\circ\text{C}$	73			dB
B Grade		$V_{CM} = V_- \text{ to } (V_+) - 3\text{ V}$	78	91		dB
		$-40^\circ\text{C} < T_A < +125^\circ\text{C}$	75			dB
Large Signal Voltage Gain		$R_L = 10\text{ k}\Omega$, $V_{OUT} = -4.4\text{ V to } +4.4\text{ V}$	113	118		dB
		$-40^\circ\text{C} < T_A < +125^\circ\text{C}$	105			dB
		$R_L = 1\text{ k}\Omega$, $V_{OUT} = -4.4\text{ V to } +4.4\text{ V}$	100	105		dB
		$-40^\circ\text{C} < T_A < +125^\circ\text{C}$	91			dB
Input Capacitance	C_{INDM}	Differential mode		0.4		pF
	C_{INCM}	Common mode		3.6		pF
Input Resistance	R_{DIFF}	Differential mode		10^{13}		Ω
	R_{CM}	Common mode		10^{13}		Ω
OUTPUT CHARACTERISTICS						
Output Voltage	V_{OH}	$I_{SOURCE} = 1\text{ mA}$	50	30		mV
High		$-40^\circ\text{C} < T_A < +125^\circ\text{C}$	100			mV
		$I_{SOURCE} = 15\text{ mA}$	700	490		mV
	V_{OL}	$-40^\circ\text{C} < T_A < +125^\circ\text{C}$	900			mV
Low		$I_{SINK} = 1\text{ mA}$		45	65	mV
		$-40^\circ\text{C} < T_A < +125^\circ\text{C}$			120	mV
		$I_{SINK} = 15\text{ mA}$		315	450	mV
		$-40^\circ\text{C} < T_A < +125^\circ\text{C}$			750	mV
Output Current	I_{OUT}	$V_{DROPOUT} < 1\text{ V}$		20		mA
Short-Circuit Current	I_{SC}	Sourcing		31		mA
		Sinking		-40		mA
Closed-Loop Output Impedance	Z_{OUT}	$f = 1\text{ kHz}$, $A_V = +1$		0.1		Ω
		$A_V = +10$		0.4		Ω
		$A_V = +100$		4		Ω

Parameter	Symbol	Test Conditions/Comments	Min	Typ	Max	Unit
POWER SUPPLY						
Power Supply Rejection Ratio	PSRR	$V_{SY} = \pm 4 \text{ V}$ to $\pm 18 \text{ V}$ $-40^{\circ}\text{C} < T_A < +125^{\circ}\text{C}$	87 81	103		dB dB
Supply Current per Amplifier	I_{SY}	$-40^{\circ}\text{C} < T_A < +125^{\circ}\text{C}$		610	675 700	μA μA
DYNAMIC PERFORMANCE						
Slew Rate	SR	$V_{OUT} = \pm 3 \text{ V}$, $R_L = 2 \text{ k}\Omega$, $C_L = 100 \text{ pF}$, $A_V = +1$ Low to high transition High to low transition		21 -16		$\text{V}/\mu\text{s}$ $\text{V}/\mu\text{s}$
Gain Bandwidth Product	GBP	$A_V = +100$		7.8		MHz
Unity-Gain Crossover	UGC	$A_V = +1$		6.5		MHz
-3 dB Bandwidth	-3 dB	$A_V = +1$		10		MHz
Phase Margin	Φ_M			50		Degrees
Settling Time to 0.1%	t_S	$V_{IN} = 8 \text{ V}$ step, $R_L = 2 \text{ k}\Omega$, $C_L = 15 \text{ pF}$, $A_V = -1$		1.5		μs
Settling Time to 0.01%	t_S	$V_{IN} = 8 \text{ V}$ step, $R_L = 2 \text{ k}\Omega$, $C_L = 15 \text{ pF}$, $A_V = -1$		2		μs
EMI REJECTION RATIO						
f = 1000 MHz	EMIRR	$V_{IN} = 100 \text{ mV p-p}$		90		dB
f = 2400 MHz				90		dB
NOISE PERFORMANCE						
Voltage Noise	$e_N \text{ p-p}$	0.1 Hz to 10 Hz		0.75		$\mu\text{V p-p}$
Voltage Noise Density	e_N	f = 10 Hz		30		$\text{nV}/\sqrt{\text{Hz}}$
		f = 100 Hz		15		$\text{nV}/\sqrt{\text{Hz}}$
		f = 1 kHz		12.5		$\text{nV}/\sqrt{\text{Hz}}$
		f = 10 kHz		12		$\text{nV}/\sqrt{\text{Hz}}$
Current Noise Density	i_N	f = 1 kHz		0.8		$\text{pA}/\sqrt{\text{Hz}}$
Total Harmonic Distortion + Noise	THD + N	$A_V = +1$, f = 10 Hz to 20 kHz, $V_{IN} = 1.5 \text{ V rms}$ at 1 kHz		0.0005		%
				0.0008		%
MATCHING SPECIFICATIONS						
Maximum Offset Voltage over Temperature				0.5		mV
Offset Voltage Temperature Drift				2.5		$\mu\text{V}/^{\circ}\text{C}$
Input Bias Current				0.5	5	pA
CROSSTALK						
	C_S	$R_L = 5 \text{ k}\Omega$, $V_{IIN} = 6 \text{ V p-p}$ f = 1 kHz		-112		dB
		f = 100 kHz		-72		dB

電氣的特性、 $V_{SY} = 5\text{ V}$ 特に指定のない限り、 $V_{SY} = 5\text{ V}$ 、 $V_{CM} = 0\text{ V}$ 、 $V_{OUT} = V_{SY}/2$ 、 $T_A = 25^\circ\text{C}$ 。

表 3.

Parameter	Symbol	Test Conditions/Comments	Min	Typ	Max	Unit
INPUT CHARACTERISTICS						
Offset Voltage	V_{OS}	$-40^\circ\text{C} < T_A < +125^\circ\text{C}$		0.04	± 0.8	mV
A Grade					± 2	mV
B Grade				0.04	± 0.35	mV
					± 0.8	mV
Offset Voltage Match	$\Delta V_{OS}/\Delta T$	$-40^\circ\text{C} < T_A < +125^\circ\text{C}$			± 1	mV
Offset Voltage Drift						
A Grade				± 2	± 15	$\mu\text{V}/^\circ\text{C}$
B Grade				± 2	± 5	$\mu\text{V}/^\circ\text{C}$
Input Bias Current	I_B	$-40^\circ\text{C} < T_A < +125^\circ\text{C}$		2	± 10	pA
Input Offset Current	I_{OS}	$-40^\circ\text{C} < T_A < +125^\circ\text{C}$			± 1.5	nA
		$-40^\circ\text{C} < T_A < +125^\circ\text{C}$			± 10	pA
		$-40^\circ\text{C} < T_A < +125^\circ\text{C}$			± 0.5	nA
Input Voltage Range	IVR		$(V_-) - 0.2$		$(V_+) - 1$	
Common-Mode Rejection Ratio	CMRR					V
A Grade		$V_{CM} = V_- \text{ to } (V_+) - 3\text{ V}$	70	87		dB
		$-40^\circ\text{C} < T_A < +125^\circ\text{C}$	67			dB
B Grade		$V_{CM} = V_- \text{ to } (V_+) - 3\text{ V}$	73	87		dB
		$-40^\circ\text{C} < T_A < +125^\circ\text{C}$	70			dB
Large Signal Voltage Gain	A_{VO}	$R_L = 10\text{ k}\Omega \text{ to } V_-$, $V_{OUT} = 0.2\text{ V to } 4.6\text{ V}$	110	115		dB
		$-40^\circ\text{C} < T_A < +125^\circ\text{C}$	99			dB
		$R_L = 1\text{ k}\Omega \text{ to } V_-$, $V_{OUT} = 0.2\text{ V to } 4.6\text{ V}$	96	104		dB
		$-40^\circ\text{C} < T_A < +125^\circ\text{C}$	87			dB
Input Capacitance	C_{INDM}	Differential mode		0.4		pF
	C_{INCM}	Common mode		3.6		pF
Input Resistance	R_{DIFF}	Differential mode		10^{13}		Ω
	R_{CM}	Common mode		10^{13}		Ω
OUTPUT CHARACTERISTICS						
Output Voltage	V_{OH}	$I_{SOURCE} = 1\text{ mA}$		30		mV
High						
	V_{OL}	$I_{SINK} = 1\text{ mA}$		45	65	mV
Low						
	V_{OL}	$I_{SINK} = 15\text{ mA}$		310	450	mV
Output Current	I_{OUT}	$V_{DROPOUT} < 1\text{ V}$		20		mA
Short-Circuit Current	I_{SC}	Sourcing		27		mA
		Sinking		-35		mA
Closed-Loop Output Impedance	Z_{OUT}	$f = 1\text{ kHz}$, $A_V = +1$		0.1		Ω
		$A_V = +10$		0.6		Ω
		$A_V = +100$		5		Ω
POWER SUPPLY						
Power Supply Rejection Ratio	PSRR	$V_{SY} = 4\text{ V to } 15\text{ V}$	80	95		dB
		$-40^\circ\text{C} < T_A < +125^\circ\text{C}$	74			dB
Supply Current per Amplifier	I_{SY}	$-40^\circ\text{C} < T_A < +125^\circ\text{C}$		600	650	μA
		$-40^\circ\text{C} < T_A < +125^\circ\text{C}$			675	μA

Parameter	Symbol	Test Conditions/Comments	Min	Typ	Max	Unit
DYNAMIC PERFORMANCE						
Slew Rate	SR	V _{OUT} = 0.5 V to 3.5 V, R _L = 2 kΩ, C _L = 100 pF, A _V = +1 Low to high transition High to low transition		20 −15		V/μs V/μs
Gain Bandwidth Product	GBP	A _V = +100		7.2		MHz
Unity Gain Crossover	UGC	A _V = +1		6		MHz
−3 dB Bandwidth	−3 dB	A _V = +1		9		MHz
Phase Margin	ΦM			50		Degrees
Settling Time to 0.1%	t _s	V _{IN} = 4 V step, R _L = 2 kΩ, C _L = 15 pF, A _V = −1		1.5		μs
Settling Time to 0.01%	t _s	V _{IN} = 4 V step, R _L = 2 kΩ, C _L = 15 pF, A _V = −1		2.0		μs
EMI REJECTION RATIO						
f = 1000 MHz	EMIRR	V _{IN} = 100 mV p-p		90		dB
f = 2400 MHz				90		dB
NOISE PERFORMANCE						
Voltage Noise	e _N p-p	0.1 Hz to 10 Hz		0.75		μV p-p
Voltage Noise Density	e _N	f = 10 Hz		30		nV/√Hz
		f = 100 Hz		15		nV/√Hz
		f = 1 kHz		12.5		nV/√Hz
		f = 10 kHz		12		nV/√Hz
		f = 1 kHz		0.8		pA/√Hz
Current Noise Density	i _N	f = 1 kHz		0.8		pA/√Hz
Total Harmonic Distortion + Noise	THD + N	A _V = +1, f = 10 Hz to 20 kHz, V _{IN} = 0.5 V rms at 1 kHz		0.0025		%
				0.0025		%
				0.0025		%
MATCHING SPECIFICATIONS						
Maximum Offset Voltage over Temperature				0.5		mV
Offset Voltage Temperature Drift				2.5		μV/°C
Input Bias Current				0.5	5	pA
CROSSTALK						
	C _S	R _L = 5 kΩ, V _{IIN} = 3 V p-p				
		f = 1 kHz		−112		dB
		f = 100 kHz		−72		dB

絶対最大定格

表 4.

Parameter	Rating
Supply Voltage	36 V
Input Voltage	(V ₋) - 0.3 V to (V ₊) + 0.2 V
Differential Input Voltage	36 V
Storage Temperature Range	-65°C to +150°C
Operating Temperature Range	-40°C to +125°C
Junction Temperature Range	-65°C to +150°C
Lead Temperature, Soldering (10 sec)	300°C
ESD Rating, Human Body Model (HBM)	4 kV

上記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定はストレス定格のみを指定するものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。製品を長時間にわたり絶対最大定格状態に置くと、製品の信頼性に影響を与えることがあります。

熱抵抗

熱性能はプリント回路基板（PCB）の設計および動作環境に直接関係します。PCB の熱設計に細心の注意を払う必要があります。

表 5. 熱抵抗 ¹

Package Type	θ_{JA}	Unit
8-Lead SOIC		
1-Layer JEDEC Board	180	°C/W
2-Layer JEDEC Board	120	°C/W
8-Lead MSOP		
1-Layer JEDEC Board	265	°C/W
2-Layer JEDEC Board	185	°C/W

¹ シミュレートされた熱抵抗値は、JEDEC 熱テスト・ボードに基づいています。JEDEC JESD51 を参照してください。

ESD に関する注意



ESD（静電放電）の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

代表的な性能特性

特に指定のない限り、 $T_A = 25^\circ\text{C}$ 。

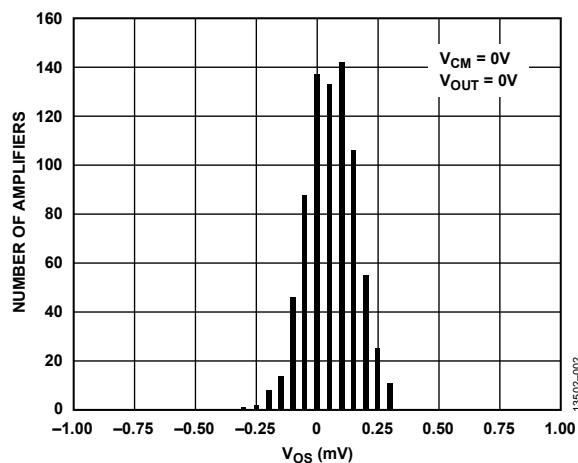


図 2. 入力オフセット電圧の分布、 $V_{SY} = \pm 15\text{ V}$

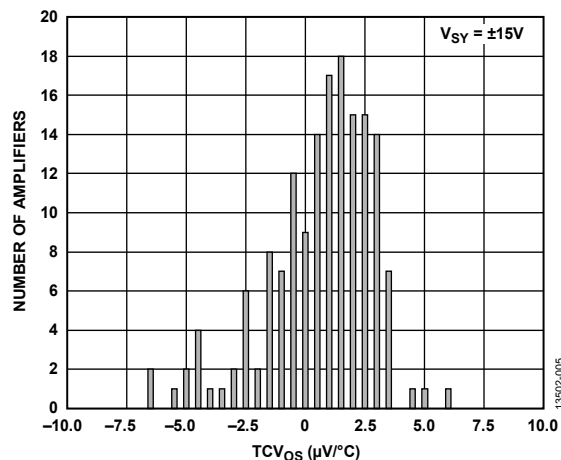


図 5. 入力オフセット電圧ドリフトの分布 ($40^\circ\text{C} \sim +85^\circ\text{C}$)、 $V_{SY} = \pm 15\text{ V}$

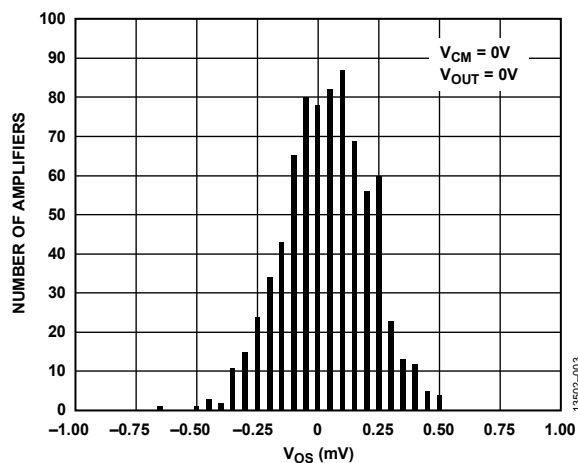


図 3. 入力オフセット電圧の分布、 $V_{SY} = \pm 5\text{ V}$

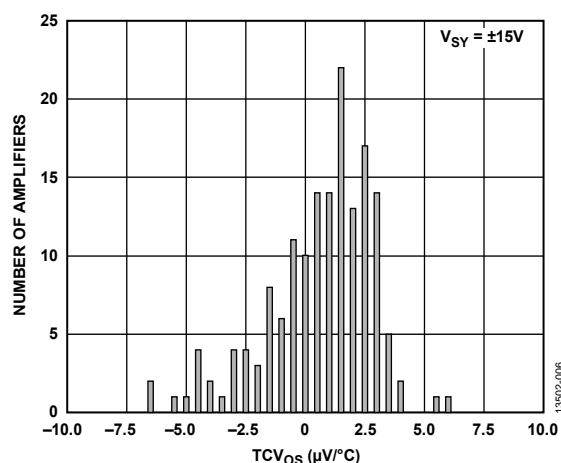


図 6. 入力オフセット電圧ドリフトの分布 ($-40^\circ\text{C} \sim +125^\circ\text{C}$)、 $V_{SY} = \pm 5\text{ V}$

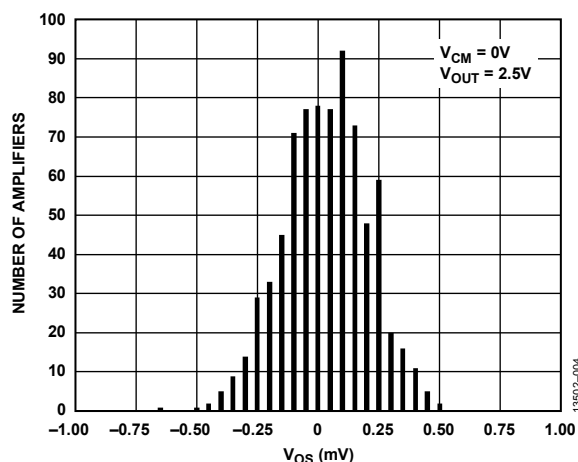


図 4. 入力オフセット電圧の分布、 $V_{SY} = 5\text{ V}$

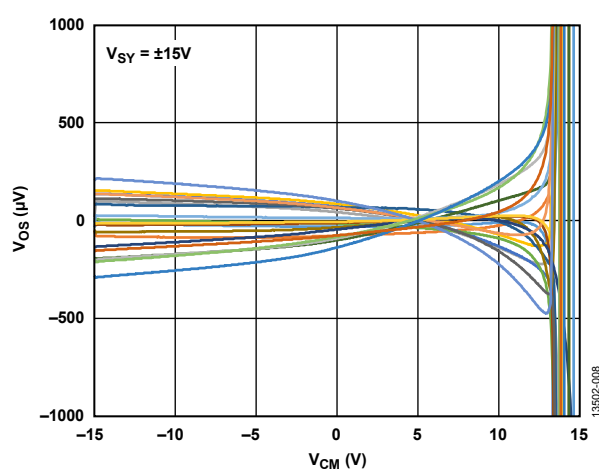


図 7. 入力オフセット電圧 (V_{OS}) と共通モード電圧 (V_{CM}) の関係、 $V_{SY} = \pm 15\text{ V}$

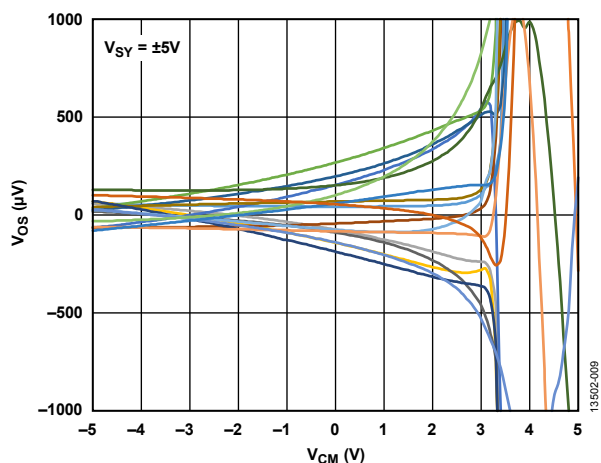


図 8. 入力オフセット電圧 (V_{OS}) とコモンモード電圧 (V_{CM}) の関係、 $V_{SY} = \pm 5\text{ V}$

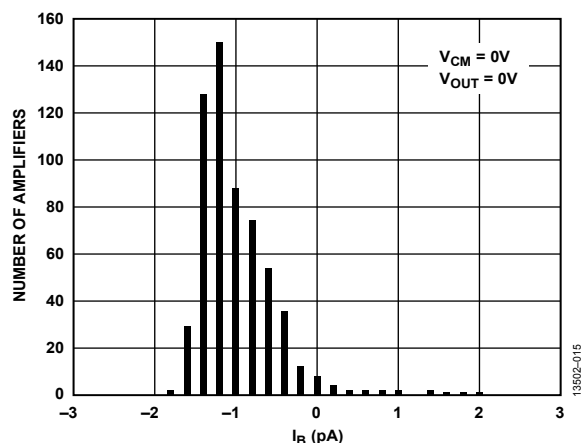


図 11. 入力バイアス電流の分布、 $V_{SY} = \pm 5\text{ V}$

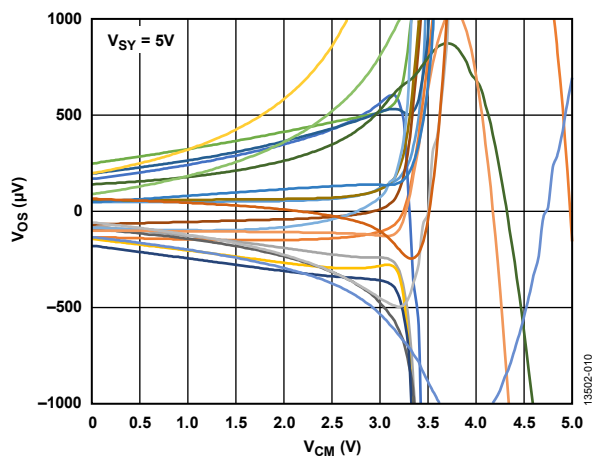


図 9. 入力オフセット電圧 (V_{OS}) とコモンモード電圧 (V_{CM}) の関係、 $V_{SY} = 5\text{ V}$

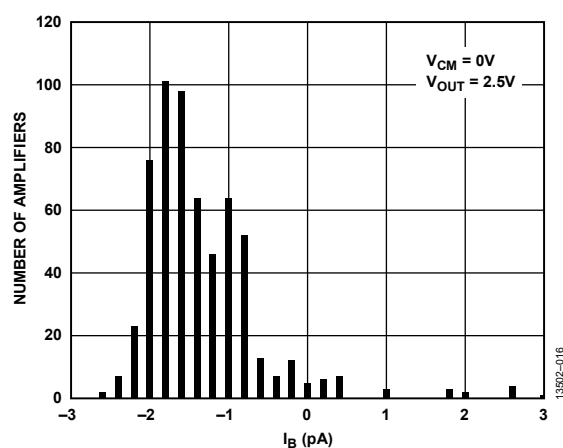


図 12. 入力バイアス電流の分布、 $V_{SY} = 5\text{ V}$

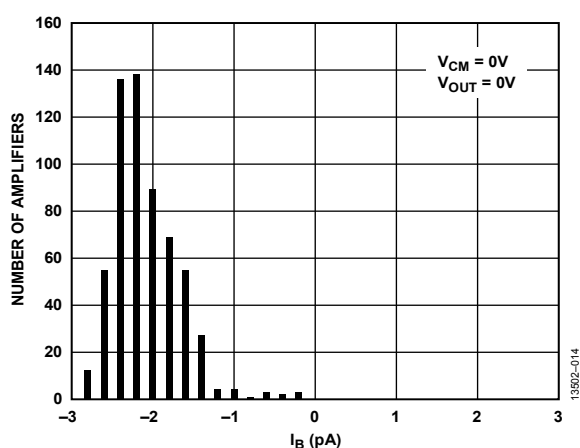


図 10. 入力バイアス電流の分布、 $V_{SY} = \pm 15\text{ V}$

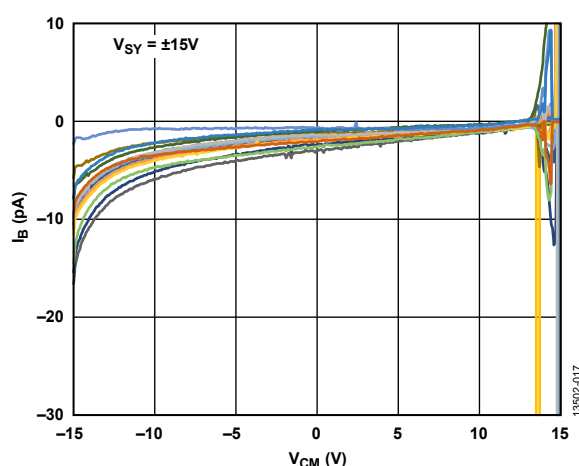


図 13. 入力バイアス電流 (I_B) と入力コモンモード電圧 (V_{CM}) の関係、 $V_{SY} = \pm 15\text{ V}$

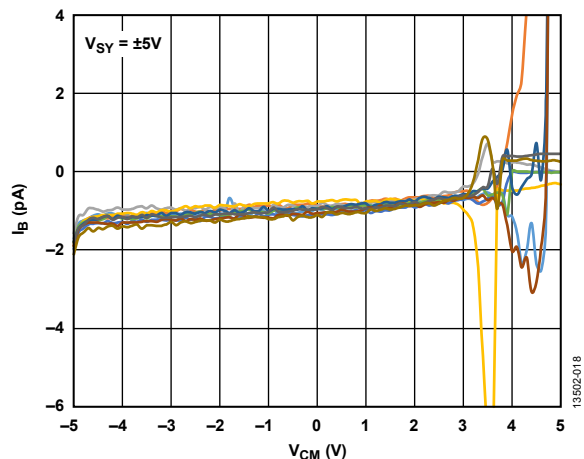


図 14. 入力バイアス電流 (I_B) と入力コモンモード電圧 (V_{CM}) の関係、 $V_{SY} = \pm 5V$

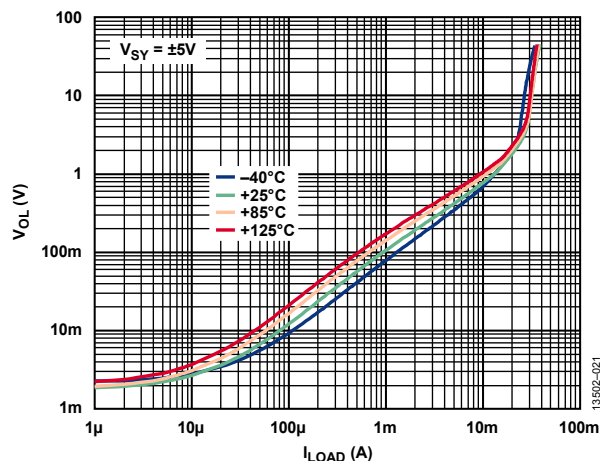


図 17. 各種温度における電源レールおよび低出力電圧 (V_{OL}) の差と負荷電流 (I_{LOAD}) の関係、 $V_{SY} = \pm 5V$

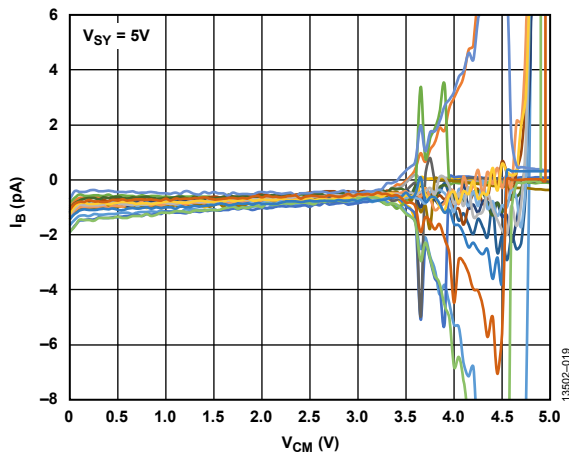


図 15. 入力バイアス電流 (I_B) と入力コモンモード電圧 (V_{CM}) の関係、 $V_{SY} = 5V$

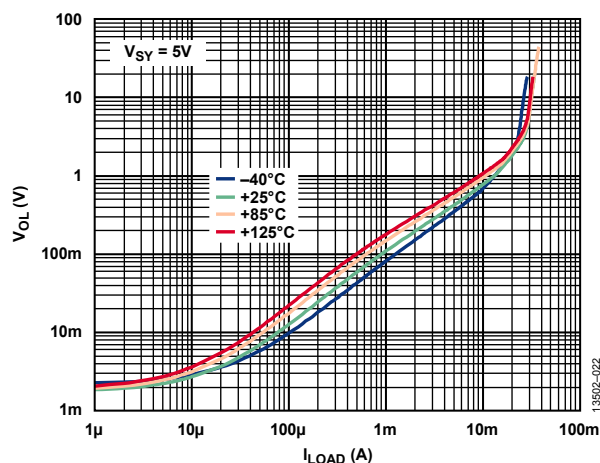


図 18. 各種温度における電源レール付近の低出力電圧 (V_{OL}) の差と負荷電流 (I_{LOAD}) の関係、 $V_{SY} = 5V$

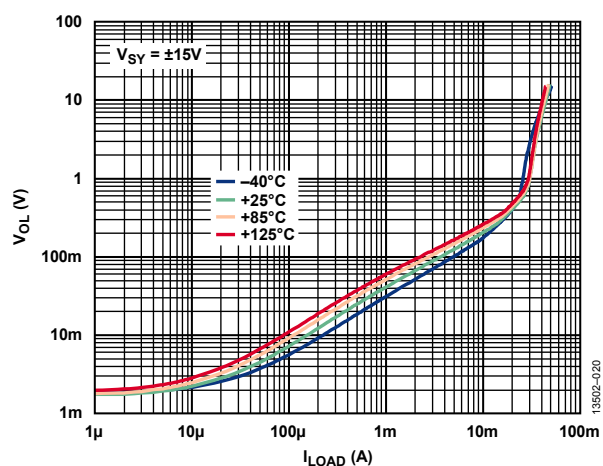


図 16. 各種温度における電源レールおよび低出力電圧 (V_{OL}) の差と負荷電流 (I_{LOAD}) の関係、 $V_{SY} = \pm 15V$

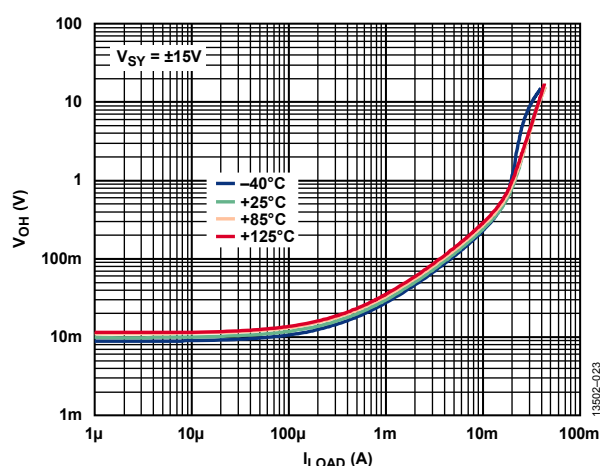


図 19. 各種温度における電源レールおよび高出力電圧 (V_{OH}) の差と負荷電流 (I_{LOAD}) の関係、 $V_{SY} = \pm 15V$

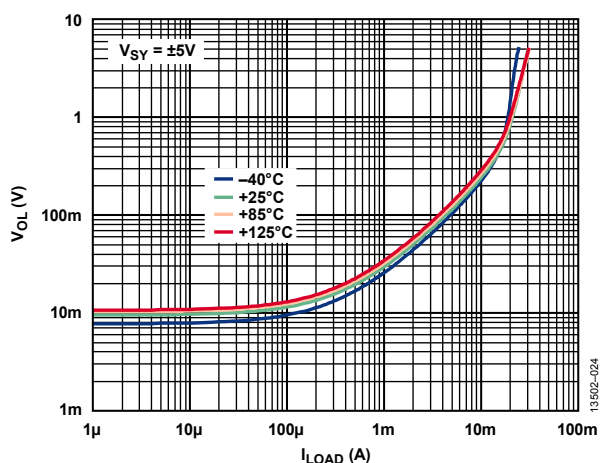


図 20. 各種温度における電源レールおよび高出力電圧 (V_{OH}) の差と負荷電流 (I_{LOAD}) の関係、 $V_{SY} = \pm 5V$

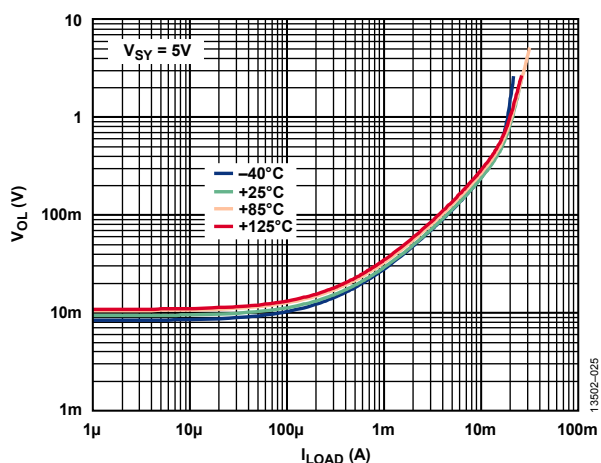


図 21. 各種温度における電源レールおよび高出力電圧 (V_{OH}) の差と負荷電流 (I_{LOAD}) の関係、 $V_{SY} = 5V$

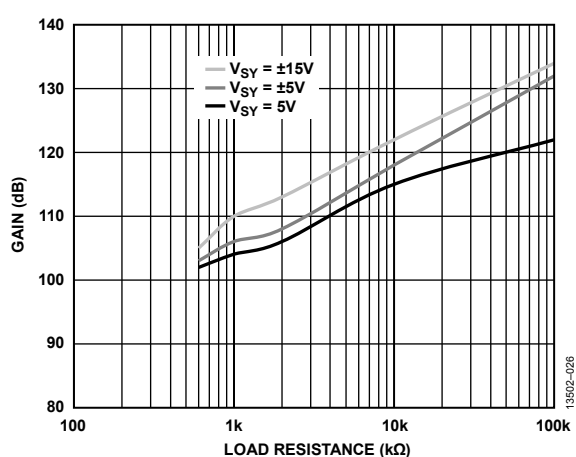


図 22. オープンループ・ゲイン (A_{VO}) と負荷抵抗の関係

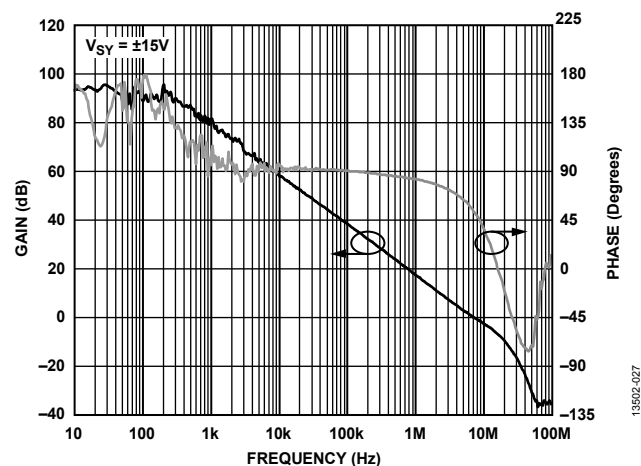


図 23. オープンループ・ゲインと位相の周波数特性、 $V_{SY} = \pm 15V$

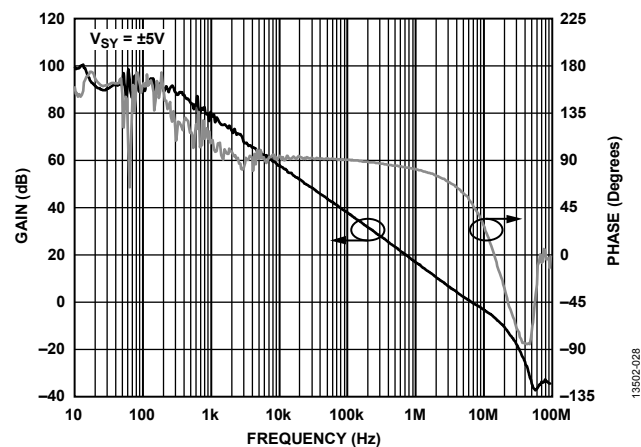


図 24. オープンループ・ゲインと位相の周波数特性、 $V_{SY} = \pm 5V$

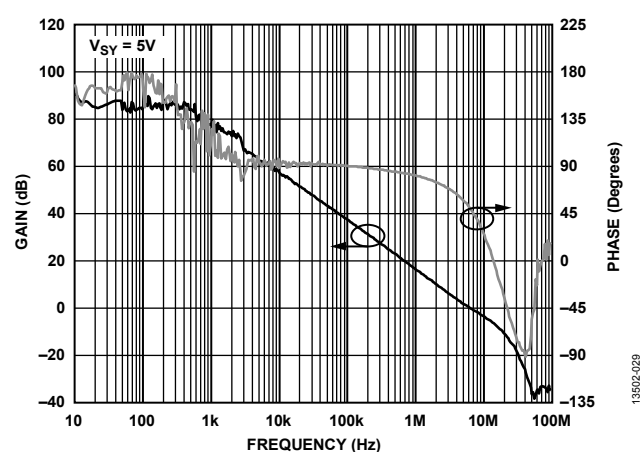


図 25. オープンループ・ゲインと位相の周波数特性、 $V_{SY} = 5V$

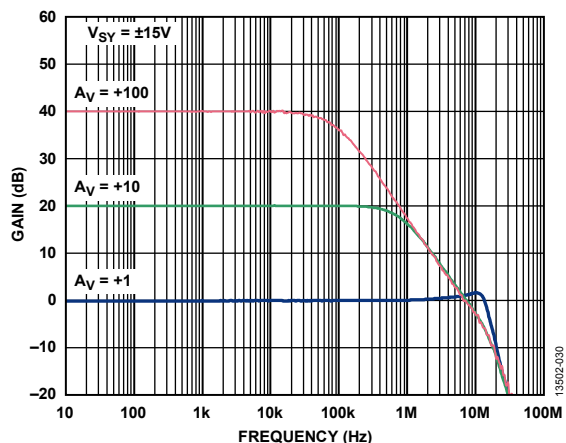


図 26. クローズドループ・ゲインの周波数特性、 $V_{SY} = \pm 15\text{ V}$

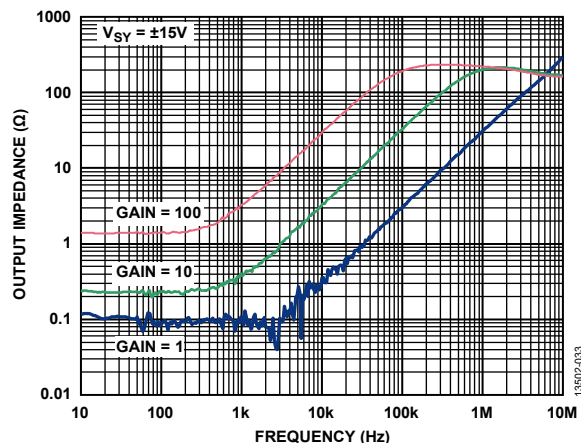


図 29. 出力インピーダンスの周波数特性、 $V_{SY} = \pm 15\text{ V}$

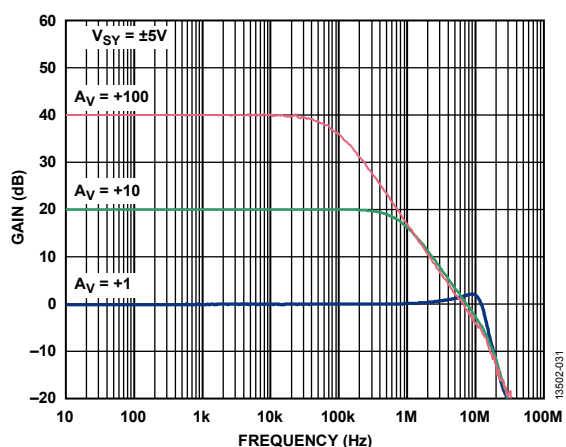


図 27. クローズドループ・ゲインの周波数特性、 $V_{SY} = \pm 5\text{ V}$

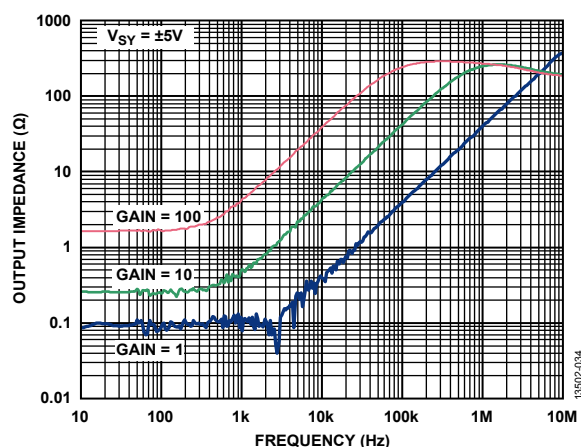


図 30. 出力インピーダンスの周波数特性、 $V_{SY} = \pm 5\text{ V}$

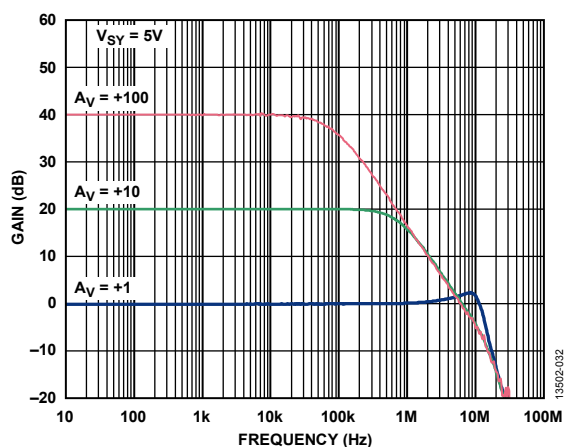


図 28. クローズドループ・ゲインの周波数特性、 $V_{SY} = 5\text{ V}$

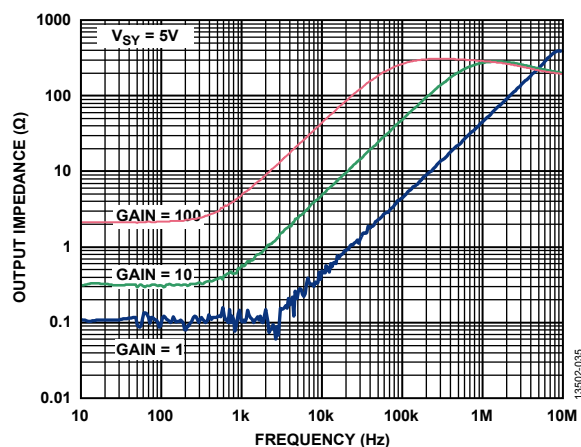


図 31. 出力インピーダンスの周波数特性、 $V_{SY} = 5\text{ V}$

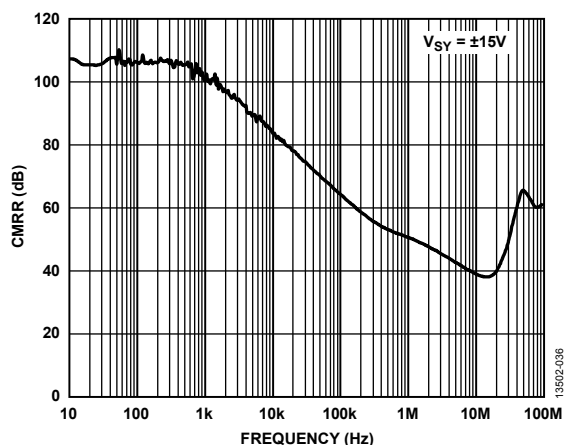


図 32. CMRR の周波数特性、 $V_{SY} = \pm 15\text{ V}$

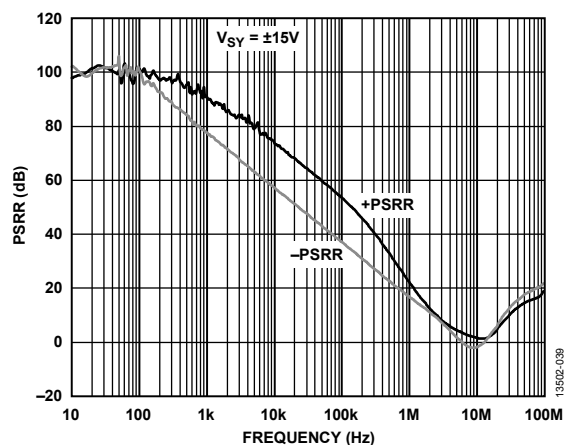


図 35. PSRR の周波数特性、 $V_{SY} = \pm 15\text{ V}$

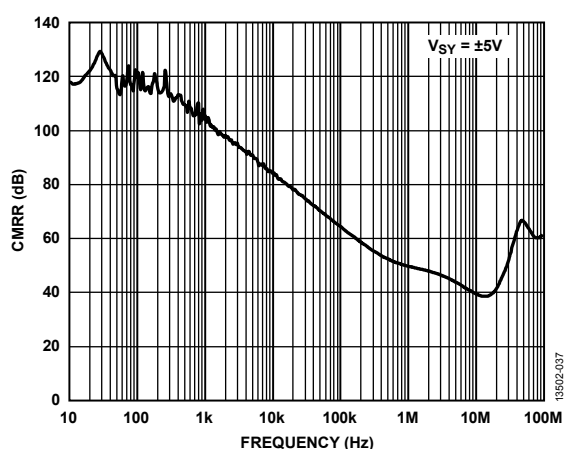


図 33. CMRR の周波数特性、 $V_{SY} = \pm 5\text{ V}$

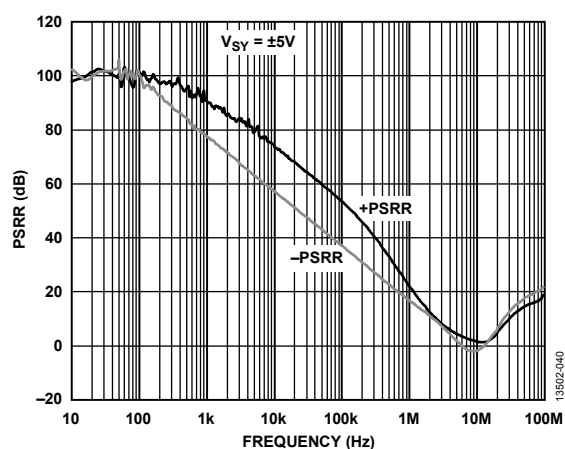


図 36. PSRR の周波数特性、 $V_{SY} = \pm 5\text{ V}$

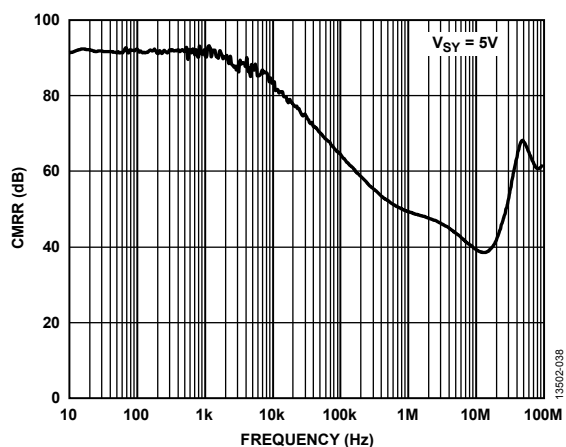


図 34. CMRR の周波数特性、 $V_{SY} = 5\text{ V}$

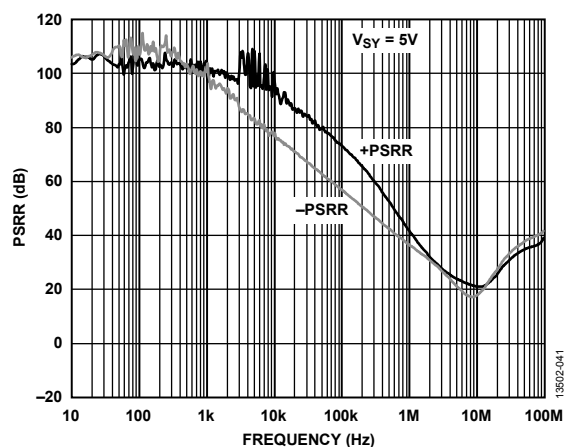


図 37. PSRR の周波数特性、 $V_{SY} = 5\text{ V}$

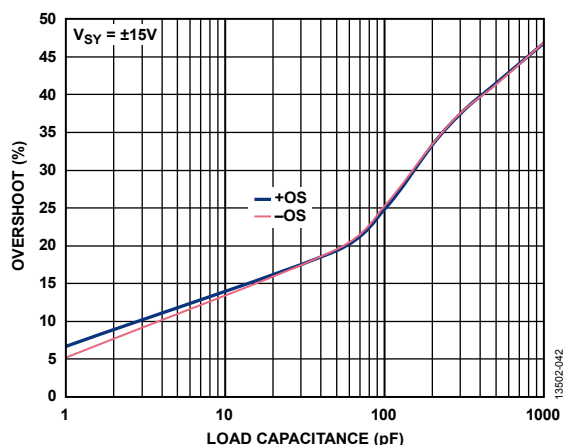


図 38. 小信号オーバーシュート (OS) と負荷容量の関係、 $V_{SY} = \pm 15\text{ V}$

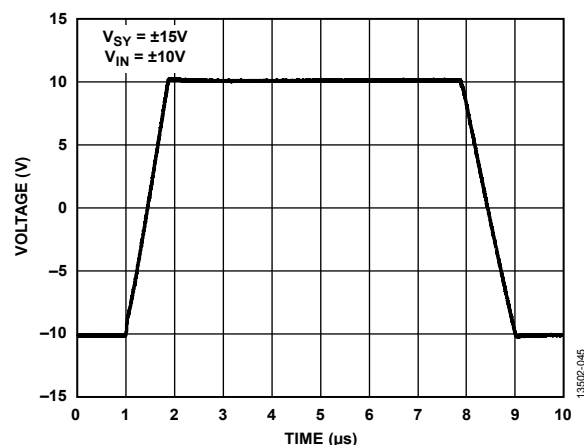


図 41. 大信号過渡応答、 $V_{SY} = \pm 15\text{ V}$

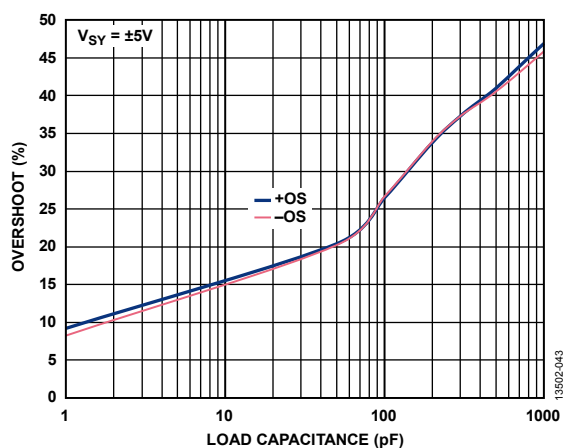


図 39. 小信号オーバーシュート (OS) と負荷容量の関係、 $V_{SY} = \pm 5\text{ V}$

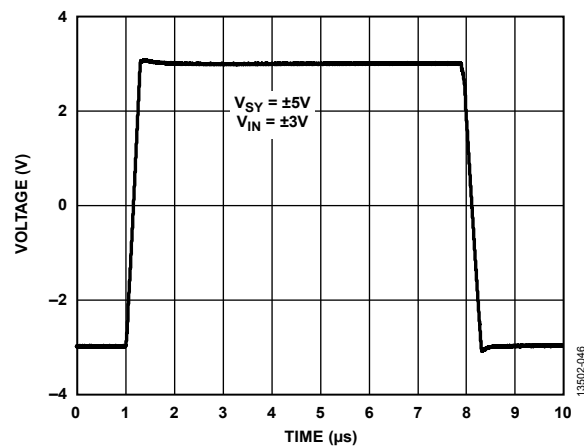


図 42. 大信号過渡応答、 $V_{SY} = \pm 5\text{ V}$

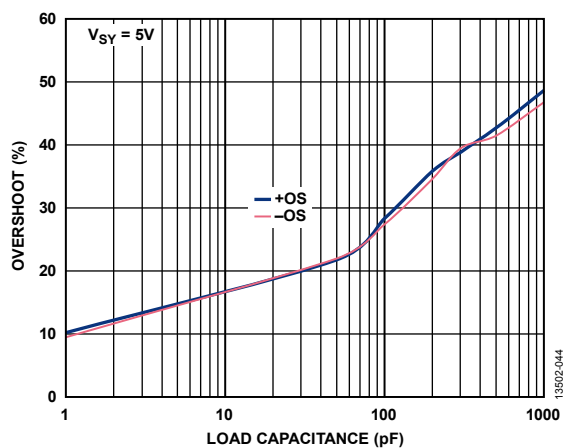


図 40. 小信号オーバーシュート (OS) と負荷容量の関係、 $V_{SY} = 5\text{ V}$

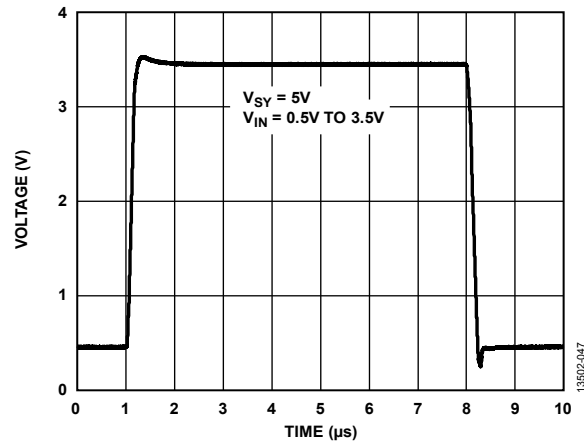


図 43. 大信号過渡応答、 $V_{SY} = 5\text{ V}$

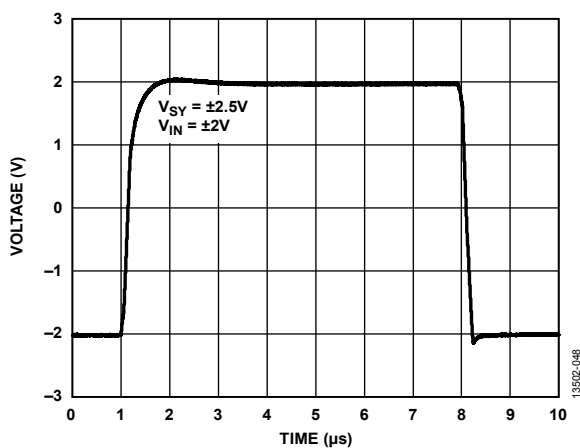


図 44. 大信号過渡応答、 $V_{SY} = \pm 2.5 \text{ V}$

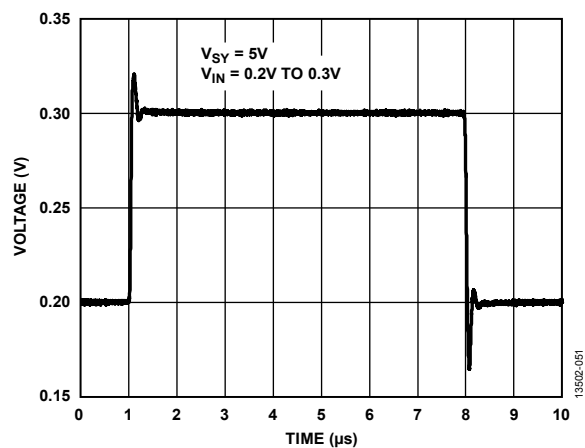


図 47. 小信号過渡応答、 $V_{SY} = 5 \text{ V}$

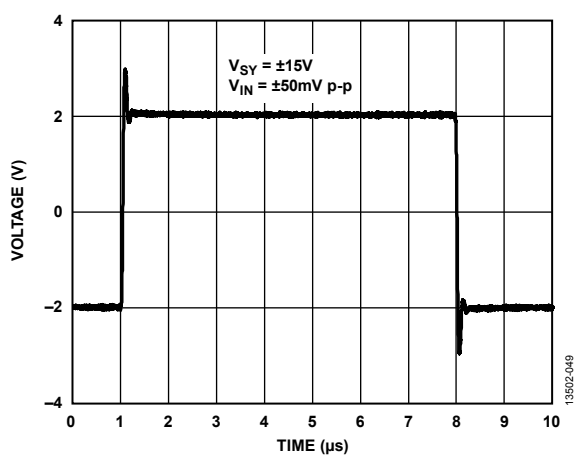


図 45. 小信号過渡応答、 $V_{SY} = \pm 15 \text{ V}$

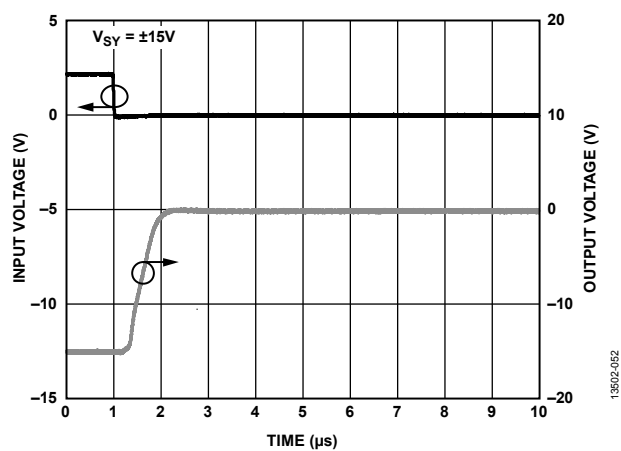


図 48. 負の過負荷からの回復、 $A_V = -10$ 、 $V_{SY} = \pm 15 \text{ V}$

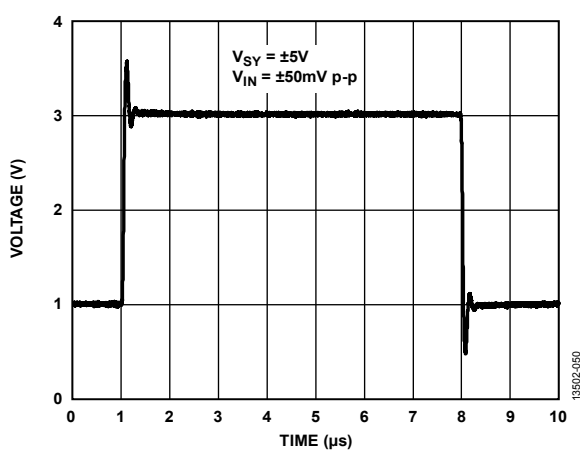


図 46. 小信号過渡応答、 $V_{SY} = \pm 5 \text{ V}$

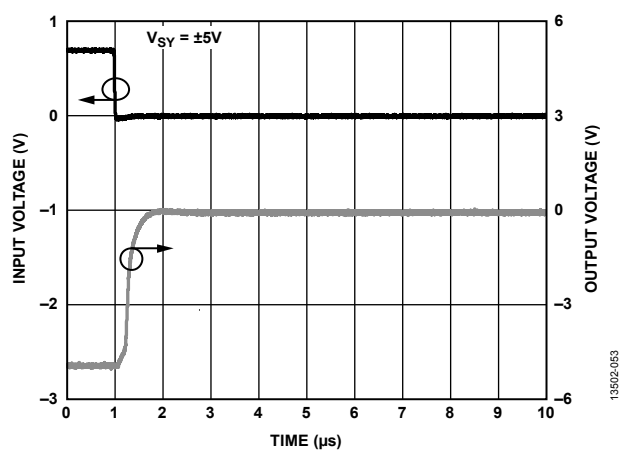


図 49. 負の過負荷からの回復、 $A_V = -10$ 、 $V_{SY} = \pm 5 \text{ V}$

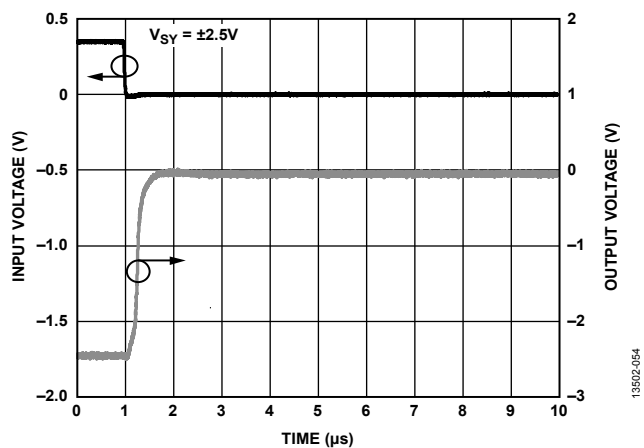


図 50. 負の過負荷からの回復、 $A_V = -10$ 、 $V_{SY} = \pm 2.5\text{ V}$

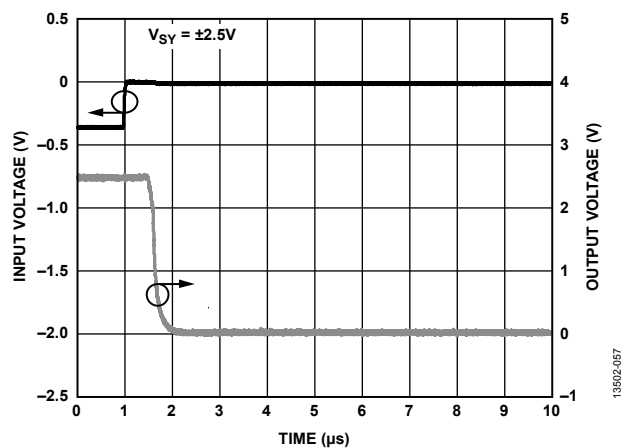


図 53. 正の過負荷からの回復、 $A_V = -10$ 、 $V_{SY} = \pm 2.5\text{ V}$

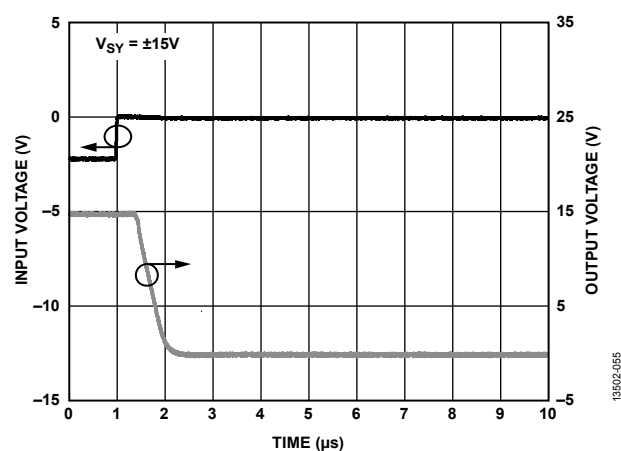


図 51. 正の過負荷からの回復、 $A_V = -10$ 、 $V_{SY} = \pm 15\text{ V}$

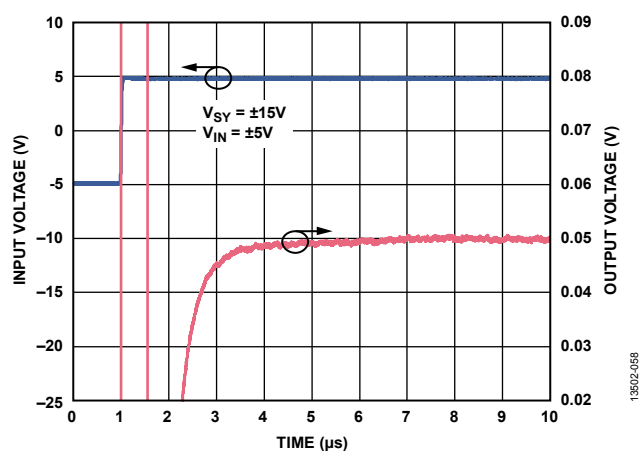


図 54. 正のセトリング・タイム、 $A_V = -10$ 、 $V_{SY} = \pm 15\text{ V}$

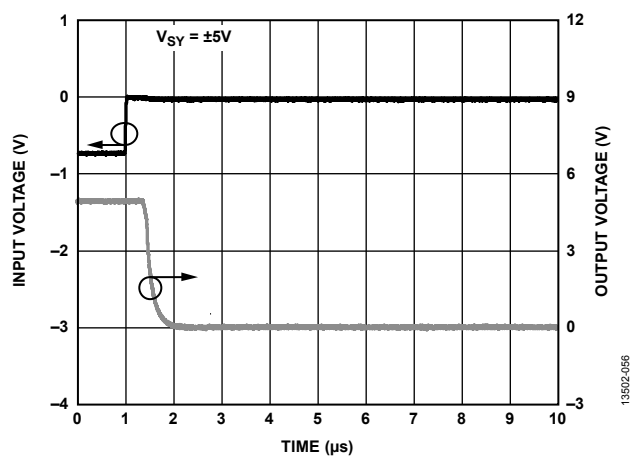


図 52. 正の過負荷からの回復、 $A_V = -10$ 、 $V_{SY} = \pm 5\text{ V}$

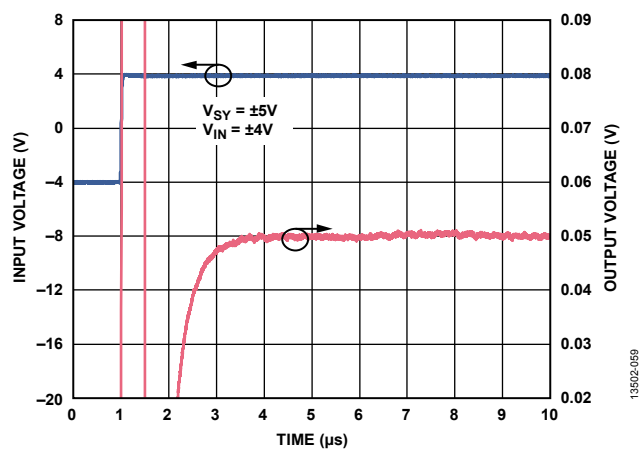


図 55. 正のセトリング・タイム、 $A_V = -10$ 、 $V_{SY} = \pm 5\text{ V}$

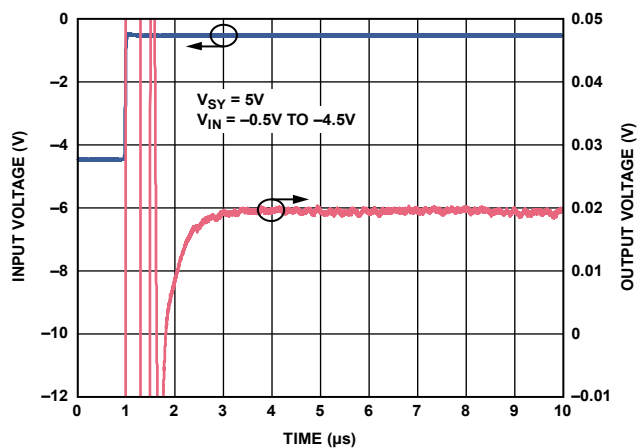


図 56. 正のセトリング・タイム、 $A_v = -10$ 、 $V_{SY} = 5\text{ V}$

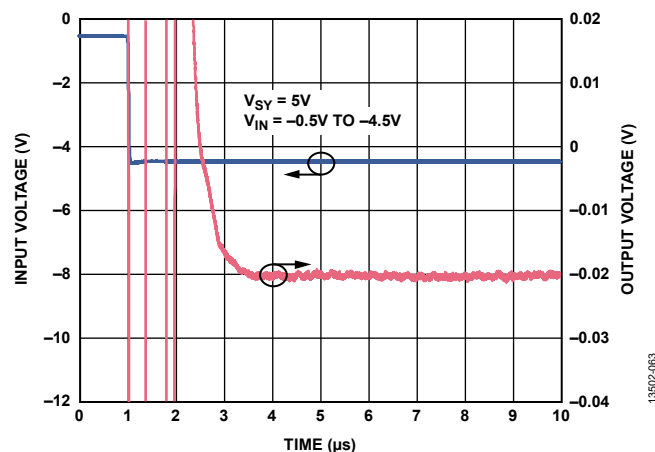


図 59. 負のセトリング・タイム、 $A_v = -10$ 、 $V_{SY} = 5\text{ V}$

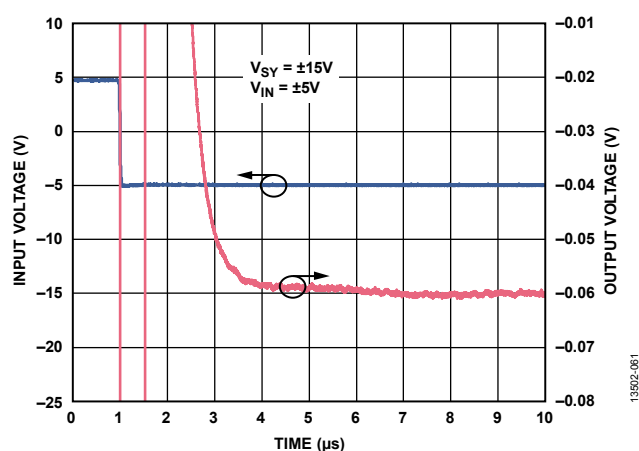


図 57. 負のセトリング・タイム、 $A_v = -10$ 、 $V_{SY} = \pm 15\text{ V}$

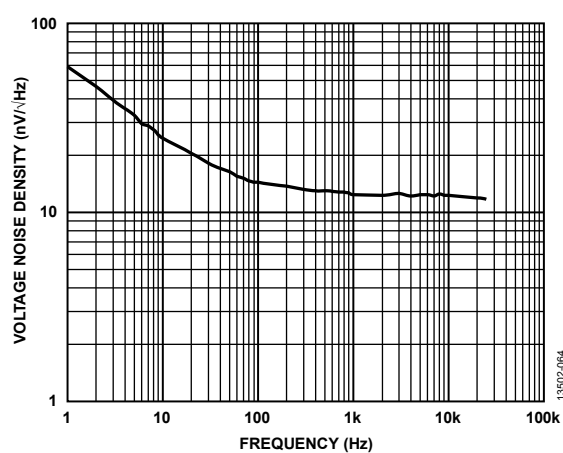


図 60. 電圧ノイズ密度、 $V_{SY} = \pm 15\text{ V}$

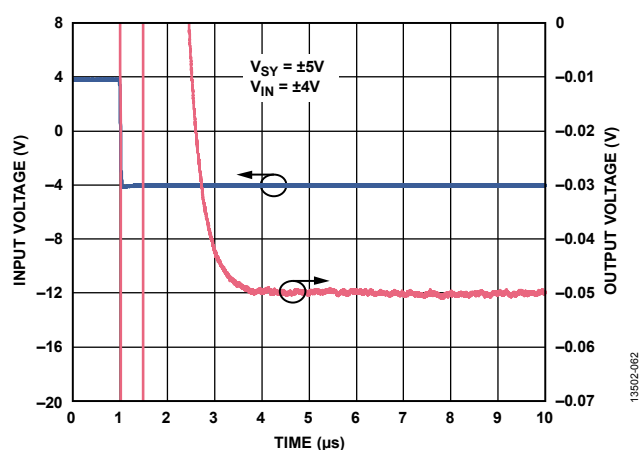


図 58. 負のセトリング・タイム、 $A_v = -10$ 、 $V_{SY} = \pm 5\text{ V}$

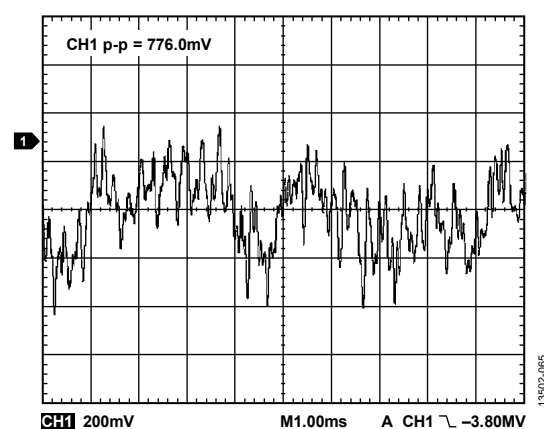


図 61. 0.1 Hz ~ 10 Hz のノイズ、 $V_{SY} = \pm 15\text{ V}$

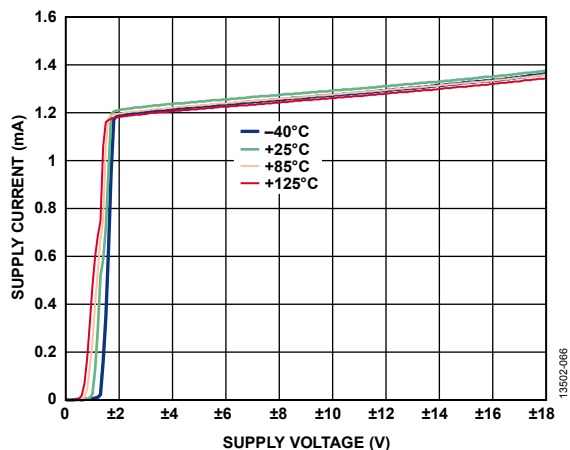


図 62. さまざまな温度での電源電流 (I_S) と電源電圧 (V_S) の関係

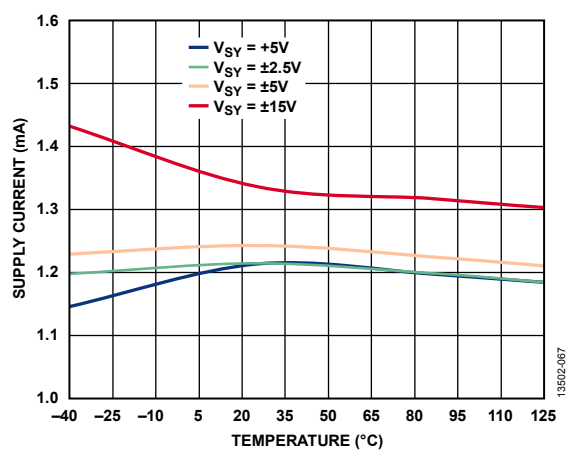


図 63. 電源電流 (I_S) と温度の関係

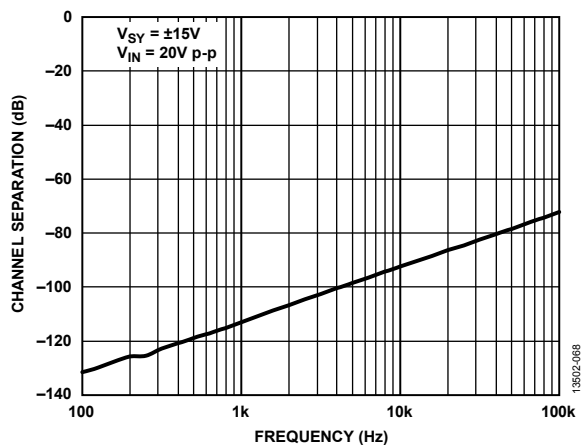


図 64. チャンネル・セパレーションの周波数特性、 $V_S = \pm 15V$

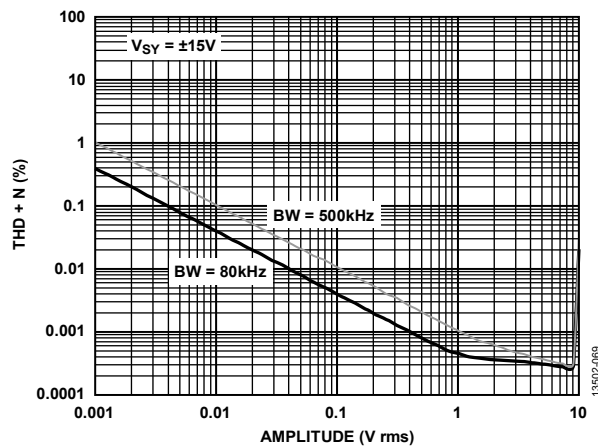


図 65. THD + ノイズと振幅の関係、 $V_S = \pm 15V$

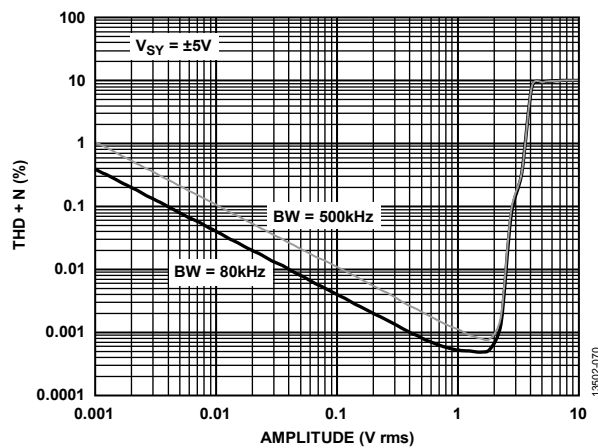


図 66. THD + ノイズと振幅の関係、 $V_S = \pm 5V$

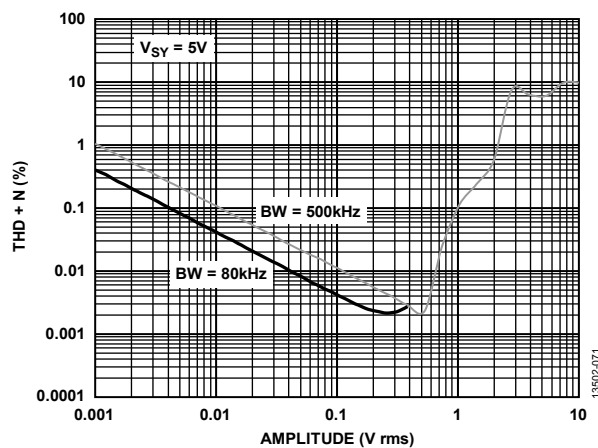


図 67. THD + ノイズと振幅の関係、 $V_S = 5V$

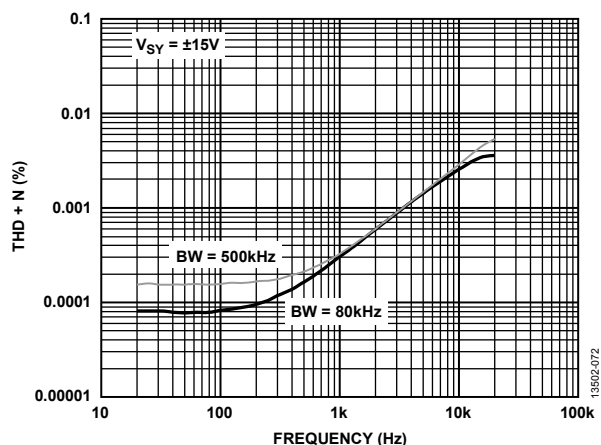


図 68. THD + ノイズの周波数特性、 $V_{SY} = \pm 15V$

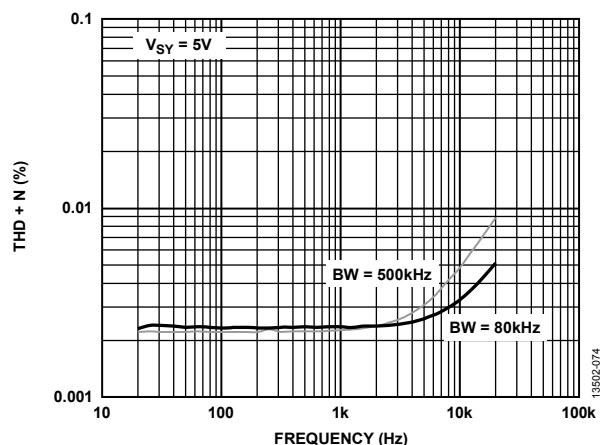


図 70. THD + ノイズの周波数特性、 $V_{SY} = 5V$

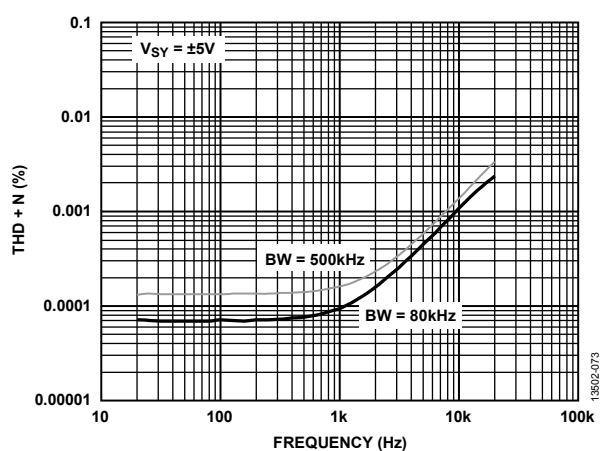


図 69. THD + ノイズの周波数特性、 $V_{SY} = \pm 5V$

動作原理

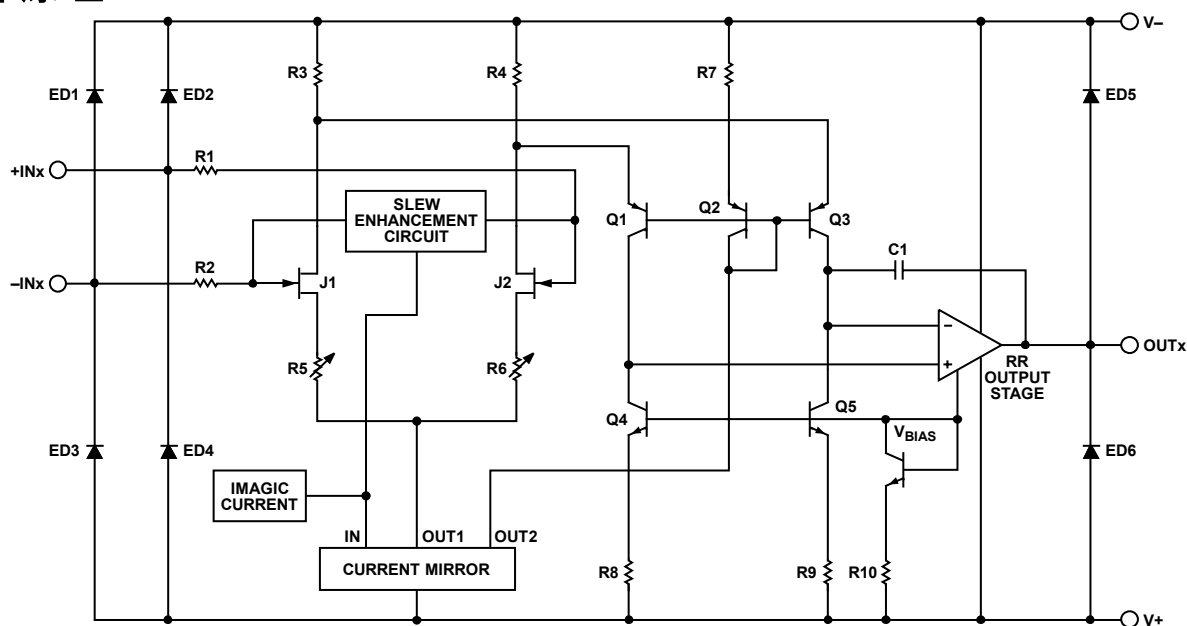


図 71. 簡素化した回路図

入力特性

ADA4622-2の入力段は、低オフセット、低ノイズ、高インピーダンスを実現する複数のNチャンネルJFETで構成されています。最小入力コモンモード電圧は、 V^- より200 mV低い値から V^+ より1 V低い値までとなっています。入力を正の電源レールに近い値で駆動すると、アンプの帯域幅が減少し、コモンモード電圧の誤差が増加します。図 72 に、帯域幅の減少により出力が丸められている状態を示します。入力と出力がほぼ重なっています。

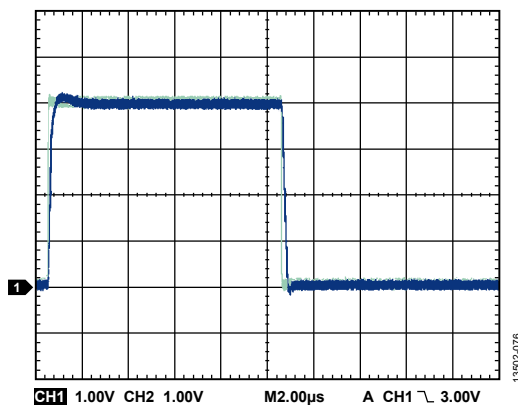


図 72. ヘッドルーム要件による帯域幅の制限

V^+ 以下の入力電圧では、ADA4622-2 で位相反転は現れません。入力電圧が V^+ を超える場合、非反転入力に 10 k Ω 抵抗を直列に接続することで位相の反転を防止できますが、入力電圧ノイズが増加します (図 73 を参照)。

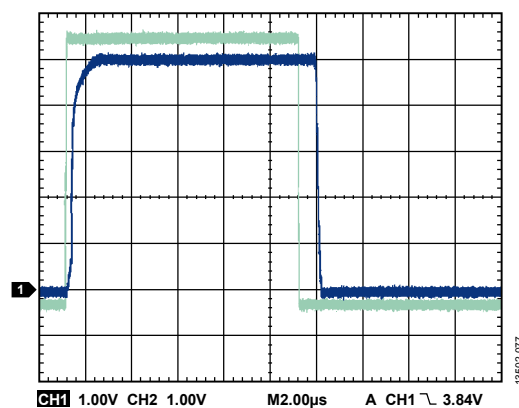
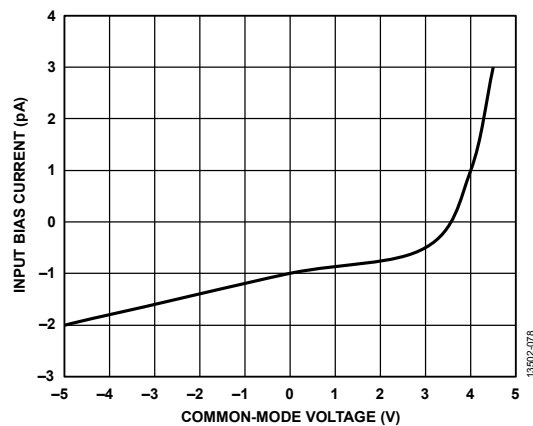


図 73. 位相反転なし

入力段にはNチャンネルJFETが採用されているため、通常動作時の入力電流は負になります。ただし、入力電圧が V^+ に近づくとつれて、内部ジャンクションに順方向バイアスがかかることにより、入力バイアス電流の方向が変わります (図 74 を参照)。

図 74. ± 5 V 電源での入力バイアス電流とコモンモード電圧の関係

ADA4622-2 は、 $12 \text{ nV}/\sqrt{\text{Hz}}$ の広帯域入力電圧ノイズ向けに設計されていて、低い周波数での低ノイズ性能を維持します（図 75 を参照）。このノイズ性能に加え、入力電流と電流ノイズが小さいという特長により、 $10 \text{ k}\Omega$ を超える信号源抵抗および 1 kHz を超える信号帯域幅を使用するアプリケーションで ADA4622-2 に起因するノイズは無視できる水準です。

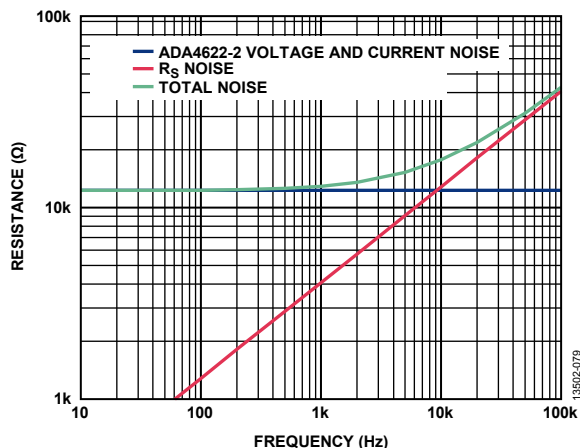


図 75. 合計ノイズと信号源抵抗の関係

入力過電圧保護

ADA4622-2 は、損傷が生じることなく、電源電圧より 0.3 V 高い電圧をいずれかの端子に入力できる保護回路を内蔵しています。入力電圧が電源より 0.3 V 高い電圧を超える場合は、ADA4622-2 の入力に電流制限抵抗を直列接続してください。過電圧状態が数秒以上続くと、アンプが損傷します。

入力電圧が高い場合は、次式で抵抗値を決定します。

$$\frac{V_{IN} - V_{SY}}{R_S} \leq 10 \text{ mA}$$

ここで、
 V_{IN} は入力電圧。
 V_{SY} は $V+$ または $V-$ の電圧。
 R_S は直列抵抗。

最大 125°C 以下でバイアス電流が 1.5 nA (max) と非常に小さいので、大きなオフセット誤差を発生させることなく、高い値の抵抗を入力に直列接続できます。 $1 \text{ k}\Omega$ の直列抵抗を使用すると、アンプは 10 V の連続的な過電圧に耐えるようになり、ノイズの増加も無視できる量にとどまります。 $5 \text{ k}\Omega$ の抵抗を使用すると、電源より 25 V 高い電圧から入力を保護するとともに、オフセットに追加される電圧も $10 \mu\text{V}$ 未満で済みます。

EMI 除去

図 76 に ADA4622-2 の電磁干渉除去比 (EMIRR) の周波数特性を示します。

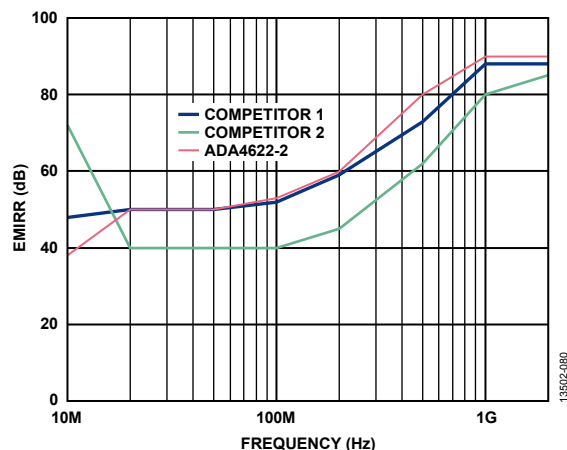


図 76. EMI 除去比 (EMIRR) の周波数特性

出力特性

ADA4622-2 独自のバイポーラ・レール to レール出力段の電圧振幅は、外部の抵抗性負荷なしで 10 mV 以内です。

ADA4622-2 の概算の出力飽和抵抗値は 24Ω (ソースまたはシンク) です。高負荷駆動時の出力飽和電圧を見積もるには、出力インピーダンスを使用します。例えば、 5 mA を駆動している場合、いずれかのレールからの飽和電圧は約 120 mV です。

ADA4622-2 の出力が出力飽和電圧に対して過剰な値で駆動されると、入力から $1.2 \mu\text{s}$ 以内に回復が行われ、アンプのリニア動作領域に復帰します（図 48 および図 51 を参照）。

容量性負荷の駆動能力

直接的な容量性負荷は ADA4622-2 の実効出力インピーダンスと相互作用し、アンプの帰還ループに追加の極を形成します。これは、パルス応答において過度のピーク形成または安定性低下の原因となります。デバイスに 5 V 単電源を使用し、ユニティゲイン構成で使用した場合に最悪の状態となります。図 77 に、 500 pF を直接駆動している ADA4622-2 のパルス応答を示します。

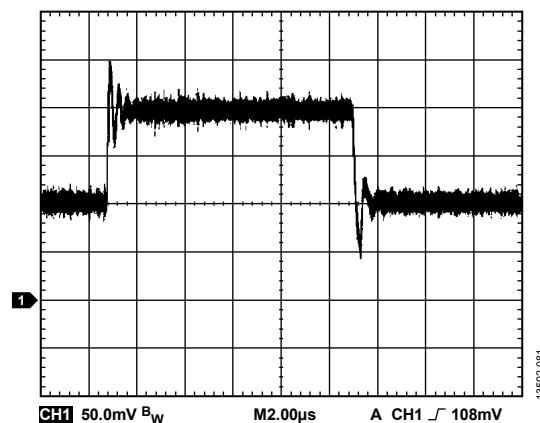


図 77. 500 pF 負荷容量でのパルス応答

アプリケーション情報

推奨される電源ソリューション

ADA4622-2 用のクリーンな正電源と負電源を生成するには、[ADP7118](#) と [ADP7182](#) を使用することが推奨されます。これらの低ドロップアウト・レギュレータ (LDO) として、固定出力電圧タイプと調整可能な出力電圧タイプの両方が供給されています。LDO の入力電圧を生成するには、[ADP5070](#) DC/DC スウィッチング・レギュレータを使用することが推奨されます。

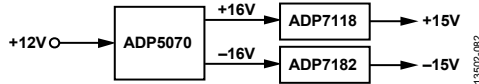


図 78. ADA4622-2 の電源ソリューション

表 6. 推奨パワー・マネージメント・デバイス

Product	Description
ADP5070	DC-to-dc switching regulator with independent positive and negative outputs
ADP7118	20 V, 200 mA, low noise, CMOS LDO regulator
ADP7182	-28 V, -200 mA, low noise, linear regulator

最大消費電力

ADA4622-2 の安全な最大消費電力は、ジャンクション温度の上昇により制限されます。プラスチック製パッケージの場合、安全な最大ジャンクション温度は 150 °C です。この最大温度を瞬間的に超えた場合、ダイの温度が低下した直後に正常な回路動作に戻ります。デバイスを長時間にわたって過熱状態で放置すると、デバイスが焼損することがあります。正常に動作させるには、絶対最大定格および熱抵抗の仕様を遵守することが重要です。

2 次ローパス・フィルタ

図 79 に、ADA4622-2 を 2 次バターワース・ローパス・フィルタとして構成した回路を示します。ここに示している値を使用する場合、コーナー周波数は 200 kHz になります。部品を選択するための式を以下に示します。

$R1 = R2 =$ ユーザーが選択 (代表値: 10 k Ω ~ 100 k Ω)

$$C1 = \frac{1.414}{2\pi f_{CUTOFF} \times R1}$$

$$C2 = \frac{0.707}{2\pi f_{CUTOFF} \times R1}$$

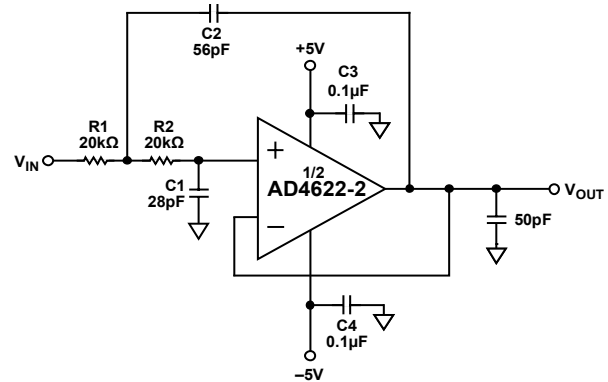


図 79. 2 次ローパス・フィルタ

フィルタのプロットを図 80 に示します。35 dB 以上の高周波除去が実現します。

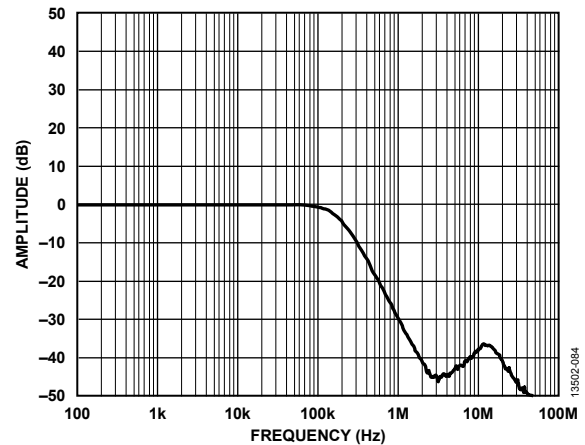


図 80. フィルタの周波数応答

ワイドバンド・フォトダイオード・プリアンプ

ADA4622-2 はフォトダイオード・プリアンプ・アプリケーションに最適です。入力バイアス電流が小さいので、プリアンプ出力での DC 誤差を最小限に抑えられます。また、ゲイン帯域幅積が高く、入力容量が小さいので、フォトダイオード・プリアンプの信号帯域幅が最大限になります。図 81 に、ADA4622-2 をフォトダイオードの電気モデルで電流/電圧 (I/V) コンバータとして使用した回路を示します。

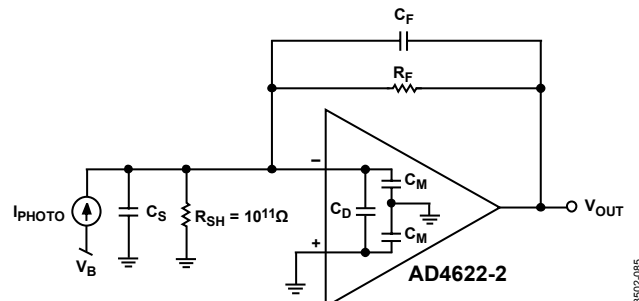


図 81. ワイドバンド・フォトダイオード・プリアンプ

フォトダイオード・プリアンプのトランスインピーダンス・ゲインは、次の基本的な伝達関数で表現できます。

$$V_{OUT} = \frac{I_{PHOTO} \times R_F}{1 + sC_F R_F}$$

ここで、

I_{PHOTO} はフォトダイオードの出力電流です。

R_F と C_F の並列接続は、信号帯域幅を設定します（図 83 の I/V ゲイン曲線を参照）。

達成可能な最大出力電圧が最大ダイオード電流 I_{PHOTO} に対応するように R_F を設定する必要があります。これにより、出力振幅全体を使用できるようになります。このプリアンプで達成可能な信号帯域幅は、 R_F 、アンプのゲイン帯域幅積 (f_U)、増幅器のゲイン帯域幅積 (f_u)、およびアンプ加算点での合計容量 (C_S とアンプの入力容量 C_D および C_M を含む) の関数で表現できます。 R_F と合計容量により、ループ周波数の地点に存在する極 (f_P) が形成されます。

$$f_P = \frac{1}{2\pi R_F C_S}$$

アンプのオープンループ応答に対して極を追加した 2 極システムでは、不十分な位相マージンが原因でピークが形成され、安定性が低下します（図 82 を参照）。

C_F を追加すると、ループ伝送にゼロが作成され、入力極の影響が補償されます。これにより、位相マージンが増加し、フォトダイオード・プリアンプの設計が安定します。また、信号帯域幅も設定されます（図 83 を参照）。信号帯域幅とゼロ周波数は次式で求めます。

$$f_Z = \frac{1}{2\pi R_F C_F}$$

f_X 周波数でゼロを設定すると、45° の位相マージンで信号帯域幅が最大化されます。 f_X は f_P と f_U の幾何平均であるため、次式で計算できます。

$$f_X = \sqrt{f_P \times f_U}$$

これらの式を組み合わせると、 f_X を算出する C_F の値は次式で定義します。

$$C_F = \sqrt{\frac{C_S}{2\pi \times R_F \times f_U}}$$

この場合の周波数応答は、約 2 dB のピーキングと 15 % のオーバーシュートを示します。 C_F を 2 倍にして帯域幅を 1/2 にすると、約 5 % の過渡オーバーシュートを伴うフラットな周波数応答になります。

広帯域フォトダイオード・プリアンプの設計において、出力ノイズの主な生成源は、アンプの入力電圧ノイズ V_{NOISE} と R_F による抵抗ノイズです。図 83 の灰色の曲線は、フォトダイオード・プリアンプの周波数にわたるノイズ・ゲインを示しています。 f_N 周波数でのノイズ帯域幅は次式で計算します。

$$f_N = \frac{f_U}{(C_S + C_F)/C_F}$$

図 84 に、ADA4622-2 をトランスインピーダンス・フォトダイオード・アンプとして構成した回路を示します。このアンプは入力容量 5 pF のフォトダイオード検出器とともに使用します。図 85 に、 I_{PHOTO} が 1 μ A p-p のときの ADA4622-2 のトランスインピーダンス応答を示します。 $C_F = 2$ pF で 45° 位相マージンに対して最大化した場合、アンプの帯域幅は 2 MHz になります。PCB 寄生容量を C_F に追加した場合、ピーク形成はわずか 0.5 dB で、帯域幅がわずかに減少します。 C_F を 3 pF に増やすと、ピーク形成を完全に排除できます。ただし、 C_F を 3 pF に増やすと、帯域幅が 1 MHz に減少します。

表 7 に、フォトダイオード・プリアンプのノイズ生成源と合計出力ノイズを示します。この場合、帯域幅を最大にするように、45° の位相マージンでプリアンプを構成し、 $f_Z = f_X = f_N$ に設定しています。

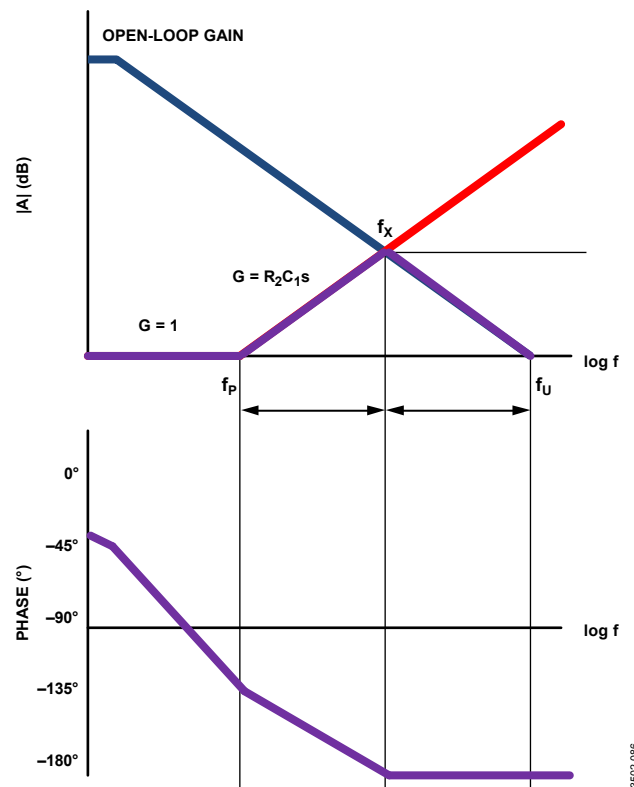


図 82. トランスインピーダンス・アンプ設計のゲインと位相のプロット（補償なし）

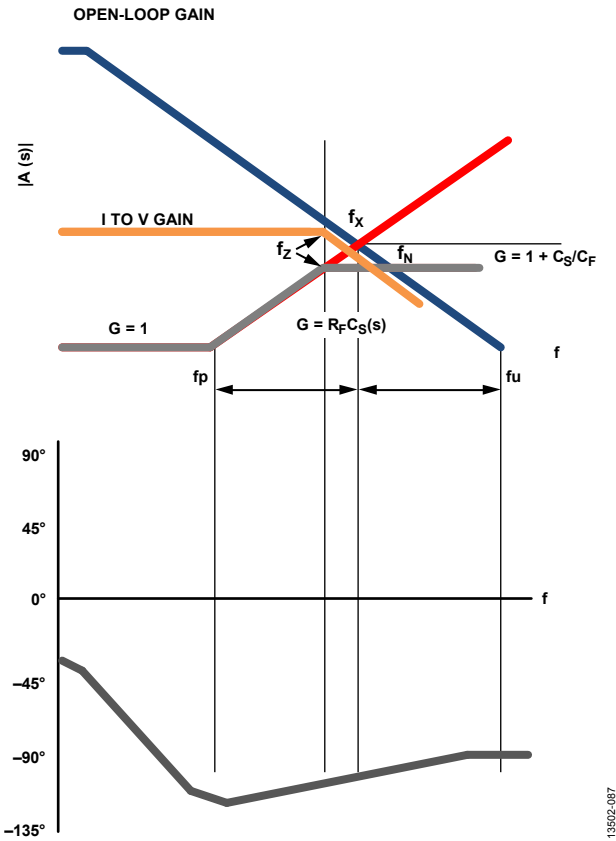


図 83. トランスインピーダンス・アンプ設計のゲインと位相のプロット（補償あり）

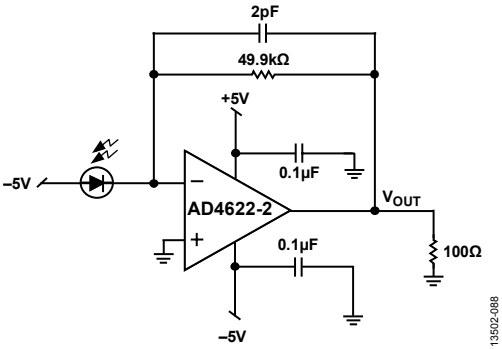


図 84. フォトダイオード・プリアンプ

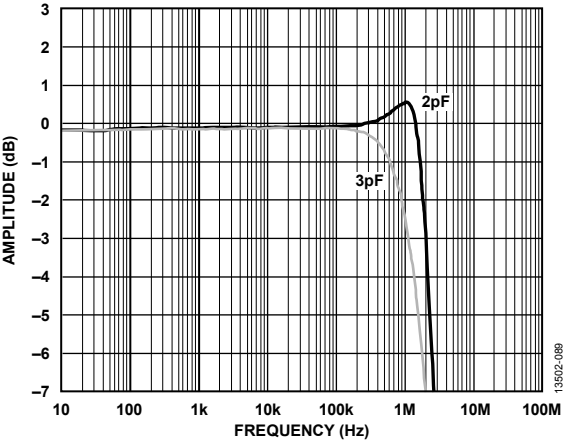


図 85. フォトダイオード・プリアンプの周波数応答

表 7. フォトダイオード・プリアンプの RMS ノイズ成分

Contributor	Expression	RMS Noise (μV) ¹
R_F	$\sqrt{4kT \times R_F \times f_N \times \frac{\pi}{2}}$	50.8
V_{NOISE}	$V_{NOISE} \times \sqrt{\frac{(C_S + C_M + C_F + C_D)}{C_F}} \times \sqrt{\frac{\pi}{2} \times f_N}$	131.6
Root Sum Square (RSS) Total	$\sqrt{R_F^2 \times V_{NOISE}^2}$	141

¹ $R_F = 50 \text{ k}\Omega$ 、 $C_S = 5 \text{ pF}$ 、 $C_F = 2 \text{ pF}$ 、 $C_M = 3.7 \text{ pF}$ 、および $C_D = 0.4 \text{ pF}$ での RMS ノイズ

ピーク検出器

ピーク検出器の機能は、信号のピーク値をキャプチャして、その値に等しい出力を生成することです。ADA4622-2 などの JFET 入力アンプの優れた DC 精度と超低入力バイアス電流により、図 86 に示すような非常に正確なピーク検出器を作成できます。

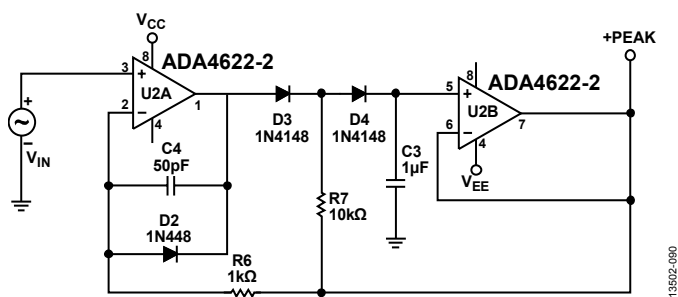


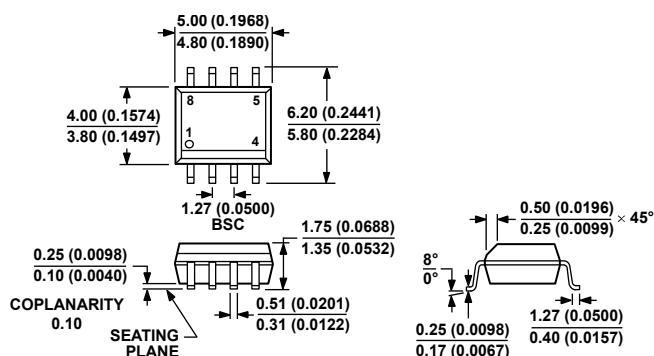
図 86. 正ピーク検出器

このアプリケーションでは、ダイオード D3 とダイオード D4 は、出力がホールド・モードで一定に保たれているときに単方向電流スイッチとして機能します。

正ピークを検出するため、C3 が入力ピーク値と等しい電圧に充電されるまで U2A は C3 ～ D3 および D4 を駆動します。U2B (正ピーク) ～ R6 の出力からの帰還は、U2A の出力電圧を制限します。ピークを検出した後に、U2A の出力振幅は低くなりますが、D2 によってクランプされます。ダイオード D3 はバイアスを反転させ、D3、D4、R7 の共通ノードは R7 によって正ピークに等しい電圧に保持されます。D4 両端の電圧は 0 V であるため、漏洩は小さくなります。U2B のバイアス電流も小さくなります。C3 のホールド時間は長く、ほとんど漏洩はありません。

図 86 に示すように、ADA4622-2 はピーク検出器を作成するのに最適です。これは、U2A が高速ピーク時に優れた DC 精度と高い出力電流を必要とし、U2B はピーク間の容量放電を最小限に抑えるために低入力バイアス電流 (IB) を必要とするためです。C3 には、ポリスチレンまたはポリプロピレンなどの低漏洩/低誘電吸収コンデンサが必要です。ダイオードの方向を逆にすると、回路は負ピークを検出ようになります。

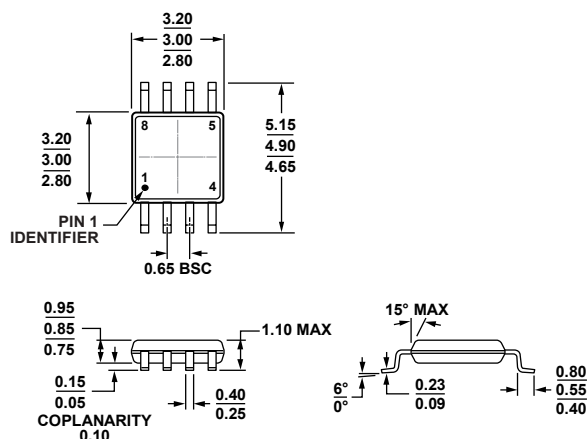
外形寸法



COMPLIANT TO JEDEC STANDARDS MS-012-AA
CONTROLLING DIMENSIONS ARE IN MILLIMETERS; INCH DIMENSIONS
(IN PARENTHESES) ARE ROUNDED-OFF MILLIMETER EQUIVALENTS FOR
REFERENCE ONLY AND ARE NOT APPROPRIATE FOR USE IN DESIGN.

012407-A

図 87. 8 ピン、標準スモール・アウトライン・パッケージ [SOIC_N]
ナロー・ボディ (R-8)
寸法単位: mm (括弧内はインチ)



COMPLIANT TO JEDEC STANDARDS MO-187-AA

10-07-2009-B

図 88. 8 ピン・ミニ・スモール・アウトライン・パッケージ [MSOP]
(RM-8)
寸法: mm

オーダー・ガイド

Model ¹	Temperature Range	Package Description	Package Option	Branding
ADA4622-2ARZ	-40°C to +125°C	8-Lead Standard Small Outline Package [SOIC_N]	R-8	A3D
ADA4622-2ARZ-R7	-40°C to +125°C	8-Lead Standard Small Outline Package [SOIC_N]	R-8	
ADA4622-2ARZ-RL	-40°C to +125°C	8-Lead Standard Small Outline Package [SOIC_N]	R-8	
ADA4622-2ARMZ	-40°C to +125°C	8-Lead Mini Small Outline Package [MSOP]	RM-8	
ADA4622-2ARMZ-R7	-40°C to +125°C	8-Lead Mini Small Outline Package [MSOP]	RM-8	
ADA4622-2ARMZ-RL	-40°C to +125°C	8-Lead Mini Small Outline Package [MSOP]	RM-8	
ADA4622-2BRZ	-40°C to +125°C	8-Lead Standard Small Outline Package [SOIC_N]	R-8	
ADA4622-2BRZ-R7	-40°C to +125°C	8-Lead Standard Small Outline Package [SOIC_N]	R-8	
ADA4622-2BRZ-RL	-40°C to +125°C	8-Lead Standard Small Outline Package [SOIC_N]	R-8	

¹ Z = RoHS 準拠製品。