

AD9852

特長

- 内部クロック・レート：300MHz
- 12ビット出力D/Aコンバータを内蔵
- 超高速3psのRMSジッター・コンパレータを内蔵
- 優れたダイナミック性能：
 - 80dB SFDR@100MHz (± 1 MHz) A_{OUT}
- 4~20xのプログラマブルなリファレンス・クロック乗算器
- 48ビット・プログラマブル周波数レジスタを2個内蔵
- 14ビット・プログラマブル位相オフセット・レジスタを2個内蔵
- 12ビット振幅変調およびプログラマブルな整形ON/OFFキーイング機能を内蔵
- シングル・ピンのFSKおよびPSKデータ・インターフェースを内蔵
- シングル・ピン周波数“保持”機能を持つ線形および非線形のFM掃引機能を内蔵
- 周波数ランプ型FSK機能を内蔵
- クロック・ジェネレータ・モードでのRMS合計ジッター：
 - 25ps未満
- 双方向の自動周波数掃引が可能
- SIN(X)/X補正
- 簡素化されたコントロール・インターフェース
 - 2線式または3線式のSPIと互換性を持つ10MHzのシリアル・インターフェースまたは100MHzの平行8ビット・インター

フェースによるプログラミング

- 3.3Vの単電源動作
- 複数のパワーダウン機能
- シングルエンドまたは差動入力のリファレンス・クロック
- 小型80ピンLQFPパッケージ採用

アプリケーション

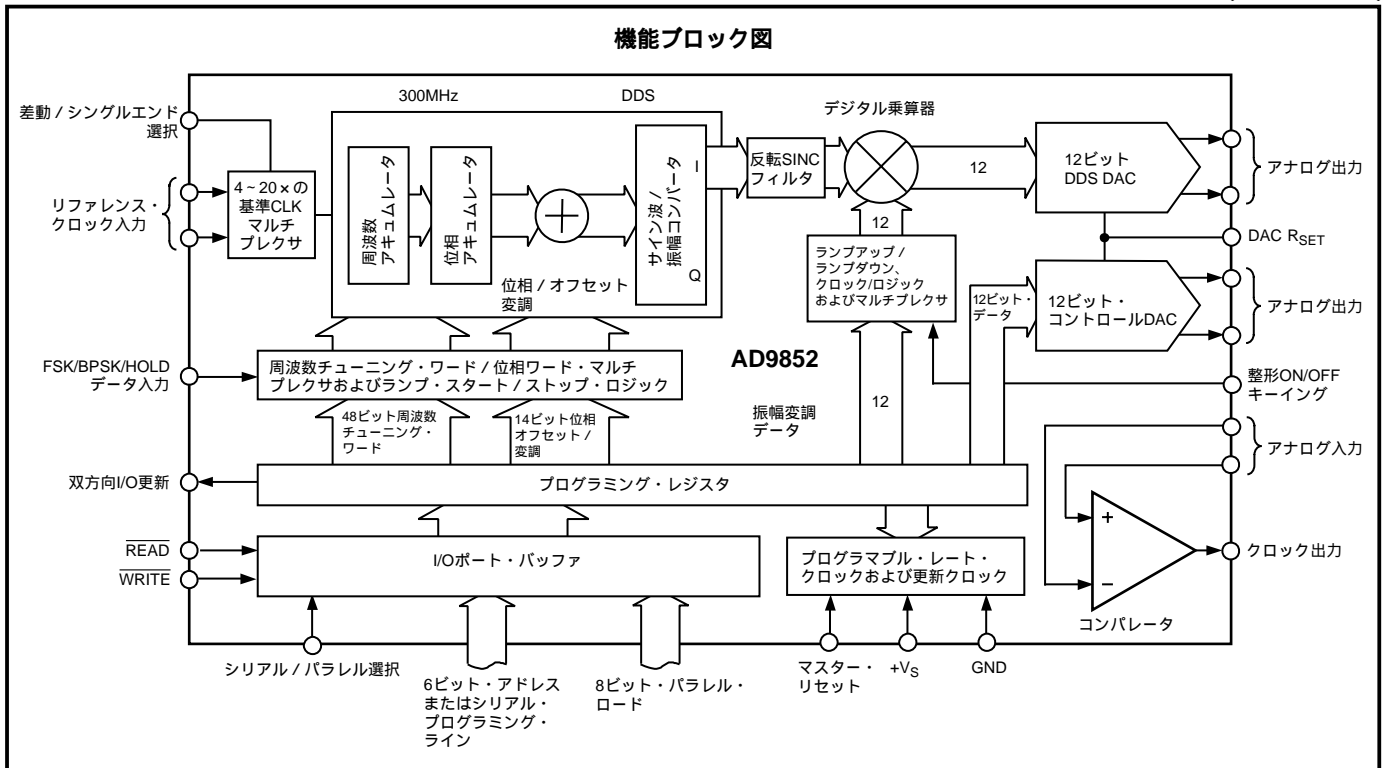
- 位相追従型局部発振器 (LO) 用周波数シンセサイザ
- プログラマブルなクロック・ジェネレータ
- レーダーおよびスキャン・システム向けのFM掃引信号源
- 試験装置および計測装置
- 業務用およびアマチュア用RFエキサイタ

概要

AD9852は、最新のDDS技術を高速な内蔵高性能D/Aコンバータおよびコンパレータと組み合わせて、デジタル的にプログラム可能な位相追従型シンセサイザ機能を構成する、高集積度のデバイスです。正確なクロック信号源を基準とした場合、AD9852は非常に安定で周波数/位相/振幅がプログラマブルなサイン波出力を発生し、この出力は通信、レーダー、その他の多くのアプリケーションで位相追従型の局部発振器として使用することができます。AD9852の革新的な高速DDSコアは、48ビットの周波数分解能 (1マイクロ・ヘルツのチューニング・

(13ページに続く)

機能ブロック図



アナログ・デバイス社が提供する情報は正確で信頼できるものを期していますが、その情報の利用または利用したことにより引き起こされる第三者の特許または権利の侵害に関して、当社はいっさいの責任を負いません。さらに、アナログ・デバイス社の特許または特許の権利の使用を許諾するものでもありません。

AD9852 - 仕様

(特に指定のない限り、 $V_S = 3.3V \pm 5\%$ 、 $R_{SET} = 3.9k$ 、AD9852ASQの外部リファレンス・クロック周波数 = 30MHz (10×でREFCLK乗算器をイネーブル)、AD9852ASTの外部リファレンス・クロック周波数 = 20MHz (10×でREFCLK乗算器をイネーブル))

パラメータ	温度	テスト・レベル	AD9852ASQ			AD9852AST			単位
			Min	Typ	Max	Min	Typ	Max	
リファレンス・クロック入力特性 ¹									
内部クロック周波数範囲	全温度	VI	5		300	5		200	MHz
外部リファレンス・クロック周波数範囲									
REFCLK乗算器をイネーブル	全温度	VI	5		75	5		50	MHz
REFCLK乗算器をディスエーブル	全温度	VI	5		300	5		200	MHz
デューティ・サイクル	25	V		50			50		%
入力容量	25	IV		3			3		pF
入力インピーダンス	25	IV		100			100		k
差動モード/コモン・モード電圧範囲									
最小信号振幅	25	IV	800			800			mV _{p-p}
コモン・モード範囲	25	IV	1.6	1.75	1.9	1.6	1.75	1.9	V
V _{IH} (シングルエンド・モード)	25	IV	2.3			2.3			V
V _{IL} (シングルエンド・モード)	25	IV			1			1	V
DACスタティック出力特性									
出力更新速度	全温度	I			300			200	MSPS
分解能	25	IV		12			12		ビット
サイン波DACおよび補助DACのフルスケール出力電流	25	IV	5	10	20	5	10	20	mA
ゲイン誤差	25	I	-6		+2.25	-6		+2.25	%FS
出力オフセット	25	I			2			2	μA
微分非直線性	25	I		0.3	1.25		0.3	1.25	LSB
積分非直線性	25	I		0.6	1.66		1	1.66	LSB
出力インピーダンス	25	I		100			100		k
電圧適合範囲	25	I	-0.5		+1.0	-0.5		+1.0	V
DAC広帯域SFDR									
1 ~ 20MHz A _{OUT}	25	V		58			58		dBc
20 ~ 40MHz A _{OUT}	25	V		56			56		dBc
40 ~ 60MHz A _{OUT}	25	V		52			52		dBc
60 ~ 80MHz A _{OUT}	25	V		48			48		dBc
80 ~ 100MHz A _{OUT}	25	V		48			48		dBc
100 ~ 120MHz A _{OUT}	25	V		50					dBc
DAC狭帯域SFDR									
10MHz A _{OUT} (±1MHz)	25	V		83			83		dBc
10MHz A _{OUT} (±250kHz)	25	V		83			83		dBc
10MHz A _{OUT} (±50kHz)	25	V		91			91		dBc
41MHz A _{OUT} (±1MHz)	25	V		82			82		dBc
41MHz A _{OUT} (±250kHz)	25	V		84			84		dBc
41MHz A _{OUT} (±50kHz)	25	V		89			89		dBc
119MHz A _{OUT} (±1MHz)	25	V		71			71		dBc
119MHz A _{OUT} (±250kHz)	25	V		77			77		dBc
119MHz A _{OUT} (±50kHz)	25	V		83			83		dBc
残留位相ノイズ									
(A _{OUT} = 5MHz、外部CLK = 30MHz、REFCLK乗算器 : 10×)									
1kHzオフセット	25	V		140			140		dBc/Hz
10kHzオフセット	25	V		138			138		dBc/Hz
100kHzオフセット	25	V		142			142		dBc/Hz
(A _{OUT} = 5MHz、外部CLK = 300MHz、REFCLK乗算器 : パイパス)									
1kHzオフセット	25	V		142			142		dBc/Hz
10kHzオフセット	25	V		148			148		dBc/Hz
100kHzオフセット	25	V		152			152		dBc/Hz
パイプライン遅延									
位相アキュムレータおよびDDSコア	25	IV		17			17		システム・クロック周期
反転SINCフィルタ	25	IV		12			12		システム・クロック周期
デジタル乗算器	25	IV		10			10		システム・クロック周期

パラメータ	温度	テスト・レベル	AD9852ASQ			AD9852AST			単位
			Min	Typ	Max	Min	Typ	Max	
マスター・リセット継続時間	25	IV	10			10			システム・クロック周期
コンパレータ入力特性									
入力容量	25	V	3			3			pF
入力抵抗	25	IV	500			500	±1		k
入力電流	25	I	±1	±5		±1	±5		μA
ヒステリシス	25	IV	10	20		10	20		mV p-p
コンパレータ出力特性									
ロジック "1" 電圧、高インピーダンス負荷	全温度	VI	3.10			3.10			V
ロジック "0" 電圧、高インピーダンス負荷	全温度	VI		0.16			0.16		V
出力電力、50 負荷、120MHzトグル・レート	25	I	9	11		9	11		dBm
伝搬遅延	25	IV		3			3		ns
出力デューティ・サイクル誤差 ²	25	I	-10	±1	+10	-10	±1	+10	%
立ち上がり / 立ち下がり時間、5pF負荷	25	V		2			2		ns
トグル・レート、高インピーダンス負荷	25	IV	300	350		300	350		MHz
トグル・レート、50 負荷	25	IV	375	400		375	400		MHz
出力サイクル間ジッター ³	25	IV		3			3		ps rms
コンパレータ狭帯域SFDR ⁴									
10MHz (±1MHz)	25	V		84			84		dBc
10MHz (±250kHz)	25	V		84			84		dBc
10MHz (±50kHz)	25	V		92			92		dBc
41MHz (±1MHz)	25	V		76			76		dBc
41MHz (±250kHz)	25	V		82			82		dBc
41MHz (±50kHz)	25	V		89			89		dBc
119MHz (±1MHz)	25	V		73			73		dBc
119MHz (±250kHz)	25	V		73			73		dBc
119MHz (±50kHz)	25	V		83			83		dBc
クロック・ジェネレータ出力ジッター ⁴									
5MHz A _{OUT}	25	V		23			23		ps rms
40MHz A _{OUT}	25	V		12			12		ps rms
100MHz A _{OUT}	25	V		7			7		ps rms
パラレルI/Oタイミング特性									
T _{ASU} (\overline{WR} 信号アクティブまでのアドレス・セットアップ時間)	全温度	IV	4			4			ns
T _{ADHW} (\overline{WR} 信号非アクティブまでのアドレス・ホールド時間)	全温度	IV	3			3			ns
T _{DSU} (\overline{WR} 信号非アクティブまでのデータ・セットアップ時間)	全温度	IV	2			2			ns
T _{DHD} (\overline{WR} 信号非アクティブまでのデータ・ホールド時間)	全温度	IV	0			0			ns
T _{WRLOW} (\overline{WR} 信号最小ロー時間)	全温度	IV	3			3			ns
T _{WRHIGH} (\overline{WR} 信号最小ハイ時間)	全温度	IV	7			7			ns
T _{WR} (\overline{WR} 信号最小周期)	全温度	IV	10			10			ns
T _{ADV} (アドレスからデータまでの有効時間)	全温度	V	15	15		15	15		ns
T _{ADHR} (\overline{RD} 信号非アクティブまでのアドレス・ホールド時間)	全温度	IV	5			5			ns
T _{RDLOV} (\overline{RD} ローから出力有効まで)	全温度	IV		15			15		ns
T _{RDHOZ} (\overline{RD} ハイからデータ・スリー・ステートまで)	全温度	IV		10			10		ns
シリアルI/Oタイミング特性									
T _{PRE} (\overline{CS} セットアップ時間)	全温度	IV	30			30			ns
T _{SCLK} (シリアル・データ・クロックの周期)	全温度	IV	100			100			ns
T _{DSU} (シリアル・データ・セットアップ時間)	全温度	IV	30			30			ns
T _{SCLKPWH} (シリアル・データ・クロック・パルス幅ハイ)	全温度	IV	40			40			ns
T _{SCLKPWL} (シリアル・データ・クロック・パルス幅ロー)	全温度	IV	40			40			ns
T _{DHLD} (シリアル・データ・ホールド時間)	全温度	IV	0			0			ns
T _{DV} (データ有効時間)	全温度	V		30			30		ns
CMOSロジック入力									
ロジック "1" 電圧	25	I	2.7			2.7			V
ロジック "0" 電圧	25	I		0.4			0.4		V
ロジック "1" 電流	25	IV		±5			±5		μA
ロジック "0" 電流	25	IV		±5			±5		μA
入力容量	25	V	3			3			pF

AD9852 - 仕様

パラメータ	温度	テスト・レベル	AD9852ASQ			AD9852AST			単位
			Min	Typ	Max	Min	Typ	Max	
電源 ⁵									
+ V _S 電流 ⁶	25	I	815	922		585	660		mA
+ V _S 電流 ⁷	25	I	640	725		465	520		mA
+ V _S 電流 ⁸	25	I	585	660		425	475		mA
P _{DISS} ⁶	25	I	2.7	3.195		1.93	2.385		W
P _{DISS} ⁷	25	I	2.115	2.515		1.53	1.805		W
P _{DISS} ⁸	25	I	1.930	2.285		1.400	1.650		W
P _{DISS} /パワーダウン・モード	25	I		50			50		mW

注

1 リファレンス・クロック入力、V_{DD}電圧の1/2を中心とする1Vp-p（最小）DCオフセットありのサイン波、または3V TTLレベルのパルスを入力するように設定。

2 1Vp-pサイン波入力および0.5Vスレショルドの場合における1MHzから100MHzへのデューティ・サイクルの変化

3 コンパレータ固有のサイクル間ジッターの寄与分。入力信号は1Vの40MHz方形波。計測デバイスはWavcrest DTS-2075。

4 コンパレータ入力は外付けの7極楕円関数LPFを経由してアナログ出力部から発生。シングルエンド入力で0.5Vp-p。コンパレータ出力は50Ωで終端。

5 重要: 80ピンLQFPで、最大周辺温度85℃、最大内部クロック周波数200MHzで同時動作させた場合、最大ダイ接合温度150℃を超える可能性があります。詳細については、デレーティングおよび温度管理のための消費電力と熱的な考慮事項の節を参照してください。

6 全機能動作中。

7 反転sinc以外の全機能動作中。

8 反転sincとデジタル乗算器以外の全機能動作中。

仕様は予告なく変更されることがあります。

テスト・レベルの説明

テスト・レベル

- I. 100%出荷テストを実施。
- III. サンプル・テストのみを実施。
- IV. 設計とキャラクタライゼーション・テストによりパラメータを保証。
- V. パラメータはTyp値のみ。
- V. パラメータは、typ値のみ。
- VI. +25℃で100%出荷テストを実施。工業用動作温度範囲については、設計とキャラクタライゼーション・テストにより保証。

絶対最大定格

最大接合温度	150
V _S	4V
デジタル入力	-0.7V ~ +V _S
デジタル出力電流	5mA
保管温度	-65 ~ +150
動作温度	-40 ~ +85
ピン温度（ハンダ処理、10秒）	300
最大クロック周波数	300MHz

* 上記の絶対最大定格を超えるストレスを加えると、デバイスに永久的な損傷を与えることがあります。この定格はストレス定格の規定のみを目的とするものであり、この仕様の動作セクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長期間絶対最大定格条件に置くと、デバイスの信頼度に影響を与えることがあります。

オーダー・ガイド

モデル	温度範囲	パッケージ	パッケージ・オプション
AD9852ASQ	-40 ~ +85	熱強化型80ピンLQFP	SQ-80
AD9852AST	-40 ~ +85	80ピンLQFP	ST-80
AD9852/PCB	0 ~ 70	評価ボード	

注意

ESD（静電放電）の影響を受けやすいデバイスです。4000Vもの高圧の静電気が人体やテスト装置に容易に帯電し、検知されることなく放電されることがあります。本製品には当社独自のESD保護回路を備えていますが、高エネルギーの静電放電を受けたデバイスには回復不可能な損傷が発生することがあります。このため、性能低下や機能喪失を回避するために、適切なESD予防措置をとるようお奨めします。



AD5330ピン機能説明

ピン番号	ピン名	機能
1-8	D7-D0	8ビットの双方向パラレル・プログラミング・データ入力。パラレル・プログラミング・モードでのみ使用。
9,10,23, 24,25,73, 74,79,80	DVDD	デジタル回路の電源電圧。AGNDとDGNDを基準とした公称 + 3.3V。
11,12,26, 27,28,72, 75,76,77, 78	DGND	デジタル回路のグラウンド・リターン。AGNDと同電位。
13,35,57 58,63	NC	内部接続なし。
14-19	A5-A0	プログラム・レジスタに対する6ビット・パラレル・アドレス入力。パラレル・プログラミング・モードでのみ使用。シリアル・プログラミング・モードの選択時には、A0、A1、A2は2つめの機能を持ちます（下記参照）。
(17)	A2/IO RESET	プログラミング・プロトコルの誤りのために応答しないシリアル通信バスをリセットします。この方法でシリアル・バスをリセットしても、直前のプログラミングに影響を与えることがなく、かつ表Vに示す“デフォルト”のプログラミング値を起動することはありません。アクティブ・ハイ。
(18)	A1/SDO	3線式シリアル通信モードで使用する単方向シリアル・データ出力。
(19)	A0/SDIO	2線式シリアル通信モードで使用する双方向シリアル・データ入/出力。
20	I/O UD	双方向周波数更新信号。入/出力方向はコントロール・レジスタにより選択。入力として選択されると、立ち上がりエッジにより、プログラミング・レジスタの内容がICの内部に転送されて処理されます。I/O UDが出力として選択されると、システム・クロック・サイクルで8周期幅の出力パルス（ローからハイ）により、内部周波数更新が行われたことを表示します。
21	WRB/SCLK	パラレル・データのプログラミング・レジスタへの書き込み。SCLKと機能を共用。シリアル・プログラミング・バスに対応するシリアル・クロック信号。データは立ち上がりエッジで保持。パラレル・モードが選択された場合、このピンはWRBと機能を共用。
22	RBD/CSB	プログラミング・レジスタからのパラレル・データの読み出し。CSBと機能を共用。シリアル・プログラミング・バスに対応するチップ・セレクト信号。アクティブ・ロー。パラレル・モードが選択された場合、このピンはRDBと機能を共用。
29	FSK/BPSK/ HOLD	プログラミング・コントロール・レジスタで選択された動作モードに依存する多機能ピン。FSKモードの場合、ロジック・ローでF1を、ロジック・ハイでF2をそれぞれ選択。BPSKモードの場合、ロジック・ローで位相1を、ロジック・ハイで位相2をそれぞれ選択。掃引モードの場合、このピンをロジック・ハイにすると、HOLD機能が起動され、周波数アキュムレータを現在位置に保持します。ロジック・ローにすると、掃引を再開または開始します。
30	SHAPED KEYING	機能させるためにはプログラミング・コントロール・レジスタで最初に選択する必要があります。ロジック・ハイに設定すると、コサイン波DAC出力がゼロスケールからフルスケール振幅に、あらかじめプログラムされたレートで増加します。ロジック・ローに設定すると、フルスケール出力からゼロスケールにあらかじめプログラムされたレートで減少します。
31,32,37 38,44,50, 54,60,65	AVDD	アナログ回路の電源電圧。AGNDとDGNDを基準とした公称 + 3.3V。
33,34,39, 40,41,45, 46,47,53, 59,62,66, 67	AGND	アナログ回路グラウンドのリターン。DGNDと同電位。
36	VOUT	内部高速コンパレータの非反転出力ピン。標準CMOSロジック・レベルおよび50 負荷で10dBmの駆動が可能。
42	VINP	電圧正入力。内部高速コンパレータの非反転入力。
43	VINN	電圧負入力。内部高速コンパレータの反転入力。
48	IOUT1	コサイン波DACのユニポーラ電流出力。
49	IOUT1B	コサイン波DACの相補ユニポーラ電流出力。
51	IOUT2B	補助DACの相補ユニポーラ電流出力。
52	IOUT2	補助DACのユニポーラ電流出力。

AD9852

ピン番号	ピン名	機能
55	DACBP	両DAC用の共通バイパス・コンデンサ接続。このピンとAVDDの間に0.01 μ Fのチップ・コンデンサを接続すると、高調波歪みとSFDRを少し改善できます。開放のままにしておくこともできます（SFDRが少し低下します）。
56	DAC R _{SET}	両DACに対するフルスケール出力電流を設定するための共通接続。R _{SET} = 39.9/IOUT。通常のR _{SET} 範囲は8 ~ 2k（5 ~ 20mA）。
61	PLL FILTER	このピンに、REFCLK乗算器のPLLループ・フィルタに対する外部ゼロ補償ネットワークを接続します。ゼロ補償ネットワークは0.01 μ Fのコンデンサと1.3k の抵抗を直列に接続して構成します。このネットワークのもう一方の端は、ピン60にできるだけ近いAVDDに接続する必要があります。最適な位相ノイズ性能を得るために、コントロール・レジスタ1E内の“Bypass PLL”ビットをセットしてREFCLK乗算器をバイパスできます。
64	DIFF CLK	差動REFCLKのイネーブル。このピンをハイレベルにすると、差動クロック入力REFCLKとREFCLKB ENABLE（それぞれピン69とピン68）がイネーブルにされます。所要最小差動信号振幅は800mVp-p。1.6 ~ 1.9Vの差動信号範囲の中心ポイントまたはコモン・モード範囲。
68	REFCLKB	相補差動クロック信号（位相差180度）。シングル・エンド・クロック・モードを選択する場合は、このピンをハイまたはローに接続する必要があります。REFCLKと同じ信号レベル。
69	REFCLK	シングルエンド・リファレンス・クロック入力、または2つの差動クロック信号の内の1つ。通常の3.3V CMOS ロジック・レベルまたは1.6Vを中心とする1Vp-pのサイン波。
70	S/P SELECT	シリアル・プログラミング・モード（ロジック・ロー）またはパラレル・プログラミング・モード（ロジック・ハイ）を選択。
71	MASTER RESET	ユーザー・プログラミングのためにシリアル/パラレル・プログラミング・バスを初期化。すなわち、プログラミングRESETレジスタを表Vに示すデフォルト値により定義される“do-nothing”状態に設定します。ロジック・ハイでアクティブ。パワーアップ直後の正常動作のためには、MASTER RESETのアサートが不可欠です。

ピン配置

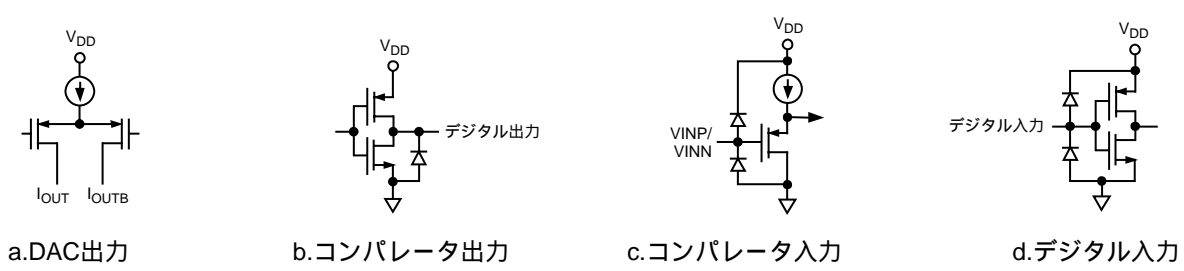
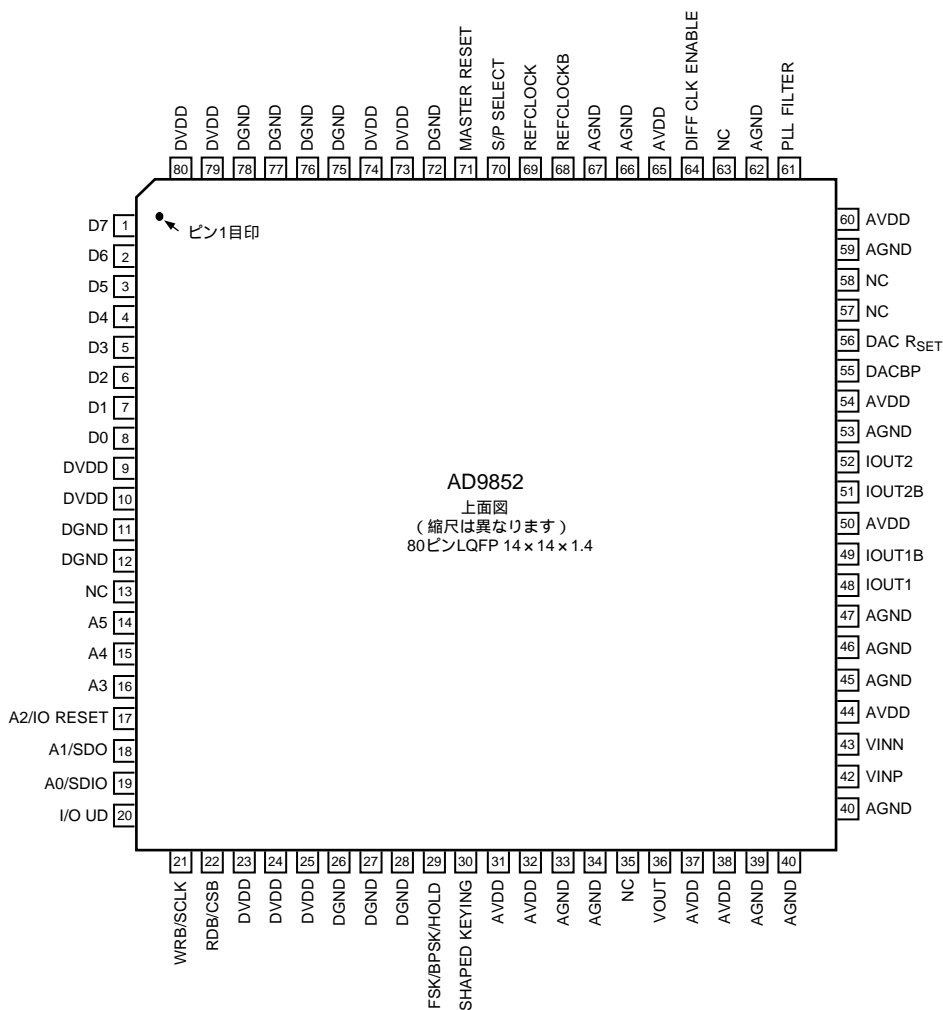


図1 等価入力回路と出力回路

AD9852

図2～7に、19.1～119.1MHzの基本波出力、リファレンス・クロック = 30MHz、REFCLK乗算器 = 10に対するAD9852の広帯域高調波歪み性能を示します。各グラフは0～150MHzに対して示します。

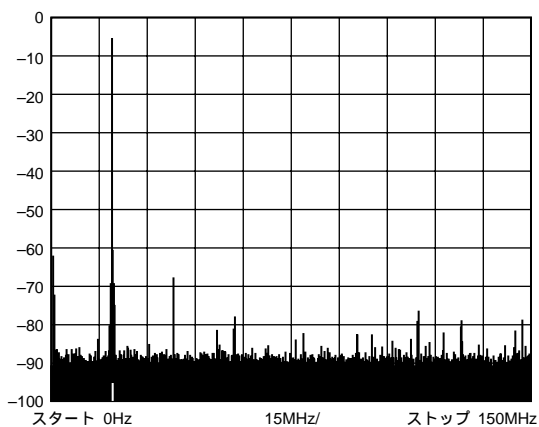


図2 広帯域SFDR、19.1MHz

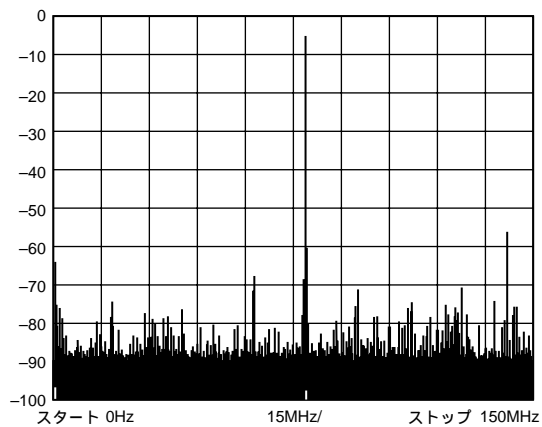


図5 広帯域SFDR、79.1MHz

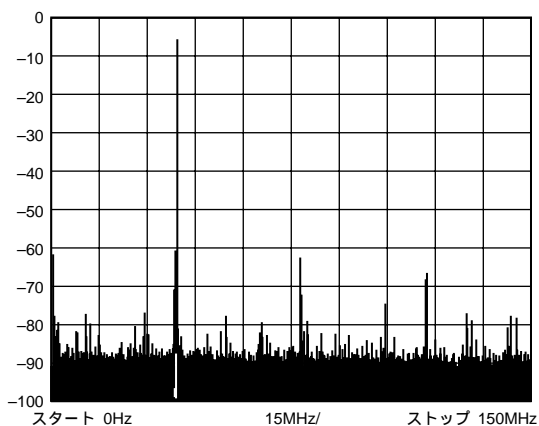


図3 広帯域SFDR、39.1MHz

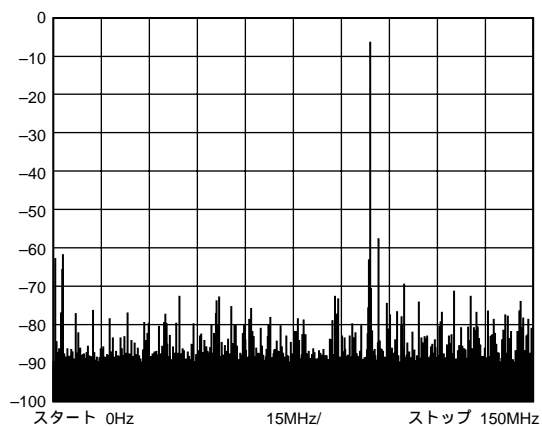


図6 広帯域SFDR、99.1MHz

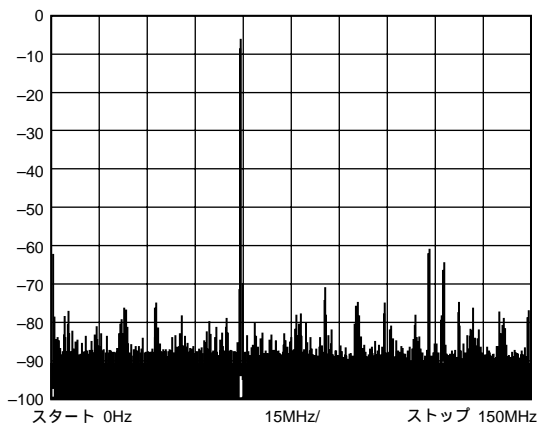


図4 広帯域SFDR、59.1MHz

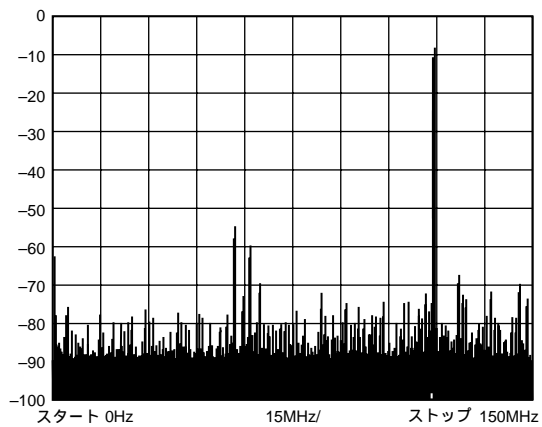


図7 広帯域SFDR、119.1MHz

図8～11に、ノイズ・フロアの上昇、位相ノイズ増加、時々発生する内部REFCLK乗算器回路動作時のディスクリート・スプリアス・エネルギーの間のトレードオフを示します。広帯域（1MHz）スパンと狭帯域（50kHz）スパンのグラフを示します。

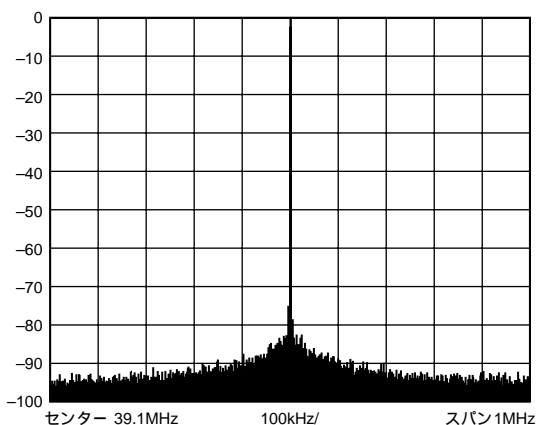


図8 狭帯域SFDR、39.1MHz、帯域幅1MHz、REFCLK乗算器バイパスでEXTCLK = 300MHz

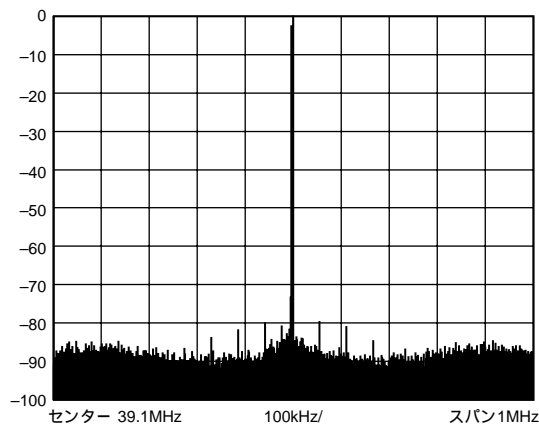


図10 狭帯域SFDR、39.1MHz、帯域幅1MHz、REFCLK乗算器 = 10 × でEXTCLK = 30MHz

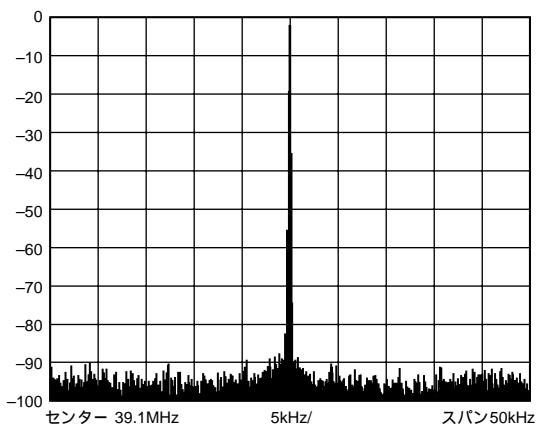


図9 狭帯域SFDR、39.1MHz、帯域幅50kHz、REFCLK乗算器バイパスでEXTCLK = 300MHz

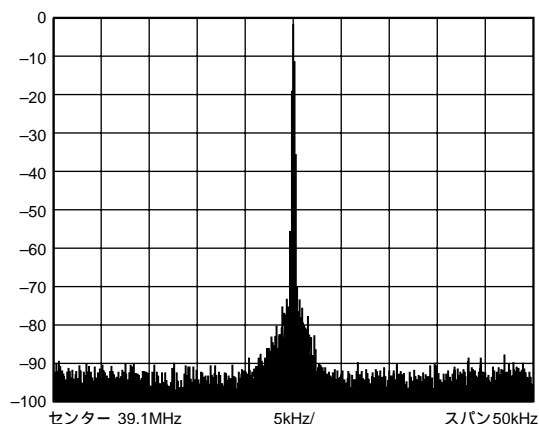


図11 狭帯域SFDR、39.1MHz、帯域幅50kHz、REFCLK乗算器 = 10 × でのEXTCLK = 30MHz

図12と図13に、低いクロック速度を使用して同じ基本周波数を発生させた場合の、PLL有りおよび無しでのノイズ・フロアの小さい上昇を示します。すなわち、図9と図10での300MHzクロックに対して、ここでは100MHzクロックを使用しています。

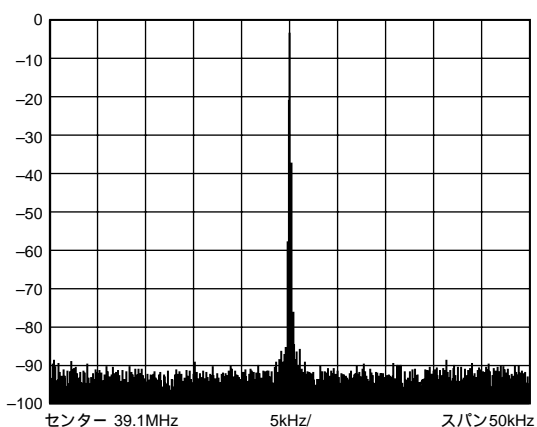


図12 狭帯域SFDR、39.1MHz、帯域幅50kHz、REFCLK乗算器バイパスでEXTCLK = 100MHz

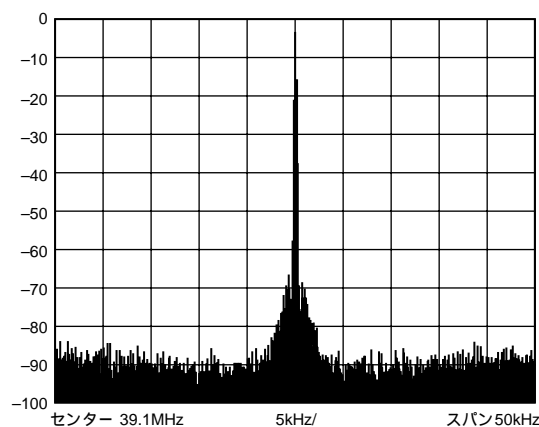


図13 狭帯域SFDR、39.1MHz、50kHz帯域幅、REFCLK乗算器 = 10 × でのEXTCLK = 10MHz

AD9852

図14と図15に、DDSチューニング範囲内のスイート・スポット (sweet spot) 使用の効果を示します。図14に、DDSアルゴリズムのまるめ処理によって発生する散乱を強調するチューニング・ワードを示します。図15は、もともと同じ出力周波数 (チューニング・コードが少し大) ですが、チューニングのスイート・スポットの選択により出力の乱れが少なくなっていることを示しています。スイート・スポット・チューニングの利点を利用するために、全てのDDSアプリケーションで考慮が必要です。

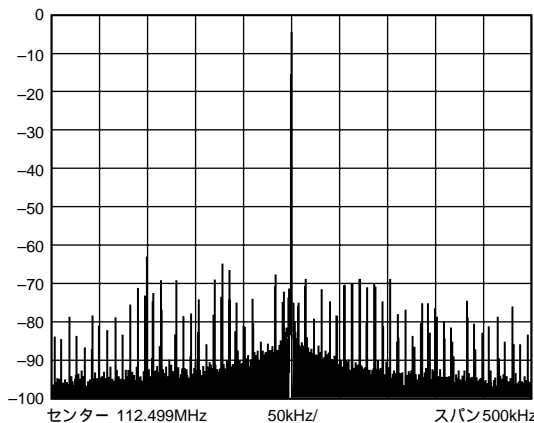


図14 “スイート・スポット” を使用しない場合。基本波に接近した多くの高エネルギー・ノイズを持つ 112.469MHz

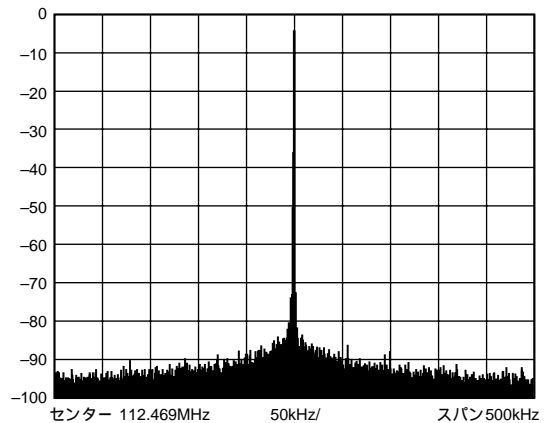


図15 チューニング・ワードを少し変えると、大幅に改善された結果が得られます。全てのノイズが帯域外に移動した112.499MHz

図16と図17に、REFCLK乗算器を10×でイネーブルにして20MHzリファレンス・クロックで動作した場合と、200MHz外部リファレンス・クロックで動作した場合のAD9852の狭帯域性能を示します。

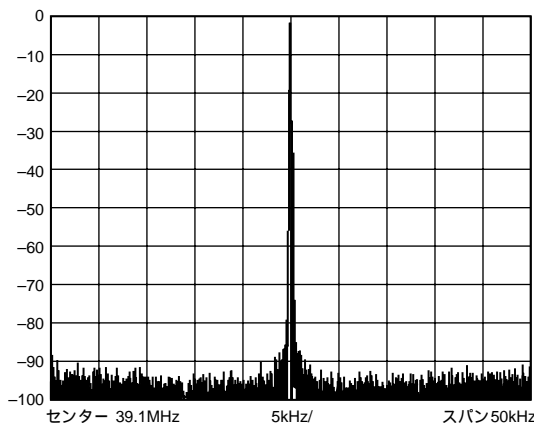


図16 狭帯域SFDR、39.1MHz、帯域幅50kHz、REFCLK乗算器バイパスでのEXTCLK = 200MHz

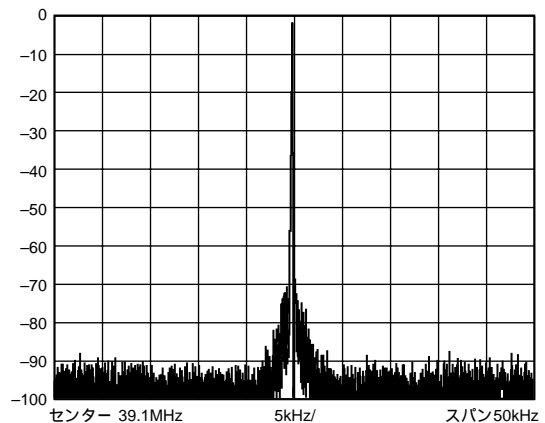
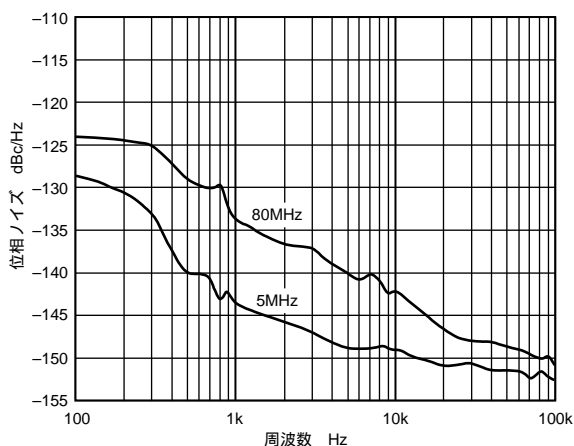
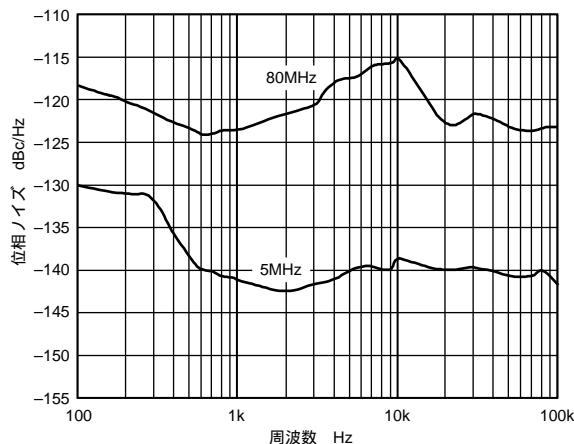


図17 狭帯域SFDR、39.1MHz、帯域幅50kHz、REFCLK乗算器 = 10×でのEXTCLK = 10MHz



a. 残留位相ノイズ、300MHz直接クロック駆動



b. 残留位相ノイズ、300MHz
(10xでREFCLK乗算器をイネーブ)

図18 残留位相ノイズ、REFCLK乗算器をディスエーブル/10xでイネーブ、EXTCLK = 300MHz

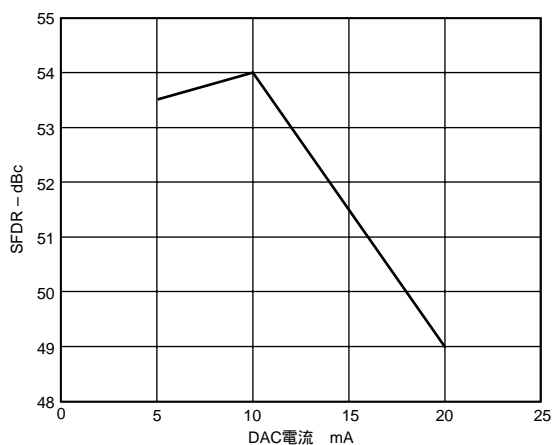


図19 SFDR 対 DAC電流 (59.1MHz A_{OUT}、EXTCLK = 300MHz)

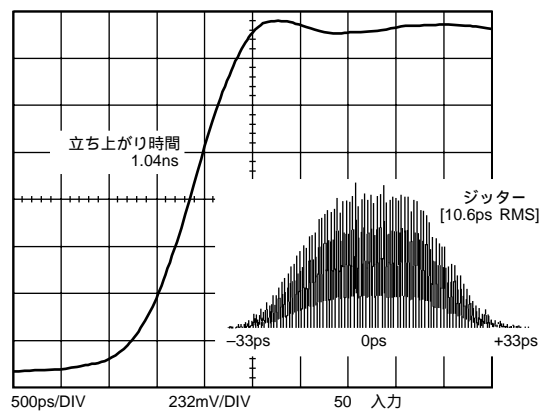


図21 コンパレータ出力ジッター (Typ値) 40MHz A_{OUT}、REFCLK乗算器ディスエーブルでのEXTCLK = 300MHz

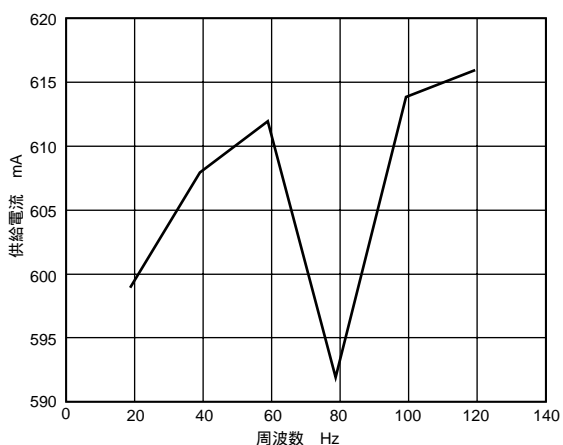


図20 供給電流 対 出力周波数 (チューニング・ワードに対するパーセント値と強い依存性のために変動は最小)

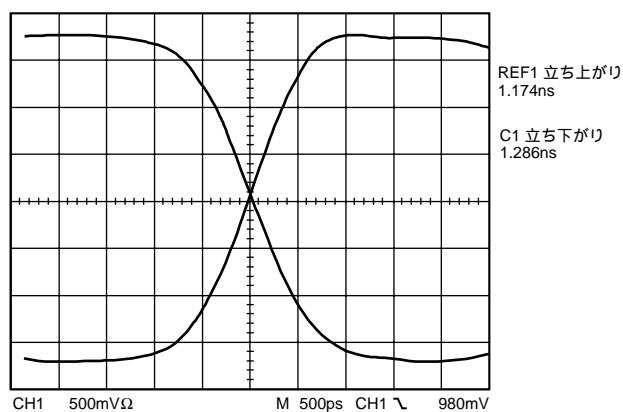


図22 コンパレータの立ち上がり/立ち下がり時間

AD9852

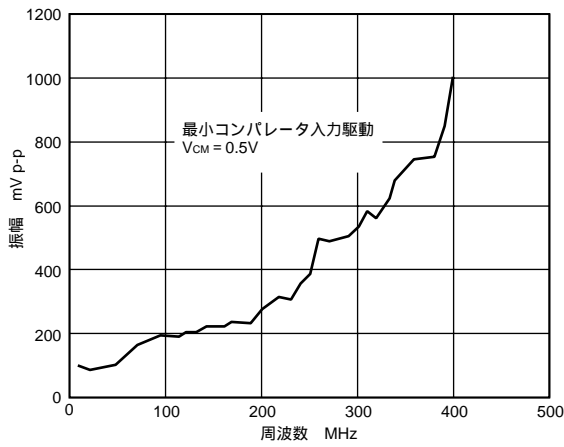


図23 コンパレータ・トグル電圧条件

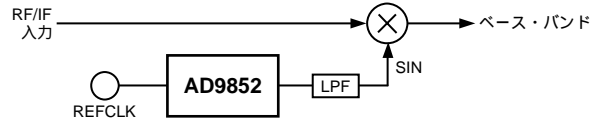


図24 AD9852のシンセサイズ局部発振器アプリケーション

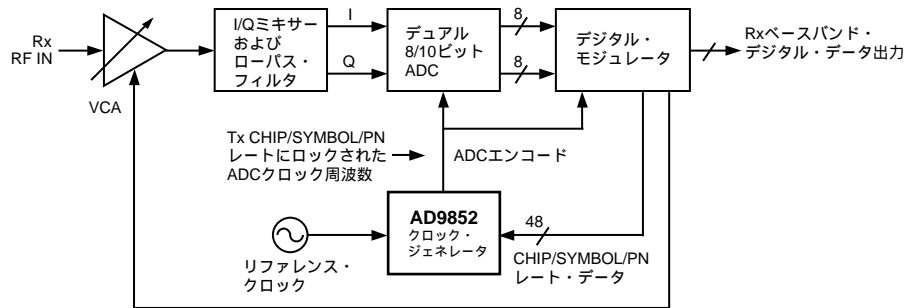


図25 拡散スペクトル・アプリケーションにおけるチップ・レート・ジェネレータ

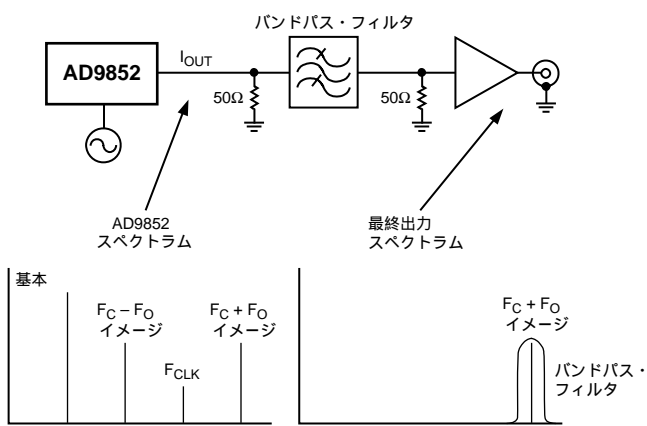


図26 疑似イメージを使用する高周波の発生

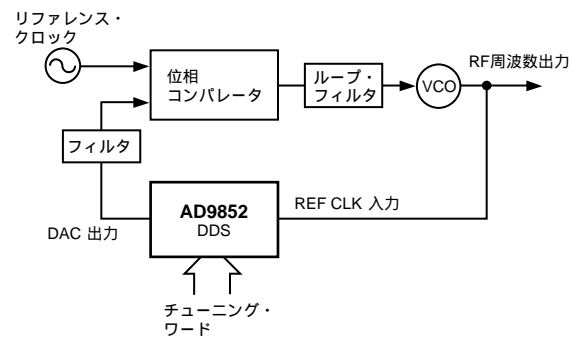


図27 プログラマブルなN分周シンセサイザ

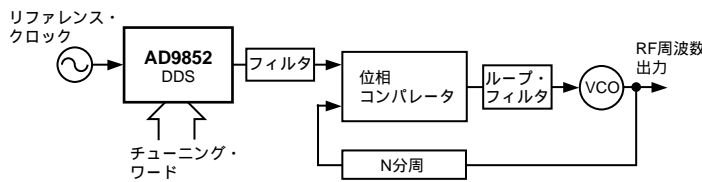


図28 位相追従型高周波シンセサイザ

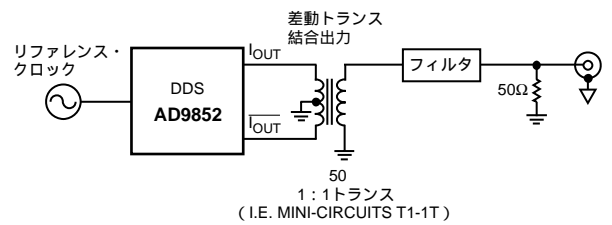
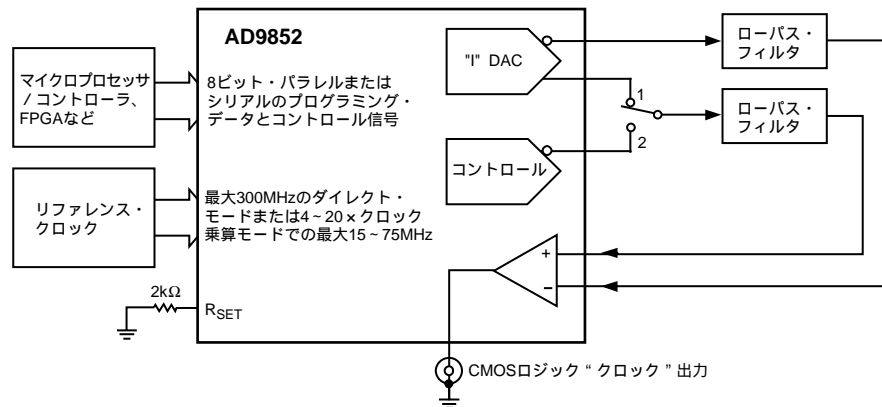


図29 コモン・モード信号を除去する差動出力接続



注
 $R_{SET} = 2k$ のとき、 $I_{OUT} =$ 約20mA (最大)
 スイッチ位置1では、相補サイン波信号をコンパレータに入力して、コンパレータから固定50%の出力デューティ・サイクルを発生させます。
 スイッチ位置2では、コンパレータ出力デューティ・サイクルの設定を可能にするDCスレシヨルド電圧を設定します。

図30 AD9852の周波数追従型クロック・ジェネレータ・アプリケーション

(1ページから続く)

ステップ)を提供します。17ビットへの位相のまるめ処理により優れたSFDRを保証しています。AD9852の回路アーキテクチャにより、最大150MHzまでのサイン波出力を発生できます。この機能では、毎秒最大1億回の頻度で新しい周波数をデジタル的にチューニングできます。サイン波出力(外部でフィルタ済み)を内部コンパレータを使って方形波に変換して、位相追従型のクロック・ジェネレータ・アプリケーションに使用できます。AD9852は14ビットでデジタル的に制御可能な位相変調機能およびシングル・ピンPSK機能を提供します。革新的なDDSアーキテクチャと組み合わせられた内蔵12ビットDACは、優れた広帯域および狭帯域の出力SFDRを提供します。ユーザー・プログラマブルなコントロール用DACとして使用可能な補助DACも内蔵されています。内蔵コンパレータと組み合わせた場合、12ビット・コントロール用DACは、高速クロック・ジェネレータ・アプリケーションでデューティ・サイクルのスタティックな制御を可能にします。12ビット・デジタル乗算器を使うと、プログラマブルな振幅変調、整形ON/OFFキーイング、直交出力の精密な振幅制御が可能になります。周波数掃引機能も内蔵されており、広い帯域幅の周波数掃引アプリケーションも可能です。AD9852のプログラマブルな4~20xのREFCLK乗算回路は、外部から入力された低い周波数のリファレンス・クロックをもとに300MHzのクロックを内部で発生します。この機能により、300MHzのクロック信号源を組み込むためのコストと面倒がなくなります。シングル・エンドまたは差動入力による300MHzのクロック直接駆動機能にも対応しています。シングル・ピンによる従来型FSKおよびスペクトル品質が強化された“ランプ型FSK”にも対応しています。AD9852は、最新の

0.35 μ CMOS製造技術を使用して、単電源3.3V動作で高レベルの機能を提供しています。

AD9852は省スペースの80ピンLQFP表面実装パッケージと、熱強化型80ピンLQFPパッケージを採用しています。また、直交出力シンセサイザAD9854とピン・コンパチブルであり、拡張工業用温度範囲 - 40 ~ + 85 で使用できます。

概略

AD9852デジタル・シンセサイザは、広範なアプリケーションに対応できる柔軟性の高いデバイスです。48ビット位相アキュムレータを持つNCO、プログラマブルなリファレンス・クロック乗算器、反転SINCフィルタ、デジタル乗算器、2系統の12ビット300MHz DAC、高速アナログ・コンパレータ、インターフェース・ロジックから構成されています。高度に集積されているので、シンセサイザ型局部発振器、位相追従型クロック・ジェネレータ、FSK/BPSK変調器として使用できます。AD9852の機能ブロックの動作原理とDDSデバイスを通する信号フローの説明は、当社のチュートリアル『A Technical Tutorial on Digital Signal Synthesis』に記載してあります。このチュートリアルはCD-ROMで提供しており、入手方法についてはDDS関連の当社Webサイトwww.analog.com/ddsgoをご覧ください。このチュートリアルには、さまざまなデジタル・シンセシスの実施例に関する基本アプリケーション情報も記載してあります。DDSの基本的な内容は、このデータシートには記載してありません。このデータシートでは、AD9852の機能と個々の特長について説明しています。

AD9852

AD9852の使用法

内部更新クロックと外部更新クロック

この機能は、1本の双方向I/Oピン（ピン20）とプログラマブルな32ビット・ダウン・カウンタから構成されています。I/Oバッファ・レジスタからDDSのアクティブ・コアに転送する変更内容を設定するためには、ピン20にクロック信号（ローからハイへの変化）を外部から入力するか、あるいは32ビット更新クロックを内部で発生させる必要があります。

外部で発生した更新クロックは、内部でシステム・クロックに同期されて、データのセットアップ・タイムまたはホールド・タイムを満たせない場合に起こるプログラム・レジスタ情報の不完全な転送を防いでいます。このモードでは、更新されたプログラム情報が有効になるタイミングをユーザーが完全に制御できます。デフォルトでは、内部更新クロックが設定されています（内部更新クロック・コントロール・レジスタ・ビットがロジック・ハイ）。外部更新クロック・モードに切り替えるときは、内部更新クロック・レジスタ・ビットをロジック・ローに設定します。内部更新モードでは、ユーザーが設定した周期を持つ自動周期更新パルスが発生されます。

内部発生した更新クロックは、32ビットの更新クロック・レジスタ（アドレス16～19hex）を設定し、さらに内部更新クロック（アドレス1F hex）コントロール・レジスタ・ビットをロジック・ハイにして設定されます。更新クロックのダウン・カウンタ機能はシステム・クロックの1/2（最大150MHz）で動作し、32ビットのバイナリ値（ユーザー設定）からカウント・ダウンを行います。カウントが0に達すると、DDS出力または機能の自動I/O更新が発生します。更新クロックは内部と外部でピン20に接続され、更新クロック・レートと更新情報のプログラミング・タイミングをユーザーが同期できるようになっています。更新パルス間の周期は次式で得られます。

$$(N+1) \times (\text{システム・クロック周期} \times 2)$$

ここで、Nはユーザーが設定する32ビット値です。Nの許容範囲は1～(2³² - 1)です。ピン20に出力される内部発生した更新パルス出力は、システム・クロックで8サイクル分の固定ハイ時間を持っています。

整形ON/OFFキーイング

この機能を使うと、ユーザーが両DACから放射されるON/OFFのランプアップ時間とランプダウン時間を制御できます。この機能はデジタル・データのバースト転送中に使用され、データの短い突発的なバーストから発生するスペクトルへの悪影響を削減するために使用します。ユーザーは、まずコントロール・レジスタ内のOSK ENビット（コントロール・レジスタ・アドレス20hex）をロジック・ハイに設定して、デジタル乗算器をイネーブルにしておく必要があります。そうせずにOSK ENビットをローに設定しておくと、振幅制御機能を持つデジタル乗算器がバイパスされて、コサイン波DAC出力およびQDAC出力

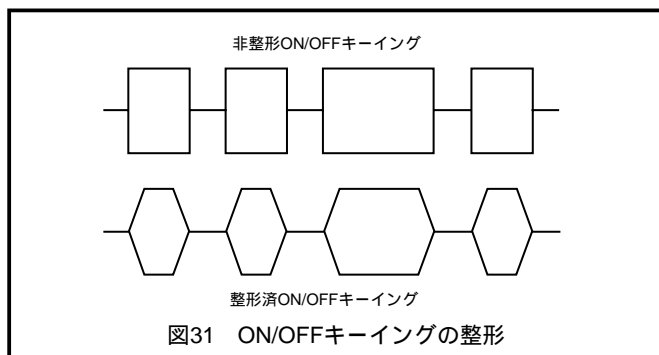


図31 ON/OFFキーイングの整形

がフルスケール振幅に設定されてしまいます。OSK ENビットの設定に加えて、2つめのコントロール・ビットOSK INT（同じくアドレス20hex）もロジック・ハイに設定する必要があります。このビットをロジック・ハイに設定すると、出力のランプアップ機能またはランプダウン機能の連続的な内部制御が選択されます。OSK INTビットをロジック・ローにすると、デジタル乗算器の制御がユーザー・プログラマブルな12ビット・レジスタに切り替えられて、ユーザーが振幅変化を実質的に任意の方法でダイナミックに整形できるようになります。“出力整形キー”と呼ばれるこれらの12ビット・レジスタは、表Vのアドレス21hex～24hexに配置されています。最大出力振幅はR_{SET}抵抗の関数になっており、OSK INTのイネーブル中は設定できません。

次に、ゼロスケールからフルスケールへの遷移時間を設定する必要があります。遷移時間は、2つの固定要素と1つの変数要素の関数になっています。変数要素は、プログラマブルな8ビット・ランプ・レート・カウンタになっています。このカウンタはシステム・クロック・レート（最大300MHz）でクロック駆動されるダウン・カウンタであり、カウンタがゼロになる毎に1パルスを出します。このパルスは、各パルスを受信する毎に1LSBだけインクリメントする12ビット・カウンタに入力されます。この12ビット・カウンタの出力は、12ビットのデジタル乗算器に接続されています。このデジタル乗算器の全ビットにゼロの値が入力されると、入力信号がゼロ倍されて、出力がゼロスケールになります。この乗算器の全ビットに“1”の値が入力されると、この入力信号が1倍されて、出力がフルスケールになります。その他に4094通りの乗算率が存在し、それぞれのバイナリ値に対応して出力振幅が出力されます。

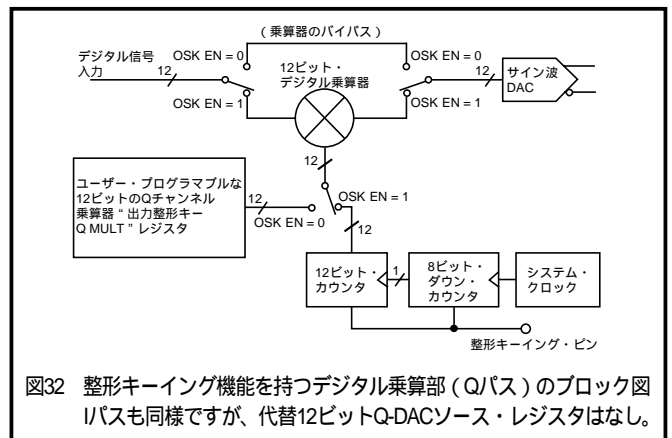


図32 整形キーイング機能を持つデジタル乗算部（Qパス）のブロック図
Iパスも同様ですが、代替12ビットQ-DACソース・レジスタはなし。

2つの固定要素は、ランプ・レート・カウンタを駆動するシステム・クロックのクロック周期とゼロスケールとフルスケールの間にある4096の振幅ステップです。例を挙げると、AD9852のシステム・クロックが100MHz（10ns周期）の場合、ランプ・レート・カウンタの最小カウントを5に設定すると、システム・クロックの2周期を必要とします（1つの立ち上がりエッジでカウント・ダウン値をロードし、次のエッジでカウンタを5から4にデクリメントします）。8ビットのカウント・ダウン値と出力パルス間の間隔の関係は次式で得られます。

$$(N+1) \times \text{システム・クロック周期}$$

ここで、Nは8ビットのカウント・ダウン値です。12ビットのアップ・カウンタをゼロスケールからフルスケールに変化させるためには、4096パルスを必要とします。したがって、100MHzのシステム・クロックに対する整形済み最小キーイング・ランプ時間は、4096 × 6 × 10ns = 約246 μsになります。最大ランプ時間は4096 × 256 × 10ns = 約10.5 μsになります。

最後に、ピン30のロジック状態を変えると、OSK INT = ロジック・ハイの場合、“整形キーイング機能”が自動的に設定された出力整形機能を実行します。ピン30にロジック・ハイを入力すると、出力が直線的にフルスケール振幅まで増加した後それを維持し、ロジック・レベルがローに変化すると、出力がゼロスケールまで直線的に減少します。

コサイン波DAC

コサイン波DACは、DDSから300MSPS（最大）のコサイン波を出力します。最大出力振幅は、ピン56のDAC R_{SET} 抵抗により設定されます。これは、フルスケール最大出力20mAの電流出力型DACですが、公称10mAの出力電流で、最善のスプリアス・フリー・ダイナミックレンジ（SFDR）性能を提供します。 R_{SET} の値は $39.93/I_{OUT}$ （ここで I_{OUT} は入力アンプ）です。DAC出力の適合性仕様は、出力で発生する最大電圧を $-0.5 \sim +1V$ に規定しています。この規定値を超えた電圧を発生させると、DACの歪みが大きくなり、永久的な損傷を被る可能性があります。ユーザーは適切な負荷インピーダンスを使用して、出力電圧振幅を適合性規定値内に抑える必要があります。両DAC出力は等しい終端を行って最適なSFDRを得るようにしてください。特に、高調波歪み誤差が大きくなる高い出力周波数では注意が必要です。

コサイン波DACの前には、DCからナイキスト周波数までの平坦な振幅応答を得るためにDAC出力振幅変化を周波数に対して補償する反転SIN(X)/xフィルタ（反転SINCフィルタとも呼ぶ）が配置されています。デジタル乗算器が反転SINCフィルタの後段に接続されていて、振幅制御、振幅変調、振幅整形キーイングを可能にしています。アドレス20hexのバイパス反転SINCビットとアドレス20hexのOSK ENビットを設定すると、それぞれ反転SINCフィルタとデジタル乗算器をバイパスして、消費電力を節約できます。必要に応じてDAC PDビット（コントロール・レジスタのアドレス1D）をハイに設定すると、両DACの電源を切ることができます。

コサイン波DACの出力をIOUT1とIOUT1B（それぞれピン48とピン49）と呼びます。

コントロールDAC

12ビット補助またはコントロールDACは、外部回路に対するDC制御レベルの出力、AC信号の発生、内蔵コンパレータのデューティ・サイクル制御に使用できます。コントロール・レジスタ（パラレル・アドレス1F hex）内のSRC QDACビットをハイに設定すると、コントロールDAC入力が12ビットの内部Qデータ・ソース（デフォルト設定）からユーザーが設定する2の補数データである外部12ビットに切り替わります。データは、シリアル/パラレル・インターフェース経由で最大100MHzのデータ・レートで12ビット・レジスタ（アドレス26hex、27hex）に入力されます。このDACは300MSPS（最大）のシステム・クロックでクロック駆動され、コサイン波DACの場合と同じ出力電流能力を持っています。AD9852の1本の R_{SET} 抵抗により、コサイン波DACとコントロールDACのフルスケール出力電流が決定されます。コントロールDACパワーダウン・ビット（アドレス1D hex）をハイに設定すると、コントロール用DACを個別にパワーダウンして消費電力を削減できます。このDAC出力制御は、IOUT2とIOUT2B（それぞれピン52とピン51）と呼ばれます。

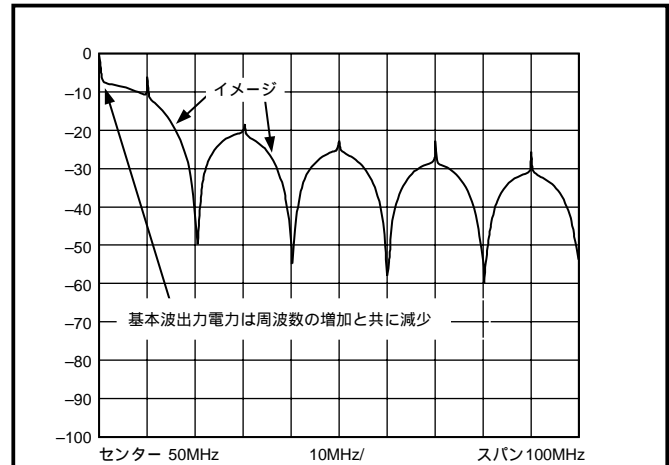


図33 通常のSIN(X)/x DAC出力電力包絡線フィルタ

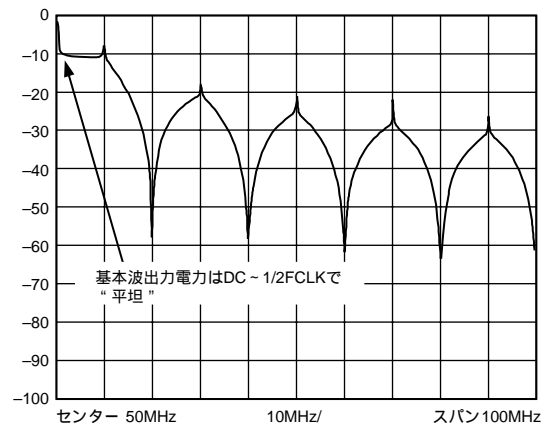


図34 反転SIN(X)/x（反転SINC）フィルタの動作

反転SINCフィルタの機能

このフィルタはコサイン波DACに対する入力データをSIN(X)/xロールオフ関数であらかじめ補償しておき、EVM（エラー・ベクター振幅）を大きくする振幅変動を発生させずに、広い帯域幅の信号（例：QPSK）をDACから出力可能です。反転SINC関数をバイパスすると、特に高速クロックでは、大幅に消費電力を削減できます。デフォルトでは、反転SINCが使用されていますが、表Vに示すコントロール・レジスタ20（hex）内の“バイパス反転SINC”ビットをハイに設定するとバイパスできます。

REFCLK乗算器

プログラマブルなPLLベースのリファレンス・クロック乗算器であり、これを使ってREFCLK入力に乘算する4～20×範囲の整数クロック倍率をユーザーが設定できます。この機能を使用すると、最小15MHzの入力で、300MHzもの内部システム・クロックが発生できます。コントロール・レジスタ（1E hex）内の5ビットを使用して、表Iに示す倍率を設定できます。

AD9852

表 I REFCLK乗算器コントロール・レジスタの値

乗算器の値	Ref Mult 4	Ref Mult 3	Ref Mult 2	Ref Mult 1	Ref Mult 0
4	0	0	1	0	0
5	0	0	1	0	1
6	0	0	1	1	0
7	0	0	1	1	1
8	0	1	0	0	0
9	0	1	0	0	1
10	0	1	0	1	0
11	0	1	0	1	1
12	0	1	1	0	0
13	0	1	1	0	1
14	0	1	1	1	0
15	0	1	1	1	1
16	1	0	0	0	0
17	1	0	0	0	1
18	1	0	0	1	0
19	1	0	0	1	1
20	1	0	1	0	0

REFCLK乗算器機能をバイパスして、外部クロック信号源からAD9852を直接クロック駆動することもできます。REFCLK乗算器（使用する場合）の出力またはREFCLK入力をAD9852のシステム・クロックとして使用することもできます。ピン64のDIFF CLKイネーブルにロー/ハイを入力して、REFCLKをシングル・エンド入力/差動入力に切り替えられます。

PLL範囲ビット

REFCLK乗算器PLLの周波数範囲はPLL範囲ビットを使って選択します。200~300MHz（内部システム・クロック・レート）の動作に対しては、PLL範囲ビットをロジック“1”に設定します。200MHz未満の動作に対しては、PLL範囲ビットをロジック“0”に設定します。PLL範囲ビットは、各範囲で最適な位相ノイズ性能を得るようにPLLループ・パラメータを調整します。

ピン61、PLLフィルタ

このピンには、PLLループ・フィルタの外付けゼロ補償ネットワークを接続します。ゼロ補償ネットワークは、1.3kΩの抵抗と0.01μFのコンデンサとの直列接続で構成されます。このネットワークの他端は、AVDD（ピン60）のできるだけ近くに接続してください。最適な位相ノイズ性能を得るためには、コントロール・レジスタ（アドレス1E）内のバイパスPLLビットをセットして、クロック乗算器をバイパスします。

差動REFCLKのイネーブル

このピンをハイレベルにすると、差動クロック入力のREFクロックとREFクロックB（それぞれピン69とピン68）がイネーブルにされます。所要の最小差動信号振幅は800mVp-pです。差動信号の中心点またはコモン・モード範囲は、1.6~1.9Vが可能です。

ピン64（DIFF CLKイネーブル）にローを入力すると、REFCLK（ピン69）だけがアクティブ・クロック入力になります。この状態をシングル・エンド・モードと呼びます。このモードでは、ピン68（REFCLKB）をロー/ハイレベルに接続できませんが、開放のままにはできません。

パラレル/シリアル・プログラミング・モード

ピン70をハイレベルにすると、パラレル・モードが開始され、一方、ピン70をローレベルにすると、シリアル・プログラミング・モードが開始されます。詳細については、このデータシートのシリアル/パラレル・プログラミング・プロトコルについての説明を参照してください。

表Vのアドレス20hexに配置されている2つのコントロール・ビットは、シリアル・プログラミング・モードでのみ使用されます。LSB先頭ビットがハイレベルに設定されると、シリアル・データがワードのLSBを先頭にしてロードされます。このビットがローレベルに設定されると（デフォルト設定）シリアル・データがワードのMSBを先頭にしてロードされます。SDOアクティブがハイレベルに設定されると、SDOピン（ピン18）が、AD9852レジスタからの読み出しデータの出力として使用されます。SDOアクティブがローレベルに設定されると（デフォルト設定）SDIOピン（ピン19）が双方向シリアル・データの入/出力ピンとして使用され、ピン18はシリアル・モードで機能を持ちません。

AD9852の動作モードの説明

AD9852には5種類のプログラマブルな動作モードがあります。モードを選択するときは、コントロール・レジスタ（パラレル・アドレス1F hex）内の3ビットを表IIのように設定する必要があります。

表II モード選択の表

モード2	モード1	モード0	結果
0	0	0	シングル・トーン
0	0	1	FSK
0	1	0	ランブ型FSK
0	1	1	掃引
1	0	0	BPSK

各モードでは、特定の機能の動作/非動作を選択できます。表IIIに、幾つかの重要な機能と各モードでの使用の可否を示します。

シングル・トーン（モード000）

マスター・リセットがアサートされた場合、またはユーザーがコントロール・レジスタに設定した場合、このモードがデフォルト・モードになります。出力周波数を発生する機能を持つ位相アキュムレータには、周波数チューニング・ワード1レジスタ（デフォルト値0）からの48ビット値が入力されます。その他の該当するレジスタのデフォルト値は、シングル・トーン出力信号の品質をさらに詳しく定義します。

マスター・リセット直後のデフォルト値は、0Hzで0位相の出力信号を発生する、安全な“無出力”と定義されます。パワーアップおよびリセットの直後、両DACの出力は、出力電流の中心値に等しいDC値になります。これがデフォルトのモード振幅設定（ゼロ）になります。出力振幅制御の詳細については、デジタル乗算器の節を参照してください。28個のプログラム・レジスタの全部または一部を設定して、ユーザー定義の出力信号を発生することが必要になります。図35に、デフォルト状態（0Hz）からユーザー定義の出力周波数（F1）に変化する様子を示します。

すべてのアナログ・デバイスのDDSと同様に、周波数チューニング・ワードの値は、次式を使って決めます。

$$FTW = (\text{必要な出力周波数} \times 2^N) / \text{SYSCLK}$$

ここで、Nは位相アキュムレータの分解能（この場合は48ビット）で、周波数の単位はHz、FTW（周波数チューニング・ワード）は10進値です。10進値を計算したら、それを丸め処理して整数を求めて、それを2進数フォーマット（2進数のウェイトの48個の“1”または“0”の列）に変換します。サイン波DAC出力の基本周波数の範囲は、DC ~ 1/2 SYSCLKです。

周波数の変化では、位相は連続しています。すなわち、新しい周波数においても、新しい周波数の始めの位相を計算する際の基準点として、旧周波数での最後の位相を使います。

シングル・トーン・モードを使うと、ユーザーは次の信号品質を制御することができます。

- ・ 48ビットまでの精度の出力周波数
- ・ 12ビットまでの精度の出力振幅
 - ユーザー定義の固定振幅制御
 - プログラマブルな可変振幅制御
 - シングル・ピン制御による、プログラマブルで自動の整形ON/OFFキーイング
- ・ 14ビットまでの精度の出力位相

さらに、これらすべての品質は、8ビット・パラレル・プログラミング・ポートを経由して、100MHzのパラレル・バイト・レートまたは10MHzのシリアル・レートで変更または修正できます。これらの機能を組み込むことにより、シングル・トーン・モードではFM、AM、PM、FSK、PSK、ASKの各動作が可能になっています。

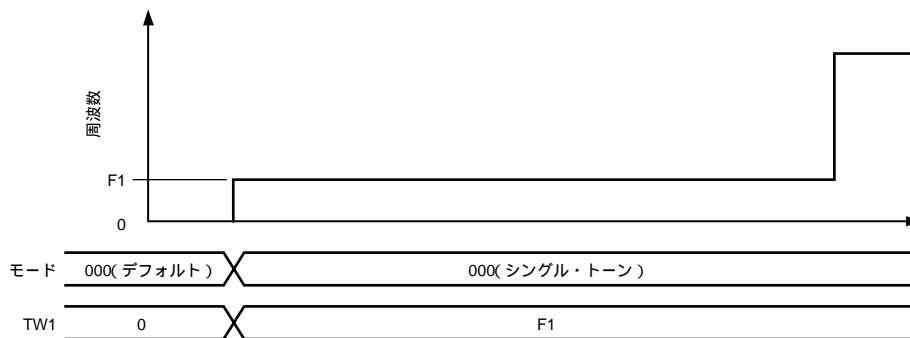


図35 デフォルト状態からユーザー定義の出力への変化

表 III 使用可能な機能と動作モード

モード	位相調整1	位相調整2	シングル・ピン FSK/BPSK またはホールド	シングル・ピン 整形キーイング	位相 オフセット または変調	振幅制御 または変調	反転SINC フィルタ	周波数チューニング・ワード1	周波数チューニング・ワード2	自動周波数掃引
シングル・トーン	✓	X	X	✓	✓	✓	✓	✓	X	X
FSK	✓	X	✓	✓	✓	✓	✓	✓	✓	X
ランブ型FSK	✓	X	✓	✓	✓	✓	✓	✓	✓	✓
掃引	✓	X	✓	✓	✓	✓	✓	✓	X	✓
BPSK	✓	✓	✓	✓	X	✓	✓	✓	X	X

AD9852

非ランプ型FSK (モード001)

このモードを選択すると、DDSの出力周波数は、周波数チューニング・ワード・レジスタ1および2にロードした値とピン29 (FSK/BPSK/HOLD) のロジック・レベルの関数になります。ピン29をロジック・ローにすると、F1 (周波数チューニング・ワード1、パラレル・アドレス4~9hex) が選択され、ロジック・ハイにすると、F2 (周波数チューニング・ワード2、パラレル・レジスタ・アドレスA~F hex) が選択されます。周波数が変化しても位相は連続で、実際には瞬時です (仕様の表のパイプライン遅延を参照してください)。F2とピン29以外がアクティブになり、このモードはシングル・トーンと同じです。

非ランプ型FSKモード (図36) は、デジタル・データの従来型FSK伝送、RTTY (無線テレタイプ) 伝送またはTTY (テレタイプ) 伝送を代表するものです。周波数変化は、F1からF2へほぼ瞬時に発生します。この簡単な方法は、非常に良く機能し、デジタル通信で最も信頼できる形式ですが、RFスペクトルを浪費します。

帯域幅を節約する代わりにFSK方式については、次のランプ型FSKの節を参照してください。

ランプ型FSK (モード=010)

F1からF2への周波変化が瞬時に行われないFSK方式では、周波数掃引すなわち周波数が徐々に変化 (ランプ) することにより実行されます。“ランプ”とは、掃引が直線的に行われることを意味します。直線掃引または周波数ランプは、

容易かつ自動的に実行できますが、多くの可能性の中の1つに過ぎません。その他の周波数変化方式としては、ランプ・レートとランプ・ステップ・サイズを正確に即座に変化させることにより実現できます。

直線のおよび非直線的によらず周波数ランピングでは、基本のF1周波数とF2周波数の他に、F1とF2の間の多くの中間周波数が出力されることが必要です。図37と図38に、直線ランプ型FSK信号の周波数と時間の関係を示します。

ランプ型FSKの目的は、周波数の瞬時変化を緩やかな変化 (ユーザー定義の周波数変化) に置き換えることにより、従来型FSKより優れた帯域幅利用を可能にすることです。F1とF2の滞留時間は等しくするか、あるいは各中間周波数の滞留時間に比べて遙かに大きくすることができます。ユーザーはF1とF2の滞留時間、中間周波数の数、各周波数での滞留時間を制御します。非ランプ型FSKとは異なり、ランプ型FSKではF1レジスタにロードする最小周波数とF2レジスタにロードする最高周波数が必要です。

中間周波数ステップの分解能 (48ビット) と各ステップの滞留時間 (20ビット) に関して、DDSを設定するために幾つかのレジスタを設定する必要があります。さらに、動作の前にコントロール・レジスタ内のCLR ACC1ビットをトグル (ロー - ハイ - ローの順) して、周波数アキュムレータが確実に全ビット・ゼロの出力状態から開始する必要がある必要があります。非直線周波数変化の各部分に対しては、周波数の変化中にレジスタを再設定して、希望の応答を得る必要があります。

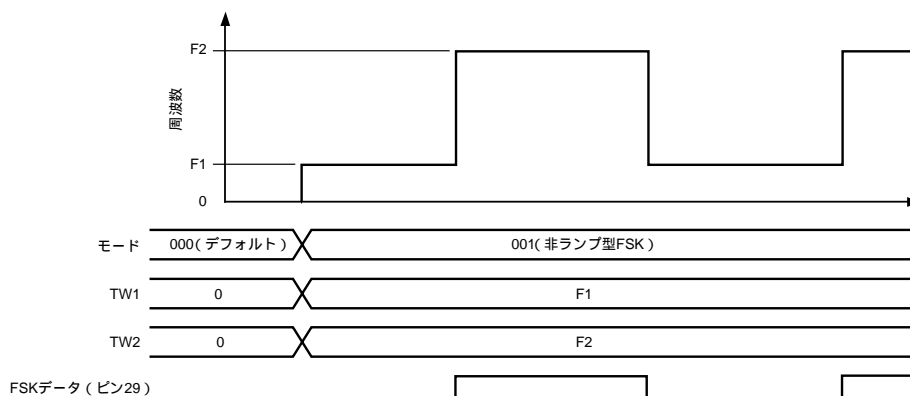


図36 従来型FSKモード

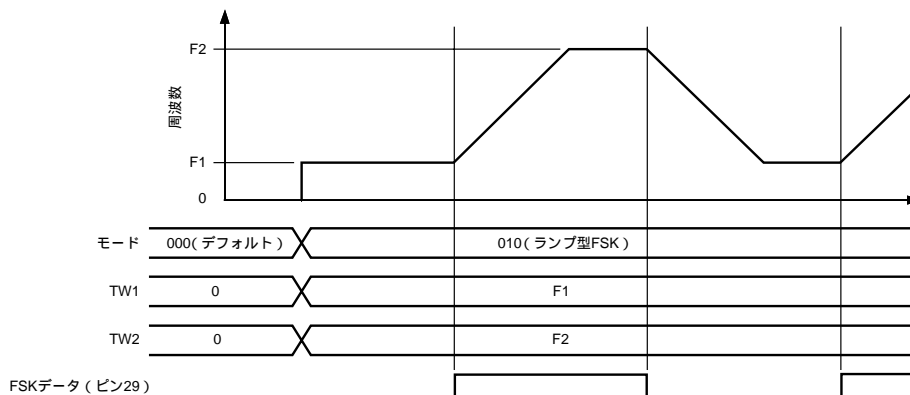
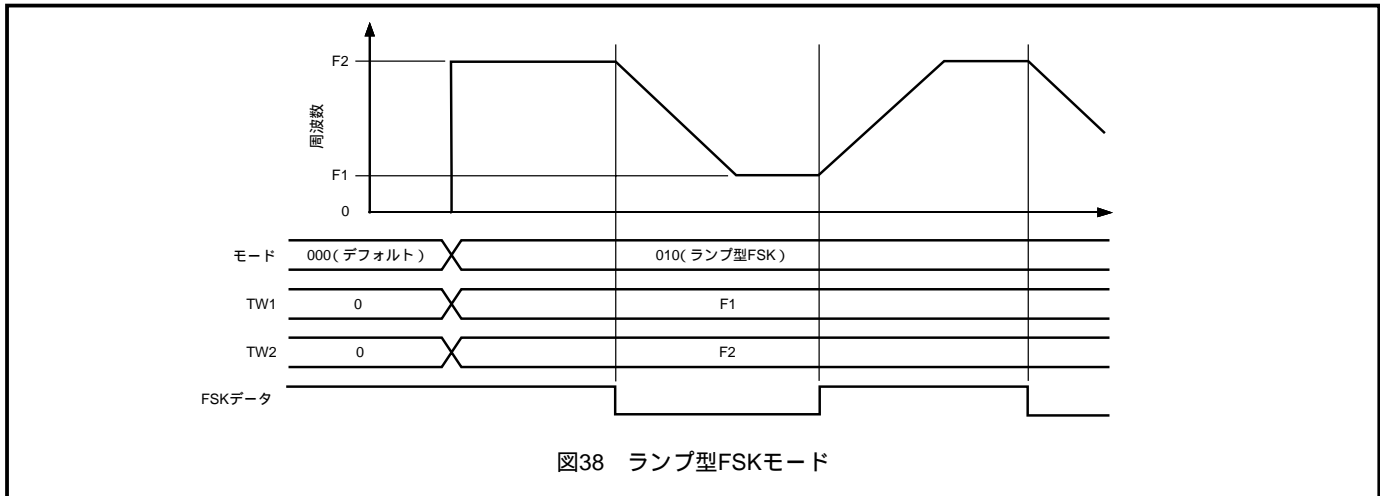


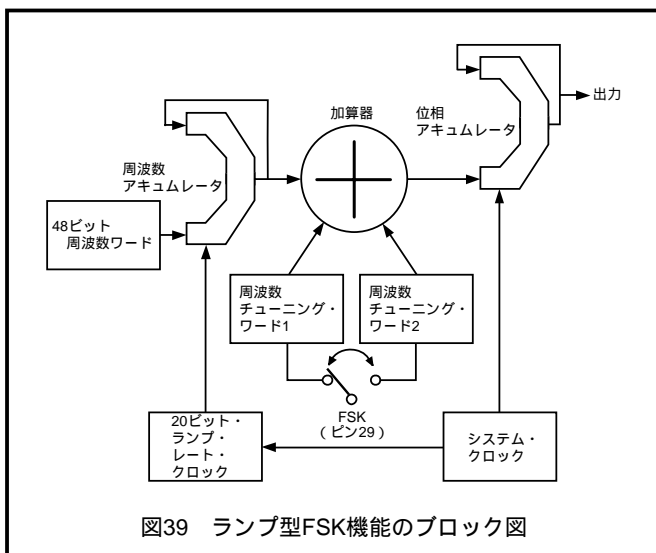
図37 ランプ型FSKモード



パラレル・レジスタ・アドレス1A～1C hexは、20ビットのランプ型レート・クロック・レジスタから構成されています。これは、カウントがゼロに到達する毎にパルスを1個出力するカウントダウン・カウンタです。FSK入力（ピン29）のロジック・レベルが変化すると、このカウンタが起動されます。このカウンタは、システム・クロック・レート（最大300MHz）で動作します。各出力パルス間の周期は次式で得られます。

$$(N+1) \times (\text{システム・クロック周期})$$

ここで、Nは20ビットのユーザーが設定するランプ・レート・クロック値です。Nの許容範囲は1～(2²⁰-1)です。このカウンタの出力が、48ビットの周波数アキュムレータをクロック駆動します（図39）。このランプ・レート・クロックが、F1とF2の間の各中間周波数での滞留時間を決定します。目的の周波数に到達すると、このカウンタは自動的に停止します。F1とF2の滞留時間は、目的周波数に到達した後にFSK入力（ピン29）がハイ/ローレベルに保持される時間によって決定されます。



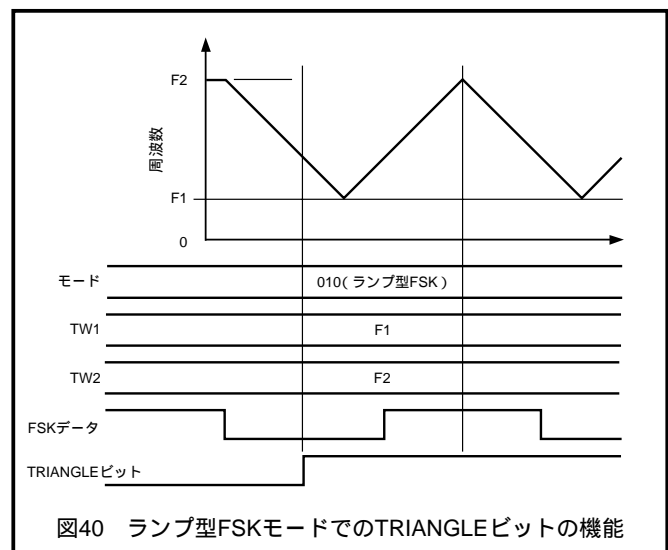
パラレル・レジスタ・アドレス10～15hexは、48ビット自然2進の周波数ワード・レジスタで構成されています。ランプ・レート・カウンタからクロック・パルスを受け取る毎に、48ビットのワードがアキュムレート（アキュムレータの出力をさらに加算）されます。このアキュムレータの出力はF1周波数ワードまたはF2周波数ワードと加算/減算されて、その結果が48ビット位相アキュムレータ入力に戻されます。このアキュムレータ

はサイン波出力とコサイン波出力の位相ステップ数値を発生します。この方法では、ピン29のロジック状態に応じて、出力周波数がランプ・アップ/ランプ・ダウンさせられます。この動作の実行レートは、20ビットのランプ・レート・クロックの関数になります。目的周波数に到達すると、ランプ・レート・クロックが停止します。これによって、周波数アキュムレーション処理も停止します。

一般に、周波数ワードは、F1チューニング・ワードまたはF2チューニング・ワードと比べるとはるかに小さな値になります。例えば、F1とF2が13MHzで1kHz離れている場合、周波数ワードはわずか25Hzになります。

図41に、不完全なトグルを行った場合、ランプが直ちに反転した後、同じレートと分解能で動作を続けて元の周波数に戻る様子を示します。

コントロール・レジスタには、パラレル・レジスタ・アドレス1F hexにTRIANGLEビットが配置されています。モード010でこのビットをハイに設定すると、ピン29をトグルしなくとも、F1とF2の間で自動でランプ・アップ/ランプ・ダウンが実行されます（図40）。TRIANGLEビットがハイに設定されると、ピン29のロジック状態は無視されます。この機能では、ランプ・レート・クロック周期と周波数ワード・ステップ・サイズを使ってF1からF2へそしてF1へ戻り、かつ各周波数で等しい滞留時間を持つ連続掃引直線ランプを発生します。この機能を使うと、DCからナイキスト周波数まで、またはDCとナイキスト周波数の間の任意の2つの周波数間で、自動掃引を行えます。



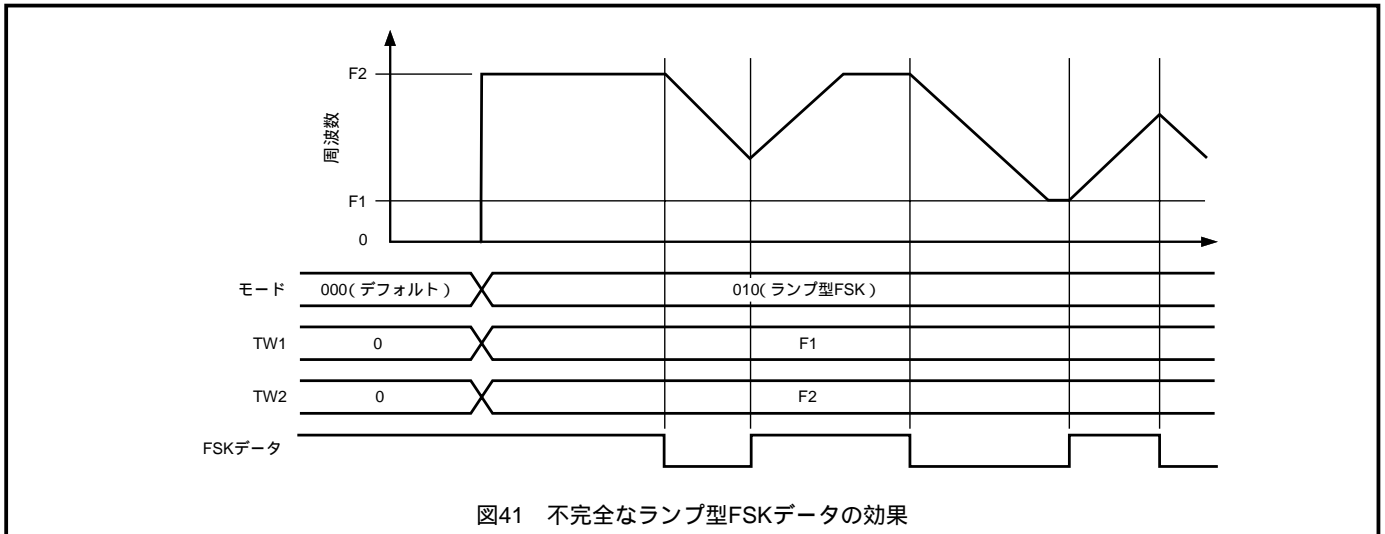


図41 不完全なランブ型FSKデータの効果

ランブ型FSKモードでは、TRIANGLEビット=ハイで、TRIANGLEビットの立ち上がりエッジが検出されると、ピン29 (FSK入力ピン) のロジック・レベルに応じて、F1またはF2から自動周波数掃引が開始されます (図42)。FSKデータ・ビットがローではなくハイになっていると、F1ではなくF2が開始周波数として選択されます。

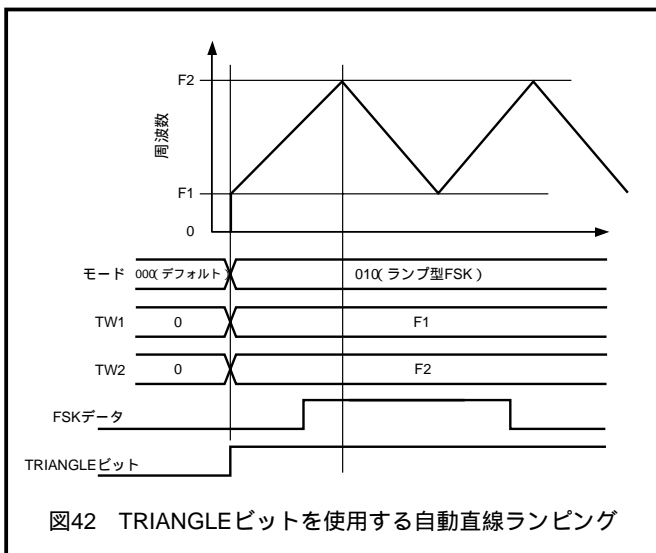


図42 TRIANGLEビットを使用する自動直線ランピング

ランブ型FSKモードでは、F1からF2へまたはその逆向きにランピング動作中に、48ビットの周波数ワードおよび (または) 20ビットのランブ・レート・カウンタを即座に変更できる柔軟な機能も持っています。これらの非直線的な周波数変化を実現するためには、スロープが異なる複数の直線ランブの断片で折れ線近似をする必要があります。これを実現するときには、あるレートまたはスロープで直線ランブをプログラミングして実行し、その後でスロープを変更します (ランブ・レート・クロックまたは周波数ワード、あるいはその両方を変更することによって行う)。希望の非直線周波数掃引応答に近似するために必要な回数だけスロープの変更を行い、目的周波数に到達するまで続けます。これらの折れ線近似は、32ビット内部更新クロックを使って正確にタイミングが保持されます (詳細については当データシートの該当する部分を参照)。

非直線ランブ型FSKは、図43に示す掃引機能に似ています。ランブ型FSK機能と掃引機能の主要な相違は、FSKの動作が

F1とF2の間に限定されていることです。掃引動作にはF2に該当する限界周波数がありません。

ランブ型FSKモードでは、2ビットのコントロール・ビットが追加されており、追加オプションに対応しています。CLR ACC1 (レジスタ・アドレス1F hex) をハイに設定すると、システム・クロックの1周期幅のワンショット・パルスで、再トリガー可能な48ビットの周波数アキュムレータ (ACC1) 出力をクリアします。CLR ACC1ビットをハイのままにしておくと、更新クロックの各立ち上がりエッジでワンショット・パルスが入力されます。その結果、電流ランブが停止し、周波数が開始点 (F1またはF2) にリセットされて、直前のレートで再度ランブ・アップ (またはダウン) が継続されます。これは、F1またはF2のスタティックな目的周波数に到達した時にも同様に実行されます (図43)。次に、CLR ACC2コントロール・ビット (レジスタ・アドレス1F hex) は、周波数アキュムレータ (ACC1) と位相アキュムレータ (ACC2) の両方をクリアするときに使えます。このビットをハイに設定すると、位相アキュムレータ出力はDDSからの0Hz出力になります。このビットがハイである限り、周波数アキュムレータと位相アキュムレータはクリアされたままになり、0Hzが出力されます。直前のDDS動作に戻るときは、CLR ACC2にロジック・ローを設定します。

掃引 (モード011)

このモードはパルス型FMとも呼ばれます。多くの掃引システムでは、任意のパターンを使用可能ですが、直線的なFM掃引パターンを使用しています。これは“処理ゲイン”を実現できる拡散スペクトル変調の一種です。レーダー・アプリケーションでは、掃引またはパルス型FMを使用すると、シングル周波数レーダー・システムと同じ出力を得るために必要な出力電力を大幅に削減できます。図43に、変化する時間ステップ (ランブ・レート) と周波数ステップ (周波数ワード) を使って実現された種々のスロープをデモストレーションする非常に低い分解能の非直線掃引の例を示します。

AD9852を使うと、ユーザー定義の周波数範囲、継続時間、周波数分解能、掃引方向を持つ精密な内部発生直線的なFM、あるいは外部からプログラムする非直線的なパルス型または連続的なFMが実現します。図44に、FM掃引部分のブロック図を示します。

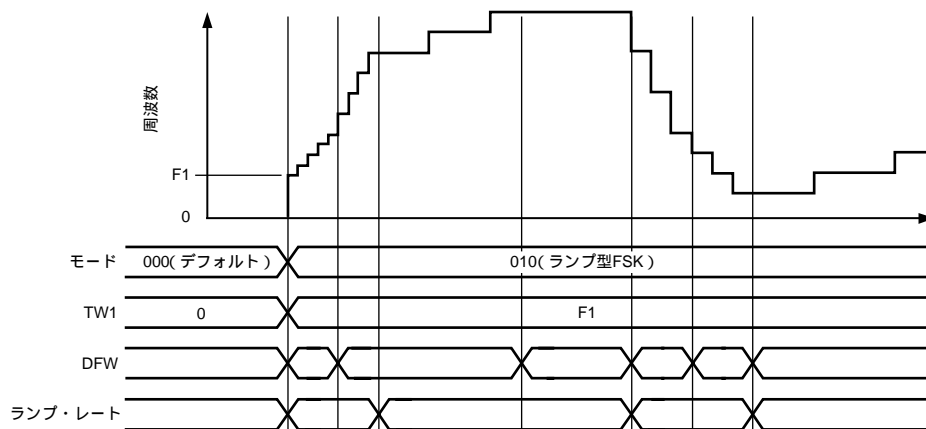


図43 非線形掃引の例

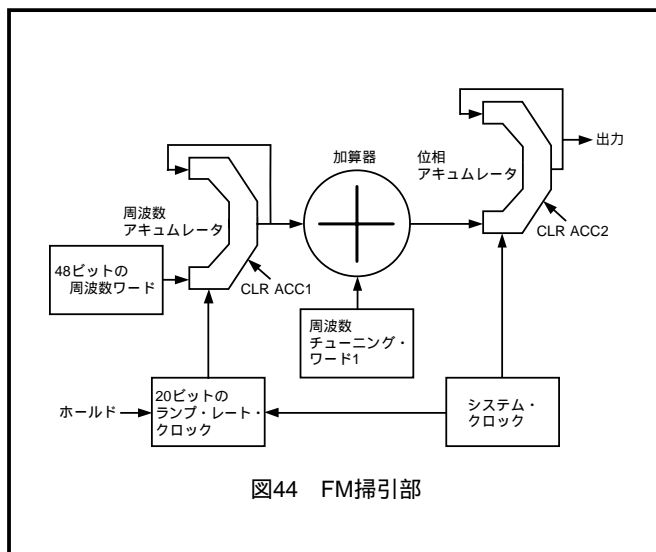


図44 FM掃引部

FM掃引の基本プログラミング・ステップ

1. 開始周波数を周波数チューニング・ワード1 (パラレル・レジスタ・アドレス4~9hex) に設定します。この周波数チューニング・ワード1を以後FTW1と呼びます。
2. 周波数ステップ分解能を48ビット2の補数の 周波数ワード (パラレル・レジスタ・アドレス10~15hex) に設定します。
3. 変化のレート (各周波数での時間) を20ビットのランブ・レート・クロック (パラレル・レジスタ・アドレス1A~C) に設定します。
4. 設定が終了したら、ピン20にI/O更新パルスを入力すると、プログラム・コマンドが実行されます。

周波数ワードが2の補数である必要性は、FM掃引の方向を指定するためです。48ビットの 周波数ワードが負の場合 (MSBがハイ) 周波数変化方向はFTW1から負方向に向かいます。48ビット・ワードが正の場合 (MSBがロー) 周波数変化方向は反対になります。

FTW1はFM掃引の唯一の開始点であることが重要です。FTW1に戻るといったビルトインの条件は存在しません。FM

掃引がFTW1から開始されると、ナイキスト帯域幅 (DC ~ 1/2システム・クロック) 内で自由に变化できます (プログラム制御に基づいて)。FTW1へ瞬時に戻ることもできますが、このオプションについては、以後の数節で説明します。FM掃引モードでは、2ビットのコントロール・ビットが使用でき、開始周波数 (FTW1) または0Hzに実質的に瞬時に戻れます。まず、CLR ACC1ビット (レジスタ・アドレス1F hex) をハイに設定すると、システム・クロックの1周期幅のワンショット・パルスで再トリガー可能な48ビットの周波数アキュムレータ (ACC1) 出力をクリアします。アキュムレータに対する48ビットの 周波数ワード入力はCLR ACC1ビットの影響を受けません。CLR ACC1ビットをハイのままにしておくと、更新クロックの各立ち上がりエッジでワンショット・パルスが入力されます。その結果、電流ランプが停止し、周波数が開始点 (F1またはF2) にリセットされて、直前のレートで再度ランブ・アップ (またはダウン) が継続されます。掃引モードでの周波数アキュムレータのクリアを図45に示します。I/O更新信号は図示していませんが、この信号は、ユーザーの入力、あるいは内部での発生が可能です。I/O更新については、本データシートの他の場所に記載してあります。

次に、CLR ACC2コントロール・ビット (レジスタ・アドレス1F hex) は、周波数アキュムレータ (ACC1) と位相アキュムレータ (ACC2) の両方をクリアするときに使えます。このビットをハイに設定すると、位相アキュムレータ出力はDDSからの0Hz出力になります。このビットがハイである限り、周波数アキュムレータと位相アキュムレータはクリアされたままになり、0Hzが出力されます。直前のDDS動作に戻るときは、CLR ACC2にロジック・ローを設定します。このビットは、パルス型FMを発生するときに役立ちます。

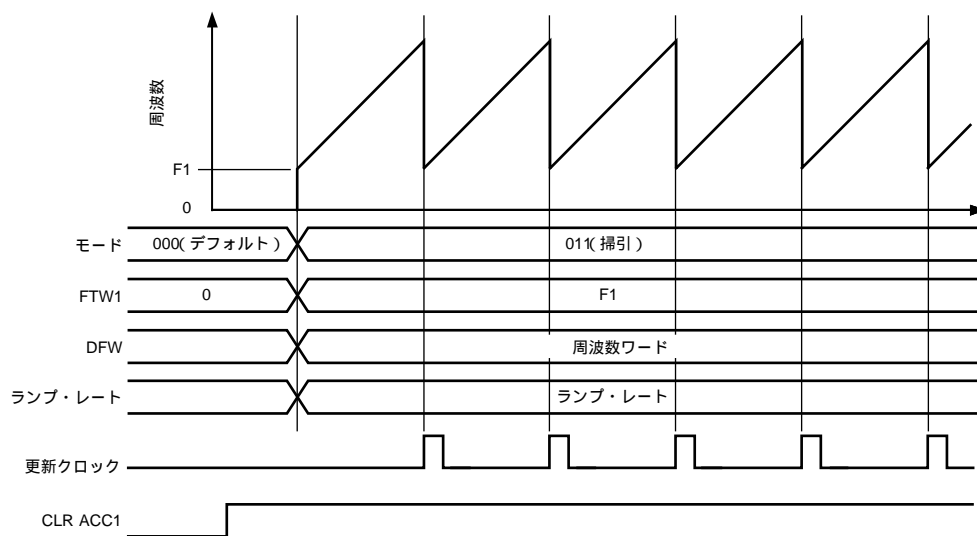


図45 FM掃引モードでのCLR ACC1の機能

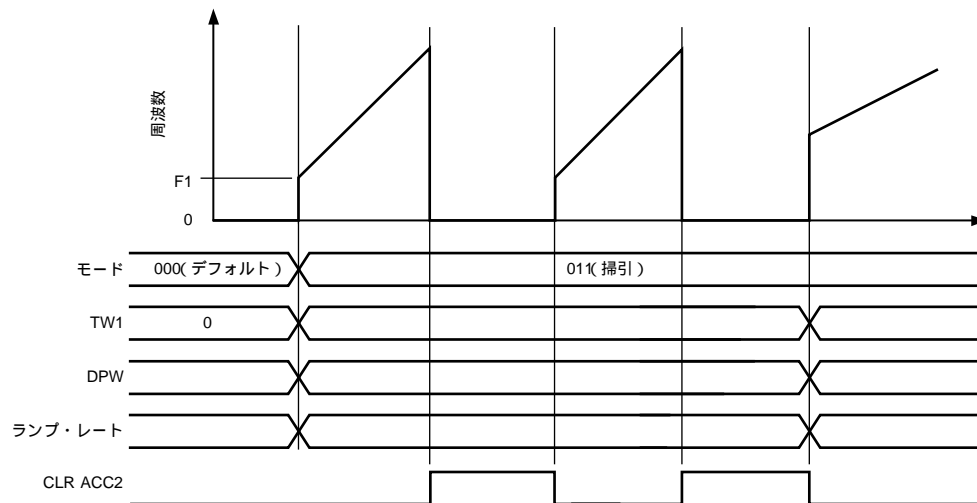


図46 FM掃引モードでのCLR ACC2の機能

FM掃引

図46に、DDS出力周波数に対するCLR ACC2ビットの機能を説明します。CLR ACC2ビットがハイのときにレジスタを再設定すると、新しいFTW1周波数とスロープがロードされます。

掃引モードでのみ使用できるもう1つの機能は、HOLDピン(ピン29)です。この機能はランプ・レート・カウンタに対するクロック信号の入力を停止し、したがって周波数アキュムレータ(ACC1)に対するそれ以後のすべてのクロック・パルス入力を停止させます。掃引を停止させることにより、HOLDがハイにされる直前の周波数のスタティック状態に出力周波数を維持する効果があります。HOLDピンをローに戻すと、クロック入力が再開されて、掃引が継続されます。HOLD状態では、ユーザーはプログラミング・レジスタを変更することができますが、カウントがゼロに到達して新しいランプ・レート・カウンタがロードできるようになるまでは、ランプ・レート・カウンタは直前のレートで動作させてください。図47に、HOLD機能のDDS出力周波数に対する効果を示します。

複雑な掃引シーケンスまたは複雑なランプ型FSKシーケンスを発生させる場合、ユーザーは32ビットの自動I/O更新カウンタを使えます。この内部カウンタはAD9852システム・クロック

に同期しているため、精密にタイミングをプログラムした変更を行えます。この方法では、ユーザーは希望のレジスタを再設定するだけで、自動I/O更新パルスを発生できます。この機能の詳しい説明は、本データシートの該当する節に記載します。掃引モードでは、目的周波数は直接指定しません。ユーザーが掃引の制御に失敗した場合は、ユーザーが停止させない限り、DCとナイキスト周波数の間で出力を自然に調整することにより、DDSが自己制御を行い、電源が切られるまで掃引を継続します。

掃引の目的周波数に到達した際に実行する内容は、ユーザーが決定します。次のような選択が可能です。

1. HOLDピンを使って、停止させた後に目的周波数に維持する。あるいは、全ビット・ゼロを周波数アキュムレータ(ACC1)の周波数ワード・レジスタに設定する。
2. HOLDピン機能を使って停止させた後、デジタル乗算器ステージと整形キーイング・ピン(ピン30)を使って、またはプログラム・レジスタ(アドレス21~24hex)の制御によって、出力振幅をランプダウンさせる。
3. CLR ACC2ビットを使って転送を瞬時に停止させる。

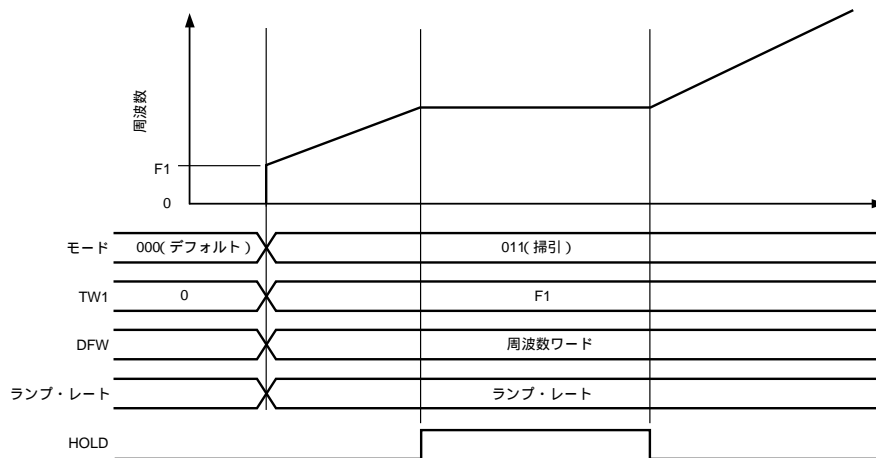


図47 HOLD機能の説明

- 方向を変えて直前の目的周波数あるいは別の目的周波数に向かって、直線的にまたはユーザー指定の方法で掃引を続ける。周波数を下げる場合には、負の48ビット 周波数ワード (MSBが“1”) をレジスタ10~15hexにロードしてください。周波数ワードが負の周波数ステップの場合には、MSBをロジック・ハイに設定してください。
- 三角波のように直ちにF1開始周波数に戻り、直前の掃引処理を繰り返すことにより、掃引を継続します。CLR ACC1 コントロール・ビットは、この場合に使用されます。自動の繰り返し掃引は、32ビットの更新クロックを使って、細かい時間間隔でCLR ACC1コマンドを発行することにより設定できます。タイミング間隔の調整または 周波数ワードの変更を行うと、掃引範囲が変化します。適切な周波数範囲を得るための掃引継続時間と周波数分解能のバランスは、ユーザーが調整してください。

BPSK (モード100)

バイナリ、双位相すなわちバイポーラ位相シフト・キーイングとは、AD9852のI/Q出力に等しい影響を与える、2つのプログラミング済み14ビット出力位相オフセットから1つを迅速に選択することを意味します。ピン29 (BPSKピン) のロジック状態が、位相調整レジスタ1または位相調整レジスタ2の選択を制御します。ピン29がローになると、位相調整レジスタ1が、ピン29がハイになると、位相調整レジスタ2が、それぞれ選択されます。図48に、出力キャリアの4サイクルで発

生する位相変化を示します。

BPSKプログラミングの基本ステップ

- キャリア周波数を周波数チューニング・ワード1に設定します。
- 該当する14ビットの位相ワードを位相調整レジスタ1と位相調整レジスタ2に設定します。
- BPSKデータ・ソースをピン29に接続します。
- 準備が完了したら、I/O更新パルスを起動します。

位相シフト・キーイングが目的でなく、広い範囲の位相オフセットが必要な場合は、シングルトーン・モードを選択して、シリアルまたは高速パラレル・プログラミング・バスを使って位相調整レジスタ1を選択します。

I/Oポート・バッファ 100MHzの8ビット・パラレルまたは10MHzのシリアル・ローディングでSPI互換。プログラミング・モードは、外部からシリアル/パラレル (S/P Select) ピンを使って選択します。I/Oバッファは、読み出しピン (RDB) と書き込みピン (WRB) に入力された信号に応じて、パラレル・モードでは6ビット・アドレス (A0~A5) に応じて、またはシリアル・モードではCSBピン、SCLKピン、SDIOピンに入力された信号に応じて、読み書きできます。

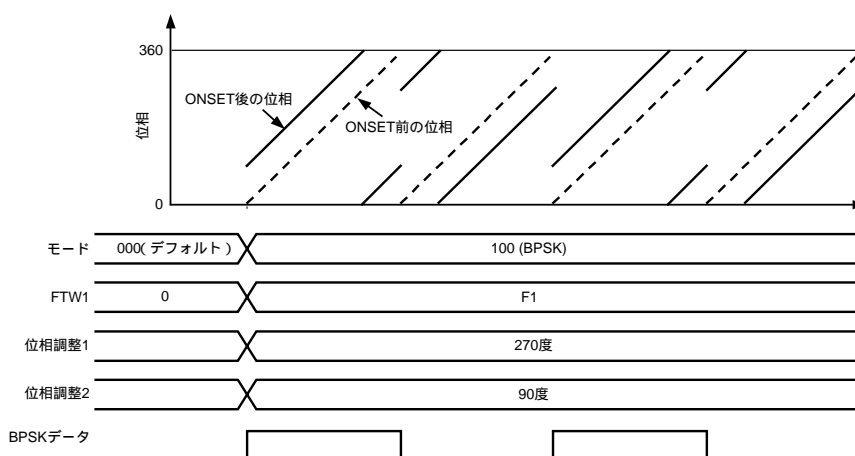


図48 BPSKモード

AD9852

ユーザーが入力したプログラム命令により上書きされるまで、または電源が切られるまで、I/Oポート・バッファ内のデータは保存されます。I/O更新クロックにより、I/Oバッファのデータを実行時にDDSプログラミング・レジスタに入力します。

AM I/Oポートを使って両サイン波DACの前にあるそれぞれの12ビット・デジタル乗算器ステージを制御すると、両DACの振幅変調が可能になります。乗算器を使って、ゼロスケールとフルスケールの間にDAC出力を設定して、ステータックな振幅調整も行えます。詳細については、“整形ON/OFFキーイング”の説明を参照してください。コントロール用DACは、整形キーイング機能として使用はできません。

高速コンパレータ 高速用に最適化、300MHzを超えるトグル・レート、低ジッター、検出入力、ヒステリシス内蔵、50 で最小1V_{p-p}の出力レベル、高インピーダンス負荷でのCMOSロジック・レベルで動作します。このコンパレータは、省電力のために個別にパワーダウンできます。このコンパレータは“クロック・ジェネレータ”アプリケーションで使用して、バンドパス・フィルタまたはローパス・フィルタを通過させたサイン波を、方形波に変換できます。

8ビット・ランプ・レート・クロック 整形ON/OFFキーイングの使用時に、このダウン・カウンタはシステム・クロック（最大300MHz）を入力して、8ビット・バイナリ値（ユーザー設定）でこのクロックを分周して、ユーザー定義のクロックを発生させます。このクロックは、カウンタがゼロにカウント・ダウンする毎にパルスを1個出力します。このクロックは、両DACの12ビット・デジタル乗算器の変更レートを設定して、出力整形機能を実行するときに使います。

20ビット・ランプ・レート・クロック 選択されると、このダウン・カウンタはシステム・クロック（最大300MHz）を入力して、このクロックを20ビットのバイナリ値（ユーザー指定）で分周し、ユーザー定義のクロックを発生させます。クロックは、カウンタがゼロにカウント・ダウンする毎にパルスを1個出力します。このクロックは、ランプ型FSKまたはFM掃引モードの周波数変化レートを設定するときに使います。

48ビット 周波数レジスタ 掃引モードとランプ型FSKモードでのみ使用。このレジスタには、周波数アキュムレータ（ACCU 1）の周波数増分値を表す48ビット・ワードがロードされます。この周波数アキュムレータの出力には、F1周波数レジスタまたはF2周波数レジスタに設定されている周波数が加算されます。このレジスタは、20ビットのランプ・レート・クロック（最大150MHz）により設定されたレートで周期的にインクリメントされます。

48ビット 周波数レジスタ 48ビットの位相アキュムレータ（ACCU 2）に入力される48ビットの周波数チューニング・ワードが設定され、シングル・トーン・モードでDDSの出力周波数を決定します。ランプ型FSKまたは掃引が選択されると、このレジスタはデジタル加算器に転送され、そこでACCU 1の出力が加算された後、ACCU 2に入力されます。したがって、ACCU 2に転送された信号は、ステータックまたは毎秒最大1.50億回の48ビット周波数チューニング・ワードのレートで変更できます。

パワーダウン 使用しない場合には、プログラミング・レジスタを使用して、必要なステージの機能は維持したまま、幾つかのステージを個別にパワーダウンさせて消費電力を削減できます。これらのステージは、レジスタ配置テーブル（アドレス1D hex）内に定義されます。パワーダウンは、指定されたビットをロジック・ハイに設定して実行されます。ロジック・ローは該当するステージに電源が入っていることを示します。

さらに、コントロール・レジスタ（アドレス20hex）の設定により、恐らく最も電力を消費する2つのデジタル・ステージである反転SINCフィルタとデジタル乗算器のステージをバイパスして、大幅な消費電力の削減ができます。ここでも、ロジック・ハイを設定すると、ステージがバイパスされます。反転SINCフィルタ・ステージの消費電力は大きいので、特に重要です。

フル・パワーダウンは、コントロール・レジスタ（1D hex）内にある4ビットのPDビットがすべてロジック・ハイに設定されたときに発生します。これにより消費電力は約10mW（3mA）に削減されます。

マスター・リセット ロジック・ハイでアクティブであり、システム・クロックで最小10サイクル間ハイレベルに維持してください。そうすると、通信バスが初期化されて、表Vに記載するデフォルト値がロードされます。

表V レジスタ配置（アミ表示の部分がコントロール・レジスタを構成）

パラレル・アドレス	シリアル・アドレス	AD9852のレジスタ配置								デフォルト値
		ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	
00 01	0	位相調整レジスタ#1 <13:8>（ビット15、14無視） 位相1 位相調整レジスタ#1 <7:0>								00h 00h
02 03	1	位相調整レジスタ#2 <13:8>（ビット15、14無視） 位相2 位相調整レジスタ#2 <7:0>								00h 00h
04 05 06 07 08 09	2	周波数チューニング・ワード1 <47:0> 周波数1 周波数チューニング・ワード1 <39:32> 周波数チューニング・ワード1 <31:24> 周波数チューニング・ワード1 <23:16> 周波数チューニング・ワード1 <15:8> 周波数チューニング・ワード1 <7:0>								00h 00h 00h 00h 00h 00h
0A 0B 0C 0D 0E 0F	3	周波数チューニング・ワード2 <47:40> 周波数2 周波数チューニング・ワード2 <39:32> 周波数チューニング・ワード2 <31:24> 周波数チューニング・ワード2 <23:16> 周波数チューニング・ワード2 <15:8> 周波数チューニング・ワード2 <7:0>								00h 00h 00h 00h 00h 00h
10 11 12 13 14 15	4	周波数ワード <47:40> 周波数ワード <39:32> 周波数ワード <31:24> 周波数ワード <23:16> 周波数ワード <15:8> 周波数ワード <7:0>								00h 00h 00h 00h 00h 00h
16 17 18 19	5	更新クロック <31:24> 更新クロック <23:16> 更新クロック <15:8> 更新クロック <7:0>								00h 00h 00h 40h
1A 1B 1C	6	ランプ・レート・クロック <19:16>（ビット23、22、21、20無視） ランプ・レート・クロック <15:8> ランプ・レート・クロック <7:0>								00h 00h 00h
1D 1E 1F 20	7	無視	無視	無視	Comp PD	常にローに 予約済み	Control DAC PD	DAC PD	DIG PD	00h
		無視	PLL 範囲	PLL バイパス	Ref Mult 4	Ref Mult 3	Ref Mult 2	Ref Mult 1	Ref Mult 0	64h
		CLR ACC 1	CLR ACC 2	Triangle	無視	モード2	モード1	モード0	内部更新 クロック	01h
		無視	反転SINC バイパス	OSK EN	OSK INT	無視	無視	LSB先頭	SDO アクティブ	20h
21 22	8	出力整形キー-I Mult <11:8>（ビット15、14、13、12無視） 出力整形キー-I Mult <7:0>								00h 00h
23 24	9	出力整形キー-Q Mult <11:8>（ビット15、14、13、12無視） 出力整形キー-Q Mult <7:0>								00h 00h
25	A	出力整形キー・ランプ・レート <7:0>								80h
26 27	B	QDAC <11:8>（ビット15、14、13、12無視） QDAC <7:0>（データは2の補数フォーマット）								00h

AD9852

AD9852のインターフェースとプログラミング

表Vに示すAD9852のレジスタ配置には、チップを希望の機能にプログラムする情報も記載してあります。多くのアプリケーションでは、AD9852を設定するためのプログラミングは殆ど不要ですが、アプリケーションによっては、12個のアクセス可能な全レジスタ・バンクを使用します。AD9852は、8ビットのバイト・パラレルI/O動作またはSPI互換のシリアルI/O動作に対応しています。すべてのアクセス可能なレジスタには、いずれかのI/O動作モードで書き込み/読み出しを行えます。

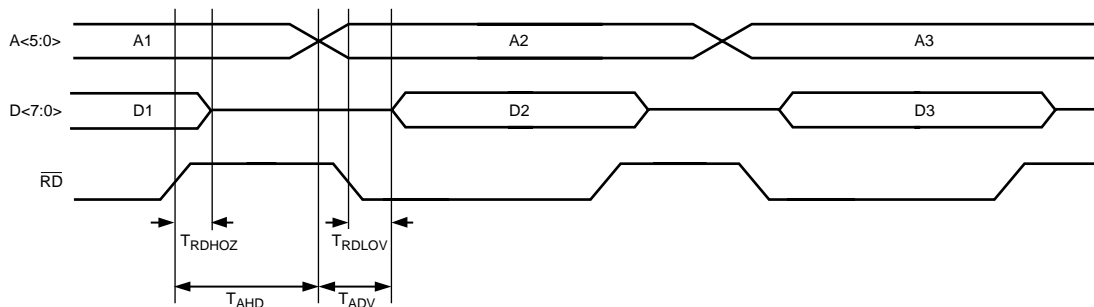
外部ピン (S/P SELECT) を使って、I/Oモードを設定します。パラレルI/Oモードを使うシステムは、S/P SELECTピンをV_{DD}に接続してください。シリアルI/Oモードで動作するシステムは、S/P SELECTピンをGNDに接続してください。

モードに無関係に、I/Oポート・データがバッファ・メモリーに書き込まれます。バッファ・メモリーの内容がレジスタ・バンクに転送されるまで、バッファ・メモリーはデバイス動作に影響を与えません。情報の転送は、システム・クロックに同期して発生し、次のいずれかの方法で行われます。

1. ユーザーが設定できるレートでの内部制御。
2. 外部からユーザーが制御する。REFCLKがなくともI/O動作は可能ですが、REFCLKなしではデータをバッファ・メモリーからレジスタ・バンクに移動できません。本データシートの更新クロック動作の節を参照してください。

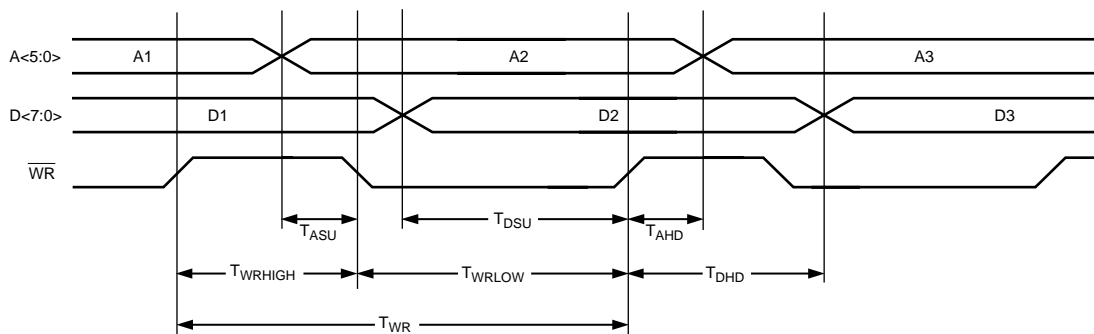
パラレルI/O動作

S/P SELECTピンをハイに接続すると、パラレルI/Oモードが起動します。I/Oポートは業界標準のDSPおよびマイクロコントローラと互換性を持っています。I/Oポート・ピンは、アドレス・ビットが6本、双方向データが8本、さらに1本の書き込み/読み出しコントロール入力で構成されています。パラレルI/O動作を使うと、100MHzの1回のI/O動作ですべてのレジスタ内の各バイトに対して書き込みアクセスができます。AD9852の設計を容易にするため、各レジスタに対する読み出しも用意されています。読み出しは、ソフトウェア・デバッグ専用なので、100MHz動作を保証していません。図49と図50に、パラレルI/O動作のタイミング図を示します。



仕様	値	説明
T _{ADV}	15	アドレスからデータ有効までの時間 (最大)
T _{AHD}	5	RD信号非アクティブまでのアドレス・ホールド・タイム (最小)
T _{RDLOW}	15	RDのローから出力有効まで (最大)
T _{RDHOZ}	10	RDのハイからデータ・スリー・スタートまで (最大)

図49 パラレル・ポートの読み出しタイミング図



仕様	値	説明
T _{ASU}	4ns	WR信号アクティブまでのアドレス・セットアップ・タイム
T _{DSU}	2ns	WR信号非アクティブまでのデータ・セットアップ・タイム
T _{AHD}	5ns	WR信号非アクティブまでのアドレス・ホールド・タイム
T _{DHD}	0ns	WR信号非アクティブまでのデータ・ホールド・タイム
T _{WRLow}	3ns	WR信号の最小ロー時間
T _{WRHIGH}	7ns	WR信号の最小ハイ時間
T _{WR}	3ns	WR信号の最小継続時間

図50 パラレル・ポートの書き込みタイミング図

シリアル・ポートI/O動作

S/P SELECTピンをローレベルに接続すると、シリアルI/Oモードが起動します。AD9852のシリアル・ポートはフレキシブルな同期シリアル通信ポートで、多くの業界標準のマイクロコントローラやマイクロプロセッサと容易にインターフェースできます。このシリアルI/Oは、モトローラ社の6905/11 SPIプロトコルやインテル社の8051 SSRプロトコルなどの多くの同期転送フォーマットと互換性があります。このインターフェースを使用すると、AD9852を設定する12個の全レジスタへの読み出し / 書き込みが可能になり、1ピンのI/O (SDIO) またはIN/OUT (SDIO/SDO) 用の2本の単方向ピンとして設定できます。データ転送は、最大10MHzのMSB先頭またはLSB先頭フォーマットに対応します。シリアルI/O動作として設定すると、AD9852の多くのパラレル・ポート・ピンは非アクティブになりますが、一部はシリアルI/Oとして使用されます。表VIに、シリアルI/Oで使用するピンを示します。

表VI 使用するシリアルI/Oピン

ピン番号	ピン名	シリアルI/Oの説明
1,2,3,4,5,6,7	D[7:0]	パラレル・データ・ピンは非アクティブであり、VDDまたはGNDに接続します。
14,15,16	A[5:3]	パラレル・アドレス・ピンA5、A4、A3は非アクティブであり、VDDまたはGNDに接続します。
17	A2	IORESET
18	A1	SDO
19	A0	SDIO
20	I/O UD	更新クロック。シリアル・モードの場合もパラレル・モードと同じ機能
21	WRB	SCLK
22	RDB	CSB チップ・セレクト

シリアル・インターフェースの一般的な動作

AD9852の通信サイクルには2つの位相があります。位相1は命令サイクルで、AD9852に先頭の8個のSCLK立ち上がりエッジで命令バイトを書き込みます。命令バイトは、AD9852シリアル・ポート・コントローラにデータ転送サイクルに関する情報を提供します。このデータ転送サイクルは通信サイクルの位相2になります。位相1の命令バイトは、次のデータ転送の読み出し / 書き込み、および転送データの対象となるレジスタ・アドレスを指定します。各通信サイクルの先頭の8個のSCLK立ち上がりエッジを使って、AD9852に命令バイトを書き込みます。残りのSCLKエッジは位相2の通信サイクルで使います。位相2では、実際のデータ転送がAD9852とシステム・コントローラの間で実行されます。位相2の通信サイクルで転送されるデータ・バイト数は、レジスタ・アドレスの関数になります。AD9852内部シリアルI/Oコントローラは、アクセスされるレジスタの各バイトが転送されるものと見なします。表VIIに、転送すべきバイト数を示します。各通信サイクルの終わりで、AD9852シリアル・ポート・コントローラは、次の8個のSCLK立ち上がりエッジを、次の通信サイクルの命令バイトと見なします。

表VII レジスタ・アドレスと転送するデータ・バイト数

シリアル・レジスタ・アドレス	レジスタ名	転送バイト数
0	位相オフセット・チューニング・ワード・レジスタ#1	2バイト
1	位相オフセット・チューニング・ワード・レジスタ#2	2バイト
2	周波数チューニング・ワード#1	6バイト
3	周波数チューニング・ワード#2	6バイト
4	周波数レジスタ	6バイト
5	更新クロック・レート・レジスタ	4バイト
6	ランプ・レート・クロック・レジスタ	3バイト
7	コントロール・レジスタ	4バイト
8	Iバス・デジタル乗算器レジスタ	2バイト
9	Qバス・デジタル乗算器レジスタ	2バイト
A	整形ON/OFFキーイング・ランプ・レート・レジスタ	2バイト
B	Q DACレジスタ	2バイト

さらに、IORESETピンにアクティブ・ハイが入力されると、現在の通信サイクルを直ちに終了させます。IORESETピンがローに戻ると、AD9852シリアル・ポート・コントローラは、次の8個のSCLK立ち上がりエッジを、次の通信サイクルの命令バイトとして要求します。AD9852に対するすべてのデータ入力は、SCLKの立ち上がりエッジでレジスタに取り込まれます。すべてのデータは、SCLKの立ち下がりエッジでAD9852から出力されます。図51と図52は、AD9852シリアル・ポートの一般的な動作を理解するために役立ちます。

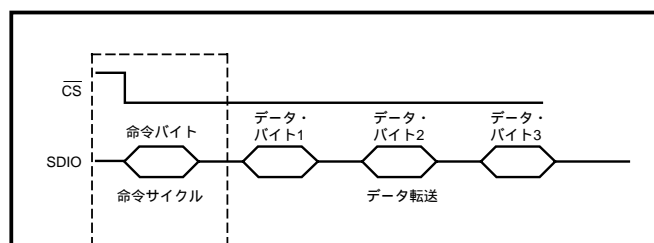


図51 SDIOを使用する読み出し / 書き込み転送

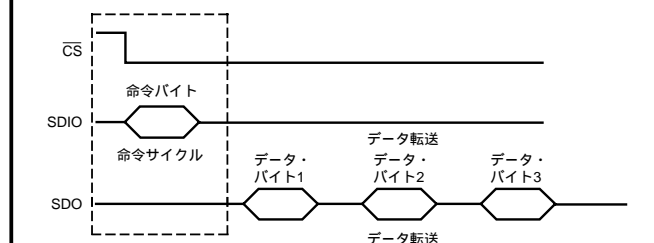


図52 SDIOを入力、SDOを出力として使用

AD9852

命令バイト

命令バイトには次の情報が含まれます。

表VIII 命令バイトの情報

MSB	D6	D5	D4	D3	D2	D1	LSB
R/W	X	X	X	A3	A2	A1	A0

$\overline{R/W}$ 命令バイトのビット7は、命令バイトの書き込みの後に、読み出しデータ転送と書き込みデータ転送のいずれを行うかを指定します。ロジック・ハイは読み出し動作を、ロジック・ローは書き込み動作を、それぞれ示します。命令バイトのビット6、5、4は無視です。

A3、A2、A1、A0 命令バイトのビット3、2、1、0は、通信サイクルのデータ転送部分でアクセスするレジスタを指定します。レジスタ・アドレスの詳細については、表VIIIを参照してください。

シリアル・インターフェース・ポート・ピンの説明

SCLK

シリアル・クロック（ピン21）。このシリアル・クロック・ピンを使って、AD9852に入/出力するデータを同期化し、内部ステート・マシンを動作させます。SCLKの最大周波数は10MHzです。

\overline{CS}

チップ・セレクト（ピン22）。アクティブ・ローの入力により、同一シリアル通信ラインに接続されている複数のデバイスをイネーブルにします。この入力がハイになると、SDOピンとSDIOピンは高インピーダンス状態になります。各通信サイクルでハイに駆動されると、 \overline{CS} が再度ローになるまで、そのサイクルは停止されます。SCLK制御を維持するシステムでは、チップ・セレクトをローに接続しておくことができます。

SDIO

シリアル・データI/O（ピン19）。このピン上のデータは常にAD9852に書き込まれますが、このピンは双方向データ・ラインとしても使用できます。このピンの設定は、レジスタ・アドレス20hのビット0により制御されます。デフォルトはロジック“0”で、SDIOピンは双方向に設定されます。

SDO

シリアル・データ出力（ピン18）。データの送信と受信に別ラインを使用するプロトコルでは、このピンからデータが読み込まれます。AD9852がシングル双方向I/Oモードで動作する場合は、このピンはデータを出力せずに、高インピーダンス状態になります。

IO RESET

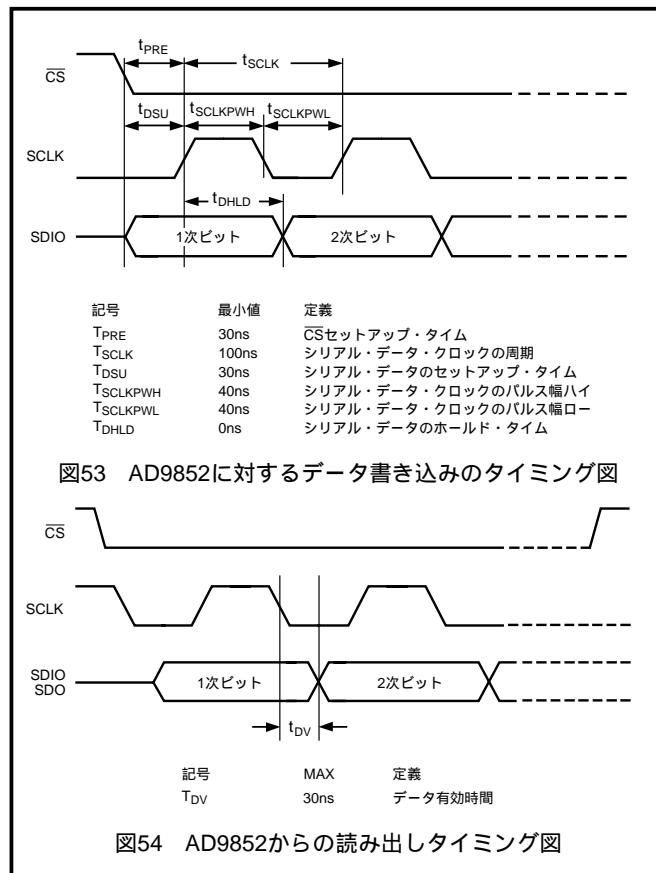
I/Oポート（ピン17）を同期化します。アドレス可能なレジスタの値を変更せずにI/Oポート・ステート・マシンを同期化します。IO RESETピンにアクティブ・ハイを入力すると、実行中の通信サイクルを停止させます。IO RESETがローに戻ると（ロジック“0”）、次の通信サイクルを開始し、命令バイトの書き込みから開始できます。

シリアル・ポート動作に関する注意点

AD9852シリアル・ポート設定ビットは、レジスタ・アドレス20hのビット1とビット0に配置されています。有効なI/O更新の直後に設定は変更されるため、注意が必要です。マルチバイト転送の場合、このレジスタへの書き込みが、通信サイクルの途中で発生することがあります。実行中の通信サイクルの残りの部分に対して、この新しい設定の補償を行うよう注意してください。

システムはAD9852との同期を維持してください。そうしないと、内部制御ロジックは、それ以後の命令を認識できません。例えば、システムが2バイト・レジスタに書き込みを行う命令を送る場合、3バイト・レジスタ用のパルスを入力すると（24個のSCLK立ち上がりエッジが不足）通信の同期が失われてしまいます。この場合、命令サイクルに続く最初の16個のSCLK立ち上がりエッジが、AD9852に最初の2データ・バイトを正しく書き込みますが、次の8個のSCLK立ち上がりエッジは、直前の通信サイクルの最終バイトではなく、次の命令バイトとして解釈されてしまいます。

システムとAD9852との同期が失われた場合、IO RESETピンが、チップ全体を再初期化せずに再同期化を行う方法を提供します。IO RESETピンをアサートすると（アクティブ・ハイ）、AD9852のシリアル・ポート・ステート・マシンがリセットされ、実行中のIO動作を終了して、後続の8個のSCLK立ち上がりエッジが命令バイトとして解釈される状態にデバイスを設定します。次の命令バイトの書き込みが開始されるまで、SYNC IOピンはディアサート状態（ロー）にしておいてください。同期が失われる前に有効な通信サイクルでAD9852レジスタに書き込まれたすべての情報は保持されています。



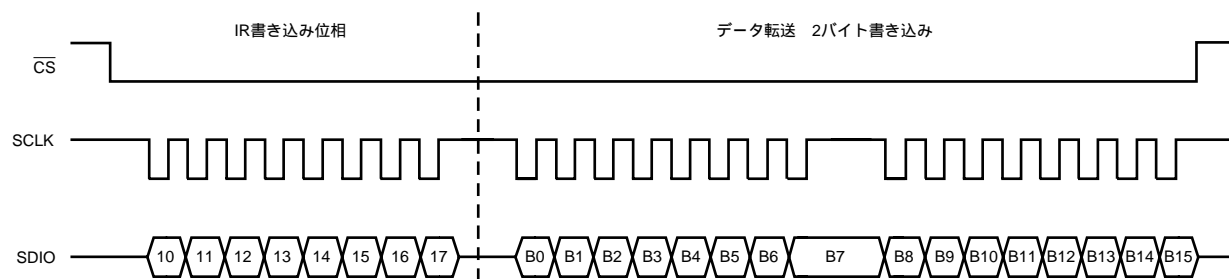


図55 データ書き込みサイクル、SCLKはアイドル・ハイ

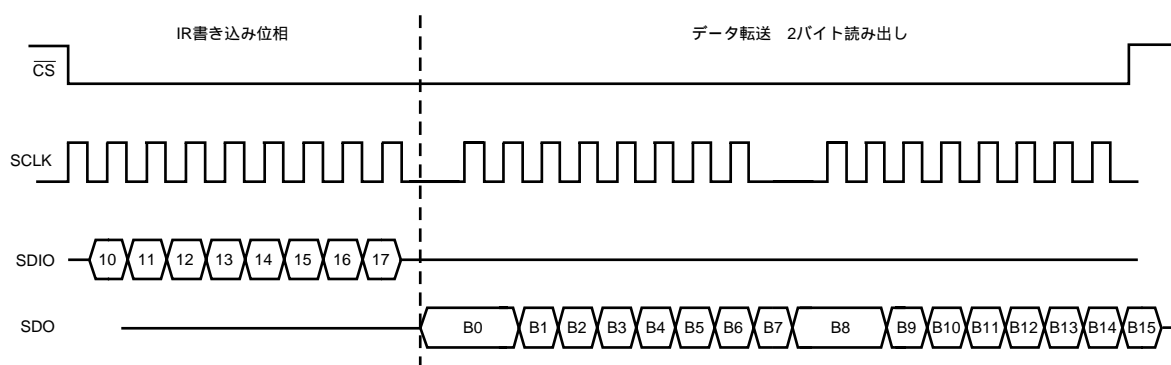


図56 データ読み出しサイクル、3線式構成、SCLKはアイドル・ロー

MSB/LSB転送

AD9852のシリアル・ポートは、MSB先頭またはLSB先頭のデータ・フォーマットに対応しています。この機能は、シリアル・レジスタ・バンク20hのビット1を使って制御します。このビットにアクティブ・ハイを設定すると、AD9852シリアル・ポートはLSB先頭フォーマットに設定されます。このビットをデフォルトのローに設定すると、MSB先頭フォーマットに設定されます。命令バイトは、シリアル・レジスタ・バンク20hのビット1で指定されたフォーマットで書き込む必要があります。すなわち、AD9852がLSB先頭モードの場合は、命令バイトを下位ビットから上位ビットの順に書き込む必要があります。

更新クロック動作

AD9852のプログラミングはシステム・クロックに同期して行われ、すべてのデータはバッファ・メモリーに書き込まれますが、デバイス動作にはすぐには反映されません。バッファ・メモリーは、システム・クロックに同期してレジスタ・バンクに転送されます。その後で、レジスタ・バンク情報がデバイス動作に影響を与えるようになります。このデータ転送は、ユーザーが設定した更新頻度で自動的に行うことも、完全にユーザーの制御下で行うこともできます。完全なユーザー制御（外部更新モード）では、ユーザーがASICまたはDSPからI/O UD信号を駆動できます。AD9852のI/O UDピンは、外部更新モードでは入力として設定されます。I/O UD上で立ち上がりエッジが検出されると、AD9852はバッファ・メモリーの内容をレジスタ・バンクに転送します。この設計ではエッジ検出回路を使って、AD9852に転送データの指示を行っています。この回路は非常に狭い最小ハイパルス幅（システム・クロックの2周期分）で動作します。ユーザ

ーがI/O UDをハイのままにしておくと、AD9852がレジスタ・バンクを連続的に更新しないことに注意してください。AD9852がバッファ・メモリーのデータをレジスタ・バンクに自動的に転送する内部更新モードでは、AD9852のI/O UDピンは出力に設定されます。AD9852はI/O UDピンにハイパルスを出力して、バッファ・メモリーがレジスタ・バンクに転送されたタイミングを表示します。最小ハイパルス幅は、システム・クロックの8サイクル分（最小）です。I/O UD信号は、システム内で割り込み信号として使用できます。I/O UDピン出力は、低い更新レートでは50/50デューティ・サイクルにならないことに注意してください。

更新クロック・レジスタを5未満の値に設定すると、I/O UDピンがハイのままになります。それでも更新クロック機能は動作していますが、データ転送のタイミングを表示する信号としては使用できません。これは、I/O UDが出力になっている場合の最小ハイパルス幅に起因しています。

内部更新クロック動作の場合、更新レートを更新クロック・レジスタに設定します。更新クロック・レジスタは32ビットであり、レジスタに書き込まれる値は、各更新の間に存在するクロック・サイクル数の1/2になります。すなわち、値00_00_00_0A (hex) が更新クロック・レジスタに書き込まれた場合、I/O UDピンの立ち上がりエッジは20サイクル毎に発生します (0A hex = 10 (10進数))。

コントロール・レジスタ

コントロール・レジスタは、表Vにアミ表示したアドレス1D ~ 20hexに配置されており、32ビットで構成されています。ビット31はアミ表示の左上の位置に、ビット0はアミ表示の右下の位置に当たります。レジスタは、それぞれの制御分野に対応するテキストを見やすくするため区分して表示しています。

AD9852

パワーダウン機能

AD9852のパワーダウン用として、4ビットが用意してあります。各ビットはアクティブ・ハイです。すなわち、デフォルトはローで、ロジック“1”に設定すると、パワーダウン機能が有効になります。この4ビットはすべて同じコントロール・バイト内に配置されており、1回のI/O書き込みサイクルで全4ビットに“真”を同時に書き込み、フル・パワーダウンになります。この4ビットは、コントロール・レジスタ[28、26~24]に配置されており、それぞれについて次に説明します。これらのビットのデフォルト状態はロジック“0”（非アクティブ）です。

CR[31~29]は未使用。

CR[28]は、コンパレータ・パワーダウン・ビットです。セットされると（ロジック“1”）この信号は、パワーダウン・モードがアクティブになったことをコンパレータに知らせます。このビットはデジタル部分からの出力であり、アナログ部分に入力されます。

CR[27]には常にロジック“0”を書き込んでください。ロジック“1”を書き込むと、マスター・リセットが入力されるまで、AD9852の動作が停止します。

CR[26]はコントロールDACパワーダウン・ビットです。セットされると（ロジック“1”）パワーダウン・モードがアクティブであることをコントロールDACに知らせます。

CR[25]はフルDACパワーダウン・ビットです。セットされると（ロジック“1”）パワーダウン・モードがアクティブであることをコサイン波DAC、コントロールDAC、リファレンスに知らせます。

CR[24]はデジタル・パワーダウン・ビットです。セットされると（ロジック“1”）この信号は、パワーダウン・モードがアクティブであることをデジタル部分に知らせます。デジタル部分では、クロックがDCレベルにされて、デジタル部分がパワーダウンされます。PLLはREFCLK入力を使用し続けており、PLLは高い周波数を出力します。

REFCLK乗算用PLL機能

4ビットのコントロール・レジスタ・ビットが、コントロール・レジスタ内に配置されています。

[22~16]の位置がPLLに関係します。

CR[23]は予約されています。ゼロを書き込みます。

CR[22]はPLL範囲ビットです。このPLL範囲ビットはVCOゲインを制御します。PLL範囲ビットのパワーアップ時の状態はロジック“1”であり、200MHzを超える周波数用の高いゲインを指定しています。

CR[21]はPLLバイパス・ビットです（アクティブ・ハイ）。アクティブに設定されると、PLLがパワーダウンされて、REFCLK入力を使ってシステム・クロック信号が駆動されます。PLLバイパス・ビットのパワーアップ時の状態はロジック“1”であり、PLLはバイパスされています。

CR[20~16]ビットはPLL倍率です。PLLバイパス・ビットがセットされない限り、これらのビットの値でREFCLKが乗算されます。PLL倍率の有効範囲は4~20です。

その他の動作機能

CR[15]はクリア・アキュムレータ1ビットです。このビットはワンショット型の機能を持っています。アクティブ・レベルを書き込むと（ロジック“1”）クリア・アキュムレータ1信

号がDDSロジックに送られて、アキュムレータ値をゼロにリセットします。その後でこのビットは自動的にリセットされますが、バッファ・メモリーはリセットされません。このビットを使うと、殆ど（または全く）ユーザー入力なしで、ノコギリ型波の周波数掃引パターンを発生できます。このビットは掃引モード専用ですが、他のモードで機能を無効にするロジックは内蔵されていません。

CR[14]はクリア・アキュムレータ・ビットです。このビット（アクティブ・ハイ）は、このビットがアクティブの間、アキュムレータ1とアキュムレータ2の値をゼロに維持します。この機能により、I/OポートからDDS位相の初期化が可能になります。

CR[13]はTRIANGLEビットです。このビットをセットすると、AD9852はF1周波数からF2周波数へさらにF1周波数へ戻る連続周波数掃引を自動的に実行し、三角波の周波数掃引を発生します。このビットのセット中は、動作モードをランプ型FSKに設定してください。

CR[11~9]は、AD9852の次の5種類の動作モードを指定します。

0h = シングル・トーン・モード

1h = FSKモード

2h = ランプ型FSKモード

3h = 掃引モード

4h = PSKモード

CR[8]は内部更新アクティブ・ビットです。このビットにロジック“1”を設定すると、I/O UDピンは出力になり、AD9852がI/O UD信号を出力します。ロジック“0”を設定すると、外部I/O UD機能が実行され、I/O UDピンは入力に設定されます。

CR[7]は予約されています。ゼロを書き込みます。

CR[6]は反転SINCフィルタのバイパス・ビットです。このビットがセットされると、DDSブロックから出力されるデータは出力整形キーイング・ロジックに直接入力されて、反転SINCフィルタへのクロック入力停止されます。デフォルトではクリアされており、フィルタはイネーブルになっています。

CR[5]は整形キーイング・イネーブル・ビットです。このビットがセットされると、出力ランプ機能がイネーブルにされて、CR[4]ビットの条件に従って実行されます。

CR[4]は内部/外部出力整形キーイングのコントロール・ビットです。このビットにロジック“1”が設定されると、整形キーイング係数が内部で発生されて、Iパスに適用されます。このビットがクリアされると、出力整形キーイング機能は外部から制御されるようになり、整形キーイング係数としてI出力整形キーイング係数レジスタ値が使用されます。デフォルトではローの外部整形キーイング係数が使用されます。整形キーイング係数を保持する2個のレジスタのデフォルト値もローであり、パワーアップ時に出力がOFFになり、デバイスがユーザーによりプログラムされるまでこの状態を維持します。

CR[3:2]は予約されています。ゼロを書き込みます。

CR[1]はシリアル・ポートMSB/LSB先頭ビットです。デフォルトはローで、MSB先頭が指定されています。

CR[0]はシリアル・ポートSDOアクティブ・ビットです。デフォルトはローで、非アクティブが指定されています。

消費電力と熱的な考慮事項

AD9852は多機能で非常に高速なデバイスであり、広範囲なシンセサイザと位相追従型クロック・アプリケーションが対象です。内蔵の多くの革新的な機能のセットがそれぞれ消費電力の一部を消費しています。これらが組み合わされてイネーブルになった場合、その合計消費電力がデバイスの安全な熱的動作条件を超えることがあります。消費電力と熱管理の慎重な解析と配慮が、AD9852デバイスのアプリケーションでは重要です。

AD9852は、工業用温度範囲 - 40 ~ + 85 で仕様規定されています。ただし、この仕様には、絶対最大接合温度150 を超えないという条件があります。高温動作では、接合温度を超えないようにデバイス動作に最大の注意が必要です。接合温度を超えると、熱状態に損傷を与えることがあります。

デバイス内部の動作接合温度に対しては、次のような変動要因が関係します。

1. パッケージ・スタイル
2. 選択された動作モード
3. 内部システム・クロックの速度
4. 電源電圧
5. 周辺温度

これらの変動要因の組み合わせと、動作条件のセットによって、AD9852デバイス内部の接合温度が決定されます。

AD9852は、露出型ヒートシンクを持つ熱強化型表面実装パッケージと非熱強化型表面実装パッケージの、2種類のパッケージで供給しています。自然空冷条件での両パッケージの熱インピーダンスは、それぞれ16 $\text{ }^{\circ}\text{C}/\text{W}$ と38 $\text{ }^{\circ}\text{C}/\text{W}$ です。

熱インピーダンス

パッケージの熱インピーダンスは、半導体表面と周辺空気との間に存在する熱抵抗と考えることができます。パッケージの熱インピーダンスは、パッケージ材料とその物理的な寸法によって決定されます。パッケージからの熱放散は、周辺空気の条件、ICパッケージとPCBとの物理的接続に直接依存します。AD9852からの適切な熱放散は、PCB上の銅プレーンに直接ハンダ付けされた、デバイスの全ての電源ピンとグラウンド・ピンに依存します。さらに、AD9852ASQの熱強化型パッケージの底にはヒート・シンクが付いており、PCB表面のグラウンド・パッドにこれをハンダ付けしてください。このパッドは大きな銅プレーン（例：グラウンド・プレーン）に接続してください。AD9852の2種類のパッケージでのソケットの使用は推奨できません。

接合温度に関する考慮事項

そのアプリケーションにおけるAD9852の消費電力 (P_{DISS})

は、多くの動作条件により決定されます。電源電圧やクロック速度などの幾つかの条件は P_{DISS} と直接関係しますが、他の条件は決定的ではありません。デバイスを使用するときは、デバイス内の合計消費電力、およびその接合温度に対する影響を考慮してください。デバイスの接合温度は次式で計算されます。

$$\text{接合温度} = (\text{熱インピーダンス} \times \text{消費電力}) + \text{周辺温度}$$

AD9852の接合温度が150 を超えることはなく、かつ周辺温度は85 であるとする、AD9852ASTの最大消費電力は1.7Wになり、AD9852ASQ（熱強化型パッケージ）の場合4.1Wになります。

消費電力に影響を与える要因には次のものがあります。

電源電圧 $P_{\text{DISS}} = V \times I$ なので、明らかに消費電力と接合温度に影響を与えます。デバイスは全温度範囲および電源電圧範囲3.135 ~ 3.465Vで仕様を保証されていますが、公称3.3Vで設計してください。

クロック速度 デバイスの合計消費電力、つまり接合温度に直接関係します。一般的法則として、常にそのアプリケーションに対応する最低速の内部クロックを選択して、消費電力を最小にしてください。通常、DDSからの使用可能な周波数出力帯域幅は、出力ローパス・フィルタの条件を合理的にするため、クロック・レートの40%に制限されています。代表的なDDSアプリケーションでは、システム・クロック周波数を希望最高出力周波数の2.5倍とします。

動作モード 選択されたAD9852の動作モードは、合計消費電力に大きな影響を与えます。AD9852は多くの機能とモードを持っており、その各々が電力を必要とします。AD9852内蔵の機能の集合は、広範囲なアプリケーションが対象なので、特定のアプリケーションに対してはその内の数個だけがイネーブルになるものと想定して設計されています。実際、高速クロックで複数の機能をイネーブルにすると、チップの最大接合温度を超える場合があることを理解してください。これが発生すると、デバイスの長時間信頼性が厳しく制限される場合があります。図57に、AD9852の個々の機能に対応した電力要求の概要を示します。この表は、高信頼で動作可能な、AD9852の最適アプリケーションを決定する際のガイドとして使用できます。

図57から判るように、反転SINCフィルタ機能が最も大きな電力を必要としており、この機能の使用には注意と検討が必要です。出力帯域幅内で平坦性を維持する代替方法として、デジタル乗算機能を使って出力信号レベルを調節すると、大幅に消費電力を削減できます。この機能セットの使用に関する慎重な計画と管理により、消費電力を抑えてIC内部の接合温度条件を超えないようにできます。

AD9852

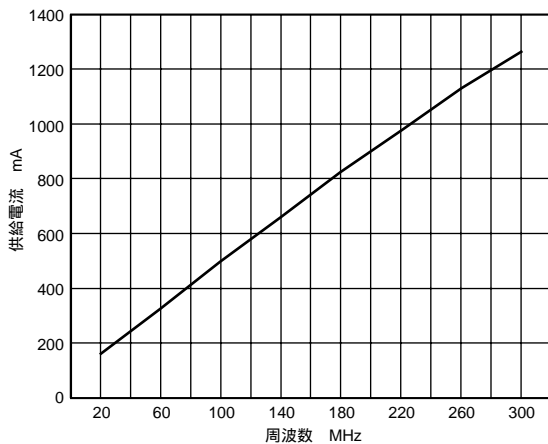


図57a 消費電流対クロック周波数(全オプション回路をイネーブルにした場合の電流消費を表示)

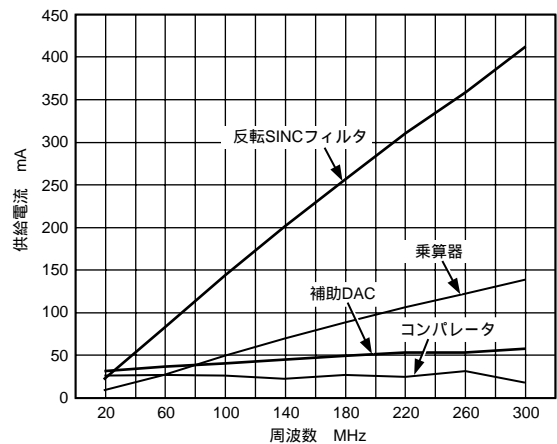


図57b 様々な回路をディスエーブルにした場合の消費電流の減少

動作条件の評価

AD9852を使用する際には、内部クロック周波数の選択が最初のステップとなります。200MHzを超えるクロック周波数を選択するならば、熱強化型パッケージ(AD9852ASQ)が必要です。200MHz以下のクロック周波数を選択すれば、標準のプラスチック表面実装パッケージが使えますが、この決定を行うためにはさらに詳しい情報が必要です。

第2ステップは、そのアプリケーションで必要とされるAD9852の最大動作温度を求めることです。この値を150から減算すると、AD9852が許容できる最大接合温度が得られます。85の拡張工業用温度範囲の場合、結果は65になります。この値が電力消費により接合部分で発生する最大温度上昇になります。

第3ステップは、この最大温度上昇を熱インピーダンスで除算して、アプリケーションが許容できる最大消費電力を求めることです。例えば、65をAD9852パッケージの両バージョンの熱インピーダンスである38 W^{-1} と16 W^{-1} で除算すると、合計消費電力の許容値として、それぞれ1.7Wと4.1Wが得られます。これは、公称電源電圧3.3V、フル動作条件でデバイスが消費できる電流は、標準プラスチック・パッケージの場合は515mAを、熱強化型パッケージの場合は1242mAを、それぞれ超えられないことを意味しています。AD9852アプリケーションのイネーブルにされた機能と動作条件の全セットが、これらの消費電流上限を超えないようにしてください。

図57aと図57bは、AD9852アプリケーションと消費電力条件の適合性を判断する際に使用できます。これらのグラフでは、推奨される最善の製造方法とパッケージ・タイプ用のプロシージャに従い多層PCBにAD9852デバイスをハンダ付けした場合を想定しています。こうすることにより、確実に特定の熱インピーダンス仕様を達成できます。

熱強化型パッケージの実装ガイドライン

熱強化露出型ヒート・シンクパッケージ(AD9852ASQ)のプリント回路ボードへの一般的な推奨実装方法を次に示します。このパッケージの優れた熱特性は、正しい機械的な取り付け方法に完全に依存します。

図58に、パッケージの裏面図と露出型ヒート・シンクの寸法を示します。このパッドとPCB表面の間にハンダで太い導体を形成してください。

図59に、このような露出型ヒート・シンク・デバイスに対する一般的なPCBパターンを示します。このパターンは80ピンではなく64ピン・デバイス用ですが、相対的な形状と寸法は適用できます。このパターンでは、デバイスの各ピン・パターンの内側に厚い銅プレーンを設けています。ハンダ・マスクの開口部は、アセンブリ上の問題が生じないように控え目の寸法にしてあります。

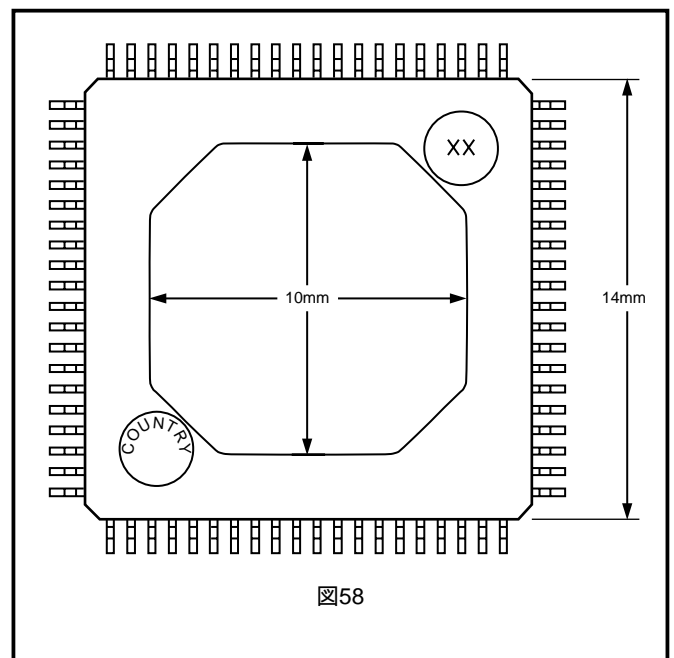


図58

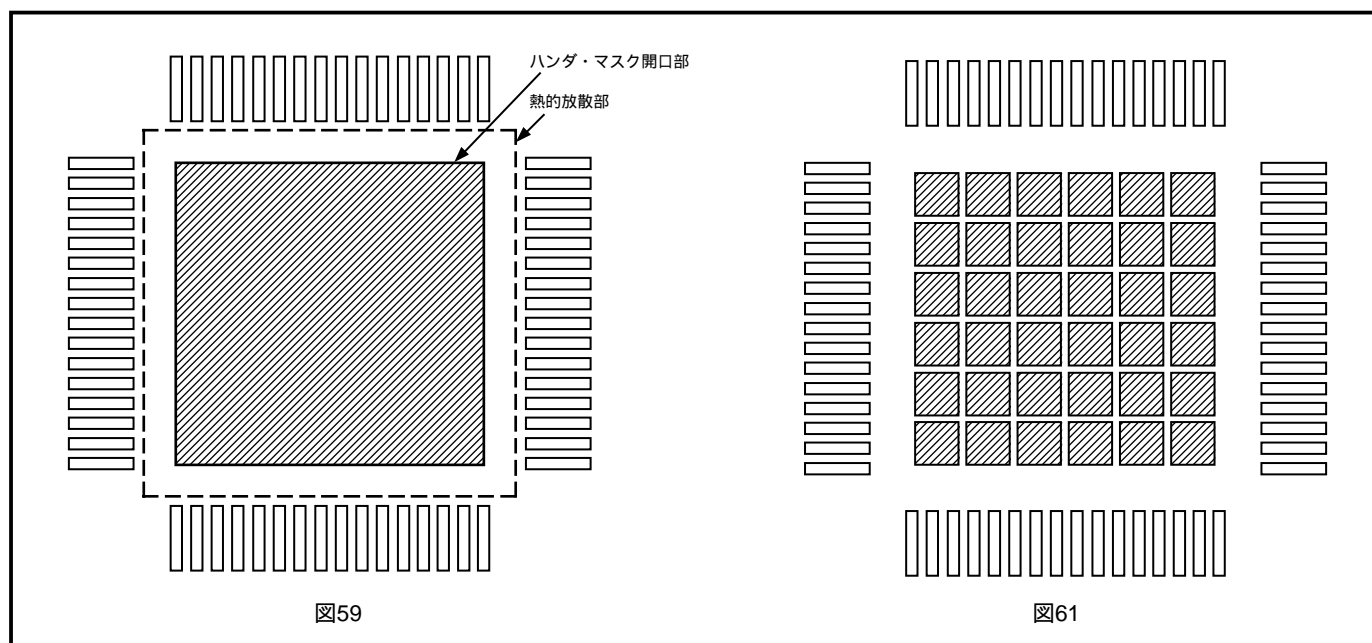


図59

図61

熱放散部自体は、内部グラウンド・プレーンのようなさらに大きな銅プレーンに熱を逃せるようにしてください。上下接続は熱パッド全体にわたり均等に配置してこの内部プレーンを接続してください。推奨される上下接続パターンを図60に示します。上下接続の穴は小さくして（12ミル、0.3mm）、埋めることができますようにします。これらは熱の伝導に対する機械的な通路を構成します。

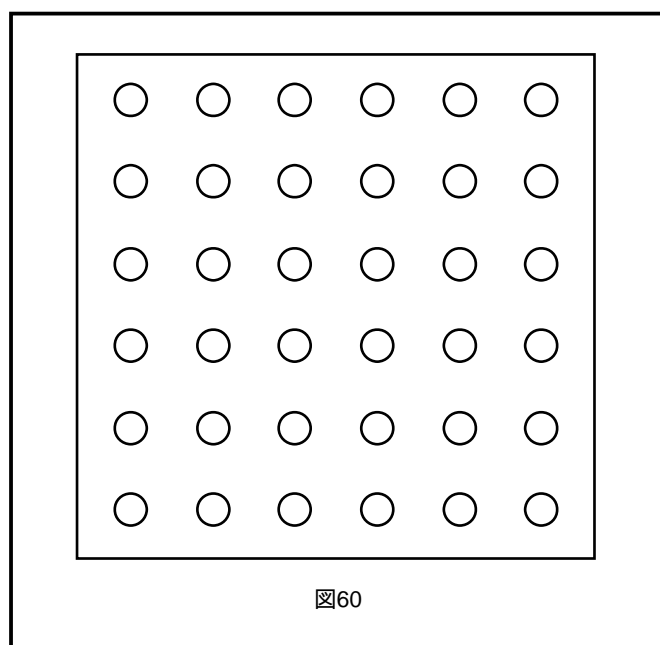


図60

最後に、図61にハンダ・スクリーン印刷用の推奨ステンシル・デザインを示します。上下接続が埋められていない場合、芯状になってしまい、そのために露出型ヒート・シンクからハンダが剥離して、必要な機械的結合が得られなくなります。

評価ボード

AD9852 DDSデバイスに対応する評価ボードを提供しています。この評価ボードは、AD9852デバイスの性能のベンチでの解析を可能にするためのPCB、ソフトウェア、ドキュメントから構成されています。AD9852のユーザーは評価ボードを使ってデバイスの動作と性能に慣れることを推奨します。この評価ボードをPCBの参考デザインとして使用して、デバイスの最適なダイナミック性能を引き出すこともできます。

取り扱い説明

ピン・ヘッダー・ショート・ジャンパを正しく設定できるように、この説明では方向（左、右、上、下）と短絡するヘッダー・ピンを参照します。各3つのピン・ヘッダーのピン#1は、回路図に対応してPCB上にマークを付けてあります。以下の説明に従う場合は、テキストが左から右に読めるようにPCBの向きを定めてください。ボードは以下のようにピン・ヘッダーを設定して出荷されています。

1. AD9852のREFCLKは差動に設定されています。差動クロック信号は100LVEL16差動レシーバから供給されます。
 2. 100LVEL16の入力クロックは、シングル・エンドでJ5を経由します。この信号は3.3V CMOSまたは50（R8）を駆動できる2Vp-pのサイン波とすることができます。
 3. AD9852の両DAC出力は、2つの120MHz楕円LPフィルタを通過して出力J3（Q）とJ4（I）に接続されています。
 4. ボードは、プリンタ・ポート・コネクタを経由するソフトウェア制御に設定されています。
 5. AD9852動作用に設定されています。
- ソフトウェアをCDからホストPCのハード・ディスクにロードします。OSはWindows 9XおよびNTのみの対応です。PCに接続したプリンタ・ケーブルをAD9852評価ボードのプリンタ・ポート・コネクタ（J11）に接続します。

AD9852

スクリー・ダウンピンを使って電源をコネクタ (TB1) に接続します。これはプラスチック・コネクタ、ボードにハンダ付けされた4ピン・ヘッダーに差し込みます。表IXに、各ピンに対する接続を示します。DUTは被テスト・デバイスを表します。

表IX DUTピンの電源条件

AVDD 3.3 V 全DUTアナログ ピン用	DVDD 3.3 V 全DUTデジタル ピン用	VCC 3.3 V その他の 全デバイス用	グラウンド 全デバイス用
-------------------------------	-------------------------------	-----------------------------	-----------------

REFCLKの接続

信号源として次の3つが選択可能です。

1. 内蔵の水晶クロック発振器 (Y1) (オプション)
該当する3.3VのCMOSクロック発振器を挿入します。短絡用ジャンパ (W5) がピン1とピン2 (左の2ピン) に設定されていることを確認します。この設定により、シングル・エンド発振器出力が非常に高速の差動レシーバ (MC100LVEL16) に接続され、ここで信号が差動PECL出力に変換されます。差動出力信号をAD9852に接続するときは、さらに2個のスイッチを設定してください。W9ではピン2とピン3 (右の2ピン) に短絡用ジャンパが設定される必要があります。AD9852のW3の差動クロック・モードを使用するときは、ピン2とピン3 (右の2ピン) を短絡用ジャンパで接続してください。
 2. 外部差動クロック入力 (J5)
これは実際にはもう1つのシングル・エンド入力であり、差動PECL出力への変換のためにMC100LVEL16に接続されます。この入力は、2Vp-pのクロック信号源またはサイン波信号源をJ5に接続して行われます。これはR8で設定される50 インピーダンス・ポイントであることに注意してください。入力信号はAC結合され、その後でMC100LVEL16の中心スイッチング・スレシールドにバイアスされます。W5の短絡用ジャンパをピン2とピン3 (右の2ピン) に設定して、J5の信号を差動レシーバICに接続します。この差動出力信号をAD9852に接続するためには、さらに2個のスイッチを設定してください。W9では、短絡用ジャンパをピン2とピン3 (右の2ピン) に設定してください。AD9852のW3の差動クロック・モードを使用するときは、ピン2とピン3 (右の2ピン) を短絡用ジャンパで接続してください。
 3. 外部シングルエンド・クロック入力 (J7)
このモードでは、MC100LVEL16をバイパスして、リファレンス・クロックでAD9852を直接駆動します。1.65VにDCオフセットされた50 の2Vp-pサイン信号源または50 のCMOSレベル・クロック信号源をJ7に接続します。W5から短絡用ジャンパを取り外し、デバイス (U3) がトグルまたは自己発振しないことを確認します。W9の短絡用ジャンパをピン1とピン2 (左の2ピン) に設定して、J7からのREFCLK信号をAD9852のピン69に接続します。最後に、W3の短絡用ジャンパをピン1とピン2 (左の2ピン) に設定して、AD9852をシングルエンド・クロック・モードに設定します。
- 信号源に無関係に、AD9852に到着する信号はリファレンス・クロックと呼ばれます。内蔵REFCLK乗算器の使用を選択する場合は、この信号がREFCLK乗算器に対するリファレンス・クロックとなり、REFCLK乗算器の出力がシステム・クロックになります。REFCLK乗算器のバイパスを選択する場合は、入力したリファレンス・クロックがAD9852を直接動作させて、システム・クロックになります。
- スリー・ステート制御 (スイッチ・ヘッダーW11、W12、W14、W15) を短絡して、添付ソフトウェアがプリンタ・ポート・コネクタ (J11) を経由してAD9852評価ボードを制御できるように

します。

AD9852のプログラミングを当社ソフトウェアを使ってホストPCから行わない場合は、ヘッダーW11、W12、W14、W15をオープン (短絡用ジャンパを取り外す) のままにしておきます。こうすると、PCインターフェースが切り離されて、40ピンのヘッダー (J10) はバス競合なしで制御可能になります。J10上のAD9852への入力信号は、3.3VのCMOSロジック・レベルである必要があります。

ローパス・フィルタのテスト

2ピン・ヘッダーW7とW10 (J1とJ2に対応) の機能は、フィルタ入力に接続された他の回路からの干渉なしで、PCBのアセンブリ中に2個の50 の120MHzフィルタをテスト可能にすることです。通常は、短絡用ジャンパが各ヘッダーに設定されており、DAC信号がフィルタに接続されます。フィルタをテストする場合は、W7とW10の短絡用ジャンパを取り外して、50 のテスト信号をJ1入力とJ2入力に接続して50 の楕円フィルタに入力します。その他の短絡用ジャンパの位置については、図62とその後の説明を参照してください。

フィルタ処理なしのIOUT1およびフィルタ処理なしのIOUT2の2つのDAC信号の観測

J2 (“I” 信号) とJ1 (“Q” 信号) でフィルタ処理なしの2つのDAC出力を観測できます。次の手順により、簡単に、2つの50 終端されたアナログDAC出力をBNCコネクタに接続して、他の回路を切り離せます。DACの直接出力は、一連の量子化された出力レベル (ステップ数で表現) で構成されています。デフォルトの10mA出力電流により、内蔵50 終端抵抗の両端に0.5Vp-pの信号が発生します。外部50 入力に接続すると、ダブル終端を行っているため、DACは0.25Vp-pを発生します。

1. W7とW10に短絡用ジャンパを設定します。
2. W16の短絡用ジャンパを取り外します。
3. 3ピン・ヘッダーW1から短絡用ジャンパを取り外します。
4. 3ピン・ヘッダーW4のピン1とピン2 (下の2ピン) に短絡用ジャンパを設定します。

フィルタ済みIOUT1およびフィルタ済みIOUT2の観測

J4 (“I” 信号) とJ3 (“Q” 信号) でフィルタ済みのコサイン波DAC出力およびコントロールDAC出力を観測できます。この設定により、50 (入力と出力のインピーダンス) ローパス・フィルタを両DACのパスに挿入して、DC ~ 約120MHzのバンドパスの上にあるイメージ信号、折り返し高調波、その他のスプリアス信号を除去します。これらの信号は純粋なサイン波の近傍に存在し、位相が互いに正確に90度異なっています。これらのフィルタは、システム・クロック速度が最大周波数付近 (300MHz) にあると想定して設計されています。使用するシステム・クロックが300MHzよりかなり低い場合、例えば200MHzの場合は、基本周波数信号以外の不要なDAC成分がローパス・フィルタを通過してしまいます。

1. W7とW10に短絡用ジャンパを設定します。
2. W16に短絡用ジャンパを設定します。
3. 3ピン・ヘッダーW1のピン1とピン2 (下の2ピン) に短絡用ジャンパを設定します。
4. 3ピン・ヘッダーW4のピン1とピン2 (下の2ピン) に短絡用ジャンパを設定します。
5. 3ピン・ヘッダーW2とW8のピン1とピン2 (上のピン) に短絡用ジャンパを設定します。

フィルタ済みIOUTとフィルタ済みIOUTBの観測

J4 (“非反転” 信号) とJ3 (“反転” 信号) でフィルタ済み “I” DAC出力だけを観測できます。

この設定により、120MHzローパス・フィルタをコサイン波DACの非反転出力パスと反転出力パスに挿入して、約120MHzより上に存在するイメージ信号、折り返し高調波信号、その他のスプリアス信号を除去します。これらの信号は純粋なサイン波の近傍に存在し、位相が互いに正確に180度異なっています。この場合も、使用するシステム・クロックが300MHzよりかなり低い場合、例えば200MHzの場合は、基本周波数信号以外の不要なDAC成分がローパス・フィルタを通過してしまいます。

1. W7とW10に短絡用ジャンパを設定します。
2. W16に短絡用ジャンパを設定します。
3. 3ピン・ヘッダーW1のピン2とピン3（上の2ピン）に短絡用ジャンパを設定します。
4. 3ピン・ヘッダーW4のピン2とピン3（上の2ピン）に短絡用ジャンパを設定します。
5. 3ピン・ヘッダーW2とW8のピン1とピン2（上の2ピン）に短絡用ジャンパを設定します。

シングルエンド設定での高速コンパレータの接続

この接続により、デューティ・サイクルまたはパルス幅の制御が可能になり、コンパレータ入力1つへのDCスレシヨルド電圧の入力が必要になります。この電圧は、“コントロールDAC”から供給できます。IOUT2出力をスタティックDCレベルに設定する、12ビットの2の補数値をコントロールDACレジスタに書き込みます。使用可能な16進値は7FF（最大）～800（最小）で、全ビット“0”がスケール中心を表します。I_{OUT1}チャンネルは、ユーザーが設定したフィルタ済みサイン波の出力を継続しています。これらの2つの信号は、3ピン・ヘッダー・スイッチ（W2とW8）を使ってコンパレータ入力に接続できます。上述の「フィルタ済みIOUT1とフィルタ済みIOUT2の観測」での設定を使用してステップ1～4を実行し、次に下記のステップ5を実行します。

5. 3ピン・ヘッダーW2とW8のピン2とピン3（下の2ピン）に短絡用ジャンパを設定します。

R_{SET}抵抗を3900 から1950 に変更すると、コンパレータ入力により確かな信号を得られます。この変更により、ジッターが減り、コンパレータの動作範囲が広がられます。この変更は、既に実装済みのR2と並列に2つ目の3.9k チップ抵抗をハンダ付けして行えます。

制御ソフトウェアの使い方

AD9852/PCB評価ボード用の制御ソフトウェアはCDで提供しています。この短い説明書は、AD9852/PCB評価ボードの回路図と組み合わせを使ってください。周波数情報や位相情報などの幾つかの数値項目の入力では、ENTERキーを押してその情報を登録してください。

1. 該当するプリンタ・ポートを選択します。メニュー・バー内の“Parallel Port”の選択をクリックします。ユーザーのPCに該当するポートを選択します。不確かな場合は、選択したポートを使って次の内容を実行して確かめます。デバイスの電源をONにし、クロックを正しく入力してPCに接続し、ポートを選択して“Mode and Frequency”メニューに進み、“Reset DUT and Initialize Registers”ボタンをクリックします。次に“Clock and Amplitude”メニューに進みます。そこで、“Bypass Inverse Sinc Filter”の隣にあるボックスをクリックします。すると、ボックスにチェック・マークが表示されます。次に“Send Control Info to DUT”ボタンをクリックします。正しいポートが選択されると、反転SINCフィルタをバイパスしたAD9852/PCB評価ボードを流れる消費電流が、約1/3に低下します。反転SINCフィルタを使用すると、逆に、消費電流が約1/3だけ増加します。
2. AD9852/PCB評価ボードの通常動作は、マスター・リセットにより開始されます。リセット直後の多くのデフォルト・レジスタ値は、ソフトウェアの“control panel”に表示されます。リセット・コマンドは、DDS出力振幅を最小に、さらに0Hz、0位相オフセットに設定し、その他は暫定データシートのAD9852レジスタ配置表に記載する状態に設定します。
3. 次の設定ブロックは、“Reference Clock and Multiplier”が必要です。これは、この情報を使って、入力する48ビットの正しい周波数チューニング・ワードを決める必要があるためです。この値は後で計算します。
4. デフォルトの出力振幅として、I乗算器レジスタおよびQ乗算器レジスタに12ビットの自然2進乗算値000hexを設定しているため、両DACの出力はありません。ここで、ユーザーは代わりに値（FFFhexなど）を出力振幅ウィンドウ内で両乗算器振幅に設定します。ボックス“Output Amplitude is always Full-Scale”をクリックして、デジタル乗算器をバイパスできますが、バイパスすると最善のSFDRが得られないことが、経験的に判っています。信号をデジタル乗算器を通過させた後に乗算器振幅に戻すと、11dB以上の最善のSFDRが得られるという興味深い結果が出ます。例えば、FC0hexの方がFFF hexの場合よりスプリアス信号振幅の発生が少なくなります。これは繰り返し見られる現象なので、最大SFDR（スプリアスフリー・ダイナミックレンジ）を改善するために調査すべき点です。
5. ユーザーが使用できるAD9852のすべての機能を理解するため、およびプログラミング・コマンドに対する応答としてソフトウェアが実行している内容を理解するためには、このデータシートと評価ボード回路図を参照してください。

AD9852、AD9852/PCB評価ボード、その他のすべてのアナログ・デバイセズ製品に対するアプリケーションの支援を行っています。最寄りのアナログ・デバイセズまたは代理店にご連絡ください。

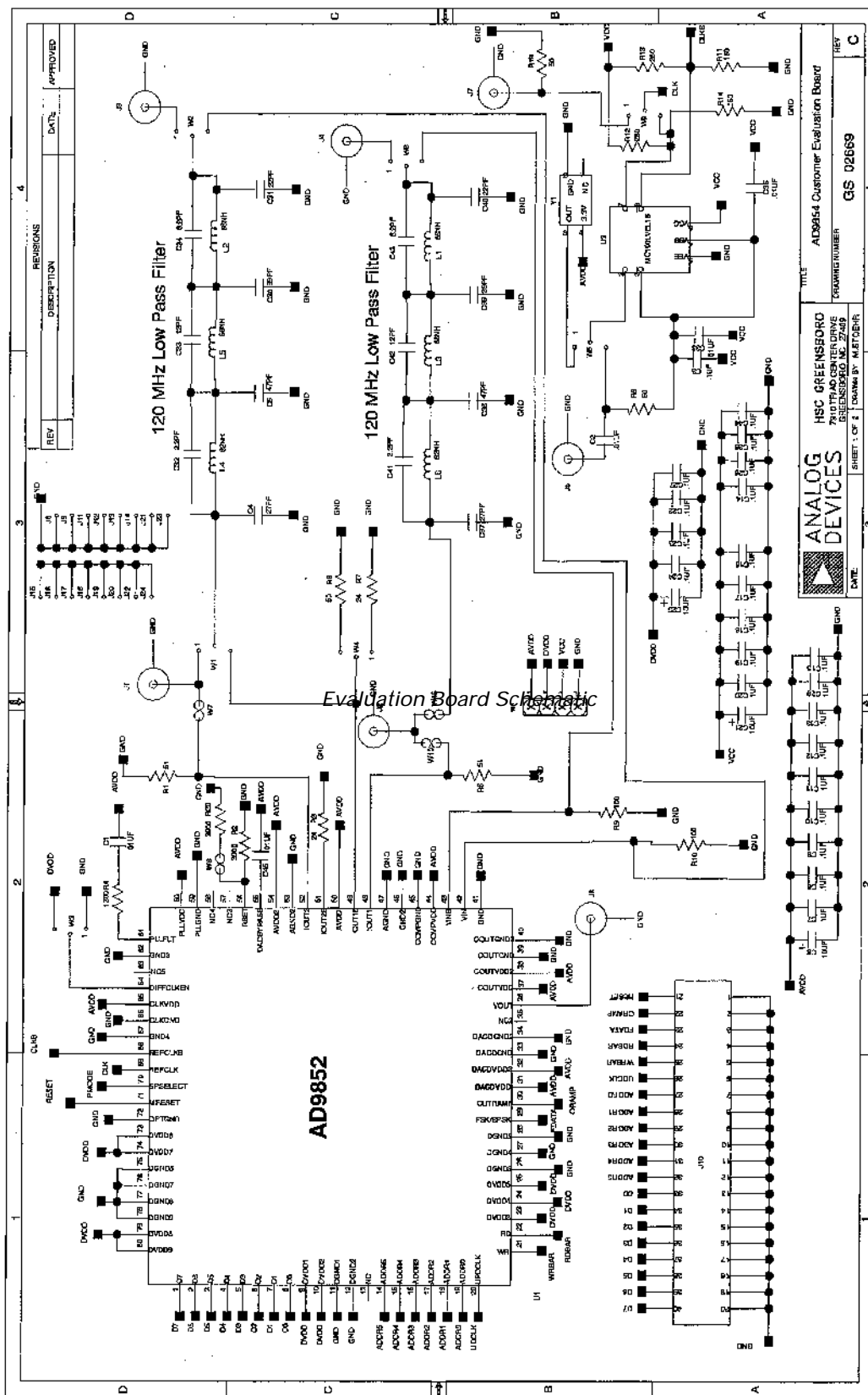
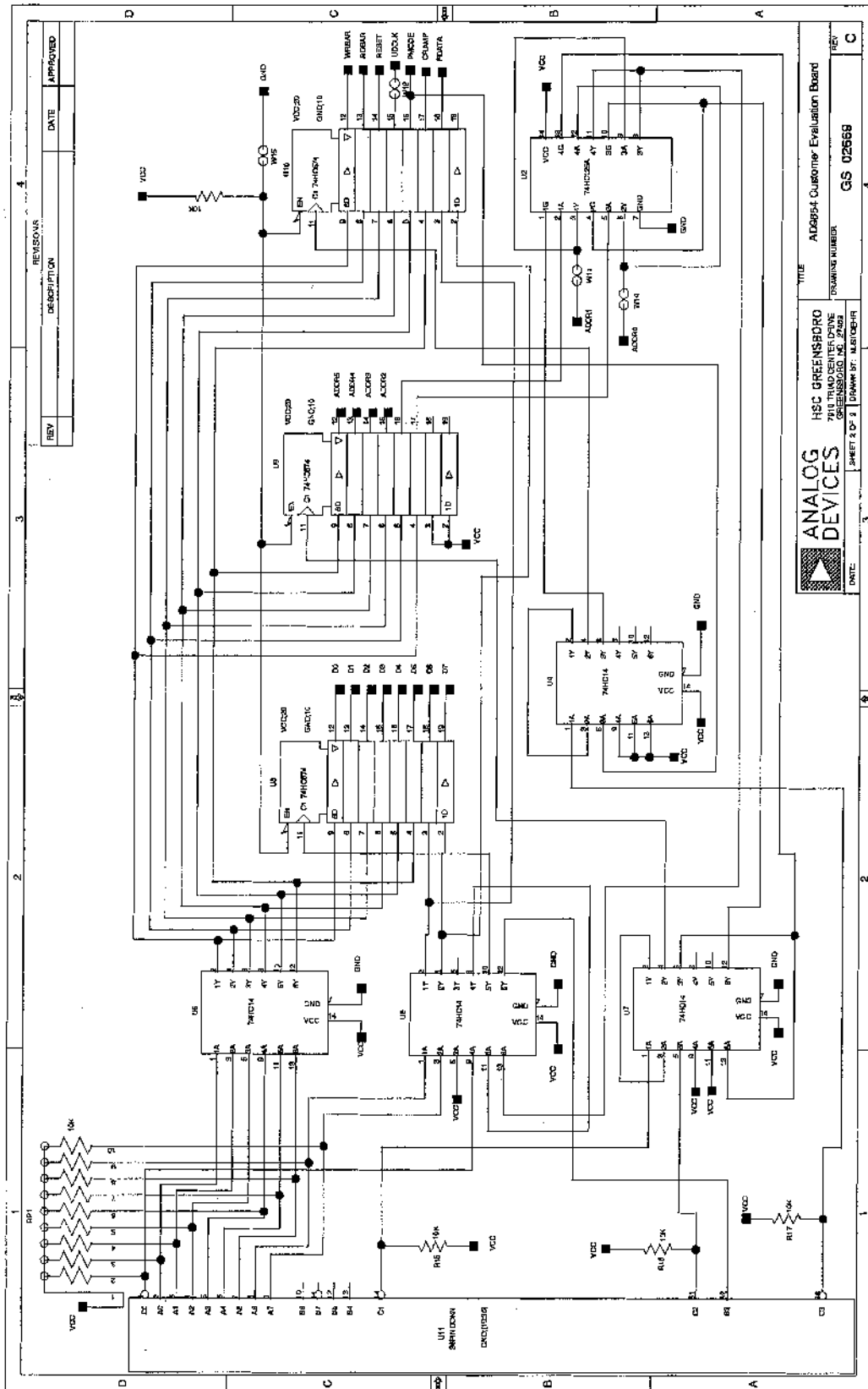


图62a 評価ボードの回路図



REV	DESCRIPTION	DATE	APPROVED



ANALOG DEVICES
 HSC GREENSBORO
 7810 TRIMBLE DRIVE, SUITE 200
 GREENSBORO, NC 27409
 TITLE: AD9852 Customer Evaluation Board
 DRAWING NUMBER: CS 02568
 DATE: SHEET 2 OF 2 DRAWN BY: MLEDCHEH

図62b 評価ボードの回路図

AD9852

項目	数量	部品番号	デバイス	パッケージ	値
1	5	C1, C2, C35, C36, C45	Chip Cap	0805	
2	23	C3, C7, C8, C9, C10, C11, C12, C13, C14, C15, C16, C17, C18, C19, C20, C22, C23, C24, C26, C27, C28, C29, C44	Chip Cap	0805	0.1 μ F
3	2	C4, C37	0805	0805	27 pF
4	2	C5, C38	0805	0805	47 pF
5	3	C6, C21, C25	BCAPTAJD	TAJD	10 μ F
6	2	C30, C39	0805	0805	39 pF
	2	C31, C40	0805	0805	22 pF
8	2	C32, C41	0805	0805	2.2 pF
9	2	C33, C42	0805	0805	12 pF
10	2	C34, C43	0805	0805	8.2 pF
11	7	J1, J2, J3, J4, J5, J6, J7	Conn	BNC	
12	1		PCB	GS02669REVC	
13	1	J10	40CONN	SAM5-40	
14	4	L1, L2, L3, L5	Chip Ind	1206	68NH
15	2	L4, L6	Chip Ind	1206	82NH
16	2	R1, R5	RES_SM	1206	51
17	2	R2, R20	RES_SM	1206	3900
18	2	R3, R7	RES_SM	1206	24
19	1	R4	RES_SM	1206	1300
20	3	R6, R8, R19	RES_SM	1206	50
21	2	R9, R10	RES_SM	1206	100
22	2	R11, R14	RES_SM	1206	160
23	2	R12, R13	RES_SM	1206	260
24	4	R15, R16, R17, R18	RES_SM	1206	10K
25	1	RP1	RP1	SIP-10P	10K
26	1	TB	TB4	TB4	
27	1	U1	AD9852	80LQFP	
28	1	U2	74HC125A	SO14	
29	1	U3	MC100LVEL1	SO8NB	
30	4	U4, U5, U6, U7	74HC14	SO14	
31	3	U8, U9, U10	74HC574	SO20WB	
32	1	U11	36PINCONN	CONN	
33	7	W1, W2, W3, W4, W5, W8, W9	JUMP3PIN	SIP-3P	
34	8	W6, W7, W10, W11, W12, W14, W15, W16	2PINJUMP	2PINJUMP	
35	1	Y1	XTAL	COSC	
36	4		PIN SOCK	Amp 5-330808-6	

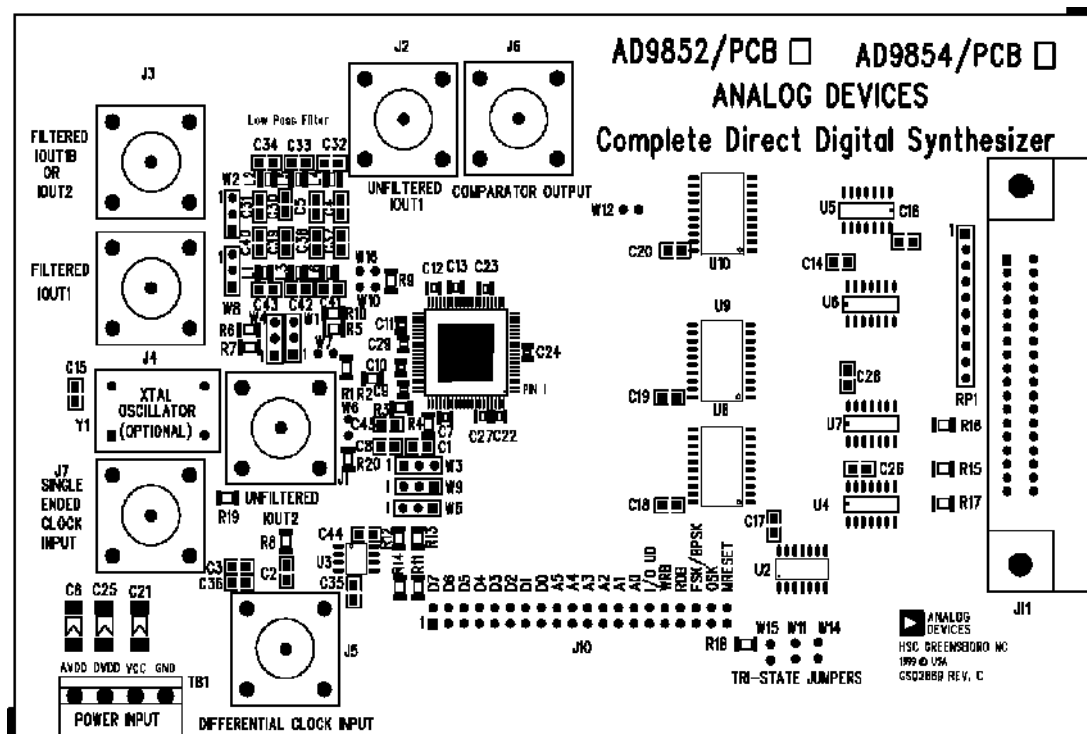


図63 アセンブリ図

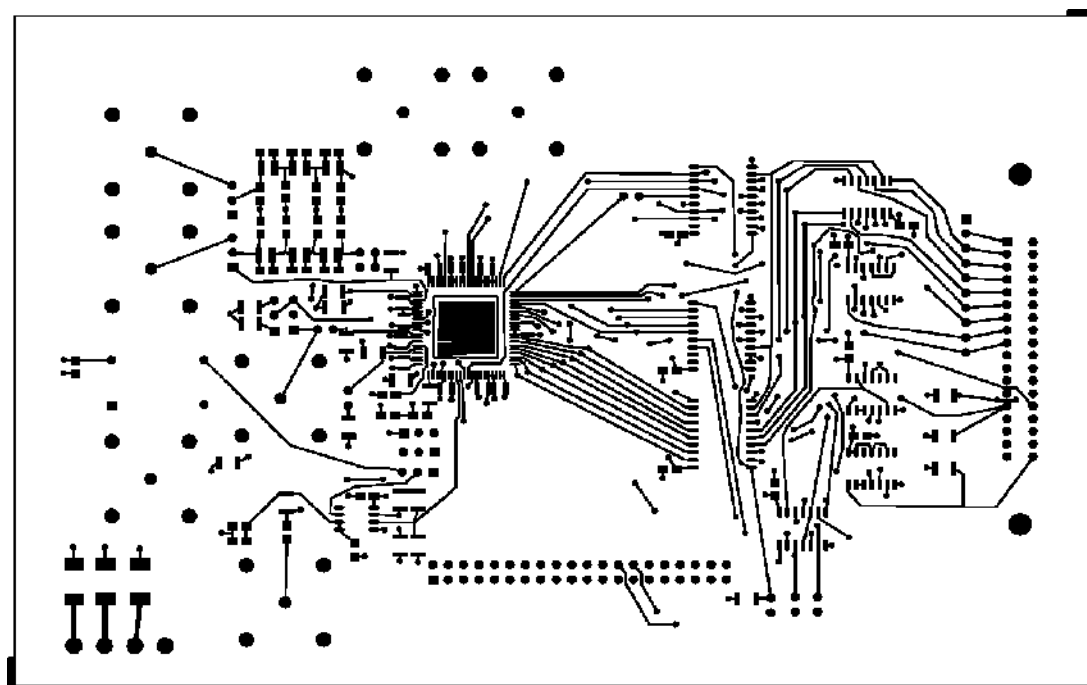


図64 表面配線レイヤー (レイヤー1)

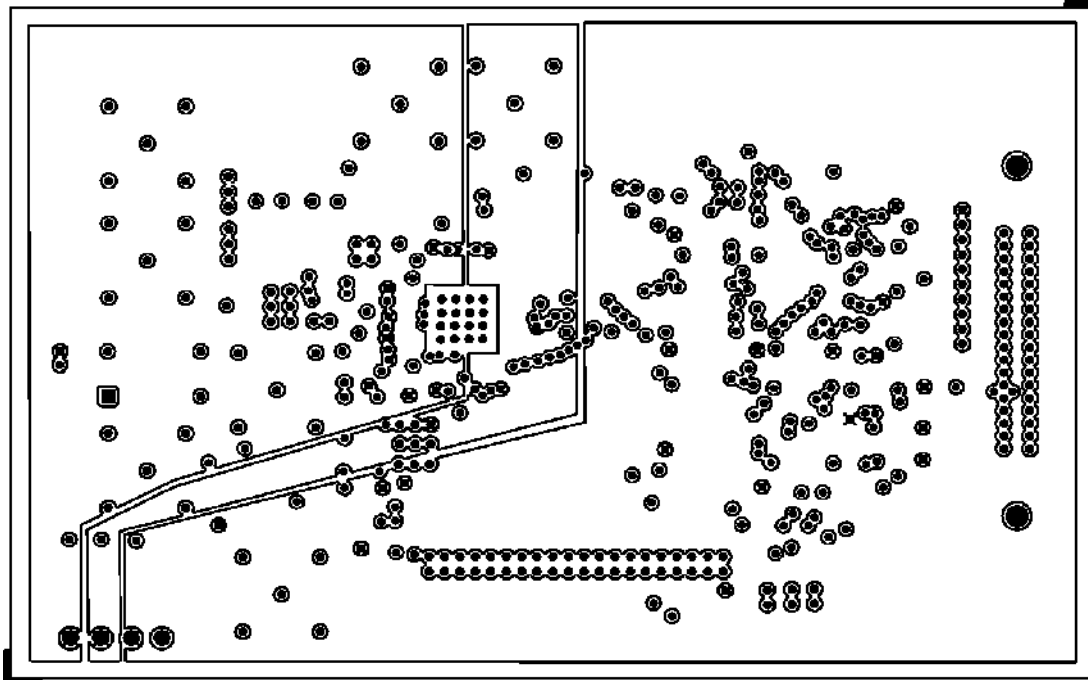


図65 電源プレーン・レイヤー（レイヤー2）

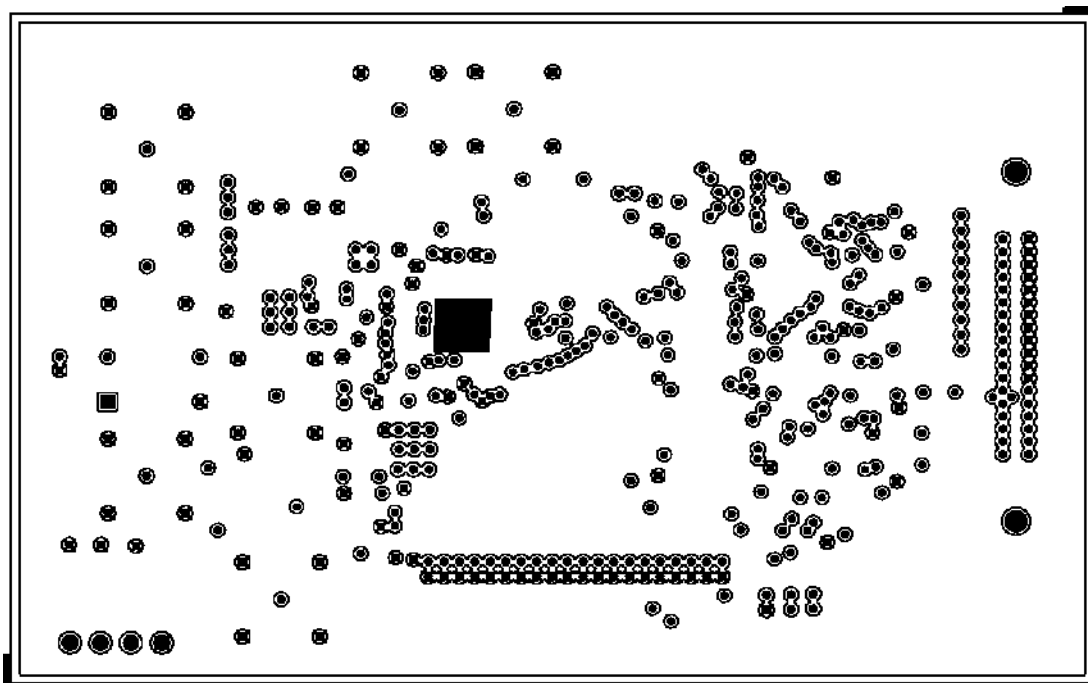


図66 グラウンド・プレーン・レイヤー（レイヤー3）

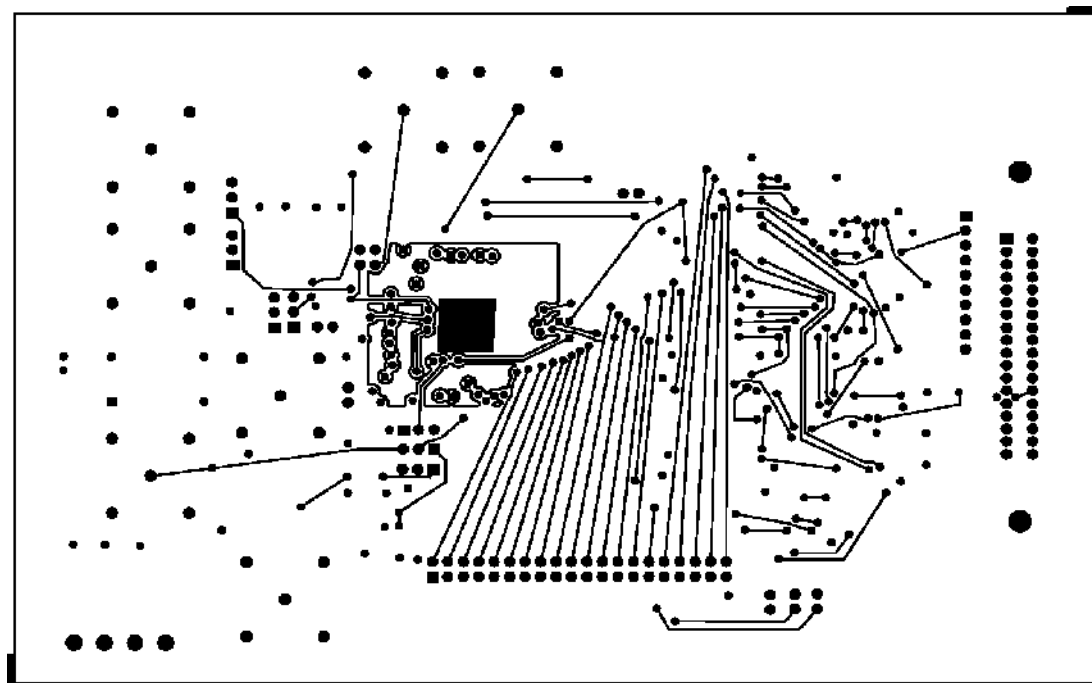
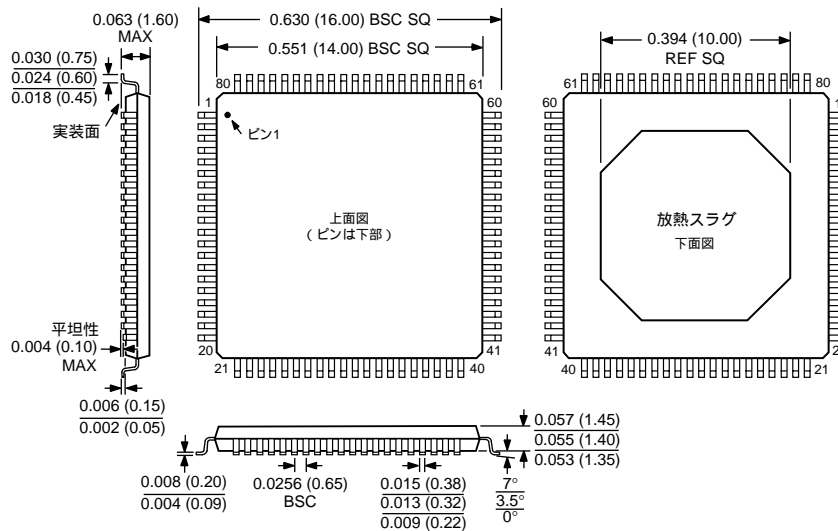


図67 裏面配線レイヤー（レイヤー4）

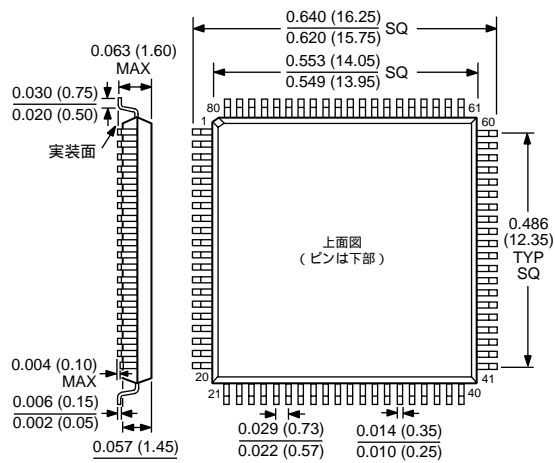
外形寸法 サイズはインチと (mm) で示します。

80ピンLQFP_ED (SQ-80)



寸法はmmで管理。
記載のない限り、中心値は公称値。

80ピンLQFP (ST-80)



AD9852

TDS12/2000/1000

PRINTED IN JAPAN



このデータシートはエコマーク認定の再生紙を使用しています。