

AD9851

特長

選択可能な6×基準クロック乗算器による180 MHzのクロック・レート

高性能10ビットD/ACとヒステリシス付き高速コンパレータを内蔵
70 MHz A_{OUT} でSFDR > 43 dB

32ビットの周波数チューニング・ワード

シンプルなコントロール・インターフェース: パラレルまたは
シリアル非同期ローディング・フォーマット

5ビットの位相変調とオフセット機能

コンパレータ・ジッタ < 80 ps p-p @ 20 MHz

+2.7 ~ +5.25 Vの単電源動作

低消費電力: 180 MHzで555 mW

パワーダウン機能: +2.7 Vで4 mW

超小型28ピンSSOPパッケージ

アプリケーション

周波数/位相追従正弦波合成

デジタル通信のクロック再生およびロック回路

デジタル制御のA/DCエンコード・ジェネレータ

通信での位相追従型局部発振器アプリケーション

直交発振器

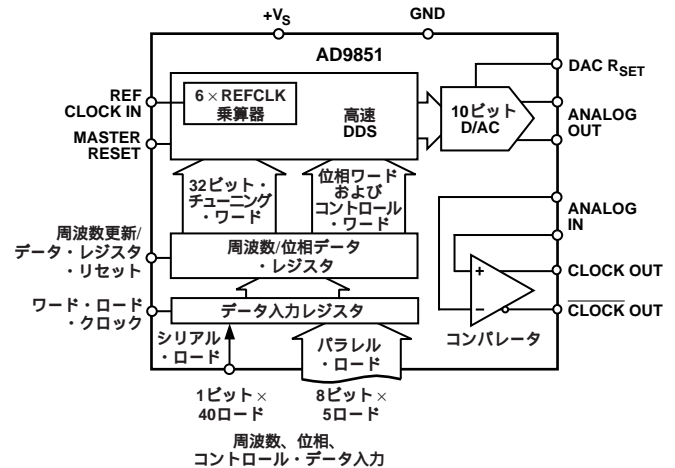
CW、AM、FM、FSK、MSKモードの送信器

概要

AD9851は高集積度デバイスで、デジタル的にプログラム可能な周波数シンセサイザとクロック・ジェネレータ機能を構成するために、最新のDDS技術を高速な高性能D/Aコンバータ、コンパレータと組み合わせて使用しています。

正確なクロック・ソースを基準とした場合、AD9851は安定な周波数を持ち、かつ位相をデジタル的にプログラム可能なアナログ出力正弦波を発生します。この正弦波は、周波数ソースとして直接使用できます。あるいは、内部で方形波に変換して周波数/位相追従クロック・ジェネレータ・アプリケーションに使用することもできます。AD9851の革新的な高速DDSコアは、32ビットの周波数チューニング・ワードを受け取り、180 MHzのシステム・クロックで約0.04 Hzの出力チューニング分解能を実現します。AD9851には、高速基準発振器を不要にする独自の6×REFCLK乗算器回路が内蔵されています。この6×REFCLKの乗算器は、SFDR特性と位相ノイズ特性に対する影響を最小に抑えています。AD9851は5ビットのプログラマブルな位相変調分解能を提供し、11.25度単位の出力位相シフトを可能にします。

機能ブロック図



AD9851には高速コンパレータが内蔵されています。このコンパレータは、D/ACのフィルタ(外付け)済み出力を受け取り、低ジッタの出力パルスを発生するように設定することができます。

周波数チューニング・ワード、コントロール・ワード、位相変調ワードは、パラレルまたはシリアルのローディング・フォーマットを使って同期的にAD9851にロードされます。パラレル・ローディング・フォーマットは、8ビット・コントロール・ワード(バイト)の5回繰り返しロードで構成されています。先頭の8ビット・バイトは出力位相、6×REFCLK乗算器、パワーダウン・イネーブル、ローディング・フォーマットを制御し、残りのバイトは、32ビットの周波数チューニング・ワードを構成します。シリアル・ローディングは、パラレル入力バス・ラインの1本を使って入力される40ビット・シリアル・データ・ストリームにより行われます。AD9851は最新のCMOS技術を使って、180 MHzの最大クロック・レートで555 mWの小さな消費電力(+5 V電源)で、この新機軸となる機能を提供します。

AD9851は省スペースの28ピンSSOP表面実装パッケージを採用しており、既に広く使用されているAD9850 125 MHz DDSとピン互換です。このデバイスは、拡張工業用温度範囲 -40 ~ +85 °C仕様です。

アナログ・デバイセズ社が提供する情報は正確で信頼できるものを期していますが、当社はその情報の利用、また利用したことにより引き起こされる第三者の特許または権利の侵害に関して一切の責任を負いません。さらにアナログ・デバイセズ社の特許または特許の権利の使用を許諾するものでもありません。

AD9851 仕様

電氣的特性(特に指定のない限り、 $V_S^1 = +5V \pm 5\%$ 、 $R_{SET} = 3.9k$ 、 $6 \times REFCLK$ 乗算器をディスエーブル、外部基準クロック = 180 MHz)

パラメータ	温度	テスト・レベル	AD9851BRS			単位
			Min	Typ	Max	
クロック入力特性						
周波数範囲(6× REFCLK乗算器をディスエーブル)						
+5.0V電源	全範囲	IV	1		180	MHz
+3.3V電源	全範囲	IV	1		125	MHz
+2.7V電源	全範囲	IV	1		100	MHz
周波数範囲(6× REFCLK乗算器をイネーブル)						
+5.0V電源	全範囲	IV	5		30	MHz
+3.3V電源	全範囲	IV	5		20.83	MHz
+2.7V電源	全範囲	IV	5		16.66	MHz
入力抵抗	+25	V		1		M
最小スイッチング・スレッシュホールド²						
ロジック"1"、+5.0V電源	+25	IV	3.5			V
ロジック"1"、+3.3V電源	+25	IV	2.3			V
ロジック"0"、+5.0V電源	+25	IV			1.5	V
ロジック"0"、+3.3V電源	+25	IV			1	V
D/AC出力特性						
フル・スケール出力電流	+25	IV	5	10	20	mA
ゲイン誤差	+25	I	-10		10	% FS
出力オフセット	+25	I			10	μA
微分非直線性	+25	I			0.75	LSB
積分非直線性	+25	I			1	LSB
残留位相ノイズ、5.2 MHz、1 kHzオフセット						
PLLオン	+25	V		-125		dBc/Hz
PLLオフ	+25	V		-132		dBc/Hz
出力インピーダンス	+25	V		120		k
電圧適合範囲	+25	I	-0.5		1.5	V
広帯域スプリアスなしのダイナミック・レンジ						
1.1 MHzアナログ出力(DC ~ 72 MHz)	+25	IV	60	64		dBc
20.1 MHzアナログ出力(DC ~ 72 MHz)	+25	IV	51	53		dBc
40.1 MHzアナログ出力(DC ~ 72 MHz)	+25	IV	51	55		dBc
50.1 MHzアナログ出力(DC ~ 72 MHz)	+25	IV	46	53		dBc
70.1 MHzアナログ出力(DC ~ 72 MHz)	+25	IV	42	43		dBc
狭帯域スプリアスなしのダイナミック・レンジ						
1.1 MHz(± 50 kHz)	+25	V		85		dBc
1.1 MHz(± 200 kHz)	+25	V		80		dBc
40.1 MHz(± 50 kHz)	+25	V		85		dBc
40.1 MHz(± 200 kHz)	+25	V		80		dBc
70.1 MHz(± 50 kHz)	+25	V		85		dBc
70.1 MHz(± 200 kHz)	+25	V		73		dBc
コンパレータ入力特性						
入力容量	+25	V		3		pF
入力抵抗	+25	IV		500		k
入力バイアス電流	+25	I		12		μA
入力電圧範囲	+25	IV	0		5	V
コンパレータ出力特性						
ロジック"1"電圧、+5V電源	+25	VI	+4.8			V
ロジック"1"電圧、+3.3V電源	+25	VI	+3.1			V
ロジック"1"電圧、+2.7V電源	+25	VI	+2.3			V
ロジック"0"電圧	+25	VI			+0.4	V
連続出力電流	+25	IV			20	mA
ヒステリシス	+25	IV	10			mV
伝搬遅延	+25	IV			7	ns
トグル周波数(1V p-p入力正弦波)	+25	IV			200	MHz
立上がり/立下がり時間、15 pF出力負荷	+25	IV			7	ns
出力ジッタ(p-p) ³	+25	IV		80		ps(p-p)
クロック出力特性						
出力ジッタ(クロック・ジェネレータ構成、40 MHz 1V p-p入力正弦波)	+25	V		250		ps(p-p)
クロック出力デューティ・サイクル	全範囲	IV		50 \pm 10		%

パラメータ	温度	テスト・レベル	AD9851BRS			単位
			Min	Typ	Max	
タイミング特性⁴						
t_{WH} , t_{WL} (W_CLK最小パルス幅High/Low)	全範囲	IV	3.5			ns
t_{DS} , t_{DH} (データからW_CLKまでのセットアップ・タイムとホールド・タイム)	全範囲	IV	3.5			ns
t_{FH} , t_{FL} (FQ_UD最小パルス幅High/Low)	全範囲	IV	7			ns
t_{CD} (FQ_UDからのREFCLK遅延)	全範囲	IV	3.5			ns
t_{FD} (W_CLKからのFQ_UDの最小遅延)	全範囲	IV	7			ns
t_{CF} (FQ_UDからの出力遅延)						
周波数変化	全範囲	IV	18			SYSCLKサイクル数
位相変化	全範囲	IV	13			SYSCLKサイクル数
t_{RH} (RESET上がりエッジからのCLKIN遅延)	全範囲	IV	3.5			ns
t_{RL} (CLKINからRESET立下がりエッジまで)	全範囲	IV	3.5			ns
t_{RR} (RESETからの回復時間)	全範囲	IV	2			SYSCLKサイクル数
t_{RS} (最小RESET幅)	全範囲	IV	5			SYSCLKサイクル数
t_{OL} (RESET出力遅延)	全範囲	IV	13			SYSCLKサイクル数
パワーダウン・モードからのウェイクアップ時間 ⁶	+25	V		5		μ s
CMOSロジック入力						
ロジック"1"電圧、+5V電源	+25	I	3.5			V
ロジック"1"電圧、+3.3V電源	+25	I	3.0			V
ロジック"1"電圧、+2.7V電源	+25	I	2.4			V
ロジック"0"電圧	+25	I			0.4	V
ロジック"1"電流	+25	I			12	μ A
ロジック"0"電流	+25	I			12	μ A
立上がり/立下がり時間	+25	IV			100	ns
入力容量	+25	V		3		pF
電源						
V_S 電流						
62.5 MHzクロック、+2.7V電源	+25	VI		30	35	mA
100 MHzクロック、+2.7V電源	+25	VI		40	50	mA
62.5 MHzクロック、+3.3V電源	+25	VI		35	45	mA
125 MHzクロック、+3.3V電源	+25	VI		55	70	mA
62.5 MHzクロック、+5V電源	+25	VI		50	65	mA
125 MHzクロック、+5V電源	+25	VI		70	90	mA
180 MHzクロック、+5V電源	+25	VI		110	130	mA
消費電力						
62.5 MHzクロック、+5V電源	+25	VI		250	325	mW
62.5 MHzクロック、+3.3V電源	+25	VI		115	150	mW
62.5 MHzクロック、+2.7V電源	+25	VI		85	95	mW
100 MHzクロック、+2.7V電源	+25	VI		110	135	mW
125 MHzクロック、+5V電源	+25	VI		365	450	mW
125 MHzクロック、+3.3V電源	+25	VI		180	230	mW
180 MHzクロック、+5V電源	+25	VI		555	650	mW
P_{DISS} パワーダウン・モード						
+5V電源	+25	VI		17	55	mW
+2.7V電源	+25	VI		4	20	mW

注

1 + V_S は、DVDD、PVCC、AVDDに接続される正電圧を表します。これらのピンに入力される電圧は同電位である必要があります。

2 指定された電源電圧で、デバイスを確実にクロック駆動できるように必要な最小信号レベルを表します。この規定値は、クロック駆動信号がCMOS/TTLの出力でない場合に、すなわち0V DCオフセットの正弦波の場合には、必要とされるpp信号レベルとDCオフセットを指定します。

3 すべての入力信号に対するコンパレータのジッタの寄与分。この値は、理想入力から予測される出力での最小ジッタです。理想的でない入力信号をコンパレータ入力に与えた場合は、かなり大きな出力ジッタが出力されます。この非理想特性には、高調波でない外部からの信号(スプリアス、ノイズ)、低スルー・レート、コンパレータの低オーバードライブなどがあります。

4 FQ_UD、WCLK、RESETの各入力信号のタイミングは基準クロックに非同期ですが、これらの機能を実現するためには、基準クロックが必要です。基準クロックがなくなると、AD9851は自動的にパワーダウン・モードになり、基準クロックが回復するまでコンパレータを含むICを非動作状態にします。周波数/位相ワードの非常に高速な更新では、FQ_UDとWCLKを外部で外部基準クロックに同期させて、正しいタイミングを保証する必要があります。

5 6×REFCLK乗算器を選択している場合は適用されません。

6 D/ACBP(ピン17)に容量性負荷がない場合。

仕様は予告なく変更されることがあります。

AD9851

絶対最大定格*

最大接合温度	+150
保存温度	-65 ~ +150
V_S	+6 V
動作温度	-40 ~ +85
デジタル入力	-0.7 V ~ $+V_S+0.7$ V
ピン温度(10 sec)ハンダ処理	+300
デジタル出力電流	30 mA
SSOP <small>JA</small> 熱インピーダンス	82 /W
D/AC出力電流	30 mA

* 上記の絶対最大定格を超えるストレスを加えるとデバイスに永久的な損傷を与えることがあります。この規定はストレス定格の規定のみを目的とするものであり、この仕様の動作セクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くとデバイスの信頼性に影響を与えます。

テスト・レベルの説明

テスト・レベル

- I - 100%出荷テストを実施。
- III - サンプル・テストのみを実施。
- IV - デザインとキャラクタライゼーション・テストによりパラメータを保証。
- V - パラメータはTyp値のみ。
- VI - +25 で100%出荷テストを実施。工業用動作温度範囲については、デザインとキャラクタライゼーション・テストにより保証。

オーダー・ガイド

モデル	温度範囲	パッケージ	パッケージ・オプション
AD9851BRS	-40 ~ +85	シュリンク・スモール・アウトライン(SSOP)	RS-28

注意

ESD(静電放電)の影響を受けやすいデバイスです。4000 Vもの高圧の静電気が人体やテスト装置に容易に帯電し、検知されことなく放電されることもあります。このAD9851には当社独自のESD保護回路が備えられていますが、高エネルギーの静電放電にさらされたデバイスには回復不能な損傷が残ることもあります。したがって、性能低下や機能喪失を避けるために、適切なESD予防措置をとるようお奨めします。

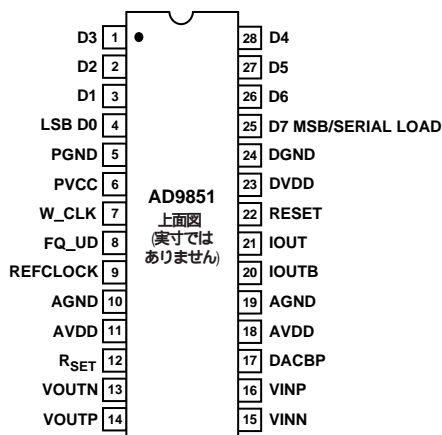
使用上の注意：このデバイスの入力信号を加える前に必ず電源電圧を供給してください。ラッチアップの原因になります。



ピン機能説明

ピン番号	名称	機能
4-1 28-25	D0-D7	8ビット・データ入力。32ビットの周波数ワードと8ビットの位相/コントロール・ワードをロードするデータ・ポート。D7 = MSBでD0 = LSB。40ビット・シリアル・データ・ワードの場合は、D7のピン25は入力ピンとして使います。
5	PGND	6 × REFCLK乗算器のグランド接続。
6	PVCC	6 × REFCLK乗算器の正電源電圧ピン。
7	W_CLK	ワード・ロード・クロック。立上がりエッジでパラレルまたはシリアルの周波数/位相/コントロール・ワードを非同期的に40ビット入力レジスタにロードします。
8	FQ_UD	周波数更新。立上がりエッジで非同期的に40ビット入力レジスタの内容を転送し、DDSコアに処理させます。入力レジスタの内容が有効、すなわち許容データである場合は、FQ_UDが出力される必要があります。
9	REFCLOCK	基準クロック入力。CMOS/TTLレベルのパルス列、直接または6 × REFCLK乗算器を経由します。直接モードでは、SYSTEM CLOCKにもなります。6 × REFCLK乗算器が選択されている場合、乗算器出力がSYSTEM CLOCKになります。SYSTEM CLOCKの立上がりエッジが動作を起動します。
10, 19	AGND	アナログ・グランド。アナログ回路(D/ACとコンパレータ)のグランド・リターン。
11, 18	AVDD	アナログ回路(D/AC、コンパレータ、ピン18)とバンドギャップ基準電圧(ピン11)の正電源電圧。
12	R _{SET}	D/ACの外部R _{SET} 接続。10 mA出力の場合、公称3.92 kΩ抵抗をグランドとの間に接続。この抵抗により、IOUTとIOUTBに出力されるD/ACフル・スケール出力電流を設定します。R _{SET} = 39.93/IOUT。
13	VOUTN	負電圧出力。コンパレータの"相補" CMOSロジック・レベル出力。
14	VOUTP	正電圧出力。コンパレータの"真" CMOSロジック・レベル出力。
15	VINN	負電圧入力。コンパレータの反転入力。
16	VINP	正電圧入力。コンパレータの非反転入力。
17	DACBP	D/ACバイパス接続。D/AC基準電圧であり、最適SFDR性能を与えるため + V _S に接続した最小10 μFキャパシタにより外部でバイパスされます。
20	IOUTB	IOUTB = (フル・スケール出力 - IOUT) 以外はIOUTと同じ特性を持つ"相補" D/AC出力。最適SFDR性能を得るためには、出力負荷はIOUTの負荷と等しいことが必要です。
21	IOUT	D/ACの平衡"真"出力。電流は"ソース"となり電流/電圧変換、すなわち一般に、GNDを基準とする抵抗または変成器が必要。IOUT = (フル・スケール出力 - IOUTB)
22	RESET	マスター・リセット・ピン。アクティブHigh。DDSアキュムレータと位相オフセット・レジスタを0 Hzと出力位相0度にクリア。プログラミングをパラレル・モードに設定し、6 × REFCLK乗算器の選択を解除します。リセットで40ビット入力レジスタはクリアされません。パワーアップ時には、RESETのアサートを第一優先順位で行った後に、プログラミングを開始する必要があります。
23	DVDD	デジタル回路の正電源電圧ピン。
24	DGND	デジタル・グランド。デジタル回路のグランド・リターン・ピン。

ピン配置



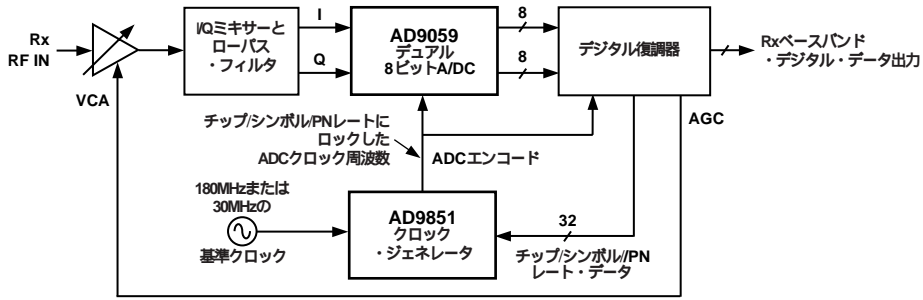


図1. スペクトル拡散受信器内の"チップ・レート"クロック・ジェネレータ・アプリケーション

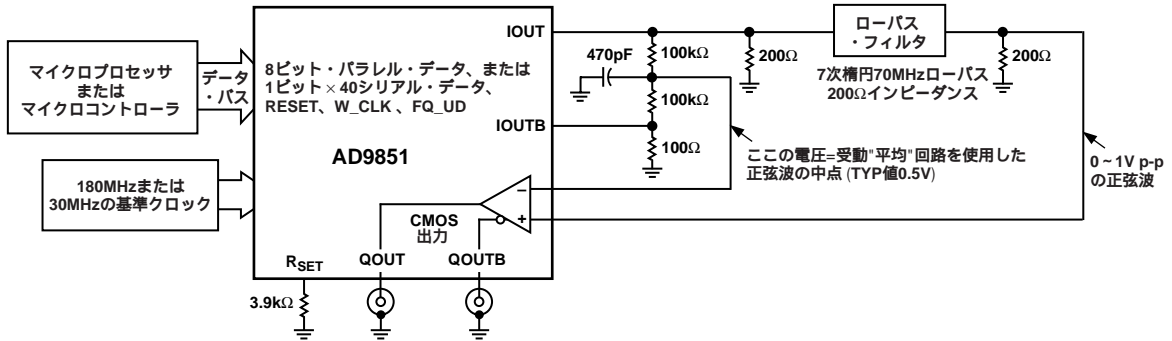


図2. クロック・ジェネレータの基本構成

IOUTとIOUTBには等しい100 Ωの負荷にします。2本の100 k Ω抵抗は、各出力を"サンプル"し、2つの電圧の平均をとります。その出力を470 pFキャパシタでフィルタし、一方のコンパレータ入力にDCスイッチング・スレッシュホールドとして入力します。

フィルタ済みD/A C正弦波出力を他方のコンパレータ入力に入力します。コンパレータは、正弦波が交互に"センタ・ポイント"スレッシュホールドを横切るので、約50%のデューティ・サイクルでトグルします。

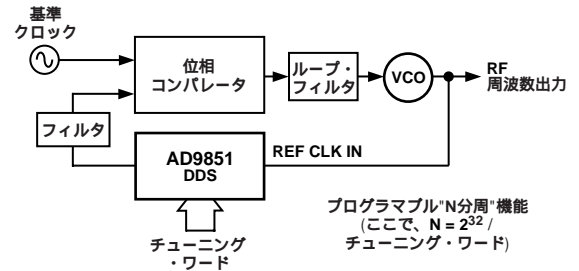


図5. デジタル的にプログラム可能なPLLの"N分周"機能

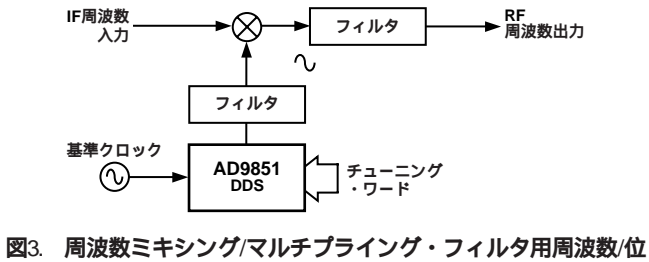


図3. 周波数ミキシング/マルチプライング・フィルタ用周波数/位

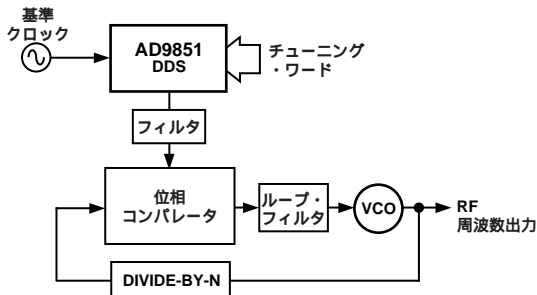


図4. PLL用周波数/位相追従基準発振器

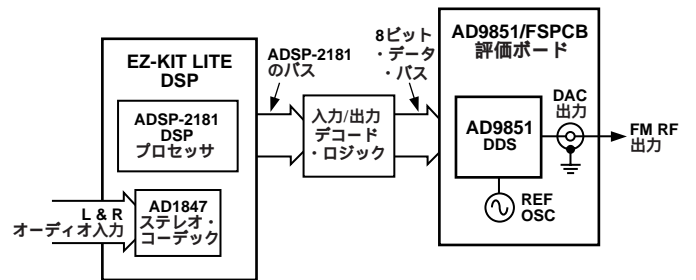


図6. 高品質全デジタルRF周波数変調

ADSP-2181 DSPおよびAD9851 DDSによる高品質全デジタルRF周波数変調の発生。このアプリケーションは、アナログ・デバイゼスのアプリケーション・ノートAN-543にドキュメント化されており、図8に示すように、DDS出力の"イメージ"を使用しています。

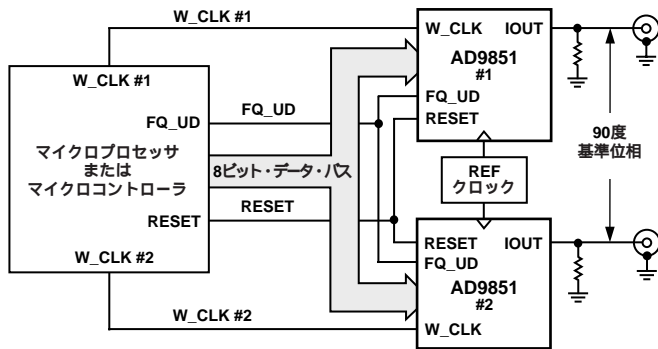


図7. 直交発振器を構成する2個のAD9851 DDSの同期を示すアプリケーション

共通のRESETコマンドを送出すると、別々の2つのW_CLKが8ビット・データ・バスまたはシリアル入力ピンを使って各AD9851の40ビット入力レジスタのプログラミングを可能にします。プログラミングが完了した後に共通のFQ_UDパルスが送出されて、指定された周波数と位相で両発振器を同時に選択動作します。

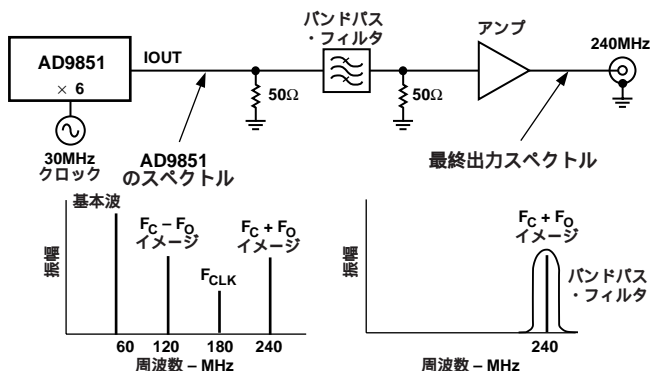


図8. AD9851からの高周波出力信号のALIASまたはイメージ信号を使用

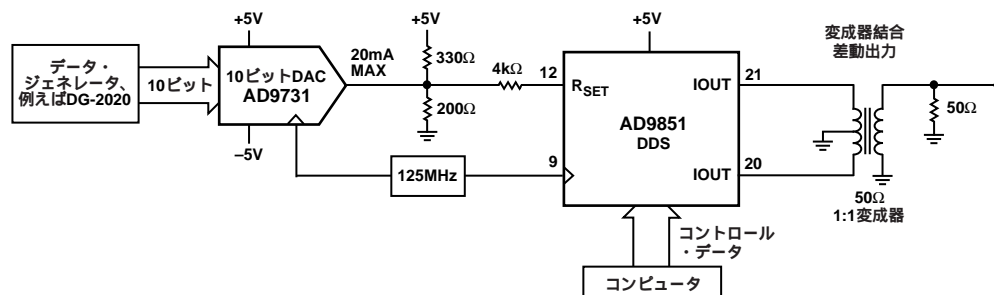


図10. 外部D/ACから駆動されるAD9851のR_{SET}入力

同相モード信号を除去するための差動D/AC出力接続(図9)でリアクタンス性の強いフィルタをフィルタを入力終端抵抗なしで駆動します(図8、シングル・エンドの例を参照)。図8のシングル・エンドの例と比較すると、フィルタを二重に終端する必要がないため、フィルタ出力で6 dBの電力利得が得られます。

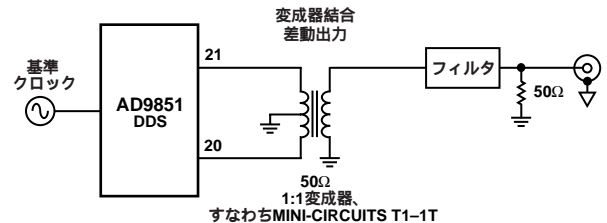


図9. 同相モード信号を除去するための差動D/AC出力接続

外部D/ACからAD9851 RSET入力を駆動して(図10)、D/AC出力電流の振幅変調または固定デジタル振幅制御を出力します。このアプリケーションの詳しい説明は、AD9851のwebページ(www.analog.com)の"Related Information"内の"Technical Note"に掲載してあります。アナログ・デバイセズのAD9850のアプリケーション・ノートAN-423にも、エンハンス・モードMOSFETを使う振幅制御についての別の方法が記載してありますが、そのままAD9851の場合にも使用することができます。

注: AD9851の6 × REFCLK乗算器を選択する場合、図10に示す125 MHzのクロック・ソースは1/6に下げることができます。

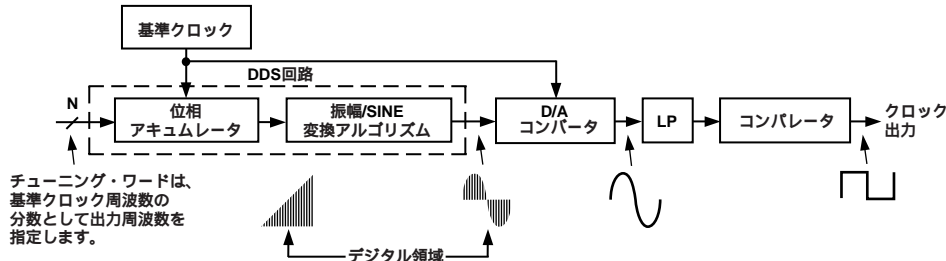


図11. DDSの基本ブロック図とAD9851の信号フロー

動作原理とアプリケーション

AD9851は、数値制御発振器(NCO)の形式で直接デジタル合成(DDS)技術を使用して周波数/位相追従正弦波を発生します。デジタル正弦波は、内蔵の10ビット高速D/Aコンバータを使ってアナログ形式に変換されます。内蔵の高速コンパレータは、アナログ正弦波を低ジッタのTTL/CMOS互換出力方形波に変換するために用意されています。DDS技術は革新的な回路アーキテクチャで、完全にデジタルな制御のもとで出力ワードの高速でかつ正確な処理が可能です。また、DDSは出力周波数のインクリメンタルな選択により非常に高い分解能を実現します。AD9851は、基準クロック使用のオプションまたは6× REFCLK乗算器の選択により180 MSPSクロック・レートで約0.04 Hzの出力周波数分解能を可能にします。AD9851の出力波形は、出力周波数が別の周波数に変わっても位相は連続しています。

クロック・ジェネレータとして構成されたAD9851の基本機能ブロック図と信号フローを図11に示します。

DDS回路は基本的にはデジタル周波数分周機能であり、そのインクリメンタルな分解能はシステム・クロック周波数とN(チューニング・ワード内のビット数)により決定されます。

位相アキュムレータは可変モジュラス・カウンタであり、クロック・パルスを受け取る毎にその内容をインクリメントします。カウンタはフル・スケールに到達すると"ラップ・アラウンド"して、位相アキュムレータの出力を連続位相にします。周波数チューニング・ワードは、カウンタのモジュラス値を設定します。この値が、次のクロック・パルスで位相アキュムレータの値に加算されるインクリメント・サイズ(位相)を実質的に決定します。加算されるインクリメントが大きいほど、アキュムレータのラップ・アラウンドが早くなり、高い周波数が出力されます。

AD9851は、革新的で当社独自の"角度回転"アルゴリズムを使っています。このアルゴリズムでは、32ビット位相アキュムレータの14ビットに切り詰めた値を数学的に10ビットに量子化した振幅に変換します。この振幅値はD/ACに渡に渡されます。このユニークなア

ルゴリズムでは、大幅に圧縮したROMルックアップ・テーブルとDSPを使ってこの機能を構成しています。この構成は、AD9851の小型化と低消費電力に寄与しています。

AD9851の出力周波数、システム・クロック、チューニング・ワードの関係は、次式で与えられます。

$$f_{OUT} = (\text{位相} \times \text{システム・クロック}) / 2^{32}$$

ここで、

位相 = 32ビット周波数チューニング・ワードの10進値

システム・クロック = 直接入力基準クロック (MHz) または 6 × REFCLK乗算器を選択している場合、6 × 入力クロック (MHz)

f_{OUT} = 出力信号周波数 (MHz)

DDSコアのデジタル正弦波出力は、アナログ形式の正弦波を発生する内蔵の高速10ビットD/Aコンバータを駆動します。このD/ACは、ダイナミック性能と低グリッチ・エネルギーについて最適化されており、この最適化により、AD9851の低スプリアスと低ジッタ性能が可能になっています。D/ACはシングル・エンド構成(図2と図8)または差動出力構成(図9と図10)のいずれかで動作することができます。D/AC出力電流とRSET値は次の式により決定されます。

$$I_{OUT} = 39.93 / R_{SET}$$

$$R_{SET} = 39.93 / I_{OUT}$$

AD9851出力はサンプルされた信号であるため、その出力スペクトルはナイキスト・サンプリング定理に従います。特に、その出力スペクトルには、基本波と折り返し信号(イメージ)が含まれ、この折り返し信号はシステム・クロック周波数 ± 選択した出力周波数の整数倍の位置に発生します。サンプルされた信号と折り返し信号のスペクトルを図12に示します。通常の使用可能帯域幅は、DC ~ システム・クロック × 1/2の範囲と見なされます。

図12に示す例では、システム・クロックが100 MHzで、出力周波数は20 MHzに設定されています。図に示すように、折り返し信号は量子化されたD/Aコンバータ出力の $\text{sinc}(x)$ ロールオフ特性により決定され、非常に顕著で比較的高エネルギー・レベルを持っています。

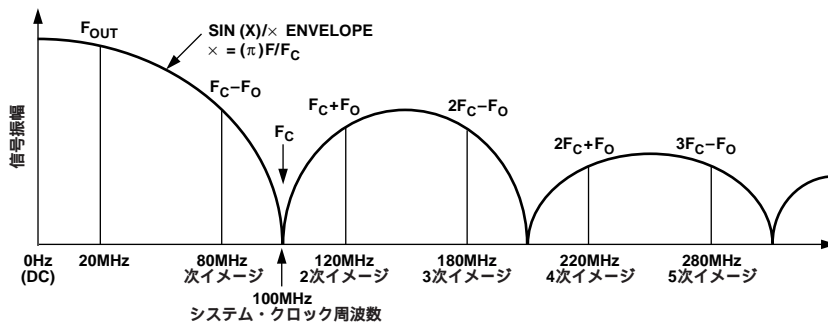


図12. サンプルされた $\text{Sin}(X)/X$ 信号の出力スペクトル

実際、 f /システム・クロック関係によっては、1次折り返しイメージが基本波の振幅に等しくなることがあります($f_{OUT} = 1/2$ システム・クロックの場合)。一般に、ローパス・フィルタがD/Aコンバータ出力とコンバータ入力間に配置され、折り返しイメージ信号とその他のスプリアス信号に関係する非高調波の影響で生じるジッタの発生を抑圧します。選択した出力周波数、システム・クロック周波数、折り返し周波数の間の関係に注意し不要な出力成分が発生しないようにする必要があります。

これらのイメージ信号は、D/ACから生ずる使用価値のない信号と見なす必要はありません。実際、イメージをバンドパス・フィルタ処理し、ポスト・フィルタ・アンプで増幅することにより、イメージを主要な出力信号にすることができます(図8)。イメージは高調波ではないため、基本波出力に対して1:1の周波数関係を維持しています。すなわち、基本波が1 kHzシフトすると、イメージも1 kHzシフトとします。この関係はイメージの周波数安定性を説明しており、この安定性は基本波の安定性と同じです。システム・クロックの整数倍の両側にあるイメージ対の下側イメージは基本波と反対の方向に移動することに注意して下さい。システム・クロックの整数倍の上側にあるイメージは基本波と同じの方向に移動します。

イメージが存在する周波数帯域はスプリアス信号が多いため、SFDRの点から望ましくありません。この方式を使用する場合にSFDRの必要条件が存在するときには、使用する周波数を経験的に決めています。

AD9851をクロック・ジェネレータとして使用する場合に適用できる経験則は、基本波出力周波数を基準クロック周波数の40%に制限して、フィルタする注目の出力帯域(一般に、DC~選択した最高出力周波数)に折り返し信号が近付き過ぎないようにします。この経験則を使うと、クロック・ジェネレータ・アプリケーションに対する外部フィルタの構成が容易になり、低価格にすることができます。

AD9851の基準クロック入力は、1 MHzの最小値を持っています($6 \times \text{REFCLK}$ 乗算器のエンゲージなし)乗算器の選択時は5 MHzになります。デバイスはクロック・レートが最小値以下に低下したタイミングを検出する回路を内蔵しており、自動的にデバイスをパワーダウン・モードにします。このモードでは、オンチップ・コンバータもディスエーブルされます。

DDS正弦波出力の方形波化以外の目的でオンチップ・コンバータを使用する場合には、この情報は重要です。クロック周波数が最小スレッシュホールド以上に戻ると、デバイスは $5 \mu\text{s}$ (typ値)経過後に通常動作を再開します。このシャットダウン・モードは、デバイスのダイナミック・レジスタでの余分な電流が消費されるのを防止します。

DDS出力は入力周波数を分周して発生されるため、DDSシステム内での基準クロック位相ノイズの影響が実際に減少します。明確な位相ノイズ低下分は $20 \log f_{OUT}/f_{CLK}$ によりdB値で表されます。

ここで、 f_{OUT} はDDS出力周波数の基本波で、 f_{CLK} はシステム・クロック周波数です。この点から見ると、高いシステム・クロック入力周波数の使用は、出力信号の全体位相ノイズに対する基準クロック位相ノイズの寄与分を減少させるのに効果的です。例えば、180 MHzで動作する - 100 dBcの位相ノイズを持つ発振器は、10 MHz出力に対するDDS全体位相ノイズに対して - 125 dBの寄与分を持ちます。6x REFCLK乗算器を選択すると、一般に、全体出力位相ノイズが増えることが認められます。この増加は、6x REFCLK乗算器の固有な $6 \times (15.5 \text{ dB})$ 位相ゲイン伝達関数と、クロック乗算器回路に

より内部で発生されたノイズに起因します。低位相ノイズ基準クロックをAD9851に入力することにより、1 kHz ~ 100 kHzのオフセットで最大50 MHzまでの出力周波数に対して位相ノイズ性能 - 100 dBc/Hz以上を保証することができます。

AD9851のプログラミング

AD9851には、32ビット周波数コントロール・ワード、5ビット位相変調ワード、6x REFCLK乗算器イネーブルとパワーダウン機能を保持する40ビット・レジスタが内蔵されています。このレジスタは、パラレル・モードまたはシリアル・モードでロードすることができます。ロジックHighにより、これらの機能が設定されます。例えば、ICをパワーダウンにするときは(スリープ・モード)ロジックHighをそのビット位置に書込みます。AD9850 DDSを使用したユーザーは、AD9851のプログラミングが少し違っていることに気付くと思いますが、特に、W0(パラレル・ロード)のデータ[0]とW32(シリアル・ロード)は、"6x REFCLK乗算器イネーブル"ビットを含むようになりました。このビットは、内部基準クロック乗算器をイネーブルするときはHighを、ディスエーブルするときはLowを、それぞれ書込みます。

注: プログラミング・ワードW0(パラレル・モード)の"データ[1]"へのHighの書込み、またはシリアル・モードでのワードW33へのHighの書込みは許容されません(表Iと表III参照)。このビットは"出荷テストモード"を制御しており、Highに設定するとAD9851が異常動作を行う原因になります。誤ってこの状態に入った場合(ピン2を入力ピンから出力信号に変えると発生します)RESETをアサートしてこの状態から抜け出します。初期パワーアップ後に、FQ_UDパルスを入力してAD9851にRESETを入力すると、誤って出荷テスト・モードに入ってしまうことがあります。RESETは40ビット入力レジスタをクリアせずに、入力レジスタ内のランダムなパワーアップ値をDDSコアに転送してしまいます。このランダム値が出荷テスト・モードまたはパワーダウン・モードを開始させることがあります。40ビット入力レジスタ値が未知の場合は、絶対にFQ_UDコマンドを発行しないで下さい。

デフォルトのパラレル・ロード・モードでは、40ビット入力レジスタが8ビット・バスを使ってロードされます。W_CLKを使って、8バイト入力を5回繰り返してレジスタをロードします。FQ_UDの立上がりエッジにより、レジスタの内容をデバイスへ転送し、W0に対するワード・アドレス・ポイントをリセットします。W_CLKの後続の立上がりエッジで、W0から開始される8ビット・データをロードし、ワード・ポイントを次のワードへ移動させます。W0 ~ W4のロードが終了すると、それ以後のW_CLKエッジは無視されます。この無視は、RESETがアサートされるか、またはFQ_UDの立上がりエッジが次の8ビット・ロードのためにアドレス・ポイントをW0にリセットするまで、続きます(図13参照)。

シリアル・ロード・モードでは、W_CLKの連続する40個の立上がりエッジを使って、ピン25(D7)上の1ビット・データを"シフトレジスタ"として動作させた40ビット・レジスタにロードします。レジスタがフルになった後もW_CLKの立上がりエッジを入力し続けると、データはシフトアウトされてしまい、レジスタ内に残ったデータは無効なデータになってしまいます。

シリアル・モードには、デフォルトのパラレル・モードから入る必要があります(図17)。データのロードは、W0から開始されW39で終了します。シリアル・モードに入った直後に、シリアル・モー

AD9851

ドを起動する8ビット・パラレル・ワード(W0) xxxxx011 を、有効な40ビット・シリアル・ワードで上書きして、不用意な6×REFCLK乗算器の選択または出荷テスト・モードに入ってしまうことを防止する必要があります。シリアル・モードからパラレル・モードへの遷移は、RESETコマンドでのみ可能です。

データ・ワードとコントロール・ワードの機能割り当てを表Iと表IIIに示します。出力周波数および/または位相の更新の詳細タイミング・シーケンス、デバイスのリセット、6×REFCLK乗算器のエンゲージ、パワーアップ/ダウンのタイミングを図13～図20に示します。次のDDS特性に対するプログラミング例を示します。

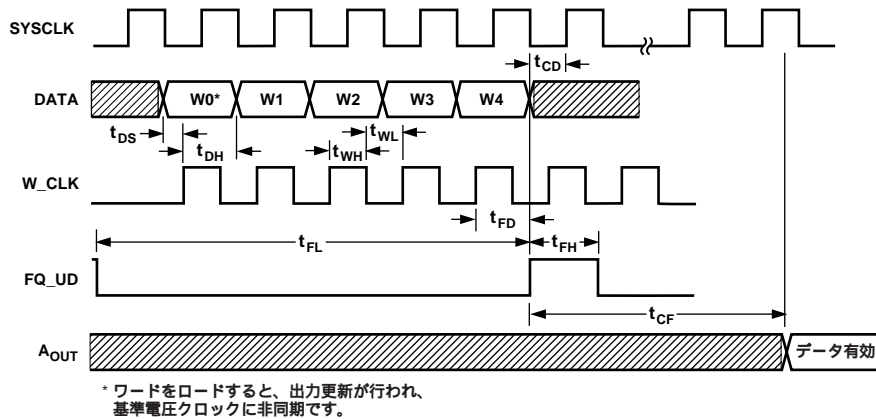
1. 位相を11.25度に設定。
2. 6×REFCLK乗算器を設定。

3. パワーアップ・モードを選択。
4. 出力 = 10 MHz(180 MHzシステム・クロックに対して)、
パラレル・モードでは、ユーザーは40ビット・コントロール・ワード(8ビット・ロードを5回実行)を次のようにプログラムできます。
W0 = 00001001
W1 = 00001110
W2 = 00111000
W3 = 11100011
W4 = 10001110
シリアル・モードの場合、上記"アレイ"内のW4のLSB位置から40ビットのロードを開始し、右から左へ、そして、W0のMSBで終了します。

表I. 8ビット・パラレル・ロード・データ/コントロール・ワード機能割り当て

ワード	データ[7]	データ[6]	データ[5]	データ[4]	データ[3]	データ[2]	データ[1]	データ[0]
W0	位相-b4(MSB)	位相-b3	位相-b2	位相-b1	位相-b0(LSB)	パワーダウン	ロジック0*	6×REFCLK乗算器イネーブル
W1	周波数-b31(MSB)	周波数-b30	周波数-b29	周波数-b28	周波数-b27	周波数-b26	周波数-b25	周波数-b24
W2	周波数-b23	周波数-b22	周波数-b21	周波数-b20	周波数-b19	周波数-b18	周波数-b17	周波数-b16
W3	周波数-b15	周波数-b14	周波数-b13	周波数-b12	周波数-b11	周波数-b10	周波数-b9	周波数-b8
W4	周波数-b7	周波数-b6	周波数-b5	周波数-b4	周波数-b3	周波数-b2	周波数-b1	周波数-b0(LSB)

*このビットは、シリアル・モードが開始されない限り常にロジック0(図17参照)。シリアル・モードに入ったら、このデータ・ビットは、正常動作のためにはロジック0に戻す必要があります。



*ワードをロードすると、出力更新が行われ、基準電圧クロックに非同期です。

図13. パラレル・ロード周波数/位相更新のタイミング・シーケンス

注: W0を更新するときは、W1～W4をロードする必要はありません。単にW0をロードしてFQ_UDをアサートします。W1を更新するときは、W0を再ロードして、次にW1をロード、以下同様…。ユーザーはプログラミング・ワードをランダム・アクセスすることはできません。

表II. タイミング仕様

記号	定義	最小値
t_{DS}	データ・セットアップ時間	3.5 ns
t_{DH}	データ・ホールド時間	3.5 ns
t_{WH}	W_CLK High	3.5 ns
t_{WL}	W_CLK Low	3.5 ns
t_{CD}	FQ_UDからのREFCLK遅延	3.5 ns*
t_{FH}	FQ_UD High	7.0 ns
t_{FL}	FQ_UD Low	7.0 ns
t_{FD}	W_CLKからのFQ_UD遅延	7.0 ns
t_{CF}	FQ_UDからの出力遅延	
	周波数変化	18 SYSCLKサイクル数
	位相変化	13 SYSCLKサイクル数

*6×REFCLK乗算器のエンゲージ中は、この仕様は適用されません。

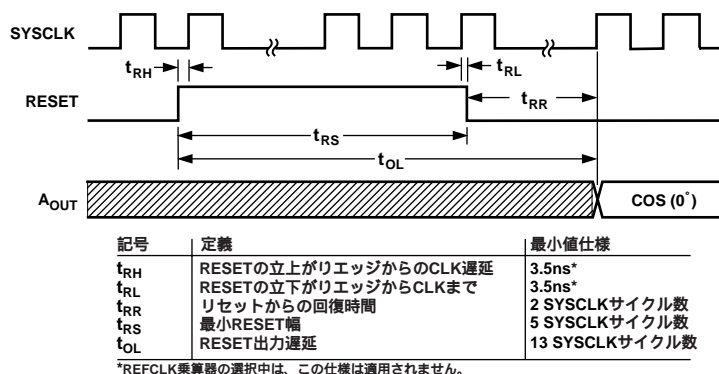


図14. マスター・リセットのタイミング・シーケンス

リセットの結果(図14)

- 位相加算器がゼロになり、出力 = 0 Hz (DC) になります。
- 位相オフセット・レジスタがゼロに設定され、D/AC IOUT = フル・スケール出力、IOUTB = 0 μ A出力になります。
- 内部プログラミング・アドレス・ポインタがW0にリセットされます。
- パワーダウン・ビットが"0"にリセットされます(パワーダウンをディスエーブルします)。
- 40ビット・データ入力レジスタはクリアされません。
- 6x 基準クロック乗算器がディスエーブルされます。
- パラレル・プログラミング・モードがデフォルトとして選択されます。

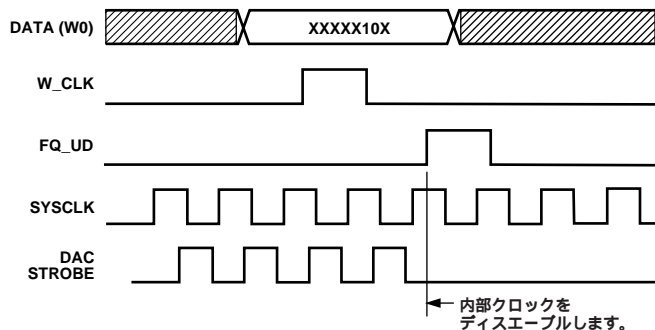


図15. パラレル・ロードでのパワーダウン・シーケンス/内部動作

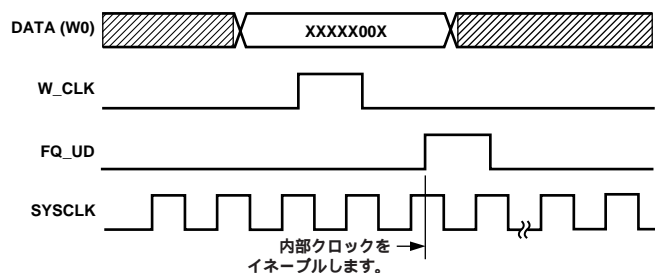


図16. パラレル・ロードでのパワーアップ・シーケンス (パワーダウンからの回復)/内部動作

シリアル・モード(図17)へは、パラレル・モードから入ります。パラレル・モードはデフォルトとしてRESETアサート後に選択されています。パラレル・モードからシリアル・モードへ遷移するときは、先頭の8ビット(ワードW0)にシーケンスxxxxx011を書込むだけで済みます(図17)。W0プログラミング・ワードを8ビット・データ・バスを使って転送するか、図18に示すようにハードワイヤ接続によることもできます。シリアル・モードに入ったら、図19に示すプログラミング・シーケンスに従う必要があります。

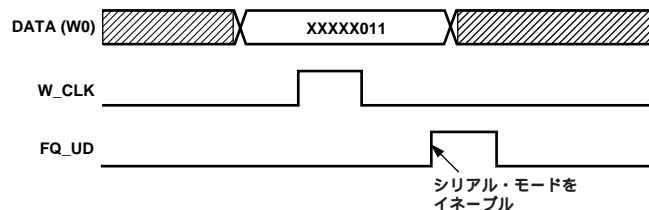


図17. シリアル・ロードのイネーブル・シーケンス

注: シリアル・モードの開始後、直ちに有効40ビット・シリアル・ワード(図19)の書込みを行い(全バイトがゼロの場合でも)続いて、FQ_UDの立下がりエッジで"残りの"データをDDSコアに書込むことを推奨します。W33がロジック0である任意のワードが有効な40ビット・シリアル・ワードです。

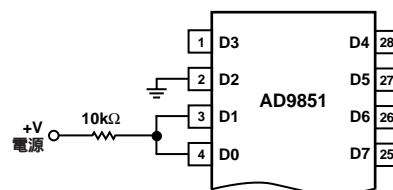


図18. シリアル・ロードの図17に示すイネーブル・ワードW0に対するハードワイヤ接続(xxxxx011)

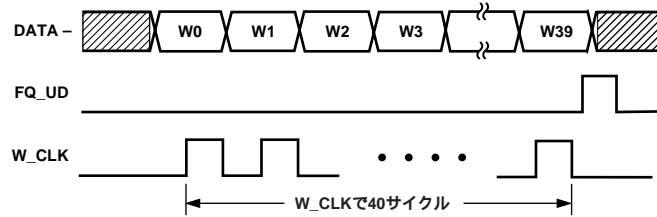


図19. シリアル・ロードでの周波数/位相更新シーケンス

表III. 40ビット・シリアル・ロードでのワード機能割り当て

W0	周波数-b0(LSB)	W13	周波数-b13	W27	周波数-b27
W1	周波数-b1	W14	周波数-b14	W28	周波数-b28
W2	周波数-b2	W15	周波数-b15	W29	周波数-b29
W3	周波数-b3	W16	周波数-b16	W30	周波数-b30
W4	周波数-b4	W17	周波数-b17	W31	周波数-b31(MSB)
W5	周波数-b5	W18	周波数-b18	W32	6 × REFCLK 乗算器のイネーブル
W6	周波数-b6	W19	周波数-b19	W33	ロジック0*
W7	周波数-b7	W20	周波数-b20	W34	パワーダウン
W8	周波数-b8	W21	周波数-b21	W35	位相-b0(LSB)
W9	周波数-b9	W22	周波数-b22	W36	位相-b1
W10	周波数-b10	W23	周波数-b23	W37	位相-b2
W11	周波数-b11	W24	周波数-b24	W38	位相-b3
W12	周波数-b12	W25	周波数-b25	W39	位相-b4(MSB)
		W26	周波数-b26		

*このビットは常にロジック0。

図20に、通常の40ビット・シリアル・ワードのロード・シーケンスを示します。このシーケンスでは、W33が常にロジック0に設定されており、W34がロジック1またはロジック0に設定されて、パワーダウン機能を制御します。残りの38ビットのロジック状態は重要でないため"don't care"ステータスを意味するXで表示してあります。

パワーダウンするときには、W34 = 1に設定します。パワーダウン状態からパワーアップするときには、W34をロジック0に変更します。パワーダウン・モードからのウェイクアップは、約5 μ sを必要とします。

注: AD9851の40ビット入力レジスタは、パワーダウン・モードでも書き込み可能です。

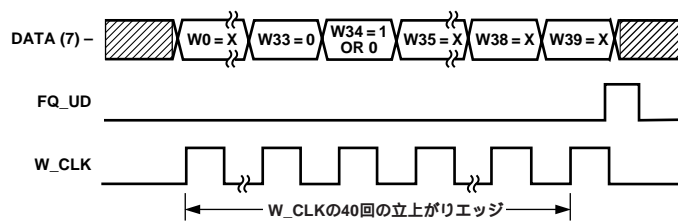


図20. シリアル・ロードでのパワーダウン/パワーアップ・シーケンス

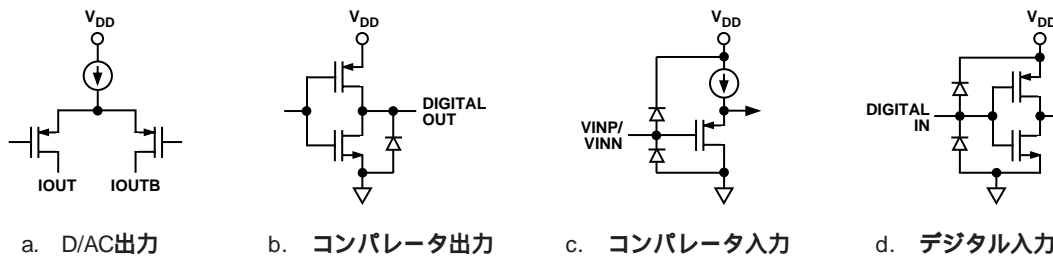


図21. I/Oの等価回路

PCBのレイアウト情報

AD9851/CGPCB評価ボードとAD9851/FSPCB評価ボード(図22～図25)は、代表的なAD9851の使用例を示しており、高周波/高分解能デザインの使用とレイアウトの例になっています。AD9851を実装するプリント回路ボードは、専用の電源プレーンとグランド・プレーンを可能にする多層ボードである必要があります。電源プレーンとグランド・プレーンには、プレーン内の連続性を損なうパターン・エッチングを設けないようにします(可能な限り)。ボードの最上層には、表面実装デバイスのために層間接続なしでグランドが使用できるようにする領域間グランド・プレーンを設けることを推奨します。分離されたアナログ・システム・グランド・プレーンとデジタル・システム・グランド・プレーンが存在する場合は、最適性能を得るためにAD9851評価ボードでのみこれらを接続する必要があります。

不要なノイズがチップに混入するので、デバイスの下をデジタル・ラインを通過させないようにします。AD9851に接続する電源ラインはできるだけ太いパターンにして、低インピーダンス・パスにして、電源ライン上のスイッチング電流の影響を小さくします。クロックのような高速スイッチング信号に対しては、可能なところにはインピーダンスを制御したマイクロストリップを使います。

デジタル信号バスとアナログ信号バスの交叉は避けます。ボードの反対側のパターンは、互いに右角度で走るようにします。これにより、ライン間のクロストークを減少させます。

良い電源デカップリングを使用することも重要です。AD9851に接続するアナログ(AVDD)電源とデジタル(DVDD)電源は、独立にしてピン配置を分離して、デバイスのアナログ・セクションとデジタル・セクションの結合を最小にします。すべてのアナログ電源ピンとデジタル電源ピンは、それぞれAGNDとDGNDへ、高品質のセラミック・チップ・キャパシタを使ってデカップリングする必要があります。

デカップリング・キャパシタにより最適な性能を得るために、デバイスのできるだけ近くに配置します。共通な電源を使用してAD9851のAVDD電源とDVDD電源を供給するシステムでは、システムのAVDD電源を使用することをお勧めします。

グランディングとPCBレイアウトに関するその他のご質問は、アナログ・デバイスズのアプリケーション・エンジニアリング・サポートからお答えします。電話1-800-ANALOGDをご利用下さい。

評価ボード

評価ボードには2つのバージョンが存在します。評価ボードは、ベンチでの解析用およびPCBレイアウトの参考用としてデバイスの使用を容易にします。

AD9851/FSPCBは、基本的にデバイスを周波数シンセサイザとして使用するアプリケーションを対象とします。このバージョンは、AD9851の内蔵D/Aコンバータの出力を50 スペクトル・アナライザ入力に接続するように最適化されています。AD9851の内蔵コンパレータは、配線ホールを使ってアクセス可能になっています。コンパレータ入力は外部で反対電圧に接続して、フローティング入力によるチャタリングが生じないようにしてあります。DDS D/AC出力にはフィルタがなく、基準発振器はありません。多くのユーザーがこれらを必要としないことから、この構成にしてあります。図22に回路図を示します。

AD9851/CGPCBは、デバイスをCMOS出力クロック・ジェネレータとして使用するアプリケーションを対象とします。AD9851 D/AC出力をシングル・エンドで70 MHzの7次ローパス楕円フィルタを介して内蔵コンパレータ入力に接続します。コンパレータの出力ジッタを最小にするため、ローパス・フィルタ・デザインには特別な注意が払われています。基本的な考慮は、入力インピーダンスと出力インピーダンス(200)であり、非常に急峻なロールオフ特性によ

り、不要な近接折り返し信号を減衰させることです。フィルタの高インピーダンスにより、フィルタの入力と出力で、D/ACが2本の200

抵抗の両端に1 V_{pp}(10 μA)を発生できるようにしてあります。この電圧は、AD9851のコンパレータを最適に駆動するためには十分な値です。このフィルタは、AD9851 DDSがフル・クロック速度(180 MHz)で動作することを想定してデザインされています。このケースに該当しない場合は、フィルタ仕様を想定される折り返し信号の適切な減衰が得られるように変更することができます。BNCコネクタにより、コンパレータのCMOS出力と入力およびD/ACの出力と入力を観測することができます。基準発振器は上記の理由で用意されていません。このモデルを使うと、周波数および位相追従CMOS出力クロック・ソース(図24の回路図参照)として使用したAD9851の評価が容易になります。

ジッタ削減での注意

AD9851/CGPCBはDC～70 MHzの広帯域DDS基本波出力を持っており、オンチップ・コンパレータはさらに広い帯域幅を持っています。低ジッタ性能を最適化するため、狭い帯域幅を必要とする場合は、D/AC出力にバンドパス・フィルタを使用することを検討して下さい。これにより、所望信号の上下に存在するスプリアスで非高調波信号により発生するジッタを削減することができます。電源V_{DD}を下げると、コンパレータ・スイッチング・ノイズをコンパレータ出力で V/ Tだけ減らすことができます。最適なジッタ性能のためには、オンチップ・コンパレータが頻繁に動作する厳しいデジタル環境を避けて外付け高速コンパレータを選択してください。

AD9851評価ボードのバージョンとも、PCのパラレル・プリンタ・ポートにインターフェースするようにデザインされています。動作ソフトウェア(C++)はMicrosoft Windows®(3.1、Windows 95、NTは非サポート)上で動作し、ユーザーに親しみ易い直感的なフォーマットで、デバイスの機能の制御と性能の観測ができます。評価ボードに添付されている3.5インチ・ディスクには、AD9851の機能選択スクリーンを表示する実行可能形式のファイルが収容されています。評価ボードは+3.0V電源または+5V電源で動作します。評価ボードは、出荷時に外部クロック入力に設定されています。オプションのオンボード水晶クロック・ソースがインストールされている場合は、抵抗R2(50)を取り外す必要があります。

評価ボードINSTRUCTIONS

必要なハードウェア/ソフトウェア

Windows 3.1または"95"環境(Windows NTは非サポート)で動作するパーソナル・コンピュータ。

プリンタ・ポート、3.5インチ・フロッピー・ドライブ、マウス、セントロニクス互換プリンタ・ケーブル、+3V～+5V電源。

水晶クロック発振器またはDCオフセット機能付きの高周波信号ジェネレータ(正弦波出力)

AD9851評価ボード・ソフトウェア・ディスク、AD9851/FSPCB評価ボードまたはAD9851/CGPCB評価ボード

セットアップ

AD9851ディスクの内容をPCのハード・ドライブ(WIN9851.EXEバージョン1.xとBwcc.dll)の2つのファイルがあります)にコピーします。プリンタ・ケーブルでコンピュータと評価ボードを接続します。プリンタ・ポートがサポートしている全ピンを接続しないケーブルがあるので、高品質ケーブルをご使用ください。

AD9851評価ボードに電源を入力します。AD9851の電源は、"DUT +V"と表示したコネクタを使ってボード上の他のアクティブ部品から分離して供給します。"+5V"と表示されたコネクタを使って、CMOSラッチ、オプションの水晶発振器、プルアップ抵抗に電源を供給します。悪影響の生じない動作を簡単に実現するために、+5V

AD9851

とDUT + Vは一緒に接続することができます。AD9851の電源には、+2.7 V ~ +5.25 Vを使用することができます。

外部50 インピーダンスのクロック・ソースを接続するか、あるいはR2を取り外して、Y1にCMOS出力レベルの適切な水晶クロック発振器をインストールします。AD9851の電源電圧の1/2に出力信号をDCオフセットした周波数 > 50 MHzの正弦波信号ジェネレータをクロック・ソースとして使用することもできます。この方法では、最小2 V_{p-p}の信号が必要で、6 × REFCLK乗算器機能はディスエーブルしておく必要があります。

WIN9851.EXEという名前のファイルを探してそのプログラムを実行します。コンピュータ・モニターは、"コントロール・パネル"を表示します。これを使用して、"マウス"によりAD9851評価ボードを動作させます。

動作

コントロール・パネルで、"COMPUTER I/O"と表示されたボックスを探します。ホスト・コンピュータに該当するパラレル・プリンタ・ポートをクリックして、TESTボックスをクリックします。出力ポートの選択が正しいことを確認するメッセージが表示されます。必要に応じて他のポートを選択して、正しいポート設定にしてください。

MASTER RESETボタンをクリックします。これにより、0 Hz、0度位相、パラレル・プログラミング・モードにリセットされます。D/AC IOUTの出力は、AD9851のフル・スケール出力に等しいDC電圧になります (AD9851/CGPCBの場合は1V、AD9851/FSPCBの場合は0.5V)。D/AC IOUTBは両評価ボードとも0Vになります。パワーアップ後のAD9851に対する最初コマンドは常にRESETである必要があります。

CLOCK SECTIONを探しFREQUENCYボックスの中にカーソルを移動します。AD9851の基準クロック入力として適用するクロック周波数(単位MHz)を入力し、6 × 基準クロック乗算器をエンゲージする場合は、CONTROL FUNCTIONメニュー内のPLLボックスをクリックします。エンゲージするとチェック・マークが表示されます。基準クロック乗算器がエンゲージすると、ソフトウェアは、CONTROLボックスに入力された値を6倍します。その他の場合は、入力された値をそのまま使います。LOADボタンをクリックするか、ENTERキーを押します。

カーソルをOUTPUT FREQUENCYボックスに移動して、所望の周波数を入力します(単位MHz)。LOADボタンをクリックするか、ENTERキーを押します。コントロール・パネルのBUS MONITORセクションに、32ビット周波数ワードと8ビット位相/コントロール・ワードが表示されます。このステップが完了したら、AD9851出力は書込まれた周波数/位相でアクティブになります。

出力位相の変更は、OUTPUT PHASE DELAYボックス内の"下向き矢印"をクリックして選択を行い、次にLOADボタンをクリックすることにより行います。注: いずれかのクロック周波数ボックスのLOADボタンをクリックすると、出力周波数ボックスまたは位相ボックスが自動的に3個の全ボックスの再ローディングとFQ_UD(周波数更新)パルスの送出を開始します。この自動再ローディング・シーケンスと周波数更新シーケンスをバイパスするときは、次の注を参照してください。

他の動作モード(周波数掃引、スリープ、シリアル入力)も使用

することができます。周波数掃引を使用するときは、開始周波数と終了周波数を入力することができ、周波数"ステップ"サイズを指定することができます。掃引は、開始周波数から開始され、終了周波数までリニアに続き、向きを反転して開始周波数まで戻り、これを繰り返します。

注: 複数のAD9851評価ボードを1台のコンピュータで動作させる場合のために、MANUAL FREQUENCY UPDATEオプションが用意されています。FQ_UDの自動送出を無くすことにより、そのデータを内部アキュムレータに転送せずに、ユーザーが複数のAD9851の40ビット入力レジスタをロードすることができます。全入力レジスタをロードすると、FREQUENCY UPDATEの1個パルスを全AD9851に対して送出することができます。この方法のブロック図をAD9851データ・シートに"直交発振器"アプリケーションとして示します。この1個のパルスは全ユニットを同期化し、それらの特定の位相と周波数を同時に有効にします。適切な同期化には、各AD9851が同じ基準クロック・ソースからクロック駆動され、各発振器は書き込み時に同じ状態に設定される必要があります。RESETコマンドが同じ状態を保証します。手動による周波数更新を選択すると、"FREQUENCY UPDATE"と表示された新しいボックスが、周波数掃引メニューの上に表示されます。このボックスをクリックすると、FQ_UDパルスが1個出力されます。

注: RESETを使って複数の発振器を同期させることができます。複数の発振器が既に種々の位相または周波数にプログラムされている場合、RESETパルスを送出すると、それぞれの出力が0 Hzと0位相に設定されます。共通のFQ_UDを送出することにより、40ビット入力レジスタ内に前にプログラムされた情報が再度DDSコアに転送され、18クロック・サイクル後に有効になります。これは、RESETが40ビット入力レジスタの内容を変更しないことに起因しています。

AD9851/FSPCBは、テスト・ポイント対(各対はアクティブ入力とグランド接続を持っています)を経由してオンチップ・コンパレータの入出力にアクセスすることが出来ます。2つのアクティブ入力は、TP1およびTP2と表示されています。表示された各テスト・ポイントの表示のない隣の穴はグランド接続です。2つのアクティブ出力は、TP5およびTP6と表示されています。これらの隣接するテスト・ポイントは表示のないグランド接続です。使用しない場合に不要なコンパレータのチャタリングを防止するため、2つの入力はグランドまたは+Vに1 k Ω 抵抗を介して接続します。

AD9851/CGPCBには、オンチップ・コンパレータに接続したBNC入力とBNC出力、およびオンボードの7次200 入力/出力インピーダンスの楕円70 MHzローパス・フィルタが用意されています。E1とE2、E3とE4、E5とE6をジャンパー接続(線をハンダ接続)すると、オンボード・フィルタと中点スイッチング電圧がコンパレータに接続されます。ジャンパー接続を取り外して、J7とJ6の間にフィルタを挿入し、E1にコンパレータ・スレッショルド電圧を接続することにより、ユーザー固有のフィルタとコンパレータ・スレッショルド電圧を選択することができます。

評価ボード上でXTAL発振器ソケットを使用して、クロックをAD9851に入力する場合、発振器が50 負荷を駆動できないときはR2(50 チップ抵抗)を取り外す必要があります。水晶発振器は、TTLまたはCMOS(推奨)互換である必要があります。

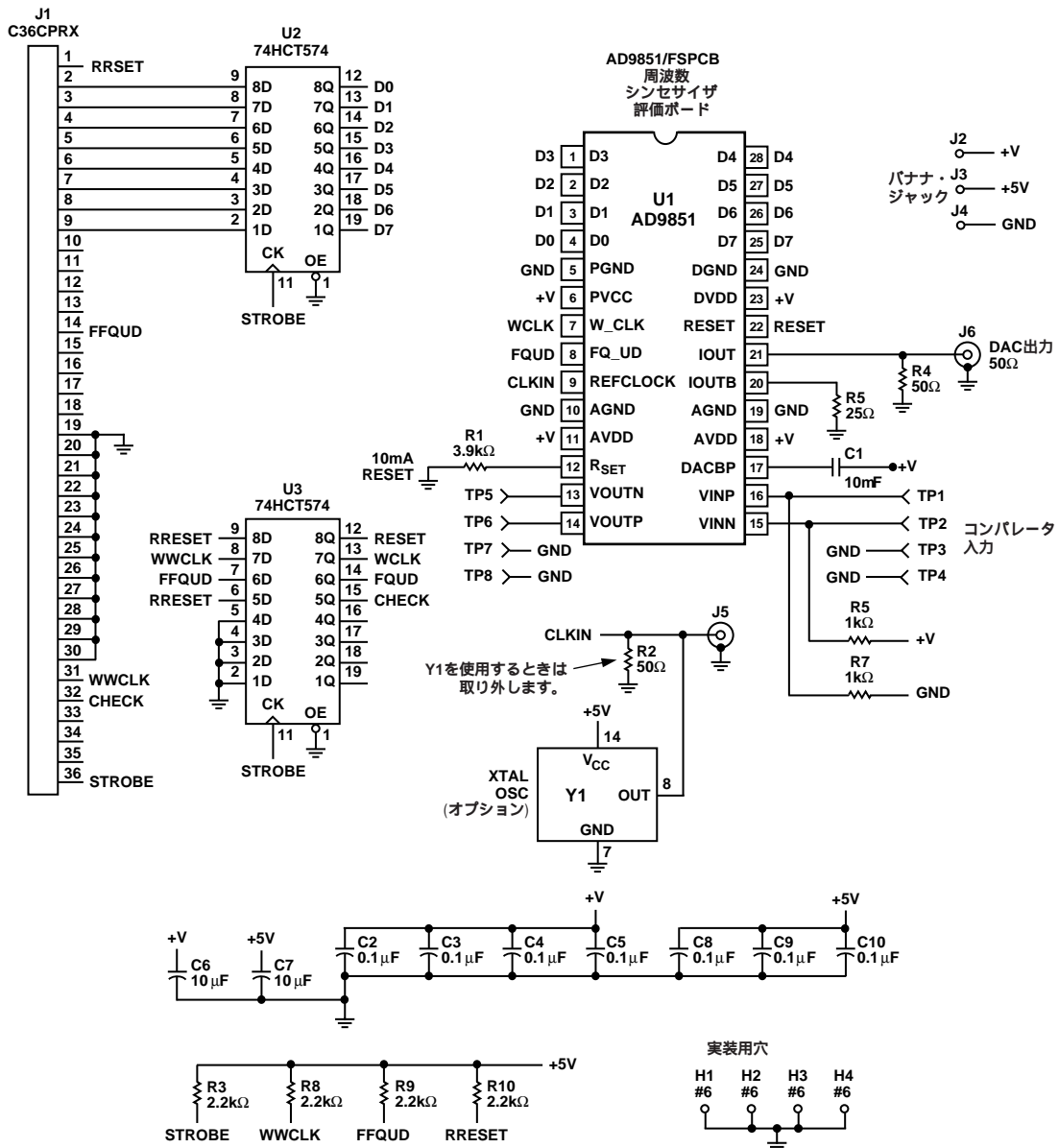
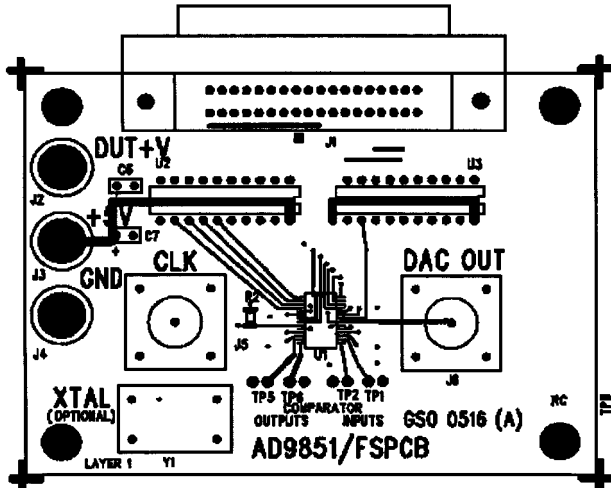
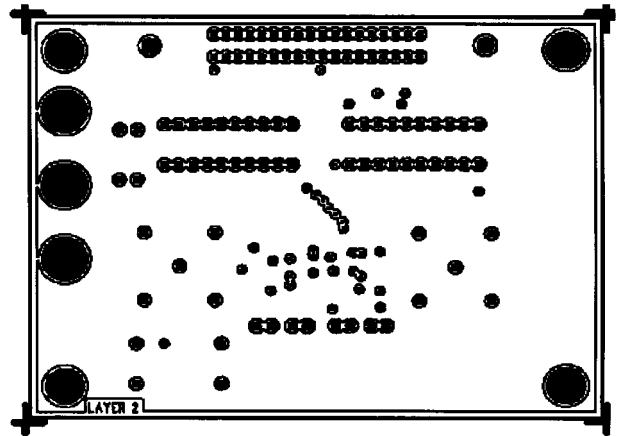


図22. FSPCBの回路図

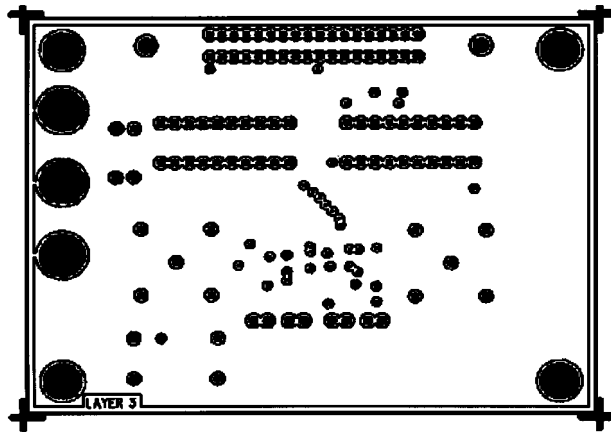
AD9851



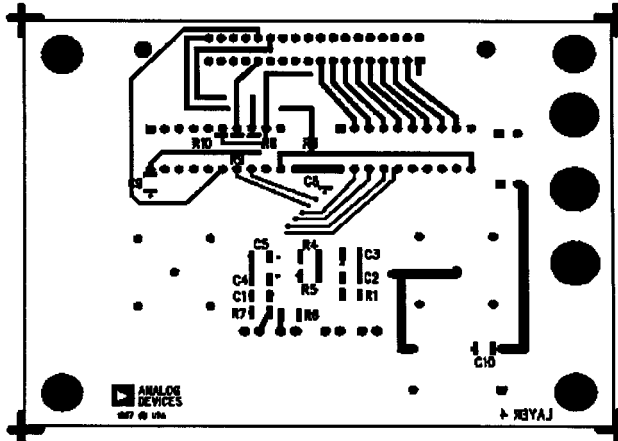
a. FSPCB最上層



c. FSPCBグランド・プレーン



b. FSPCB電源プレーン



d. FSPCB最下層

図23. FSPCB評価ボードの4層PCBレイアウト・パターン

AD9851/FSPCB評価ボード部品表 GSO 0516(A)

種々のハードウェア	表示
1 Amp 552742-1、36-ピンプラスチック、右角度、PC実装、メス形	J1
1 パナナ・ジャック・色は無視	J2
1 黄バナナ・ジャック	J3
1 黒バナナ・ジャック	J4
2 BNC同軸コネクタ、PC実装	J5、J6
1 AD9851/FSPCB評価ボードGSO 0516(A)	なし
4 AMP 5-330808-6、開口型ピン・ソケット	なし
2 #2-56 6角ナット(J1固定用)	なし
2 #2-56 x 3/8バインダー・ヘッド機械ネジ(J1固定用)	なし
4 #4-40 6角ナット(ボードのスタンドオフ固定用)	なし
4 #4 1インチ・メタル・スタンドオフ	なし

種々のハードウェア	表示
デカップリング・キャパシタ	
7 サイズ1206チップ・キャパシタ、0.1 μ F	C2 ~ C5、 C8 ~ C10
2 タンタル・キャパシタ、10 μ F	C6、C7
1 サイズ1206チップ・キャパシタ、10 μ F	C1
抵抗	
1 25 チップ抵抗、サイズ1206	R5
2 50 チップ抵抗、サイズ1206	R2、R4
1 3.9 k チップ抵抗、サイズ1206	R1
4 2 k or 2.2 k チップ抵抗、サイズ1206	R3、R8、 R9、R10
2 1 k チップ抵抗、サイズ1206	R6、R7
集積回路	
1 AD9851ダイレクト・デジタル・シンセサイザ、表面実装	U1
2 74HCT574AN HCMOSオクタール・フリップフロップ、スルーホール実装	U2、U3

AD9851/CGPCB クロック・ジェネレータ 評価ボード (SSOPパッケージ)

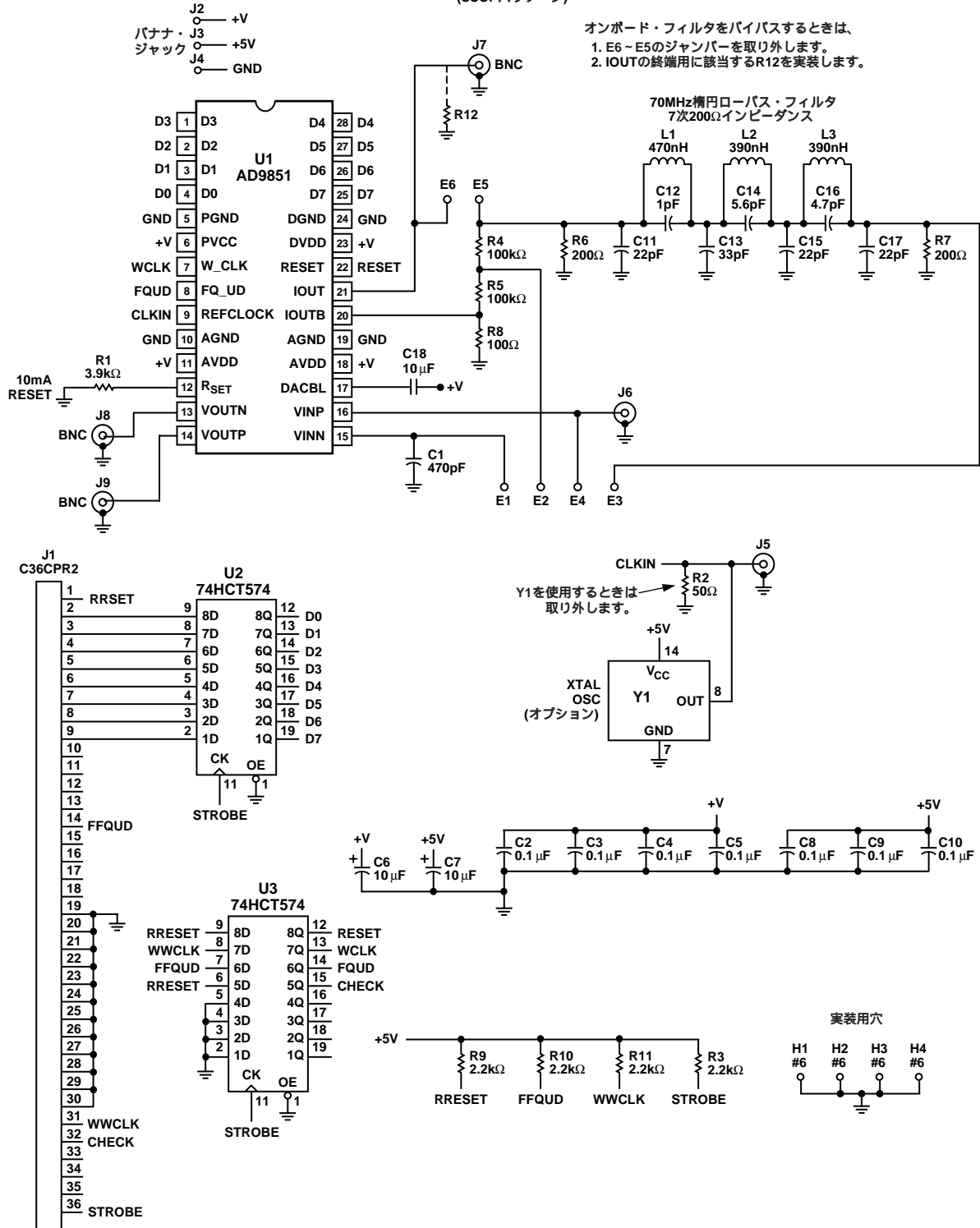
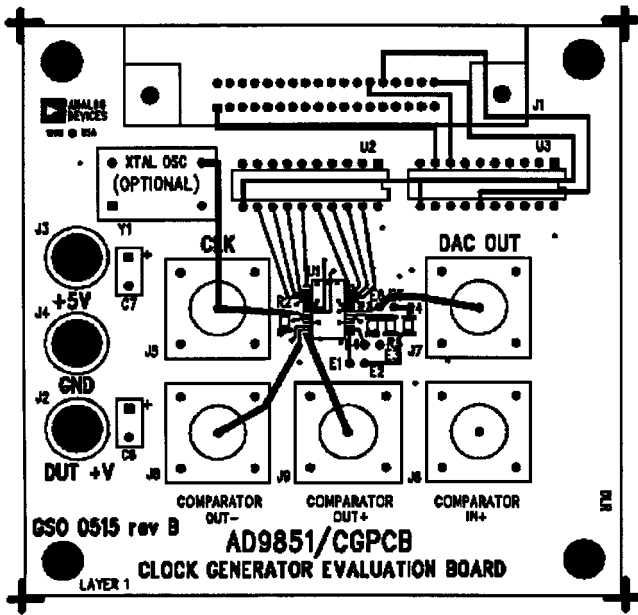
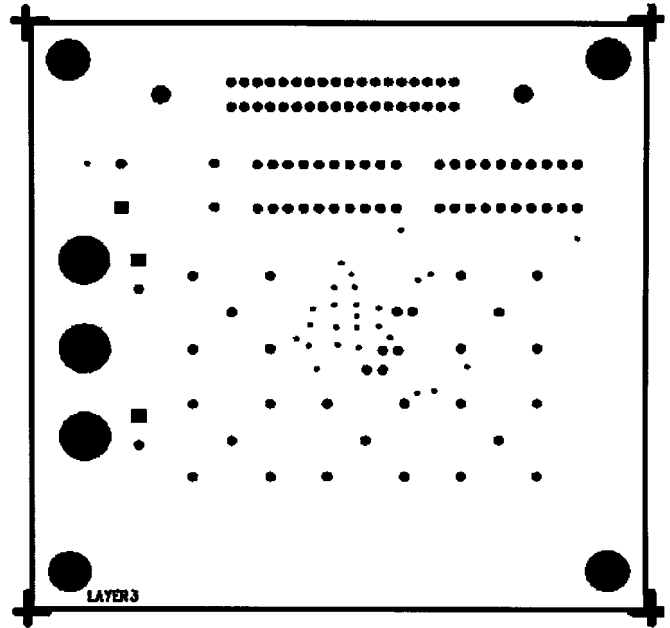


図24. CGPCBの回路図

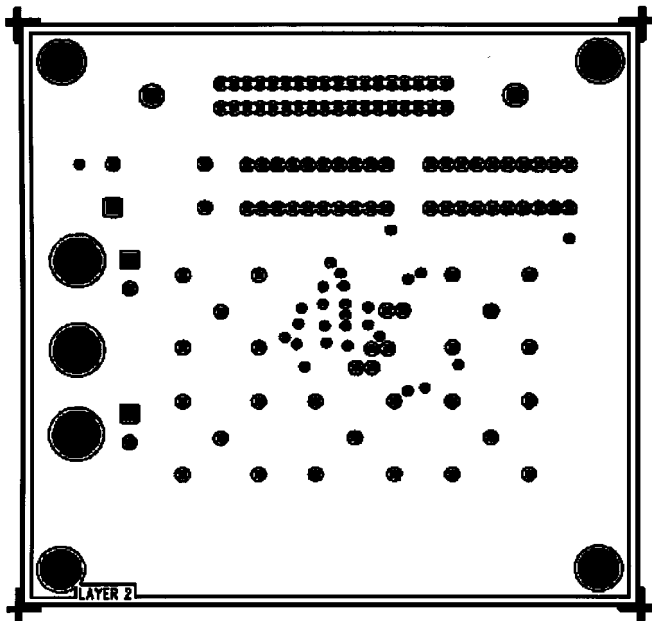
AD9851



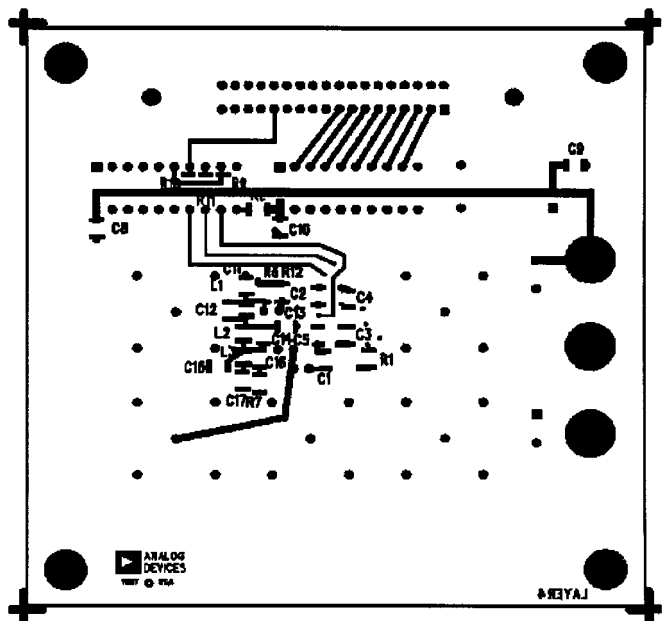
a. CGPCB最上層



b. CGPCB電源プレーン



c. CGPCBグランド・プレーン



d. CGPCB最下層

図25. CGPCB評価ボードの4層PCBレイアウト・パターン

CGPCB評価ボード部品表 GSO 0515(B)

種々のハードウェア	表示
1 Amp 552742-1、36-ピンプラスチック、右角度、PC実装、メス形	J1
1 バナナ・ジャック 色は無視	J2
1 黄バナナ・ジャック	J3
1 黒バナナ・ジャック	J4
5 BNC同軸コネクタ、PC実装	J5、J6、J7、 J8、J9
1 AD9851/CGPCB評価ボードGSO 0515(B)	なし
4 AMP 5-330808-6、開口型ピン・ソケット	なし
2 #2-56六角ナット(J1固定用)	なし
2 #2-56×3/8バインダー・ヘッド機械ネジ(J1固定用)	なし
4 #4-40六角ナット(スタンドオフをボードに固定)	なし
4 #4 1インチ・メタル・スタンドオフ	なし
デカップリング・キャパシタ	
1 サイズ1206、チップ・キャパシタ、470 pF	C1
7 サイズ1206チップ・キャパシタ、0.1 μF	C2 ~ C5、 C8 ~ C10
2 タンタル・キャパシタ、10 μF	C6、C7
1 サイズ1206、チップ・キャパシタ、10 μF	C18
抵抗	
1 3.9 k チップ抵抗、サイズ1206	R1
1 50 チップ抵抗、サイズ1206	R2
4 2 k or 2.2 k チップ抵抗、サイズ1206	R3、R9、 R10、R11
2 100 k チップ抵抗、サイズ1206	R4、R5
2 200 チップ抵抗、サイズ1206	R6、R7
1 100 チップ抵抗、サイズ1206	R8
1 ダミー抵抗(オプション実装用)	R12
フィルタ・キャパシタ(70 MHz 7極楕円フィルタ)	
3 22 pFチップ・キャパシタ、サイズ1206	C11、C15、 C17
1 1 pFチップ・キャパシタ、サイズ1206	C12
1 33 pFチップ・キャパシタ、サイズ1206	C13
1 5.6 pFチップ・キャパシタ、サイズ1206	C14
1 4.7 pFチップ・キャパシタ、サイズ1206	C16
インダクタ(70 MHz 7極楕円フィルタ)	
1 470 nHチップ・インダクタ、コイル・クラフト 1008CS	L1
2 390 nHチップ・インダクタ、コイル・クラフト 1008CS	L2、L3
集積回路	
1 AD9851ダイレクト・デジタル・シンセサイザ、表面実装	U1
2 74HCT574AN HCMOSオクタール・フリップフロップ、スルーホール実装	U2、U3

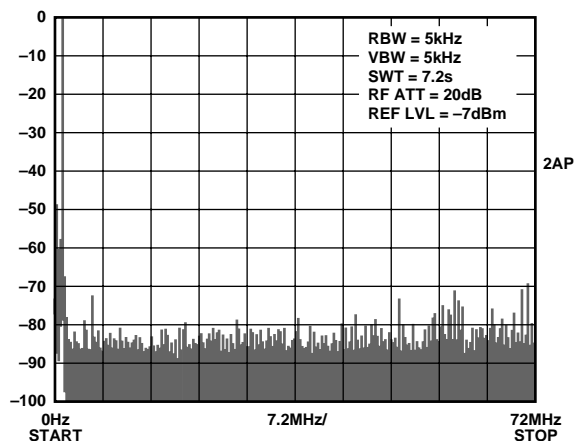


図26. 1.1 MHz基本波出力信号に対する広帯域(DC ~ 72 MHz)出力SFDR
システム・クロック = 180 MHz(6 × REFCLK乗算器エンジンゲージ) $V_s = +5 V$

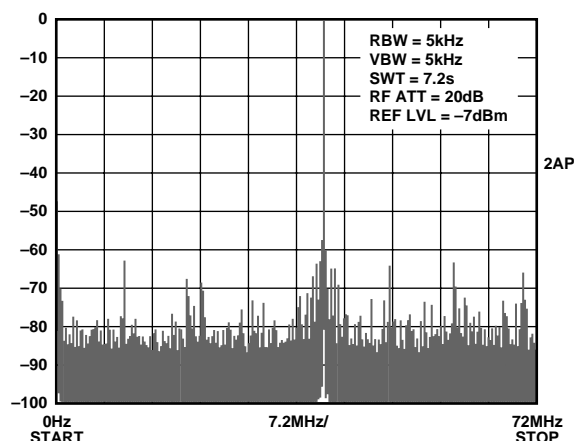


図27. 40.1 MHz基本波出力信号に対する広帯域(DC ~ 72 MHz)出力SFDR
システム・クロック = 180 MHz、(6 × REFCLK乗算器エンジンゲージ) $V_s = +5 V$

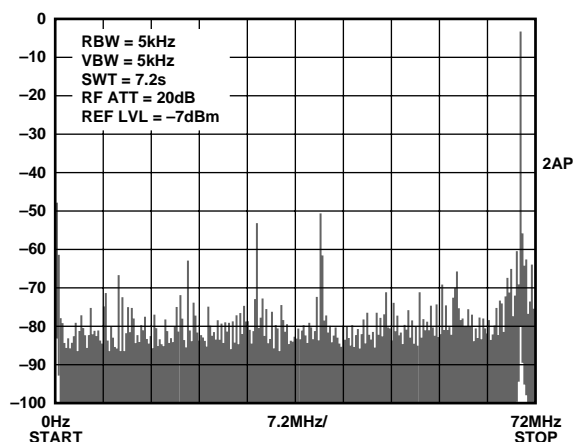


図28. 70.1 MHz基本波出力信号に対する広帯域(DC ~ 72 MHz)出力SFDR
システム・クロック = 180 MHz(6 × REFCLK乗算器エンジンゲージ) $V_s = +5 V$

AD9851

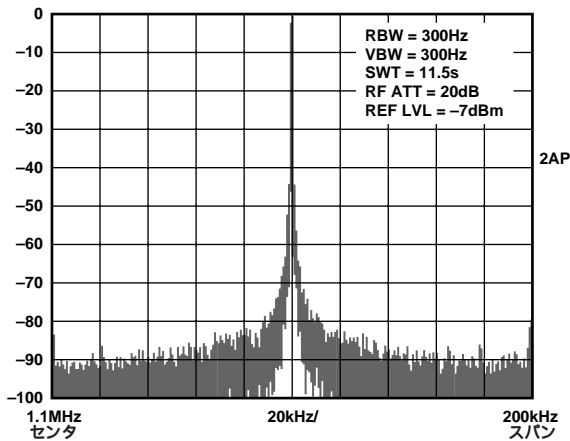


図29. 1.1 MHz基本波出力信号に対する狭帯域(1.1 ± 0.1 MHz)
出力SFDR
システム・クロック = 180 MHz($6 \times$ REFCLK乗算器エンゲージ) $V_S = +5$ V

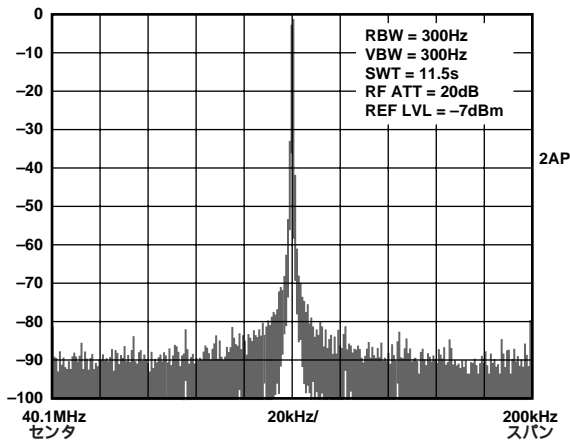


図30. 40.1 MHz基本波出力信号に対する狭帯域(40.1 ± 0.1 MHz)出力SFDR
システム・クロック = 180 MHz($6 \times$ REFCLK乗算器エンゲージ) $V_S = +5$ V

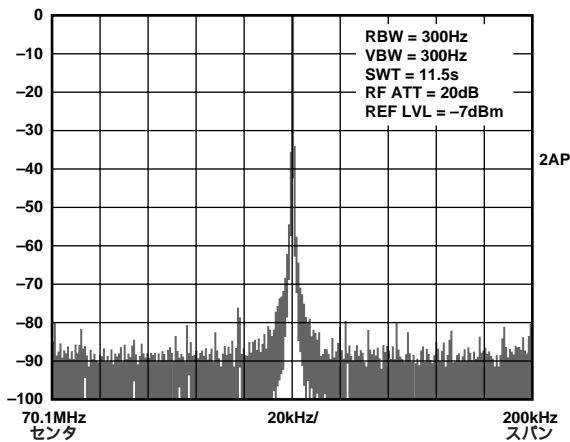


図31. 70.1 MHz基本波出力信号に対する狭帯域(70.1 ± 0.1 MHz)出力SFDR
システム・クロック = 180 MHz($6 \times$ REFCLK乗算器エンゲージ) $V_S = +5$ V

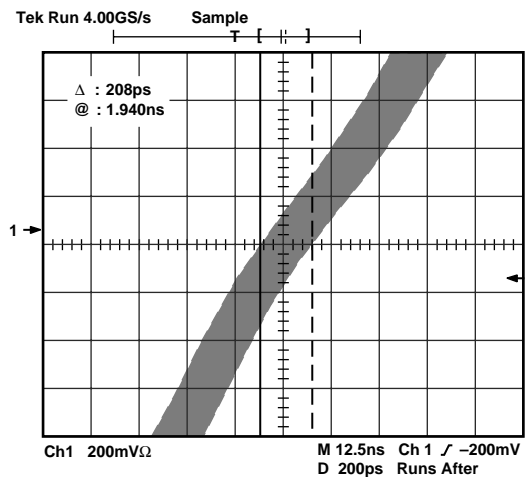


図32. AD9851をクロック・ジェネレータとして使用した場合のCMOSコンパレータp-p出力ジッタ(Typ値) DDS $f_{OUT} = 10.1$ MHz、 $V_S = +5$ V、システム・クロック = 180 MHz、70 MHz LPF。立上がりエッジの中央部分の詳細を表示、オシロスコープは遅延トリガー・モードで使用、200 ps/div。カーソル表示: 208 ps p-pジッタ。

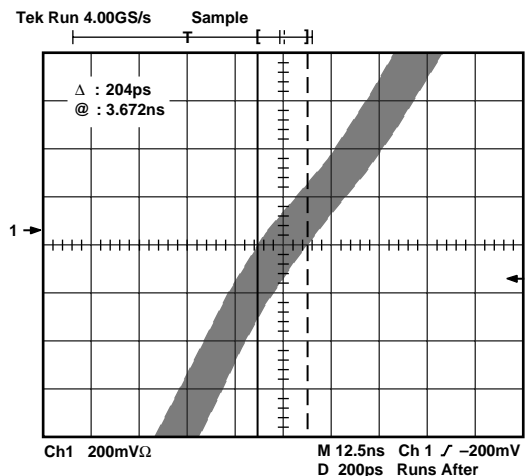


図33. AD9851をクロック・ジェネレータとして使用した場合のCMOSコンパレータp-p出力ジッタ(Typ値) DDS $f_{OUT} = 40.1$ MHz、 $V_S = +5$ V、システム・クロック = 180 MHz、70 MHz LPF。立上がりエッジの中央部分の詳細を表示、オシロスコープは遅延トリガー・モードで使用、200 ps/div。カーソル表示: 204 ps p-pジッタ。

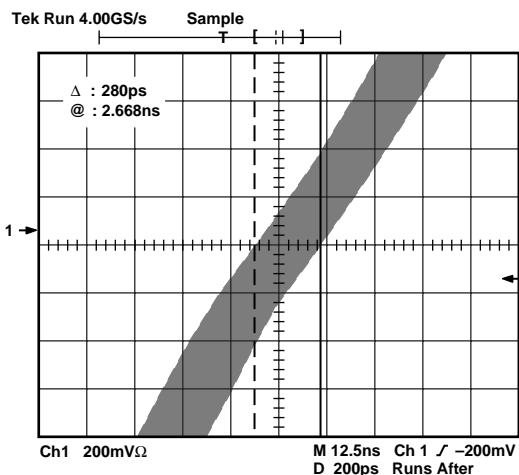


図34. AD9851をクロック・ジェネレータとして使用した場合のCMOSコンパレータ $p-p$ 出力ジッタ(Typ値) $DDS f_{OUT} = 70.1 \text{ MHz}$, $V_S = +5 \text{ V}$, システム・クロック = 180 MHz, 70 MHz LPF. 立上がりエッジの中央部分の詳細を表示, オシロスコープは遅延トリガー・モードで使用, 200 ps/div. カーソル表示: 280 ps $p-p$ ジッタ。

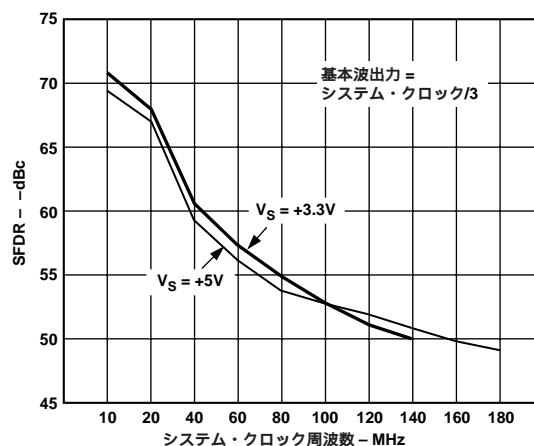


図37. スプリアスなしのダイナミックレンジ (SFDR) は一般に D/AC アナログ出力周波数の関数です。1/3システム・クロック・レートのアナログ出力周波数はワースト・ケースと見なされます。下のプロットは種々のシステム・クロック・レートに対するワースト・ケースSFDR値 (typ) です。

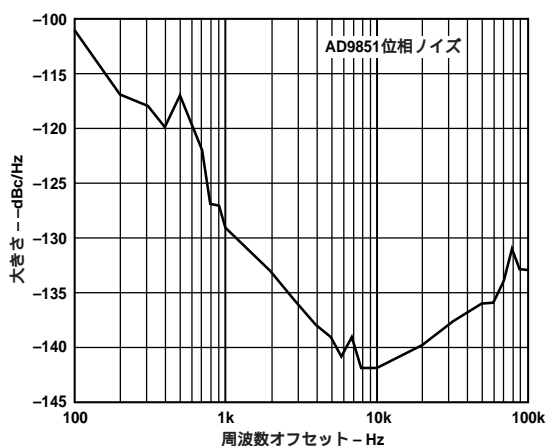


図35. 出力位相ノイズ ($5.2 \text{ MHz } A_{OUT}$) $6 \times \text{REFCLK}$ 乗算器をイネーブ、システム・クロック = 180 MHz、基準クロック = 30 MHz

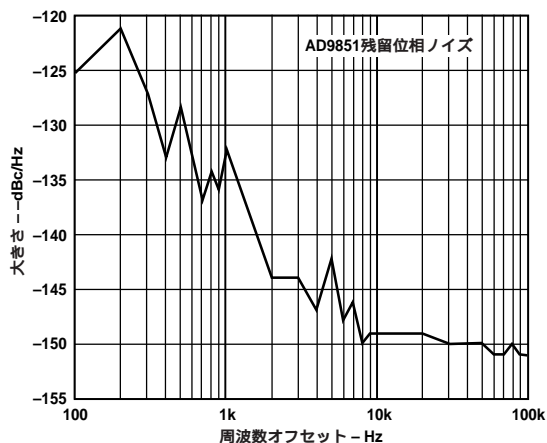


図36. 出力残留位相ノイズ ($5.2 \text{ MHz } A_{OUT}$) $6 \times \text{REFCLK}$ 乗算器をディスエーブ、システム・クロック = 180 MHz、基準クロック = 180 MHz

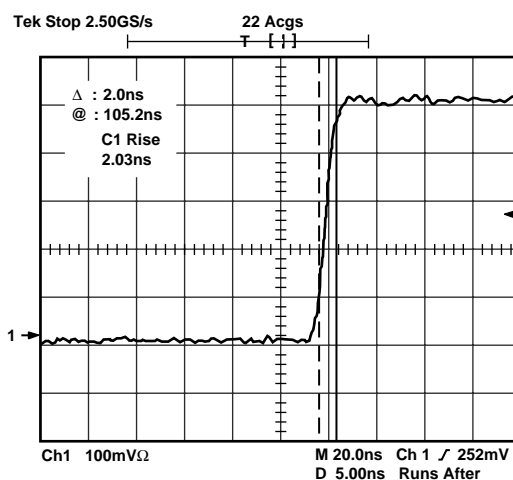


図38. コンパレータ立上がり時間、15 pF 負荷

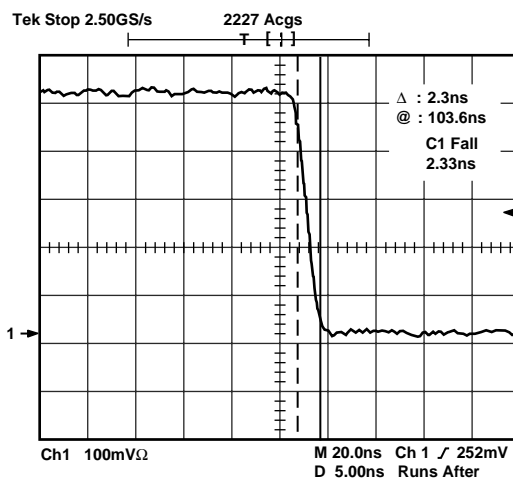


図39. コンパレータ立下がり時間、15 pF 負荷

AD9851

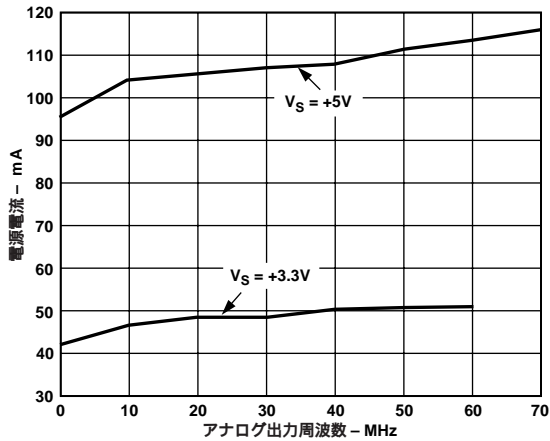


図40. 180 MHzシステム・クロック(上のパターン)と125 MHzシステム・クロック(下のパターン)におけるアナログ出力周波数に対する電源電流変化

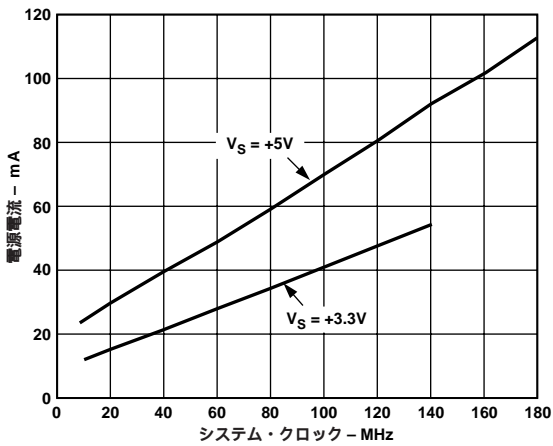


図41. システム・クロック周波数に対する電源電流変化

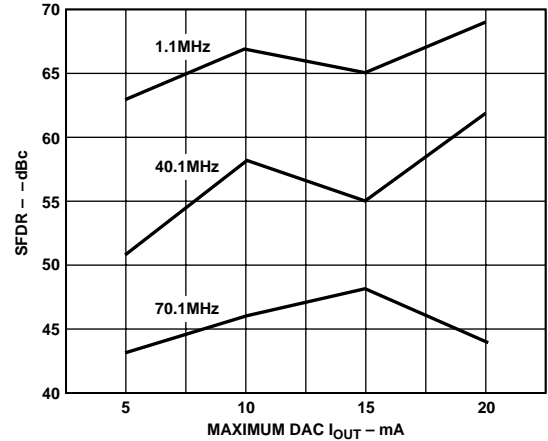


図42. 代表的な3つのD/AC出力周波数1.1 MHz、40.1 MHz、70.1 MHzにおける広帯域(0~72 MHz)SFDRに対するD/AC最大出力電流の影響。 $V_S = +5V$ 、180 MHzシステム・クロック(6×REFCLK乗算器をディスエーブル)。電流は R_{SET} の該当する値を使って設定。

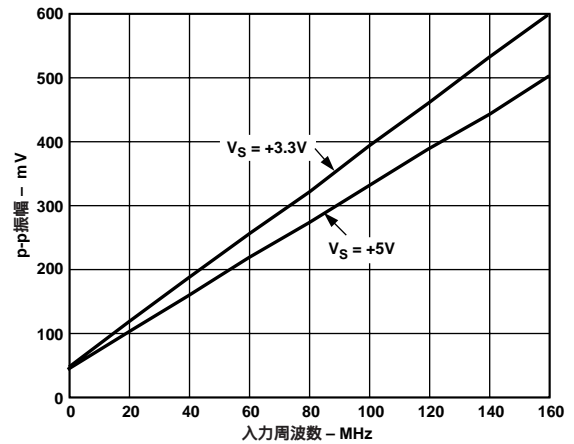
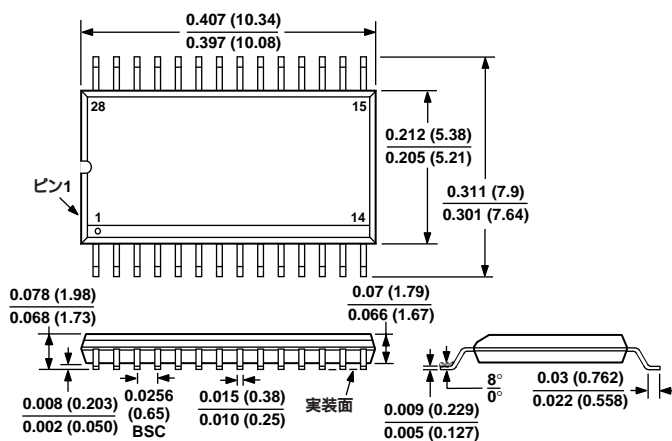


図43. AD9851コンパレータ出力をトグルするために必要な最小p-p入力信号。コンパレータ入力正弦波で、固定電圧のスレッシュホールドと比較。適切な信号がAD9851コンパレータに入力されていることを確認するときは、 $\sin(x)/x$ ロールオフおよび任意のフィルタ損失の他にこのデータを使ってください。

外形寸法

サイズはインチと(mm)で示します。

28ピン・シュリンク・スモール・アウトライン・パッケージ (RS-28)



AD9851

D4132-2.7-11/99,1A

PRINTED IN JAPAN

