

AD7887

特長

V_{DD} : +2.7 ~ +5.25 V

フレキシブルなパワー/スループット・レート・マネジメント

シャットダウン・モード: 1 μ A (Max)

シングル・エンド入力: 1/2チャンネル

シリアル・インターフェース: SPI™/QSPI™/MICROWIRE™/

DSP互換

パッケージ: 8ピン小型SOIC、 μ SOIC

アプリケーション

バッテリー駆動のシステム(パーソナル・デジタル・アシスタント

(PDA)、医療機器、移動通信)

計装システム、制御システム

高速モデム

概要

AD7887は高速・低消費電力の12ビットA/DCで、+2.7 ~ +5.25 Vの単電源で動作し、125 kSPSスループット・レートを実現しています。入力トラック・アンド・ホールド回路は500 nsで信号を取り込み、シングル・エンド・サンプリング方式を採用しています。AD7887の出力コーディングは自然2進数で、2.5 MHzまでのフル・パワー信号を変換することができます。

AD7887は、内蔵コントロール・レジスタを使って、デュアルまたはシングル・チャンネル動作に設定できます。デフォルトのシングル・チャンネル・モードでは、AD7887を読出し専用A/DCとして使用できます。シングル・チャンネル動作では、1本のアナログ入力(AIN0)を使用し、 $V_{REF}/AIN1$ ピンは V_{REF} として使います。 V_{REF} ピンを使うと、内蔵+2.5 Vリファレンスにアクセスすることができます。あるいは、 V_{REF} ピンを外部リファレンスでオーバードライブさせて、デバイスのリファレンスを与えることができます。外部リファレンスの範囲は+2.5 V ~ V_{DD} です。AIN0のアナログ入力範囲は0 ~ $+V_{REF}$ です。

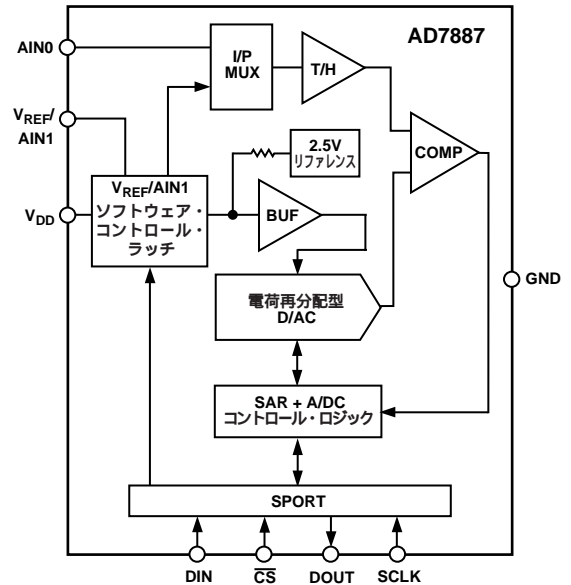
デュアル・チャンネル動作では、 $V_{REF}/AIN1$ ピンはAIN1として使用され、2つ目のアナログ入力チャンネルになります。この場合、デバイスのリファレンスは V_{DD} ピンから与えられます。従って、AIN0とAIN1の入力電圧範囲は0 ~ V_{DD} になります。

SPIとQSPIは、モトローラ社の商標です。

MICROWIREは、ナショナル・セミコンダクター社の商標です。

REV.A

機能ブロック図



CMOS 構造により、通常動作では2 mW (typ)、パワーダウン・モードでは3 μ W (typ)の低消費電力を実現しています。

AD7887は0.15インチ幅の8ピンSOICパッケージと8ピン μ SOICパッケージが用意されています。

製品のハイライト

1. 最小の12ビット・デュアル/シングル・チャンネルA/DC; 8ピン μ SOICパッケージ。
2. 消費電力最少の12ビット・デュアル/シングル・チャンネルA/DC。
3. 変換後の自動パワーダウンなど、フレキシブルなパワー・マネジメント・オプション
4. 読出し専用A/DC可能
5. 0 V ~ V_{REF} のアナログ入力範囲
6. SPI/QSPI/MICROWIRE/DSP互換のシリアルI/Oポート

アナログ・デバイセズ社が提供する情報は正確で信頼できるものを期していますが、当社はその情報の利用、また利用したことにより引き起こされる第三者の特許または権利の侵害に関して一切の責任を負いません。さらにアナログ・デバイセズ社の特許または特許の権利の使用を許諾するものでもありません。

AD7887 仕様

(特に指定のない限り、 $V_{DD} = +2.7 \sim +5.25 \text{ V}$ 、 $V_{REF} = +2.5 \text{ V}$ 外部/内蔵リファレンス、 $f_{SCLK} = 2 \text{ MHz}$; $T_A = T_{MIN} \sim T_{MAX}$)

パラメータ	AR、ARMバージョン ¹	単位	テスト条件/備考
ダイナミック特性			
信号対ノイズ+歪み比 ^{2,3} (SNR)	71	dB typ	$f_{IN} = 10 \text{ kHz}$ 正弦波、 $f_{SAMPLE} = 125 \text{ kSPS}$
全高調波歪み ² (THD)	- 80	dB typ	$f_{IN} = 10 \text{ kHz}$ 正弦波、 $f_{SAMPLE} = 125 \text{ kSPS}$
ピーク高調波またはスプリアス・ノイズ ²	- 80	dB typ	$f_{IN} = 10 \text{ kHz}$ 正弦波、 $f_{SAMPLE} = 125 \text{ kSPS}$
相互変調歪み²(IMD)			
2次項	- 80	dB typ	$f_a = 9.983 \text{ kHz}$ 、 $f_b = 10.05 \text{ kHz}$ 、 $f_{SAMPLE} = 125 \text{ kSPS}$
3次項	- 80	dB typ	$f_a = 9.983 \text{ kHz}$ 、 $f_b = 10.05 \text{ kHz}$ 、 $f_{SAMPLE} = 125 \text{ kSPS}$
チャンネル間アイソレーション ²	- 80	dB typ	$f_{IN} = 25 \text{ kHz}$
フル・パワー帯域幅	2.5	MHz typ	@3 dB
DC精度			
分解能	12	ビット	任意のチャンネル
積分非直線性 ²	± 2	LSB max	11ビットのノーマス・コードを保証(Aグレード)
微分非直線性 ²	± 2	LSB max	
オフセット誤差 ²	± 3	LSB typ	
オフセット誤差不一致 ²	0.5	LSB max	
ゲイン誤差 ²	± 2	LSB typ	
ゲイン誤差不一致 ²	2	LSB max	
アナログ入力			
入力電圧範囲	$0 \sim V_{REF}$	V	
リーク電流	± 5	$\mu\text{A max}$	
入力容量	20	pF typ	
リファレンス入力/出力			
REF _{IN} 入力電圧範囲	$2.5/V_{DD}$	V min/max	1.2 Vから動作 内蔵リファレンスのディスエーブル時は高インピーダンス
入力インピーダンス	10	k typ	
REF _{OUT} 出力電圧	2.45/2.55	V min/max	
REF _{OUT} 温度係数	± 50	ppm/ typ	
ロジック入力			
入力 High 電圧、 V_{INH}	2.4	V min	$V_{DD} = +4.75 \sim +5.25 \text{ V}$ $V_{DD} = +2.7 \sim +3.6 \text{ V}$ $V_{DD} = +2.7 \sim +5.25 \text{ V}$ 10 nA (typ) $V_{IN} = 0 \text{ V}$ または V_{DD}
	2.1	V min	
入力 Low 電圧、 V_{INL}	0.8	V max	
入力電流、 I_{IN}	± 1	$\mu\text{A max}$	
入力容量、 C_{IN}^4	10	pF max	
ロジック出力			
出力 High 電圧、 V_{OH}	$V_{DD} - 0.5$	V min	$I_{SOURCE} = 200 \mu\text{A}$ $V_{DD} = +2.7 \sim +5.25 \text{ V}$ $I_{SINK} = 200 \mu\text{A}$
出力 Low 電圧、 V_{OL}	0.4	V max	
フローティング状態リーク電流	± 1	$\mu\text{A max}$	
フローティング状態出力容量 ⁵	10	pF max	
出力コーディング		自然 ² 進数	
変換レート			
スループット時間	16	SCLKサイクル	変換時間+2 MHzクロックでのアキュイジション時間125 kSPS 7.25 μs (2 MHzクロック)
トラック/ホールド・アキュイジション時間 ²	1.5	SCLKサイクル	
変換時間	14.5	SCLKサイクル	

パラメータ	AR、ARMバージョン ¹	単位	テスト条件/備考
電源条件			
V_{DD}	+2.7/ +5.25	V min/max	
I_{DD}			
通常モード⁵ (モード2)			
静止時	700	μ A max	内蔵リファレンス・イネーブル時 内蔵リファレンス・ディスエーブル時 $f_{SAMPLE} = 50$ kSPS $f_{SAMPLE} = 10$ kSPS $f_{SAMPLE} = 1$ kSPS $V_{DD} = +2.7 \sim +5.25$ V $V_{DD} = +2.7 \sim +3.6$ V $V_{DD} = +4.75 \sim +5.25$ V $V_{DD} = +5$ V $V_{DD} = +3$ V $V_{DD} = +5$ V $V_{DD} = +3$ V $V_{DD} = +5$ V $V_{DD} = +3$ V
動作時($f_{SAMPLE} = 125$ kSPS)	850	μ A typ	
	700	μ A typ	
スタンバイ・モード時(モード4)	450	μ A typ	
シャットダウン・モード時(モード1、3)	120	μ A typ	
	12	μ A typ	
スタンバイ・モード ⁶	210	μ A max	
シャットダウン・モード ⁶	1	μ A max	
	2	μ A max	
通常モード消費電力	3.5	mW max	
	2.1	mW max	
シャットダウン消費電力	5	μ W max	
	3	μ W max	
スタンバイ消費電力	1.05	mW max	
	630	μ W max	

注

1 温度範囲: ARバージョン: -40 ~ +85、ARMバージョン: -40 ~ +125

2 用語説明を参照してください。

3 SNRの計算には、歪み成分とノイズ成分が含まれます。

4 +25 でサンプリング・テストを行い適合性を保証。

5 全デジタル入力をGNDに接続。ただし、CSは V_{DD} に接続。デジタル出力は無負荷。アナログ入力はGNDに接続。

6 SCLKのOFF時はSCLKをGNDに接続。全デジタル入力をGNDに接続。ただし、CSは V_{DD} に接続。デジタル出力は無負荷。アナログ入力はGNDに接続。

仕様は予告なく変更されることがあります。

絶対最大定格¹

(特に指定のない限り、 $T_A = +25$)

AGNDを基準とする V_{DD} -0.3 ~ +7 V

AGNDを基準とするアナログ入力電圧 -0.3 ~ $V_{DD} + 0.3$ V

AGNDを基準とするデジタル入力電圧 -0.3 ~ $V_{DD} + 0.3$ V

AGNDを基準とするデジタル出力電圧 -0.3 ~ $V_{DD} + 0.3$ V

AGNDを基準とするREF_{IN}/REF_{OUT} -0.3 ~ $V_{DD} + 0.3$ V

電源以外の任意のピンの入力電流² ± 10 mA

動作温度範囲

産業用

ARバージョン -40 ~ +85

ARMバージョン -40 ~ +125

保管温度範囲 -65 ~ +150

接合温度 +150

SOIC、 μ SOICパッケージ、消費電力 450 mW

JA 熱インピーダンス 157 /W (SOIC)

..... 205.9 /W (μ SOIC)

JC 熱インピーダンス 56 /W (SOIC)

..... 43.74 /W (μ SOIC)

ピン温度、ハンダ処理

蒸着(60秒) +215

赤外線(15秒) +220

ESD 4.5 kV

.....

.....

注

1 上記の絶対最大定格を超えるストレスを加えるとデバイスに永久的な損傷を与えることがあります。この定格はストレス定格の規定のみを目的とするものであり、この仕様の動作セクションに記載する規定値以上のデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くとデバイスの信頼性に影響を与えます。

2 100 mAまでの過渡電流ではSCRラッチアップは発生しません。

オーダー・ガイド

モデル	直線性誤差(LSB) ¹	パッケージ・オプション ²	ブランド
AD7887AR	± 2	SO-8	AD7887AR
AD7887ARM	± 2	RM-8	C8A
EVAL-AD7887CB ³	評価ボード		
EVAL-CONTROL BOARD ⁴	コントローラ・ボード		

注

1 ここでの直線性誤差は積分直線性誤差を意味します。

2 SO=SOIC; RM= μ SOIC.

3 独立の評価ボードとして、またはEVAL-CONTROL BOARDと組み合わせて、評価/デモンストレーション用に使用できます。

4 このボードは完全なユニットで、PC側から全アナログ・デバイス評価ボード(CBサフィックス付き)に対して制御または通信を行います。

AD7887

タイミング特性¹

パラメータ	T _{MIN} 、T _{MAX} での限界値 (AR、ARMバージョン)		単位	備考
	+4.75 ~ +5.25 V	+2.7 ~ +3.6 V		
f _{SCLK} ²	2	2	MHz max	
t _{CONVERT}	14.5 t _{SCLK}	14.5 t _{SCLK}		スループット時間 = t _{CONVERT} + t _{ACQ} = 16 t _{SCLK}
t _{ACQ}	1.5 t _{SCLK}	1.5 t _{SCLK}		CSからSCLKまでのセットアップ時間
t ₁	10	10	ns min	CSからDOUTスリーステート・ディスエーブルまでの遅延
t ₂ ³	30	60	ns max	SCLK立下がりエッジからのデータ・アクセス時間
t ₃ ³	75	100	ns max	SCLK立下がりエッジからのデータ・アクセス時間
t ₄	20	20	ns min	SCLK立下がりエッジからのデータ・セットアップ時間
t ₅	20	20	ns min	データ有効からSCLKホールド時間まで
t ₆	0.4 t _{SCLK}	0.4 t _{SCLK}	ns min	SCLK Highパルス幅
t ₇	0.4 t _{SCLK}	0.4 t _{SCLK}	ns min	SCLK Lowパルス幅
t ₈ ⁴	80	80	ns max	CS立下がりエッジからDOUT高インピーダンスまで
t ₉	5	5	μs typ	シャットダウンからのパワーアップ時間

注

1 +25 でサンプリング・テストを行い適合性を保証。全入力信号はtr = tf = 5 ns (V_{DD}の10 ~ 90%)で規定され、電圧レベル1.6 Vからの時間を測定。

2 SCLK入力のマーク/スペース比は40/60 ~ 60/40。

3 図1の負荷回路で測定し、出力が0.8 Vまたは2.0 Vを通過するのに要する時間として定義。

4 t₈は、図1の負荷回路使用時にデータ出力が0.5 V変化するのに要する時間の測定値から導出しています。測定値は、50 pFのコンデンサの充電または放電の影響を排除するため測定後、外挿されています。これは、タイミング特性で示している時間t₈がこのデバイスの真のバス解放時間であり、バスの外部負荷容量と無関係であることを意味します。

仕様は予告なく変更されることがあります。

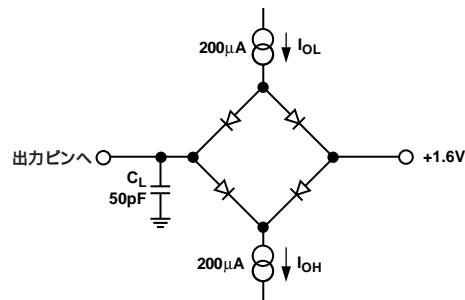
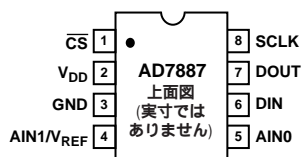


図1 . デジタル出力タイミング特性用の負荷回路

ピン配置



ピン機能説明

ピン番号	記号	機能
1	CS	チップ・セレクト。アクティブLowのロジック入力。この入力は、AD7887の変換開始とシリアル・データ転送フレーム化の2つの機能を持っています。AD7887のデフォルト・モードでは、CSピンはシャットダウン・ピンとしても機能し、CSピンがHighになると、AD7887はパワーダウン・モードになります。
2	V _{DD}	電源入力。AD7887のV _{DD} 範囲は+2.7 ~ +5.25 Vです。AD7887が2チャンネル動作に設定されると、このピンはデバイスのリファレンス・ソースとしても機能します。
3	GND	グラウンド・ピン。このピンは、AD7887の全回路のグラウンド・リファレンス・ポイントになります。AGNDプレーンとDGNDプレーンを分離したシステムでは、両プレーンをGNDピンにできるだけ近いところで接続する必要があります。これが不可能な場合は、GNDピンはAGNDプレーンに接続します。
4	AIN1/V _{REF}	アナログ入力1/リファレンス入力。シングル・チャンネル・モードでは、このピンがリファレンス入力/出力になります。この場合、内蔵の+2.5 Vリファレンスにアクセスでき、あるいはこのピンに入力した電圧で内蔵リファレンスを置き換えることができます。外部から入力するリファレンス範囲は+1.2 V ~ V _{DD} です。2チャンネル・モードでは、このピンは2つ目のアナログ入力チャンネルAIN1になります。AIN1の入力電圧範囲は0 ~ V _{DD} です。
5	AIN0	アナログ入力0。シングル・チャンネル・モードではアナログ入力になり、入力電圧範囲は0 ~ V _{REF} です。デュアル・チャンネル・モードでは、アナログ入力範囲は0 ~ V _{DD} になります。
6	DIN	データ入力。ロジック入力。AD7887のコントロール・レジスタに書込むデータが接続され、SCLKの立上がりエッジでレジスタに入力されます(コントロール・レジスタの項を参照)。DINラインをGNDに接続すると、AD7887をシングル・チャンネル読み出し専用A/DCとして使用できます。
7	DOUT	データ出力。ロジック出力。AD7887の変換結果がシリアル・データ・ストリームとして出力され、SCLK入力の立下がりエッジで出力されます。データ・ストリームは、先頭の4ビットのゼロと、それに続く12ビットの変換データ(MSB先頭)で構成されます。
8	SCLK	シリアル・クロック。ロジック入力。SCLKは、デバイスからのデータ読み出し、コントロール・レジスタへのシリアル・データ書き込みで、シリアル・クロックとして機能します。クロック入力は、AD7887の変換プロセスのクロック・ソースとしても使用されます。

AD7887

用語説明

積分非直線性

A/DC伝達関数の両端を結ぶ直線からの最大偏差をいいます。伝達関数の両端とは、最初のコード変化より1/2 LSB下のゼロ・スケールと、最後のコード変化より1/2 LSB上のフル・スケールをいいます。

微分非直線性

A/DCの任意の2つの隣接コード間における1LSB変化の測定値と理想値の差をいいます。

オフセット誤差

最初のコード変化(00...000から00...001への変化)の理想値(AGND + 0.5 LSB)からの偏差をいいます。

オフセット誤差不一致

任意の2チャンネル間のオフセット誤差の差をいいます。

ゲイン誤差

オフセット誤差を調整した後の、最後のコード変化(111...110から111...111への変化)の理想値($V_{REF} - 1.5 \text{ LSB}$)からの偏差をいいます。

ゲイン誤差不一致

任意の2チャンネル間のゲイン誤差の差をいいます。

トラック/ホールド・アキュイジション時間

変換終了時にトラック/ホールド・アンプはトラック・モードに戻ります。トラック/ホールド・アキュイジション時間は、変換終了後にトラック/ホールド・アンプ出力が最終値 $\pm 1/2 \text{ LSB}$ に到達するまでに要する時間をいいます。

信号対(ノイズ+歪み)比

A/Dコンバータの出力で測定された信号と(ノイズ+歪み)の比をいいます。信号は基本波のrms振幅で、ノイズはサンプリング周波数の $1/2(f_s/2)$ までの、DCと基本波を除く全信号のrms値の総和です。この比は、量子化プロセスの量子化レベル数に依存します。レベル数が大きいほど、量子化ノイズは小さくなります。正弦波入力に対する理想的なNビット・コンバータの信号対(ノイズ+歪み)比の理論値は、次式で表わされます。

$$\text{信号対(ノイズ+歪み)比} = (6.02N + 1.76) \text{ dB}$$

12ビット・コンバータでは、この値は74 dBになります。

全高調波歪み

全高調波歪み(THD)は、高調波のrms値の総和と基本波との比です。AD7887の場合、次式で定義されます。

$$\text{THD (dB)} = 20 \log \frac{\sqrt{V_2^2 + V_3^2 + V_4^2 + V_5^2 + V_6^2}}{V_1}$$

ここで、 V_1 は基本波のrms振幅で、 V_2, V_3, V_4, V_5, V_6 は2次~6次高調波のrms振幅です。

ピーク高調波またはスプリアス・ノイズ

ピーク高調波またはスプリアス・ノイズは、A/DC出力スペクトラム(DCを除き、 $f_s/2$ まで)内で2番目に大きい成分のrms値と基本波のrms値の比として定義されます。通常、この値はスペクトラム内の最大高調波により決定されますが、高調波がノイズフロアに埋もれているA/DCの場合は、ノイズ・ピークにより決定されます。

相互変調歪み

2つの周波数 f_a と f_b を持つ正弦波を入力することにより、非直線性を持つすべてのアクティブ・デバイス、 $m f_a \pm n f_b$ ($m, n = 0, 1, 2, 3, \dots$)の周波数の和と差で表わされる歪み積を発生します。相互変調項は、 m と n がどちらも非ゼロの項です。例えば、2次項には、 $(f_a + f_b)$ と $(f_a - f_b)$ が含まれ、3次項には $(2 f_a + f_b)$ 、 $(2 f_a - f_b)$ 、 $(f_a + 2 f_b)$ 、 $(f_a - 2 f_b)$ が含まれます。

AD7887はCCIF規格に従い入力帯域上限に近い12つの入力周波数を使ってテストされています。この場合、一般に、2次項は元の正弦波から離れた周波数になりますが、3次項は、一般に、入力周波数に近い周波数になります。そのため、2次項と3次項は別々に規定されます。相互変調歪みの計算は、個々の歪み成分のrms総和と基本波の和のrms振幅の比(単位dBs)で、THD仕様と同様に行います。

チャンネル間アイソレーション

チャンネル間アイソレーションは、チャンネル間のクロストーク・レベルの測定値をいいます。フル・スケールの25 kHz正弦波信号を非選択入力チャンネルに入力して、選択チャンネルでのその信号の減衰量を測定します。この数値は、AD7887の両チャンネル間でのワースト・ケースを示します。

PSR(電源除去比)

電源の変動はフル・スケール変化に影響を与えますが、コンバータの直線性には影響しません。電源除去比は、電源電圧の公称値からの変化に起因するフル・スケール変化ポイントでの最大変化になります。

コントロール・レジスタ

AD7887のコントロール・レジスタは8ビットの書き込み専用レジスタです。データはAD7887のDINピンからSCLKの立上がりエッジでロードされます。データは、デバイスからの変換結果の読出しと同時にDINライン上に転送されます。この動作では、各データ転送に対して16個のシリアル・クロックを必要とします。 \overline{CS} の立下がりエッジ後の最初の8個のクロック立上がりエッジで入力された情報のみが、コントロール・レジスタにロードされます。MSBはデータ・ストリームの先頭ビットを示します。ビットの機能を表Iに示します。コントロール・レジスタはパワーアップ時にゼロ・クリアされます。

表I . コントロール・レジスタ

MSB

DONTC	ZERO	REF	SIN/DUAL	CH	ZERO	PM1	PM0
-------	------	-----	----------	----	------	-----	-----

ビット	記号	説明
7	DONTC	Don't Care. コントロール・レジスタのこのビットに書込まれた値はdon't care、すなわち、"0"または"1"のいずれでもかまいません。
6	ZERO	AD7887が正常動作するために、このビットにはゼロを書込む必要があります。
5	REF	リファレンスビット。このビットが"0"の場合は、内蔵リファレンスがイネーブルされます。このビットが"1"の場合は、内蔵リファレンスがディスエーブルされます。
4	SIN/DUAL	シングル/デュアル・ビット。AD7887のシングルまたはデュアル・チャンネル動作を指定します。このビットが"0"の場合、シングル・チャンネル動作が選択され、AIN1/V _{REF} ピンはV _{REF} 機能になります。このビットが"1"の場合、デュアル・チャンネル・モードが選択され、A/DCのリファレンスは内部でV _{DD} に接続され、AIN1/V _{REF} ピンはAIN1(2つ目のアナログ入力チャンネル)として機能します。AD7887の性能を最高に引き出すには、デュアル・チャンネル・モード(REF=1)では、内蔵リファレンスをディスエーブルしておく必要があります。
3	CH	チャンネル・ビット。デュアル・チャンネル・モードが選択されると、このビットは次に変換されるチャンネルを指定します。このビットが"0"の場合はAIN0入力が、このビットが"1"の場合はAIN1入力が、それぞれ選択されます。シングル・チャンネル・モードでは、このビットは常に"0"でなければいけません。
2	ZERO	AD7887が正常動作するために、このビットにはゼロを書込む必要があります。
1、0	PM1、PM0	パワー・マネジメント・ビット。この2つのビットは、下表に従ってAD7887の動作モードを指定します。

表II . パワー・マネジメントのオプション

PM1	PM0	モード
0	0	モード1。このモードでは、AD7887は \overline{CS} 入力が"1"のときシャットダウンに、 \overline{CS} が"0"のときフル・パワー・モードになります。したがって、 \overline{CS} の立下がりエッジでシャットダウンから抜け出し、 \overline{CS} の立上がりエッジでシャットダウンに入ります。
0	1	モード2。このモードでは、ロジック入力の状態とは無関係に、AD7887は常にフル・パワーアップします。
1	0	モード3。このモードでは、 \overline{CS} の状態とは無関係に、AD7887は各変換の終わりに自動的にシャットダウン・モードになります。
1	1	モード4。このスタンバイ・モードでは、AD7887の一部がパワーダウンされますが、内蔵リファレンスはパワーアップのままです。モード3に似ていますが、デバイスのパワーアップが高速である点が異なります。内蔵リファレンスを確実にイネーブルするため、REFビットは"0"にする必要があります。

AD7887

特性カーブ

図2に、サンプル・レート125 kHz、入力周波数10 kHz時のAD7887の代表的なFFTプロットを示します。

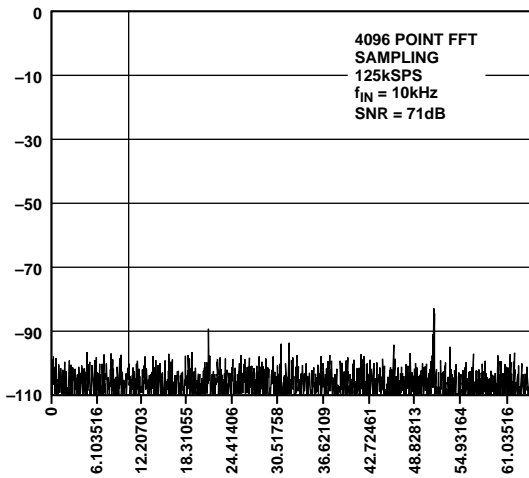


図2 . ダイナミック特性

図3に、5 V外部リファレンス電源使用時のS/N比と周波数の関係を示します。

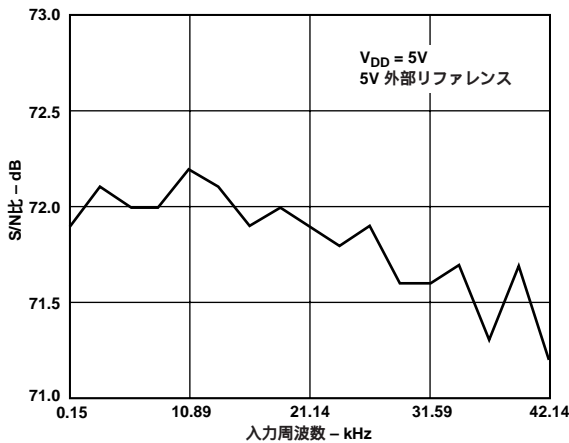


図3 . S/N比と入力周波数

図4に、電源除去比と周波数の関係を示します。電源除去比は、周波数 f のA/DC出力での電力とA/DCに入力された周波数 f_s のフル・スケール正弦波電力の比として、次のように定義されます。

$$PSRR (dB) = 10 \log (P_f / P_{fs})$$

ここで、 P_f = 周波数 f のA/DC出力での電力、 P_{fs} = 周波数 f_s のA/DCフル・スケール入力の電力。ここでは、100 mVのピーク to ピーク正弦波を V_{DD} 電源に結合しています。+2.7 Vおよび+5.5 Vの両電源での性能が示してあります。

回路情報

AD7887は、単電源動作の低消費電力で高速な12ビット・シングル/デュアル・チャンネルA/Dコンバータで、+3 V (+2.7 ~ +3.6 V)電源または+5 V (+4.75 ~ +5.25 V)電源で動作できます。+5 Vまたは+3 Vの電源で動作する場合、AD7887は2 MHzクロック

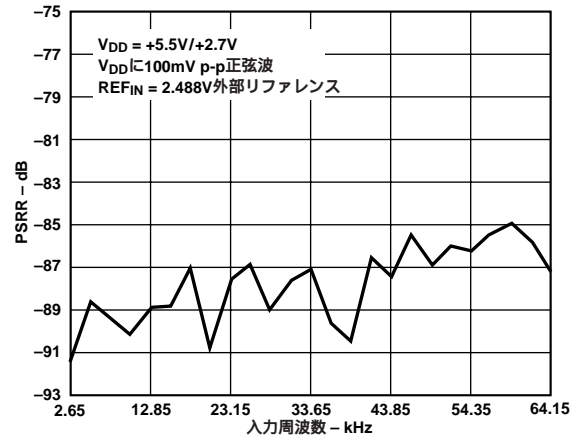


図4 . PSRRと入力周波数

で125 kSPSのスループット・レートが得られます。

AD7887は、8ピン・パッケージを採用し、トラック/ホールド、A/Dコンバータ、リファレンス、シリアル・インターフェースを内蔵しています。シリアル・クロック入力は、デバイスからのデータ読出しと、逐次比較型A/Dコンバータのクロック・ソースとして使います。AD7887は、シングルまたはデュアル・チャンネル動作に設定できます。シングル・チャンネルに設定した場合は、アナログ入力範囲は $0 \sim V_{REF}$ (外部入力 V_{REF} は+1.2 V ~ V_{DD})になります。デュアル入力チャンネルに設定した場合は、入力範囲は内部接続により決定され $0 \sim V_{DD}$ になります。

シングル・チャンネル動作が必要な場合は、DINラインをGNDに固定接続することにより、AD7887を読出し専用モードで動作させることができます。動作モードを変更する必要があるアプリケーションまたは、AD7887をデュアル・チャンネルA/Dコンバータとして動作させるアプリケーションでは、コントロール・レジスタにデータを入力する際のクロックとして、DINラインを使うことができます。

変換動作

AD7887は、電荷再分配型D/ACを採用した逐次比較型A/Dコンバータです。図5と図6に、簡略化したA/DC概略図を示します。図5は、アキュイジション・フェーズのA/DCを示します。SW2が閉じて、SW1はポジションAにあり、コンパレータは平衡状態に保たれ、サンプリング・コンデンサは、AINの信号を取り込みます。

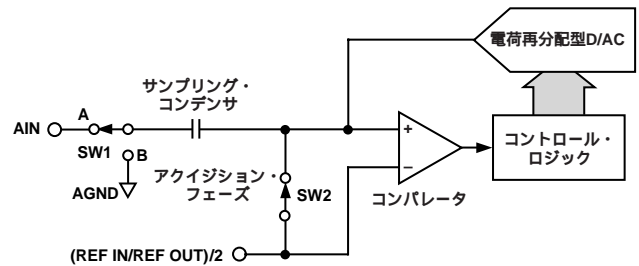


図5 . A/DCのアキュイジション・フェーズ

A/DCが変換を開始すると(図6参照) SW2が開き、SW1がポジションBに移動してコンパレータの平衡を失わせます。コントロール・ロジックと電荷再分配型D/ACは、サンプリング・コンデンサに一定量の電荷を加算または減算してコンパレータを平衡状態に戻します。コンパレータが平衡状態に戻ると、変換が完了します。コントロール・ロジックはA/DC出力コードを発生します。図7に、A/DCの伝達関数を示します。

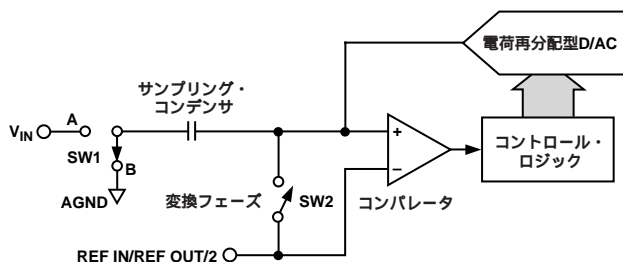


図6 . A/DC変換フェーズ

A/DCの伝達関数

AD7887の出力コーディングは自然2進数です。符号付きコードの変化は、LSBの連続する整数倍値(すなわち、 $1 \times \text{LSB}$ 、 $2 \times \text{LSB}$ 、...)で発生します。LSBサイズ = $V_{\text{REF}}/4096$ です。AD7887の理想的な伝達特性を図7に示します。

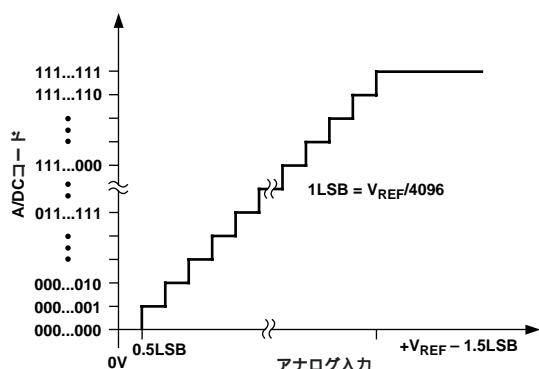


図7 . 伝達特性

代表的な接続図

図8に、AD7887の代表的な接続図を示します。GNDピンはシステムのアナログ・グラウンド・プレーンに接続されています。デュアル・チャンネル・モードですから、 V_{REF} は良くデカップリングされた V_{DD} ピンに内部で接続されており、アナログ入力範囲は $0 \text{ V} \sim V_{\text{DD}}$ になります。変換結果は16ビット・ワードで出力され、先頭の4ビットのゼロの後ろに12ビット変換結果のMSBが続きます。消費電力が問題になるアプリケーションでは、変換終了時の自動パワーダウンを使って、消費電力性能を改善することができます。データシートの動作モードの項目を参照してください。

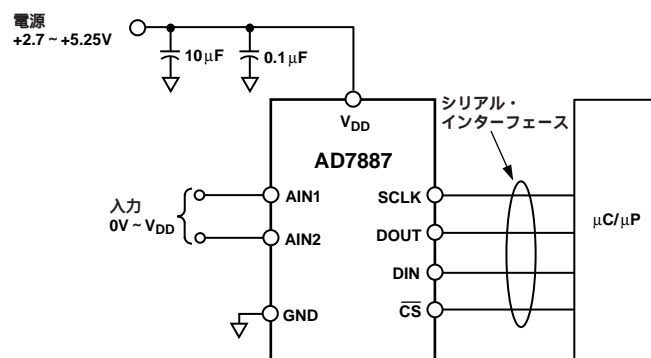


図8 . 代表的な接続図

アナログ入力

図9に、AD7887のアナログ入力構造の等価回路を示します。2個のダイオードD1とD2は、アナログ入力のESD保護機能を提供します。アナログ入力信号は、絶対に電源電圧より200 mV以上高くしないように注意してください。そうでないと、ダイオードが順方向バイアスされて、電流はサブストレートに流入します。デバイスに回復不可能な損傷を与えないでこれらのダイオードに流すことができる電流は最大20 mAですが、非選択チャンネル上の過電圧に起因する小さい電流(1 mA)がサブストレートに流入すると、選択チャンネル上の変換に悪影響を与えることがあります。図9のコンデンサC1は通常約4 pFであり、主にピン容量によるものです。抵抗R1は、マルチプレクサとスイッチのON抵抗から構成されており、通常約100 Ωです。コンデンサC2はA/DCサンプリング・コンデンサで、20 pF (typ)です。

注:アナログ入力容量はトラック・モードで38 pF (typ)、ホールド・モードでは4 pF (typ)です。

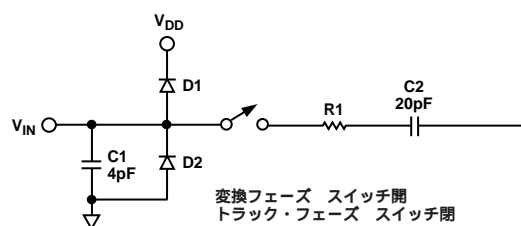


図9 . アナログ入力の等価回路

ACアプリケーションでは、該当するアナログ入力ピンにRCローパス・フィルタを使用してアナログ入力信号から高周波成分を除去しておくことをお勧めします。高調波歪みと信号対ノイズ比が重要なアプリケーションでは、アナログ入力を低インピーダンス・ソースから駆動する必要があります。高いソース・インピーダンスは、A/DCのAC特性に大きな影響を与えます。このため、入力バッファ・アンプを使う必要があります。オペアンプの選択は、アプリケーションに依存します。

アンプを使用しないでアナログ入力を駆動するときは、ソース・インピーダンスを小さい値に制限する必要があります。最大ソース・インピーダンスは、許容全高調波歪み(THD)量に依存します。ソース・インピーダンスが大きくなるほどTHDが大きくなり、性能が低下します。

AD7887

図10に、種々のソース・インピーダンスでの全高調波歪みとアナログ入力信号周波数の関係を示します。

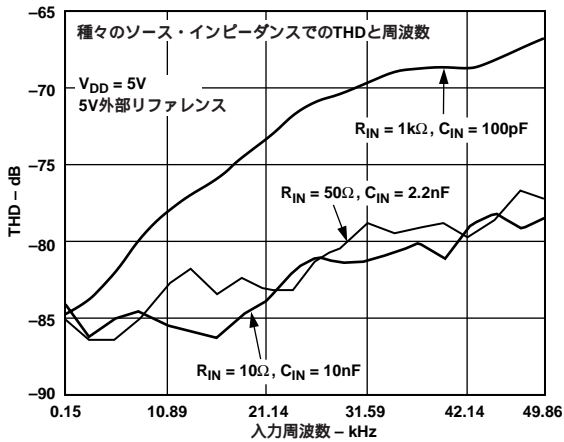


図10 . THDとアナログ入力周波数

オンチップ・リファレンス

AD7887は2.5 Vリファレンスを内蔵しています。コントロール・レジスタ内のREFビットをクリアまたはセットすることにより、内蔵リファレンスをイネーブまたはディスエーブすることができます。システム内でオンチップ・リファレンスを外部から使用する場合は、バッファを通す必要があります。外部リファレンスを接続すると、内蔵リファレンスは自動的に切り離されますが、デバイスの最適性能を得るために、外部リファレンスを接続する場合は、コントロール・レジスタ内のREFビットをセットして、内蔵リファレンスをディスエーブしておくことをお勧めします。内蔵リファレンスをディスエーブすると、図11のSW1が開いて、AIN1/V_{REF}ピンの入力インピーダンスとしては、リファレンス・バッファの入力インピーダンスとなり、ギガ レベルになります。内蔵リファレンスがイネーブされると、ピンの入力インピーダンスは10k (typ) になります。AD7887が2チャンネル・モードで動作する場合は、リファレンスは内部でV_{DD}から得られ、オンチップ2.5 Vリファレンスは使用されません。

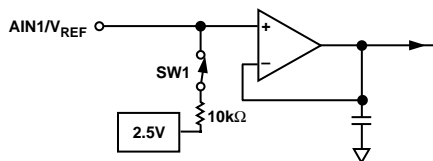


図11 . オンチップ・リファレンスの回路

パワーダウン・オプション

AD7887はフレキシブルなパワー・マネジメント機能を持っており、必要なスループット・レートに対して最適な電力性能を得ることができます。

パワー・マネジメント・オプションは、コントロール・レジスタ内のパワー・マネジメント・ビット(PM1とPM0)で選択できます。表IIに、使用可能なオプションを示しています。パワー・マネジメント・ビットがいずれかの自動パワーダウン・モードに設定されると、デバイスは、CSの立下がりエッジの後の、SCLKの16個目の立下がりエッジでパワーダウン・モードに入ります。CS立下がりエッジの後の、最初のSCLKの立下がりエッジで、デバイスは再度パワーアップします。AD7887は、モード1(PM1 = PM0 = 0)の場合、CSの

立下がりエッジでシャットダウン・モードになり、CSの立下がりエッジでシャットダウンから抜け出してパワーアップします。このモードで、変換中にCSをHighにすると、直ちにシャットダウン・モードに入ります。

パワーアップ時間

スタンバイからのパワーアップ時または外部リファレンス使用時には、AD7887には約1 μsのパワーアップ時間があります。

V_{DD}が初めて接続されると、AD7887はモード1(PM1 = PM0 = 0)でパワーアップします。モード1では、CSの立下がりエッジでシャットダウンに入ります。その後のシャットダウンからのパワーアップには、約5 μsが必要です。自動スタンバイ・モードでのAD7887のウェイクアップ時間は非常に短いため、同一の読み出し/書き込み動作内でウェイクアップと変換を実行することができます。

消費電力とスループット・レート

AD7887を自動シャットダウン・モード、自動スタンバイ・モードまたはモード1で動作させることにより、AD7887の平均消費電力は低速スループット・レートで削減されます。図12は、スループット・レートを減少させていくと、デバイスがパワーダウン状態に長く留まるようになるため、平均消費電力が減少していく様子を示しています。

例えば、AD7887が連続サンプリング・モードで動作し、スループット・レートが10 kSPS、SCLKが2 MHz (V_{DD} = 5 V)の場合、さらに、PM1 = 1かつPM0 = 0、すなわちデバイスが自動シャットダウン・モードで、オンチップ・リファレンスを使用する場合、消費電力は次のように計算されます。通常動作時の消費電力は3.5 mW (V_{DD} = 5 V)です。パワーアップ時間が5 μsで、残りの変換時間とアキュジション時間の和が15.5 t_{SCLK} すなわち、約7.75 μsの場合(図15a参照) AD7887は1変換サイクルの12.75 μsで3.5 mWを消費するといえます。スループット・レートが10 kSPSの場合、サイクル時間は100 μsで、1サイクルでの平均消費電力は、(12.75/100) × (3.5 mW) = 446.25 μWになります。V_{DD} = 3 V、SCLK = 2 MHz、かつデバイスがオンチップ・リファレンスを使って自動シャットダウン・モードで動作する場合、通常動作の消費電力は2.1 mW です。AD7887は1変換サイクル12.75 μsで2.1 mW 消費するといえます。スループット・レートが10 kSPSの場合、1サイクルでの平均消費電力は、(12.75/100) × (2.1 mW) = 267.75 μWになります。図12に、+5Vおよび+3V電源で自動シャットダウン時の消費電力と入力周波数の関係を示します。

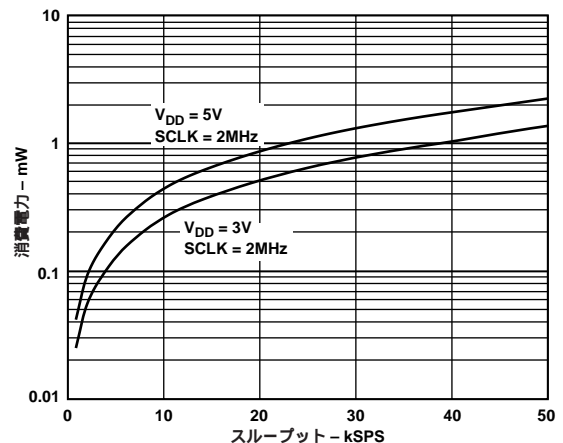


図12 . 消費電力とスループット

動作モード

AD7887には、フレキシブルなパワー・マネジメント・オプションを提供するために多くの動作モードが用意されています。オプションを選択することで、様々なアプリケーションの条件に対して消費電力/スループット・レート比を最適化することができます。前述のように、動作モードはコントロール・レジスタ内のPM1ビットとPM0ビットにより制御されます。AD7887の読出し専用動作の場合、DINラインをLowに固定接続すると、コントロール・レジスタの全ビット"0"のデフォルト・モードを設定することができます。

モード1 (PM1 = 0, PM0 = 0)

このモードでは、 \overline{CS} ピンを使ってパワーダウンを制御することができます。 \overline{CS} をLowにすると、AD7887はフルにパワーアップします。 \overline{CS} をHighすると、AD7887はシャットダウンします。 \overline{CS} がHighからLowに変化すると、全オンチップ回路がパワーアップを開始します。AD7887の内部回路が完全にパワーアップするには、約5 μ sを要します。そのため、この5 μ sの間は、変換(サンプル&ホールド・アクイジション)を開始できません。

図13に、このモードでのAD7887の動作の全体図を示します。 \overline{CS} 立下がりエッジの後の、SCLKの2つ目の立上がりエッジで入力信号がサンプルされます。 \overline{CS} の立下がりエッジとSCLKの2つ目の立上がりエッジの間に5 μ sの間を保証する必要があります。マイクロコントローラ・アプリケーションでは、これは、 \overline{CS} 入力をポート・ラインの1本で駆動し、マイクロコントローラのシリアル・ポートからのシリアル・データの読出しを5 μ s間遅らせることにより、実現することができます。一般にシリアル・フレーム同期化ラインから

\overline{CS} が引き出されるDSPアプリケーションでは、 \overline{CS} 立下がりエッジと2つ目のSCLK立上がりエッジを、残りのシリアル・クロック部分に影響を与えずに、最大5 μ s遅らせることはできません。したがって、コントロール・レジスタに書き込みを行ってこのモードを抜け出した後に、PM1 = 0とPM0 = 1を書込んで、モード2、すなわち通常モードにする必要があります。デバイスがパワーアップした後に2番目の変換を開始して変換結果を得るようにします。この2番目の変換と組み合わせて行う書き込み動作により、デバイスをモード1に戻して、 \overline{CS} がHighに戻ったら、パワーダウン・モードに入れるようにすることができます。

モード2 (PM1 = 0, PM0 = 1)

この動作モードでは、AD7887は \overline{CS} ラインの状態とは無関係にパワーアップ状態を続けます。前述の5 μ sのパワーアップ時間を気にする必要がないため、最高速のスループット・レート性能を得ることができます。図14に、このモードでのAD7887の動作の全体図を示します。

AD7887のDINラインに入力されたデータは、データ転送の最初の8クロック・サイクルでコントロール・レジスタにロードされます。このモードで動作を続けるには、ユーザーはすべてのデータ転送でPM1 = 0とPM0 = 1を保証する必要があります。

\overline{CS} の立下がりエッジによりシーケンスが起動され、SCLK入力の2つ目の立上がりエッジで入力信号がサンプルされます。変換を完了して、変換結果を得るには、シリアル・クロックで16サイクルを要します。データ転送が完了したら(\overline{CS} がHighに戻ったら)、 \overline{CS} をLowに戻すことにより、直ちに次の変換を開始できます。

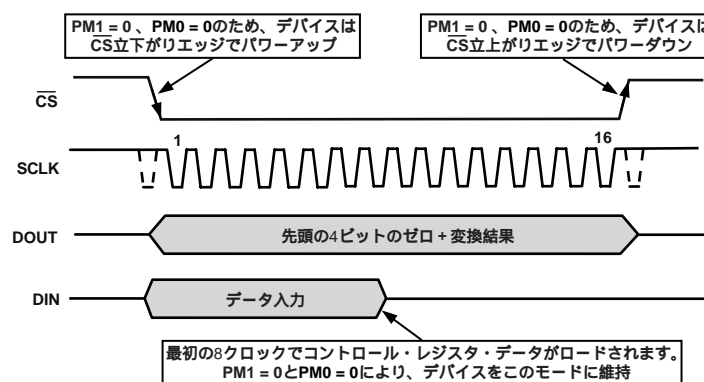


図13．モード1の動作

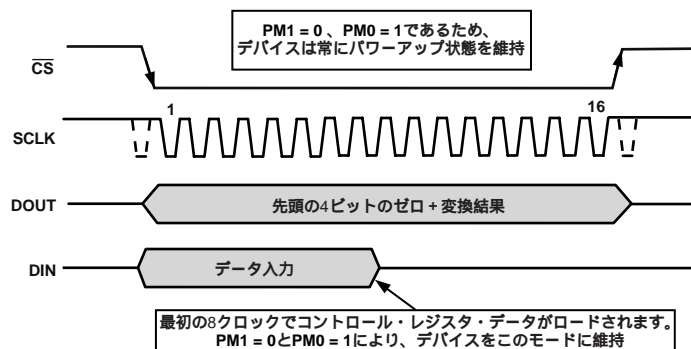


図14．モード2の動作

AD7887

モード3 (PM1 = 1, PM0 = 0)

このモードでは、AD7887は各変換終了後に自動的にフル・シャットダウン・モードに入ります。モード1に似ていますが、AD7887のパワーダウン状態がCSの状態に影響されない点が異なります。

図15aに、このモードでのAD7887の動作の全体図を示します。CSがLowに変化した後の最初のSCLKの立下がりエッジで、全オンチップ回路がパワーアップを開始します。AD7887の内部回路が完全にパワーアップするには、約5 μ sを要します。そのため、この5 μ sの間は、変換(サンプル&ホールド・アキュイジション)を開始できません。CS立下がりエッジの後の、SCLKの2つ目の立上がりエッジで入力信号がサンプルされます。CSの立下がりエッジの後の、SCLKの最初の立下がりエッジとSCLKの2つ目の立上がりエッジの間に5 μ sの間を保証する必要があります(図15a)。マイクロコントローラ・アプリケーション(または低速シリアル・クロックの使用)では、これは、CS入力をポート・ラインの1本で駆動し、マイクロコントローラのシリアル・ポートからのシリアル・データの読出しを5 μ s間遅らせることにより、実現することができますが、高速シリアル・クロックを使う場合は、パワーアップとSCLKの最初の立上がりエッジの間に5 μ s遅延を挿入することはできません。したがって、コントロール・レジスタに書き込みを行ってこのモードを抜け出した後に、PM1 = 0とPM0 = 1を書込んで、モード2にする必要があ

ります。デバイスがパワーアップした後に2番目の変換を開始して変換結果を得るようにします(図15b)。この2番目の変換と組み合わせて行う書込み動作により、デバイスをモード3に戻して、変換シーケンスが完了したらパワーダウン・モードに入れることができます。

モード4 (PM1 = 1, PM0 = 1)

このモードでは、AD7887は各変換終了後に自動的にスタンバイ(スリープ)モードに入ります。このスタンバイ・モードでは、オンチップ・リファレンスを除く全オンチップ回路がパワーダウンされます。モード3に似ていますが、オンチップ・リファレンスが常にパワーアップ状態を維持しているため、パワーアップ時間が遙かに短い点が異なります。

図16に、このモードでのAD7887の動作の全体図を示します。CSがLowに変化した後の最初のSCLKの立下がりエッジで、AD7887はスタンバイを抜け出します。このモードでは、AD7887のウェイクアップ時間が非常に短いため、同一の読出し/書込み動作内でウェイクアップと変換を行うことができます。CS立下がりエッジの後のSCLKの2つ目の立上がりエッジで、入力信号がサンプルされます。変換の終わりに(SCLKの最後の立上がりエッジで)、デバイスは自動的にスタンバイ・モードに入ります。

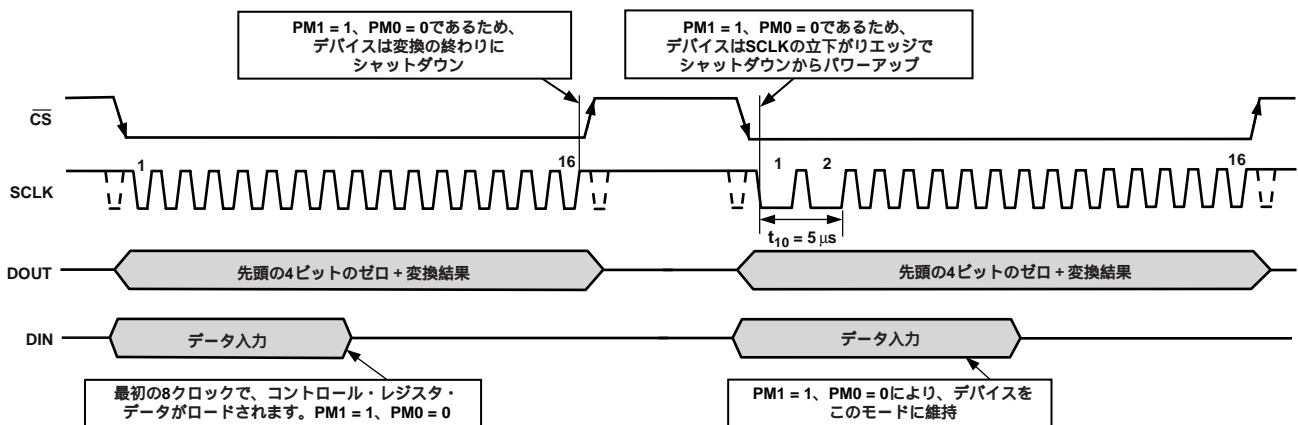


図15a . モード3の動作

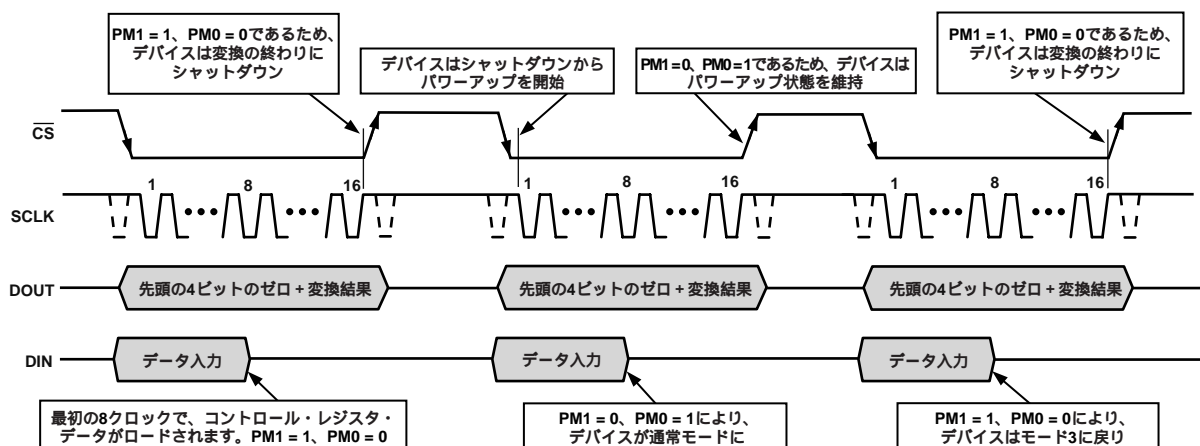


図15b . モード3の動作

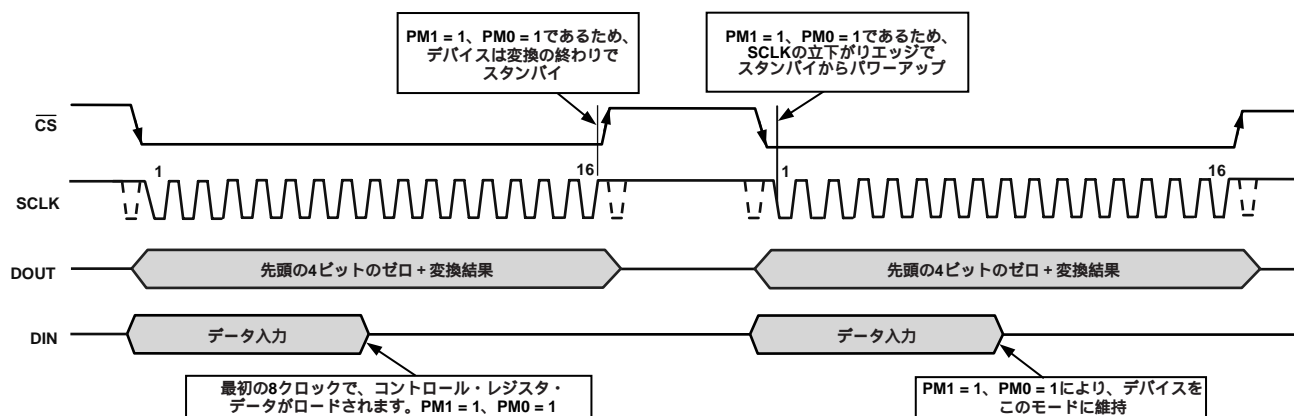


図16．モード4の動作

シリアル・インターフェース

図17に、AD7887のシリアル・インターフェースの詳細タイミング図を示します。シリアル・クロックは変換クロックを提供し、さらに変換中のAD7887との情報転送も制御します。

\overline{CS} はデータ転送と変換プロセスを開始させます。モードによっては、 \overline{CS} の立下がりエッジがデバイスをウェイクアップさせます。いずれの場合でも、 \overline{CS} はAD7887に対するシリアル・クロックをゲーティングし、オンチップ・トラック/ホールド回路をトラック・モードに設定します。 \overline{CS} の立下がりエッジの後の、SCLK入力の2つ目の立下がりエッジで入力信号がサンプルされます。このため、 \overline{CS} の立下がりエッジの後の、最初の1.5クロック・サイクルで、入力信号のアクイジションが実行されます。この時間はアクイジション時間(t_{Acq})と呼ばれています。 \overline{CS} の立下がりエッジがデバイスをパワーアップさせるモードでは、アクイジション時間内に5 μ sのウェイクアップ時間を許容する必要があります。オンチップ・トラック/ホールド回路はSCLKの2番目の立下がりエッジでトラック・モードからホールド・モードに変わり、このエッジで変換も開始されます。変換プロセスが完了するまでに、さらに14.5個のSCLKサイクルを必要とします。 \overline{CS} の立下がりエッジにより、バスはスリーステートに戻されます。 \overline{CS} がLowのままなら、新しい変換が開始されます。

デュアル・チャンネル動作では、サンプルされる入力チャンネルは、コントロール・レジスタへの前の書き込みで選択されたチャンネルになります。したがって、デュアル・チャンネル動作では、変換に先だって、チャンネルの書き込みを行う必要があります。言い換え

れば、次の変換のチャンネル・アドレスを現在の変換の進行中に書き込む必要があります。

コントロール・レジスタへの情報の書き込みは、データ転送内の、SCLKの最初の8個の立下がりエッジで行われます。データ転送を行うときは、常にコントロール・レジスタに書き込む必要があります。ただし、DINをLowに接続する(すなわち、毎回コントロール・レジスタに全ビット"0"を書き込む)ことにより、AD7887を読出し専用モードで動作させることができます。AD7887を書き込み/読出しモードで動作させる場合は、データを読出す際、常に、DINラインに正しい情報を入力するように注意する必要があります。

変換プロセスを実行してAD7887からデータを読出すには、16サイクルのシリアル・クロックが必要です。 \overline{CS} がLowに変化した後の、最初のシリアル・クロック・エッジが立下がりエッジであるアプリケーションでは、このエッジが先頭のゼロを出力します。このため、SCLKクロックの最初の立下がりエッジが、最初のゼロを出力します。 \overline{CS} がLowに変化した後の、最初のシリアル・クロック・エッジが立下がりエッジであるアプリケーションでは、プロセッサが正しく読み取れるようになるまでに最初のゼロを設定できない可能性があります。ただし、後続のビットをSCLKの立下がりエッジで出力して、次の立下がりエッジでプロセッサに間に合うように出力します。このため、2つ目のゼロは最初の立下がりエッジの次の立下がりエッジで出力されます。データ転送内の最終ビットは、直前の立下がりエッジで出力され、16番目の立下がりエッジで有効になります。

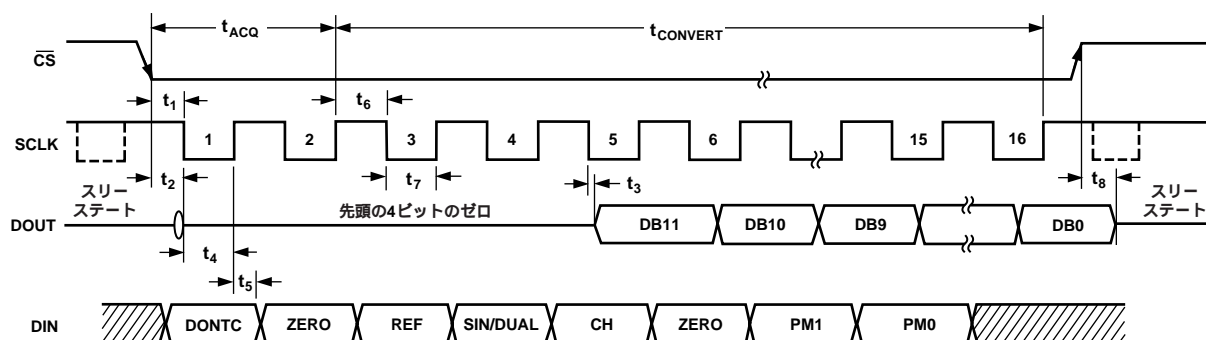


図17．シリアル・インターフェースのタイミング図

AD7887

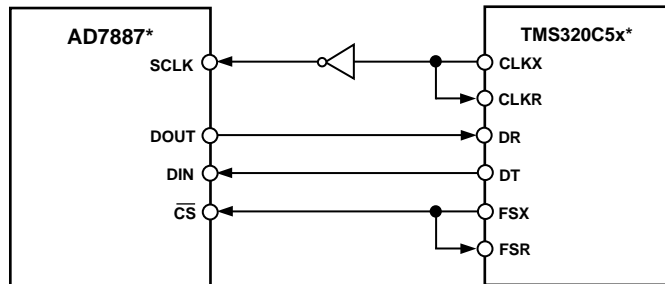
マイクロプロセッサとのインターフェース

AD7887は内蔵シリアル・インターフェースにより、様々なマイクロプロセッサに直接接続することができます。ここでは、AD7887と一般的なマイクロコントローラとのインターフェース方法とDSPシリアル・インターフェース・プロトコルについて説明します。

AD7887とTMS320C5xとのインターフェース

TMS320C5xのシリアル・インターフェースでは、データ転送動作をAD7887などの周辺機器に同期化するために、連続シリアル・クロック信号とフレーム同期信号を使っています。

\overline{CS} 入力を使うと、TMS320C5xとAD7887のシリアル・クロック間にインバータを接続するだけで容易にインターフェースすることができます。TMS320C5xのシリアル・ポートは、内部CLKX (TXシリアル・クロック)とFSX (TXフレーム同期)により、パースト・モード動作に設定されます。シリアル・ポート・コントロール・レジスタ (SPC)は、FO = 0、FSM = 1、MCM = 1、TXM = 1に設定する必要があります。図18に、接続図を示します。



*簡略化のために他のピンは省略。

図18 . TMS320C5xとのインターフェース

AD7887とADSP-21xxとのインターフェース

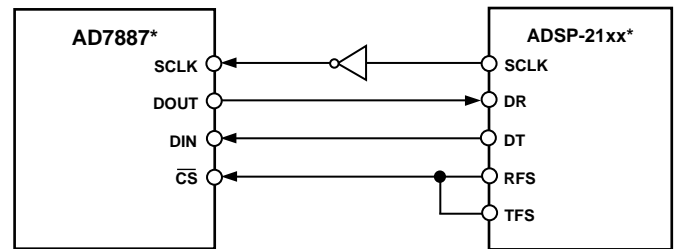
DSPのADSP-21xxファミリーとは、シリアル・クロック間にインバータを接続するだけで容易にインターフェースすることができます。SPORTコントロール・レジスタは、次のように設定する必要があります。

TFSW = RFSW = 1、交互フレーミング
 INVRFS = INVTFS = 1、アクティブLowフレーム信号
 DTYPE = 00、データ右詰め
 SLEN = 1111、16ビット・データ・ワード
 ISCLK = 1、内部シリアル・クロック
 TFSR = RFSR = 1、ワード毎のフレーム
 IRFS = 0
 ITFS = 1

接続図を図19に示します。ADSP-21xxでは、SPORTのTFSとRFSを接続し、TFSを出力に、RFSを入力にそれぞれ設定します。DSPは交互フレーミング・モードで動作し、SPORTコントロール・レジスタを上述のように設定します。TFS上で発生するフレーム同期化信号は \overline{CS} に接続され、すべての信号処理アプリケーションと同様に等間隔サンプリングが必要です。しかしながらこの例では、タイマー割込みを使って、A/DCのサンプリング・レートを制御するため、一定の条件下では等間隔サンプリングは達成できません。

タイマー・レジスタなどには、必要なサンプル間隔で割込みを発生するような値を設定します。割込みを受信すると、TFS/DT (A/DC制御ワード)と一緒に値が送信されます。TFSはRFSを制御するのに使用され、データの読出しも制御します。シリアル・クロックの周波数はSCLKDIVレジスタに設定されます。TFSと一緒に送信する命令が与えられると(すなわち、AX0 = TX0)、SCLKの状態がチェックされます。DSPは、SCLKがHigh、Low、Highに変化するのを待った後に、送信を開始します。送信命令がSCLKの立上がりエッジまたはその近傍で発生するようにタイマー値とSCLK値が選択されている場合は、データは送信されるか、次のクロック・エッジまで待ちます。

例えば、ADSP-2111はマスター・クロック周波数16 MHzに設定されています。SCLKDIVレジスタに値3がロードされると、2 MHzのSCLKが得られ、1 SCLK周期はマスター・クロックの8周期に相当します。タイマー・レジスタに値803がロードされると、割込みの間隔、およびその後の送信命令の間隔はSCLK周期で100.5個分になります。この場合は、送信命令がSCLKエッジで発生するため、不等間隔のサンプリングになります。割込み間隔のSCLK数が整数値Nでない場合は、DSPでは等間隔サンプリングが実行されます。

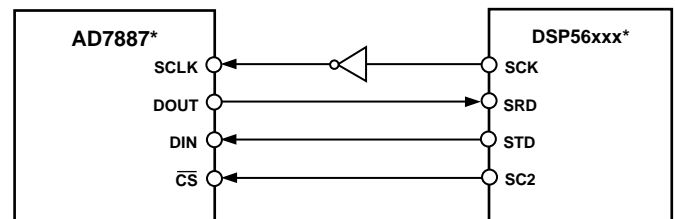


*簡略化のために他のピンは省略。

図19 . ADSP-21xxとのインターフェース

AD7887とDSP56xxxとのインターフェース

AD7887とモトローラ社のDSP56xxxファミリーのSSI(同期シリアル・インターフェース)との接続図を図20に示します。SSIは、TXとRXに対する内部発生1ビット・クロック周期フレーム同期を使い(CRB内でビットFSL1 = 1、FSL0 = 0)、同期モード(SYNビットin CRB = 1)で動作します。CRA内でビットWL1 = 1とWL0 = 0を設定し、ワード長を16に設定します。DSP56xxxのSCLKとAD7887のSCLKピンの間にインバータも必要です(図20)。

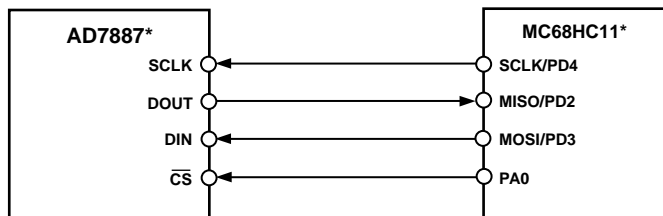


*簡略化のために他のピンは省略。

図20 . DSP56xxxとのインターフェース

AD7887とMC68HC11とのインターフェース

MC68HC11のシリアル・ペリフェラル・インターフェース(SPI)をマスター・モード(MSTR=1)、クロック極性ビット(CPOL)=1、クロック位相ビット(CPHA)=1にそれぞれ設定します。SPIはSPIコントロール・レジスタ(SPCR)への書込みで設定されます(68HC11ユーザー・マニュアルを参照してください)。シリアル転送は2回の8ビット動作として実行されます。接続図を図21に示します。

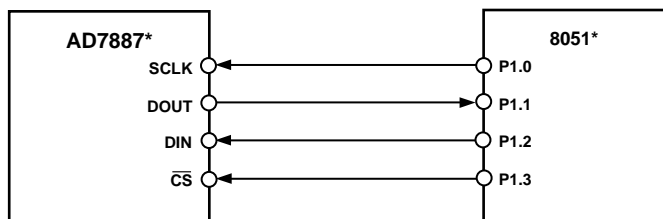


*簡略化のために他のピンは省略。

図21. MC68HC11とのインターフェース

AD7887と8051とのインターフェース

8051のデータ・ポートを使ってシリアル・インターフェースを構成することができます。この方法では、全二重シリアル転送が可能です。I/Oポート(例えば、P1.0)でのビット操作によりシリアル・クロックを発生し、他の2本のI/Oポート(例えば、P1.1とP1.2)を使って、データの入出力を行います(図22)。



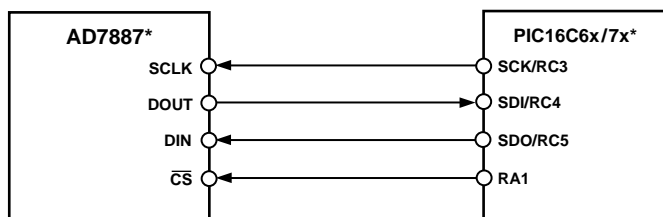
*簡略化のために他のピンは省略。

図22. I/Oポートを使った8051とのインターフェース

AD7887とPIC16C6x/7xとのインターフェース

PIC16C6xの同期シリアル・ポート(SSP)を、クロック極性ビット=1に設定して、SPIマスターに設定します。この設定は、同期シリアル・ポート・コントロール・レジスタ(SSPCON)への書込みによって行います。PIC16/17マイクロコントローラ・ユーザー・マニュアルを参照してください。

図23に、PIC16C6x/7xとのインターフェースに必要なハードウェア接続を示します。この例では、I/OポートRA1を使ってCSパルスを発生しています。PIC16C6x/7xは、各シリアル転送動作では8ビットのデータだけを転送します。したがって、連続した2回の読み出し/書き込み動作が必要です。



*簡略化のために他のピンは省略。

図23. PIC16C6x/7xとのインターフェース

アプリケーション設計上の注意

グラウンドとレイアウト

図4に示すように、AD7887は電源ノイズに対して優れたノイズ耐性を持っていますが、グラウンドとレイアウトに関して注意が必要です。

AD7887を実装するプリント回路ボードでは、アナログ部分とデジタル部分を分離して、一定の領域にまとめるように設計する必要があります。それにより、グラウンド・プレーンによる分離が容易になります。グラウンド・プレーンが最善のシールド効果を発揮するため、グラウンド・プレーンへのエッチングは最小に抑えます。デジタルおよびアナログのグラウンド・プレーンは、AD7887のGNDピンにできるだけ近い箇所でのみ接続します。複数のデバイスでAGNDとDGNDの接続が必要なシステム内にAD7887を実装する場合でも、接続は1点(AD7887にできるだけ近い星形グラウンド・ポイント)だけで行う必要があります。

デバイスの裏面にデジタル・ラインを配線するとノイズがチップに混入するので、このような配線は避けてください。AD7887の裏面にアナログ・グラウンド・プレーンを配置すると、ノイズの混入を避けられます。AD7887に入力する電源ラインはできるだけ太くしてパスのインピーダンスを小さくし、電源ライン上のグリッチの影響を削減してください。クロックのような高速スイッチング信号はデジタル・グラウンドでシールドしてボードの他の部分へのノイズ放射を防止し、クロック信号はアナログ入力付近に配線しないでください。デジタル信号とアナログ信号の交叉は回避してください。ボードの反対面のパターンは互いに直角度になるように配線してください。これにより、ボードを垂直に通過する結合の影響を小さくすることができます。マイクロストリップ技術は最適ですが、両面ボードでは常に可能とは限りません。この技術では、ボードの部品面をグラウンド・プレーン専用で使用し、信号はハンダ面に配線されます。

優れたデカップリングも重要です。すべてのアナログ電源を10 μ Fタンタル・コンデンサと0.1 μ Fコンデンサの並列接続でAGNDにデカップリングする必要があります。これらのデカップリング部品で最善の効果を得るには、できるだけデバイスの近くに、理想的にはデバイスの直ぐ上に配置する必要があります。

AD7887の性能評価

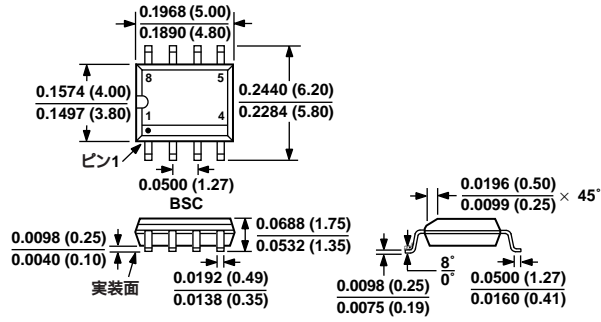
AD7887の推奨レイアウトの概要をAD7887用評価ボードに示しています。評価ボード・パッケージには、組立およびテスト済みの評価ボード、説明書、EVAL-CONTROL BOARDを経由してPCからボードを制御するためのソフトウェアが含まれています。EVAL-CONTROL BOARDを、AD7887評価ボードやCBサフィックス付きの他の多くのアナログ・デバイス用の評価ボードと組み合わせて使うと、AD7887のAC性能とDC性能のデモンストレーション/評価が行えます。

このソフトウェアを使うと、AD7887のACテスト(高速フーリエ変換)とDCテスト(コードのヒストグラム)が行えます。

AD7887

外形寸法
サイズはインチと(mm)で示します。

8ピン小型ボディ(SOIC) (SO-8)



8ピン μ SOIC (RM-8)

