



真のレール to レール・バッファ 内蔵 24 ビット、8/16 チャンネル 250 kSPS、 Σ - Δ ADC

データシート

AD7175-8

特長

高速かつ柔軟な出力レート: 5 SPS ~ 250 kSPS
チャンネル・スキャン・データ・レート: 50 kSPS / チャンネル (セトリング時間 20 μ s)
性能仕様
ノイズ・フリー・ビット数: 250 kSPS で 17.2 ビット
ノイズ・フリー・ビット数: 2.5 kSPS で 20.2 ビット
ノイズ・フリー・ビット数: 20 SPS で 24 ビット
INL:FSR の ± 1 ppm
50 Hz と 60 Hz のフィルタ除去比: 50 ms セトリングで 85 dB
入力チャンネルをユーザーが設定可能
完全差動の 8 チャンネルまたは シングルエンドの 16 チャンネル
クロスポイント・マルチプレクサ
2.5 V のリファレンスを内蔵 (ドリフト ± 2 ppm/ $^{\circ}$ C)
真のレール to レールのアナログ入力バッファとリファレンス入力バッファ
内部または外部クロック
電源電圧: AVDD1 - AVSS = 5 V、AVDD2 = IOVDD = 2V ~ 5V (公称値)
AVDD1/AVSS を ± 2.5 V とする両電源も可能
ADC 消費電流: 8.4 mA
温度範囲: -40 $^{\circ}$ C ~ +105 $^{\circ}$ C
3 線式または 4 線式のシリアル・デジタル・インターフェース (シュミット・トリガ付き SCLK)
シリアル・ポート・インターフェース (SPI)、QSPI、MICROWIRE、DSP 互換

アプリケーション

プロセス・コントロール: PLC/DCS モジュール
温度計測および圧力計測
医療や科学分野向けマルチチャンネル計測機器
クロマトグラフィー

概要

AD7175-8 は、低ノイズ、高速セトリングのマルチプレクス型 8/16 チャンネル (完全差動/擬似差動) Σ - Δ A/D コンバータ (ADC) で、低い帯域の入力信号を対象としています。データが完全に安定する最大チャンネル・スキャン・レートは 50 kSPS (20 μ s) です。出力データ・レートは 5 SPS ~ 250 kSPS の範囲です。

AD7175-8 はアナログおよびデジタルの主要な信号処理ブロックを内蔵しており、使用する各アナログ入力チャンネルの構成をユーザーが個別に設定することができます。各機能はユーザーがチャンネルごとに選択できます。アナログ入力と外部リファレンス入力に内蔵されている真のレール to レール・バッファにより、容易に駆動できる高インピーダンス入力が与えられています。高精度、低ドリフト (2 ppm/ $^{\circ}$ C) の 2.5 V 内部バンドギャップ・リファレンス (出力リファレンス・バッファ付き) によって組み込み機能が強化されているため、外付け部品数を減らすことができます。

デジタル・フィルタにより、27.27 SPS の出力データ・レートで 50 Hz と 60 Hz の同時除去が可能です。アプリケーションの各チャンネルの要求に合わせて、フィルタ・オプションを切り替えることができます。ADC は選択された各チャンネルを自動的に順に切り替えていきます。さらに、デジタル処理機能にはチャンネルごとに設定可能なオフセット調整レジスタとゲイン調整レジスタがあります。

このデバイスは AVDD1 - AVSS = 5 V の単電源あるいは AVDD1/AVSS = ± 2.5 V の両電源で動作します。また、AVDD2 と IOVDD の公称電源電圧範囲は 2 V ~ 5 V です。規定動作温度範囲は -40 $^{\circ}$ C ~ +105 $^{\circ}$ C です。AD7175-8 は 40 ピン LFCSP パッケージを採用しています。

機能ブロック図

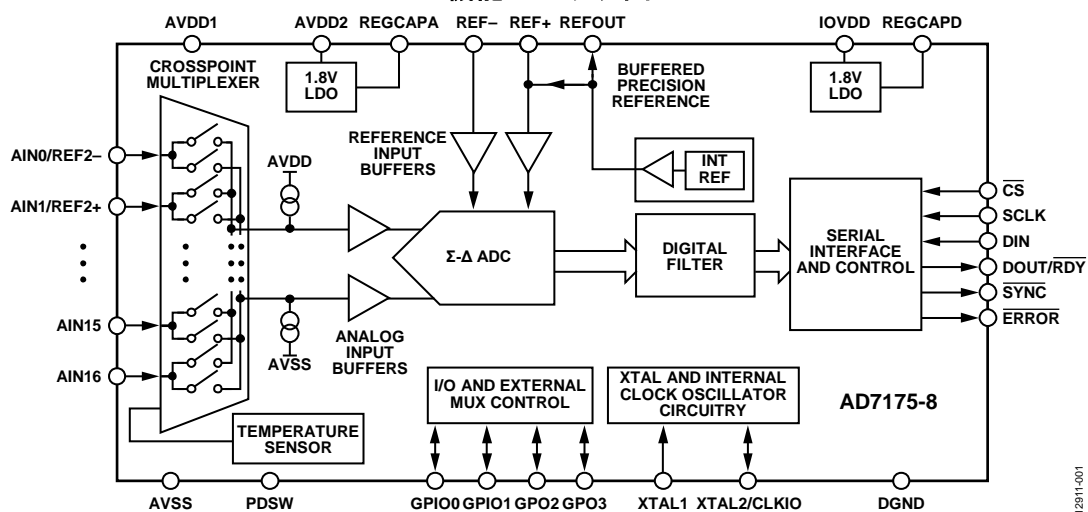


図 1

アナログ・デバイス社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許その他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイス社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、それぞれの所有者の財産です。※日本語版資料は REVISION が古い場合があります。最新の内容については、英語版をご参照ください。

Rev. 0

©2016 Analog Devices, Inc. All rights reserved.

アナログ・デバイス株式会社

本 社 / 〒105-6891 東京都港区海岸 1-16-1 ニューピア竹芝サウスタワービル
電話 03 (5402) 8200
大阪営業所 / 〒532-0003 大阪府大阪市淀川区宮原 3-5-36 新大阪トラストタワー
電話 06 (6350) 6868

目次

特長.....	1	CRC の計算.....	41
アプリケーション.....	1	内蔵機能.....	43
概要.....	1	汎用 I/O.....	43
機能ブロック図.....	1	外部マルチプレクサの制御.....	43
改訂履歴.....	2	遅延.....	43
仕様.....	3	16 ビット / 24 ビット変換.....	43
タイミング特性.....	6	DOUT_RESET.....	43
絶対最大定格.....	8	同期.....	43
熱抵抗.....	8	エラー・フラグ.....	44
ESD に関する注意.....	8	DATA_STAT.....	44
ピン配置およびピン機能説明.....	9	IOSTRENGTH.....	44
代表的な性能特性.....	11	パワーダウン・スイッチ.....	45
ノイズ性能と分解能.....	17	内部温度センサー.....	45
評価開始にあたって.....	18	グラウンディングとレイアウト.....	46
電源.....	19	レジスタの一覧.....	47
デジタル・コミュニケーション.....	19	レジスタの詳細.....	49
AD7175-8 のリセット.....	20	コミュニケーション・レジスタ.....	49
設定の概要.....	20	ステータス・レジスタ.....	51
回路説明.....	25	ADC モード・レジスタ.....	52
バッファ付きアナログ入力.....	25	インターフェース・モード・レジスタ.....	53
クロスポイント・マルチプレクサ.....	25	レジスタ・チェック.....	54
AD7175-8 のリファレンス.....	26	データ・レジスタ.....	54
バッファ付きリファレンス入力.....	27	GPIO 設定レジスタ.....	55
クロック源.....	27	ID レジスタ.....	56
デジタル・フィルタ.....	28	チャンネル・レジスタ 0.....	56
sinc5 + sinc1 フィルタ.....	28	チャンネル・レジスタ 1 ~ チャンネル・レジスタ 15.....	58
sinc3 フィルタ.....	28	セットアップ設定レジスタ 0.....	59
シングル・サイクル・セトリング.....	29	セットアップ設定レジスタ 1 ~ セットアップ設定レジスタ 7.....	60
50 Hz と 60 Hz を除去するエンハンスト・フィルタ.....	33	フィルタ設定レジスタ 0.....	61
動作モード.....	36	フィルタ設定レジスタ 1 ~ フィルタ設定レジスタ 7.....	62
連続変換モード.....	36	オフセット・レジスタ 0.....	62
連続読出しモード.....	37	オフセット・レジスタ 1 ~ オフセット・レジスタ 7.....	62
シングル変換モード.....	38	ゲイン・レジスタ 0.....	62
スタンバイ・モードとパワーダウン・モード.....	39	ゲイン・レジスタ 1 ~ ゲイン・レジスタ 7.....	63
キャリブレーション.....	39	外形寸法.....	64
デジタル・インターフェース.....	40	オーダー・ガイド.....	64
チェックサム保護.....	40		

改訂履歴

10/15—Revision 0: Initial Version

仕様

特に指定のない限り、AVDD1 = 4.5 V ~ 5.5 V、AVDD2 = 2 V ~ 5.5 V、IOVDD = 2 V ~ 5.5 V、AVSS = DGND = 0 V、REF+ = 2.5 V、REF- = AVSS、内部マスター・クロック (MCLK) = 16 MHz、T_A = T_{MIN} ~ T_{MAX} (-40°C ~ +105°C)。

表 1.

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
ADC SPEED AND PERFORMANCE					
Output Data Rate (ODR)		5		250,000	SPS
No Missing Codes ¹	Excluding sinc3 filter ≥ 125 kSPS	24			Bits
Resolution	See Table 19 to Table 23				
Noise	See Table 19 to Table 23				
ACCURACY					
Integral Nonlinearity (INL)	All input buffers enabled		±4.5	10	ppm of FSR
	All input buffers disabled		±1	±4.5	ppm of FSR
Offset Error ²	Internal short		±60		μV
Offset Drift	Internal short		±150		nV/°C
Gain Error ²			±80	±110	ppm of FSR
Gain Drift ¹			±0.5	±0.75	ppm/°C
REJECTION					
Power Supply Rejection	AVDD1, AVDD2, for V _{IN} = 1 V		90		dB
Common-Mode Rejection	V _{IN} = 0.1 V				
At DC		95			dB
At 50 Hz, 60 Hz ¹	20 Hz output data rate (post filter), 50 Hz ± 1 Hz and 60 Hz ± 1 Hz	120			dB
Normal Mode Rejection ¹	50 Hz ± 1 Hz and 60 Hz ± 1 Hz				
	Internal clock, 20 SPS ODR (postfilter)	71	90		dB
	External clock, 20 SPS ODR (postfilter)	85	90		dB
ANALOG INPUTS					
Differential Input Range	V _{REF} = (REF+) - (REF-)		±V _{REF}		V
Absolute Voltage Limits ¹					
Input Buffers Disabled		AVSS - 0.05		AVDD1 + 0.05	V
Input Buffers Enabled		AVSS		AVDD1	V
Analog Input Current					
Input Buffers Disabled			±48		μA/V
Input Current			±0.75		nA/V/°C
Input Current Drift	External clock		±4		nA/V/°C
	Internal clock				
Input Buffers Enabled			±30		nA
Input Current			±75		pA/°C
Input Current Drift	AVDD1 - 0.2 V to AVSS + 0.2 V		±1		nA/°C
	AVDD1 to AVSS				
Crosstalk	1 kHz input		-120		dB
INTERNAL REFERENCE					
Output Voltage	100 nF external capacitor to AVSS		2.5		V
Initial Accuracy ³	REFOUT, with respect to AVSS	-0.12		+0.12	% of V
Temperature Coefficient ¹	REFOUT, T _A = 25°C				
0°C to 105°C			±2	±5	ppm/°C
-40°C to +105°C			±3	±10	ppm/°C
Reference Load Current, I _{LOAD}		-10		+10	mA
Power Supply Rejection	AVDD1, AVDD2 (line regulation)		95		dB
Load Regulation	ΔV _{OUT} /ΔI _{LOAD}		32		ppm/mA
Voltage Noise	e _N , 0.1 Hz to 10 Hz, 2.5 V reference		4.5		μV rms
Voltage Noise Density	e _N , 1 kHz, 2.5 V reference		215		nV/√Hz

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
Turn-On Settling Time	100 nF REFOUT capacitor		200		μs
Short-Circuit Current, I_{SC}			25		mA
EXTERNAL REFERENCE INPUTS					
Differential Input Range	$V_{REF} = (REF+) - (REF-)$	1	2.5	AVDD1	V
Absolute Voltage Limits ¹					
Input Buffers Disabled		AVSS – 0.05		AVDD1 + 0.05	V
Input Buffers Enabled		AVSS		AVDD1	V
REF+/REF– Input Current					
Input Buffers Disabled					
Input Current			±72		μA/V
Input Current Drift	External clock		±1.2		nA/V/°C
	Internal clock		±6		nA/V/°C
Input Buffers Enabled					
Input Current			±800		nA
Input Current Drift			1.2		nA/°C
Normal Mode Rejection ¹	See the Rejection parameter				
Common-Mode Rejection			95		dB
TEMPERATURE SENSOR					
Accuracy	After user calibration at 25°C		±2		°C
Sensitivity			470		μV/K
BURNOUT CURRENTS					
Source/Sink Current	Analog input buffers must be enabled		±10		μA
POWER-DOWN SWITCH					
R_{ON}			24		Ω
Allowable Currents				16	mA
GENERAL-PURPOSE INPUTS/OUTPUTS (GPIO0, GPIO1, GPO2, GPO3)					
Input Mode Leakage Current ¹	With respect to AVSS	–10		+10	μA
Floating State Output Capacitance			5		pF
Output High Voltage, V_{OH} ¹	$I_{SOURCE} = 200 \mu A$	AVSS + 4			V
Output Low Voltage, V_{OL} ¹	$I_{SINK} = 800 \mu A$			AVSS + 0.4	V
Input High Voltage, V_{INH} ¹		AVSS + 3			V
Input Low Voltage, V_{INL} ¹				AVSS + 0.7	V
CLOCK					
Internal Clock					
Frequency			16		MHz
Accuracy		–2.5%		+2.5%	%
Duty Cycle			50		%
Output Low Voltage, V_{OL}				0.4	V
Output High Voltage, V_{OH}		$0.8 \times IOVDD$			V
Crystal					
Frequency		14	16	16.384	MHz
Start-Up Time			10		μs
External Clock (CLKIO)			16	16.384	MHz
Duty Cycle ¹		30	50	70	%

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
LOGIC INPUTS					
Input High Voltage, V_{INH}^1	$2\text{ V} \leq \text{IOVDD} < 2.3\text{ V}$	$0.65 \times \text{IOVDD}$			V
	$2.3\text{ V} \leq \text{IOVDD} \leq 5.5\text{ V}$	$0.7 \times \text{IOVDD}$			V
Input Low Voltage, V_{INL}^1	$2\text{ V} \leq \text{IOVDD} < 2.3\text{ V}$			$0.35 \times \text{IOVDD}$	V
	$2.3\text{ V} \leq \text{IOVDD} \leq 5.5\text{ V}$			0.7	V
Hysteresis ¹	$\text{IOVDD} \geq 2.7\text{ V}$	0.08		0.25	V
	$\text{IOVDD} < 2.7\text{ V}$	0.04		0.2	V
Leakage Current		-10		+10	μA
LOGIC OUTPUT (DOUT/RDY)					
Output High Voltage, V_{OH}^1	$\text{IOVDD} \geq 4.5\text{ V}$, $I_{SOURCE} = 1\text{ mA}$	$0.8 \times \text{IOVDD}$			V
	$2.7\text{ V} \leq \text{IOVDD} < 4.5\text{ V}$, $I_{SOURCE} = 500\text{ }\mu\text{A}$	$0.8 \times \text{IOVDD}$			V
	$\text{IOVDD} < 2.7\text{ V}$, $I_{SOURCE} = 200\text{ }\mu\text{A}$	$0.8 \times \text{IOVDD}$			V
Output Low Voltage, V_{OL}^1	$\text{IOVDD} \geq 4.5\text{ V}$, $I_{SINK} = 2\text{ mA}$			0.4	V
	$2.7\text{ V} \leq \text{IOVDD} < 4.5\text{ V}$, $I_{SINK} = 1\text{ mA}$			0.4	V
	$\text{IOVDD} < 2.7\text{ V}$, $I_{SINK} = 400\text{ }\mu\text{A}$			0.4	V
Leakage Current	Floating state	-10		+10	μA
Output Capacitance	Floating state		10		pF
SYSTEM CALIBRATION¹					
Full-Scale (FS) Calibration Limit				$1.05 \times \text{FS}$	V
Zero-Scale Calibration Limit		$-1.05 \times \text{FS}$			V
Input Span		$0.8 \times \text{FS}$		$2.1 \times \text{FS}$	V
POWER REQUIREMENTS					
Power Supply Voltage					
AVDD1 to AVSS		4.5	5	5.5	V
AVDD2 to AVSS ⁴		2	2.5 to 5	5.5	V
AVSS to DGND		-2.75		0	V
IOVDD to DGND ⁴		2	2.5 to 5	5.5	V
IOVDD to AVSS	For AVSS < DGND			6.35	V
POWER SUPPLY CURRENTS⁵					
Full Operating Mode	All outputs unloaded, digital inputs connected to IOVDD or DGND				
AVDD1 Current	Analog input and reference input buffers ($\text{AIN}\pm$, $\text{REF}\pm$) disabled, external reference		1.4	1.65	mA
	Analog input and reference input buffers disabled, internal reference		1.75	2	mA
	Analog input and reference input buffers enabled, external reference		13	16	mA
	Each buffer: $\text{AIN}+$, $\text{AIN}-$, $\text{REF}+$, $\text{REF}-$		2.9		mA
AVDD2 Current	External reference		4.5	5	mA
	Internal reference		4.75	5.2	mA
IOVDD Current	External clock		2.5	2.8	mA
	Internal clock		2.75	3.1	mA
	External crystal		3		mA
Standby Mode (LDO On)	Internal reference off, total current consumption		30		μA
	Internal reference on, total current consumption		425		μA
Power-Down Mode	Full power-down (including LDO and internal reference)		5	10	μA

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
POWER DISSIPATION ⁵					
Full Operating Mode	All buffers disabled, external clock and reference, AVDD2 = 2 V, IOVDD = 2 V		21		mW
	All buffers disabled, external clock and reference, all supplies = 5 V		42		mW
	All buffers disabled, external clock and reference, all supplies = 5.5 V			52	mW
	All buffers enabled, internal clock and reference, AVDD2 = 2 V, IOVDD = 2 V		82		mW
	All buffers enabled, internal clock and reference, all supplies = 5 V		105		mW
	All buffers enabled, internal clock and reference, all supplies = 5.5 V			136	mW
Standby Mode	Internal reference off, all supplies = 5 V		150		μW
	Internal reference on, all supplies = 5 V		2.2		mW
Power-Down Mode	Full power-down, all supplies = 5 V		25	50	μW

¹ これらの仕様については出荷テストを行っていませんが、量産開始時の特性評価データにより保証しています。

² システムもしくは内蔵ゼロスケールのキャリブレーション手順に従えば、オフセット誤差は、プログラムされた出力データ・レートのノイズ・レベルとほぼ同等になります。システム・フルスケール・キャリブレーションは、ゲイン誤差をプログラムされた出力データ・レートのノイズ・レベルと同等レベルにまで減少させることができます。

³ この仕様には、MSL (Moisture Level) プリコンディショニングの影響が含まれています。

⁴ 公称範囲は 2 V ~ 5 V です。

⁵ これらは、REFOUT ピンと、デジタル出力ピンに負荷が接続されていないときの仕様です。

タイミング特性

特に指定のない限り、IOVDD = 2 V ~ 5.5 V、DGND = 0 V、入力ロジック 0 = 0 V、入力ロジック 1 = IOVDD、C_{LOAD} = 20 pF。

表 2.

Parameter	Limit at T _{MIN} , T _{MAX}	Unit	Description ^{1, 2}
SCLK			
t ₃	25	ns min	SCLK high pulse width
t ₄	25	ns min	SCLK low pulse width
READ OPERATION			
t ₁	0	ns min	$\overline{\text{CS}}$ falling edge to DOUT/ $\overline{\text{RDY}}$ active time
	15	ns max	IOVDD = 4.75 V to 5.5 V
	40	ns max	IOVDD = 2 V to 3.6 V
t ₂ ³	0	ns min	SCLK active edge to data valid delay ⁴
	12.5	ns max	IOVDD = 4.75 V to 5.5 V
	25	ns max	IOVDD = 2 V to 3.6 V
t ₅ ⁵	2.5	ns min	Bus relinquish time after $\overline{\text{CS}}$ inactive edge
	20	ns max	
t ₆	0	ns min	SCLK inactive edge to $\overline{\text{CS}}$ inactive edge
t ₇	10	ns min	SCLK inactive edge to DOUT/ $\overline{\text{RDY}}$ high/low
WRITE OPERATION			
t ₈	0	ns min	$\overline{\text{CS}}$ falling edge to SCLK active edge setup time ⁴
t ₉	8	ns min	Data valid to SCLK edge setup time
t ₁₀	8	ns min	Data valid to SCLK edge hold time
t ₁₁	5	ns min	$\overline{\text{CS}}$ rising edge to SCLK edge hold time

¹ 初期リリース時にサンプル・テストにより適合性を保証。

² 図 2 と 図 3 を参照。

³ このパラメータは、出力が V_{OL} リミットもしくは V_{OH} リミットを横切るために要する時間で定義されています。

⁴ SCLK のアクティブ・エッジとは、SCLK の立下がりエッジを意味します。

⁵ データ・レジスタを読み出した後、DOUT/ $\overline{\text{RDY}}$ はハイ・レベルに戻ります。シングル変換モードおよび連続変換モードで、DOUT/ $\overline{\text{RDY}}$ がハイ・レベルの間に、必要ならば、同一データを再度読み出すことができますが、2 回目以降の読出しは次の出力更新が近いところで読み出さないように注意してください。連続読出し機能がイネーブルされていると、デジタル・ワードは 1 回しか読み出すことができません。

タイミング図

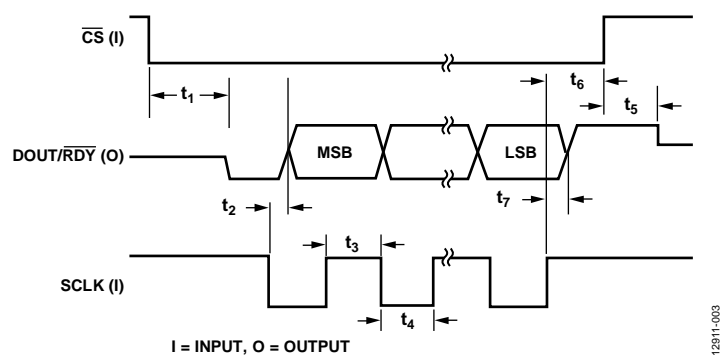


図 2. 読み出しサイクルのタイミング図

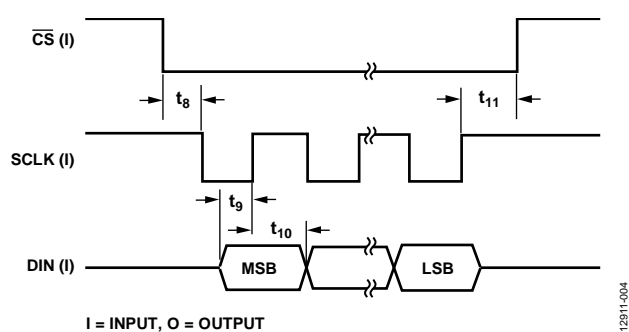


図 3. 書き込みサイクルのタイミング図

絶対最大定格

特に指定のない限り、 $T_A = 25^{\circ}\text{C}$ 。

表 3.

Parameter	Rating
AVDD1, AVDD2 to AVSS	-0.3 V to +6.5 V
AVDD1 to DGND	-0.3 V to +6.5 V
IOVDD to DGND	-0.3 V to +6.5 V
IOVDD to AVSS	-0.3 V to +7.5 V
AVSS to DGND	-3.25 V to +0.3 V
Analog Input Voltage to AVSS	-0.3 V to AVDD1 + 0.3 V
Reference Input Voltage to AVSS	-0.3 V to AVDD1 + 0.3 V
Digital Input Voltage to DGND	-0.3 V to IOVDD + 0.3 V
Digital Output Voltage to DGND	-0.3 V to IOVDD + 0.3 V
Analog Input/Digital Input Current	10 mA
Operating Temperature Range	-40°C to +105°C
Storage Temperature Range	-65°C to +150°C
Maximum Junction Temperature	150°C
Lead Soldering, Reflow Temperature	260°C
ESD Rating (Human Body Model)	4 kV

上記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定はストレス定格のみを指定するものであり、この仕様の動作のセクションに記載する規定値以上のデバイス動作を定めたものではありません。製品を長時間絶対最大定格状態に置くと、製品の信頼性に影響を与えることがあります。

熱抵抗

θ_{JA} は、表面実装パッケージ用の JEDEC テスト・ボードにハンダ付けされたデバイスで仕様規定されています。

表 4. 熱抵抗

Package Type	θ_{JA}	Unit
40-Lead, 6 mm × 6 mm LFCSP		
1-Layer JEDEC Board	114	°C/W
4-Layer JEDEC Board	54	°C/W
4-Layer JEDEC Board with 16 Thermal Vias	34	°C/W

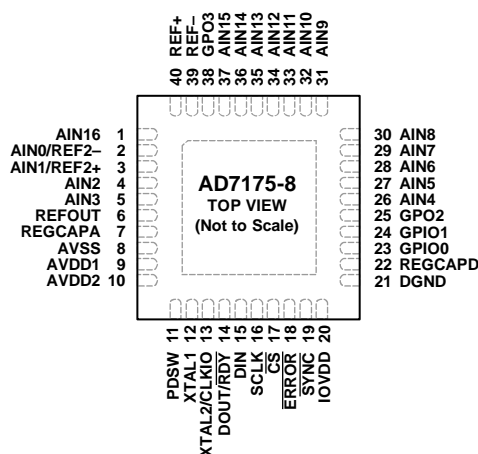
ESD に関する注意



ESD（静電放電）の影響を受けやすいデバイスです。

電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能説明



NOTES

1. SOLDER THE EXPOSED PAD TO A SIMILAR PAD ON THE PCB UNDER THE EXPOSED PAD TO CONFER MECHANICAL STRENGTH AND FOR HEAT DISSIPATION. THE EXPOSED PAD MUST BE CONNECTED TO AVSS THROUGH THIS PAD ON THE PCB.

12911-905

図 4. ピン配置

表 5. ピン機能の説明¹

Pin No.	Mnemonic	Type ²	Description
1	AIN16	AI	アナログ入力 16。このピンはクロスポイント・マルチプレクサを介して選択できます。
2	AIN0/REF2-	AI	アナログ入力 0 (AIN0) / リファレンス 2、負入力 (REF2-)。外部リファレンスは、REF2+ と REF2- の間に与えることができます。REF2- の範囲は AVSS ~ AVDD1 - 1 V です。アナログ入力 0 はクロスポイント・マルチプレクサを介して選択できます。リファレンス 2 は、セットアップ設定レジスタの REF_SELx ビットを介して選択できます。
3	AIN1/REF2+	AI	アナログ入力 1 (AIN0) / リファレンス 2、正入力 (REF2+)。外部リファレンスは、REF2+ と REF2- の間に与えることができます。REF2+ の範囲は AVDD1 ~ AVSS + 1 V です。アナログ入力 1 はクロスポイント・マルチプレクサを介して選択できます。リファレンス 2 は、セットアップ設定レジスタの REF_SELx ビットを介して選択できます。
4	AIN2	AI	アナログ入力 2。このピンはクロスポイント・マルチプレクサを介して選択できます。
5	AIN3	AI	アナログ入力 3。このピンはクロスポイント・マルチプレクサを介して選択できます。
6	REFOUT	AO	内部リファレンスのバッファ付き出力。出力は AVSS を基準として 2.5 V です。
7	REGCAPA	AO	アナログ低ドロップアウト (LDO) レギュレータの出力。1 μF のコンデンサを使用して、このピンを AVSS ヘッドカップリングします。
8	AVSS	P	負のアナログ電源。電源電圧範囲は 0 V ~ -2.75 V で、公称 0 V に設定されています。
9	AVDD1	P	アナログ電源電圧 1。この電圧は、AVSS を基準として、5 V ±10 % です。AVDD1 - AVSS は、5 V の単電源または ±2.5 V の両電源にすることができます。
10	AVDD2	P	アナログ電源電圧 2。この電圧範囲は、AVSS を基準として、2 V ~ AVDD1 です。
11	PDSW	AO	AVSS に接続されたパワーダウン・スイッチ。このピンは、GPIOCON レジスタの PDSW ビットによって制御されます。
12	XTAL1	AI	水晶振動子用入力 1。
13	XTAL2/CLKIO	AI/DI	水晶振動子用入力 2 (XTAL2) / クロック入力または出力 (CLKIO)。詳細については、ADCMODE レジスタの CLOCKSEL ビットの設定を参照してください。
14	DOUT/RDY	DO	シリアル・データ出力 (DOUT) / データ・レディ出力 (RDY)。このピンには 2 つの機能があります。ADC の出力シフト・レジスタにアクセスするときは、シリアル・データ出力ピンとして機能します。出力シフト・レジスタには、内蔵のどのデータ・レジスタまたはコントロール・レジスタからのデータでも格納できます。データワード/コントロール・ワード情報は SCLK の立下がりエッジで DOUT/RDY ピンに与えられ、SCLK の立上がりエッジで有効です。CS がハイ・レベルのとき、DOUT/RDY 出力はスリーステートになります。CS がロー・レベルで、レジスタが読み出し中でない場合、DOUT/RDY は、データ・レディ・ピンとして機能し、ロー・レベルに下がると変換完了を示します。変換後にデータが読み出されない場合、次の更新が行われる前にこのピンはハイ・レベルになります。DOUT/RDY の立下がりエッジは、プロセッサに対する割込みとして使用可能で、有効なデータが準備できていることを示します。

Pin No.	Mnemonic	Type ²	Description
15	DIN	DI	ADCの入力シフト・レジスタへのシリアル・データ入力。このシフト・レジスタのデータは、ADC内のコントロール・レジスタに転送されます。該当するレジスタは、コミュニケーション・レジスタのレジスタ・アドレス（RA）ビットにより指定されます。データは、SCLKの立上がりエッジでクロックインされます。
16	SCLK	DI	シリアル・クロック入力。このシリアル・クロック入力は、ADCとのデータ転送に使用します。SCLKはシュミット・トリガ入力を備えているため、光絶縁アプリケーションのインターフェースに適しています。
17	$\overline{\text{CS}}$	DI	チップ・セレクト入力。このピンはアクティブ・ローのロジック入力で、ADCの選択に使用します。 $\overline{\text{CS}}$ は、シリアル・バスに複数のデバイスが接続されているシステムでADCを選択するときに使います。 $\overline{\text{CS}}$ をロー・レベルにハードワイヤ接続することにより、デバイスとのインターフェースにSCLK、DIN、DOUT/RDYを使った3線式モードでADCを動作させることができます。 $\overline{\text{CS}}$ がハイ・レベルのとき、DOUT/RDY出力はスリーステートになります。
18	$\overline{\text{ERROR}}$	DI/O	エラー入力／出力または汎用出力。このピンは、以下の3つのモードのいずれかで使うことができます。 アクティブ・ローのエラー入力モード。このモードは、STATUSレジスタのADC_ERRORビットをセットします。 アクティブ・ローのオープンドレイン・エラー出力モード。ステータス・レジスタのエラー・ビットは $\overline{\text{ERROR}}$ ピンにマップされます。複数のデバイスの $\overline{\text{ERROR}}$ ピンを共通のプルアップ抵抗へ接続することができるため、どのデバイスのエラーも検知できます。 汎用出力モード。このピンのステータスは、GPIOCONレジスタのERR_DATビットによって制御されます。このピンは、GPIO1ピンとGPIO2ピンで使われているAVDD1とAVSSではなく、IOVDDとDGND間の電圧を基準としています。このモードでは、 $\overline{\text{ERROR}}$ ピンはアクティブ・プルアップ回路を備えています。
19	$\overline{\text{SYNC}}$	DI	同期入力。複数のAD7175-8を使うときに、デジタル・フィルタとアナログ変調器の同期を可能にします。
20	IOVDD	P	デジタルI/O電源電圧。IOVDDの電圧範囲は、2V～5V（公称値）です。IOVDDは、AVDD1とAVDD2から独立しています。例えば、AVDD1またはAVDD2が5Vの場合に、IOVDDは3.3Vで動作でき、その逆も可能です。AVSSを-2.5Vに設定した場合、IOVDDの電圧は3.6Vを超えてはなりません。
21	DGND	P	デジタル・グラウンド。
22	REGCAPD	AO	デジタルLDOレギュレータ出力。このピンはデカップリング専用です。1μFのコンデンサを使用して、このピンをDGNDへデカップリングします。
23	GPIO0	DI/O	汎用入出力0。このピンのロジック入出力は、AVDD1電源とAVSS電源を基準としています。
24	GPIO1	DI/O	汎用入出力2。このピンのロジック入出力は、AVDD1電源とAVSS電源を基準としています。
25	GPO2	DO	汎用出力2。このピンのロジック出力は、AVDD1電源とAVSS電源を基準としています。
26	AIN4	AI	アナログ入力4。このピンはクロスポイント・マルチプレクサを介して選択できます。
27	AIN5	AI	アナログ入力5。このピンはクロスポイント・マルチプレクサを介して選択できます。
28	AIN6	AI	アナログ入力6。このピンはクロスポイント・マルチプレクサを介して選択できます。
29	AIN7	AI	アナログ入力7。このピンはクロスポイント・マルチプレクサを介して選択できます。
30	AIN8	AI	アナログ入力8。このピンはクロスポイント・マルチプレクサを介して選択できます。
31	AIN9	AI	アナログ入力9。このピンはクロスポイント・マルチプレクサを介して選択できます。
32	AIN10	AI	アナログ入力10。このピンはクロスポイント・マルチプレクサを介して選択できます。
33	AIN11	AI	アナログ入力11。このピンはクロスポイント・マルチプレクサを介して選択できます。
34	AIN12	AI	アナログ入力12。このピンはクロスポイント・マルチプレクサを介して選択できます。
35	AIN13	AI	アナログ入力13。このピンはクロスポイント・マルチプレクサを介して選択できます。
36	AIN14	AI	アナログ入力14。このピンはクロスポイント・マルチプレクサを介して選択できます。
37	AIN15	AI	アナログ入力15。このピンはクロスポイント・マルチプレクサを介して選択できます。
38	GPO3	DO	汎用出力3。このピンのロジック出力は、AVDD1電源とAVSS電源を基準としています。
39	REF-	AI	リファレンス1入力の負端子。REF-の範囲は、AVSS～AVDD1-1Vです。リファレンス1は、セットアップ設定レジスタのREF_SELxビットを介して選択できます。
40	REF+	AI	リファレンス1入力の正端子。外部リファレンスをREF+とREF-の間に与えることができます。REF+の範囲は、AVDD1～AVSS+1Vです。リファレンス1は、セットアップ設定レジスタのREF_SELxビットを介して選択できます。
	EP	P	露出パッド。露出パッドは、パッケージの機械的強度と放熱効果を高めるため、露出パッドの下の方のPCB上の同様のパッドにハンダ付けします。露出パッドは、PCB上のこのパッドを介してAVSSに接続する必要があります。

¹このデータシートでは、2つの機能名を持つピンは、そのいずれかのみを用いて該当する機能を説明していることにご注意ください。

² AI＝アナログ入力、AO＝アナログ出力、P＝電源、DI＝デジタル入力、DO＝デジタル出力、DI/O＝双方向デジタル入出力。

代表的な性能特性

特に指定のない限り、 $AVDD1 = 5\text{ V}$ 、 $IOVDD = 3.3\text{ V}$ 、 $T_A = 25^\circ\text{C}$ 。

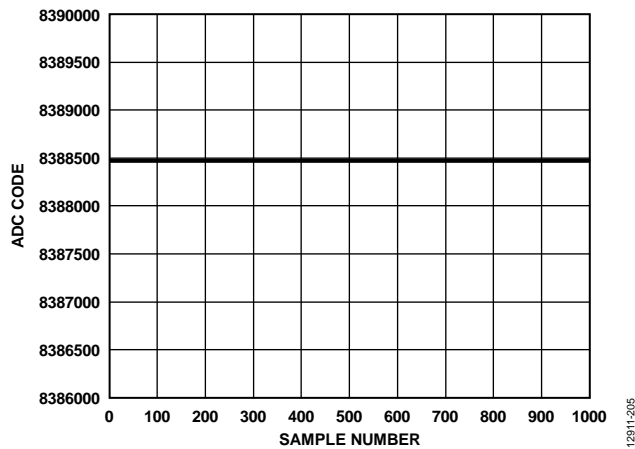


図 5. ノイズ（アナログ入力バッファはディスエーブル、 $V_{REF} = 5\text{ V}$ 、出力データ・レート = 5 SPS）

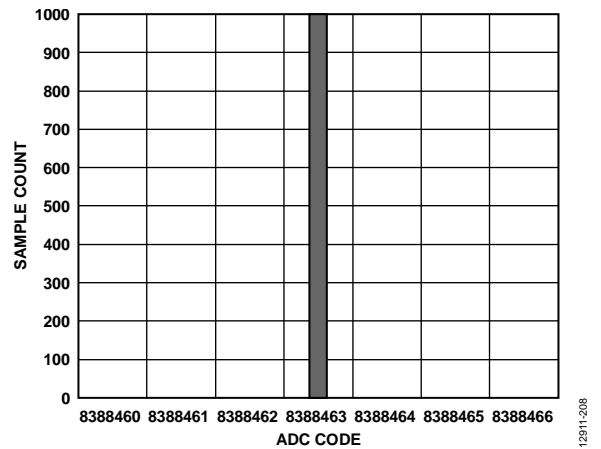


図 8. ヒストグラム（アナログ入力バッファはディスエーブル、 $V_{REF} = 5\text{ V}$ 、出力データ・レート = 5 SPS）

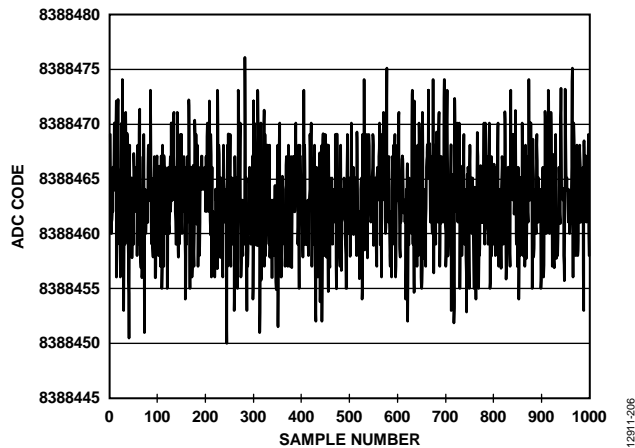


図 6. ノイズ（アナログ入力バッファはディスエーブル、 $V_{REF} = 5\text{ V}$ 、出力データ・レート = 10 kSPS）

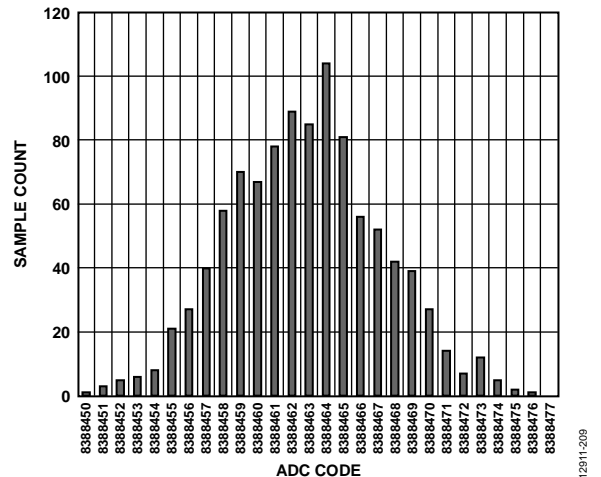


図 9. ヒストグラム（アナログ入力バッファはディスエーブル、 $V_{REF} = 5\text{ V}$ 、出力データ・レート = 10 kSPS）

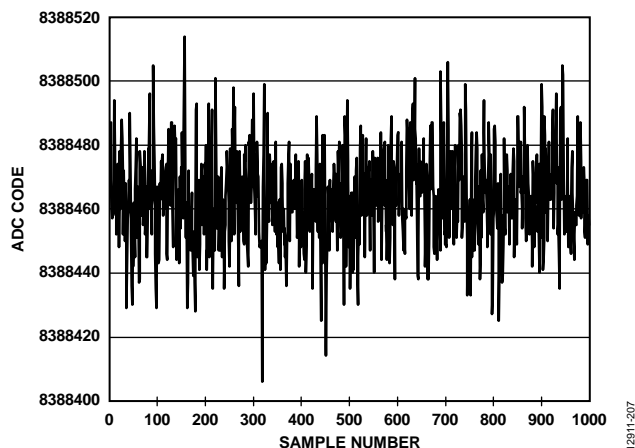


図 7. ノイズ（アナログ入力バッファはディスエーブル、 $V_{REF} = 5\text{ V}$ 、出力データ・レート = 250 kSPS）

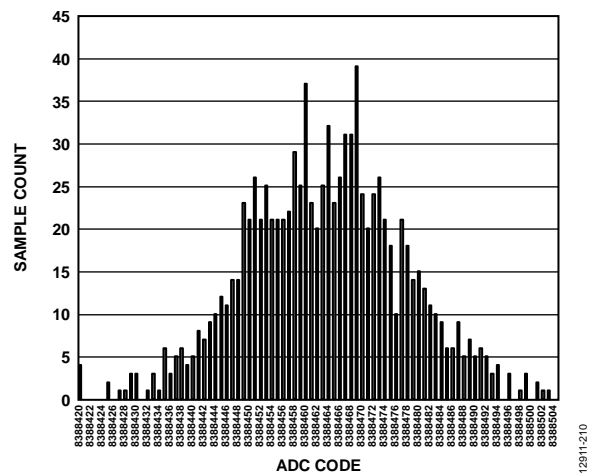
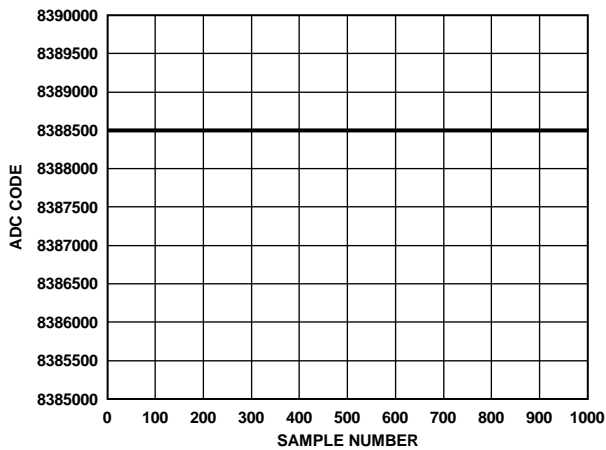
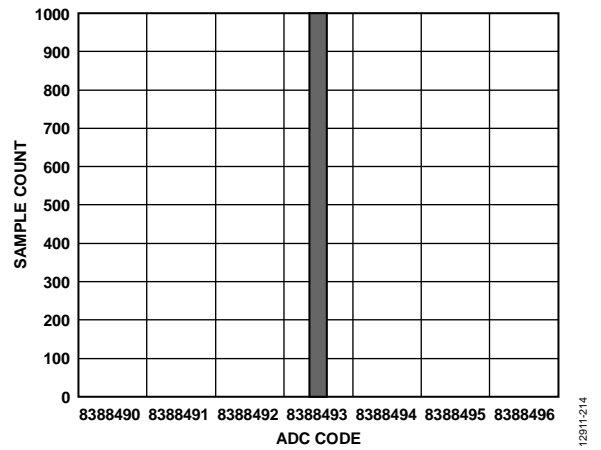


図 10. ヒストグラム（アナログ入力バッファはディスエーブル、 $V_{REF} = 5\text{ V}$ 、出力データ・レート = 250 kSPS）



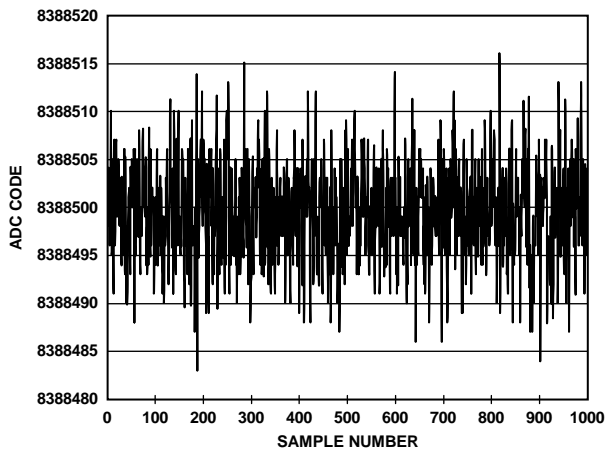
12911-211

図 11. ノイズ（アナログ入力バッファはイネーブル、 $V_{REF} = 5V$ 、出力データ・レート = 5 SPS）



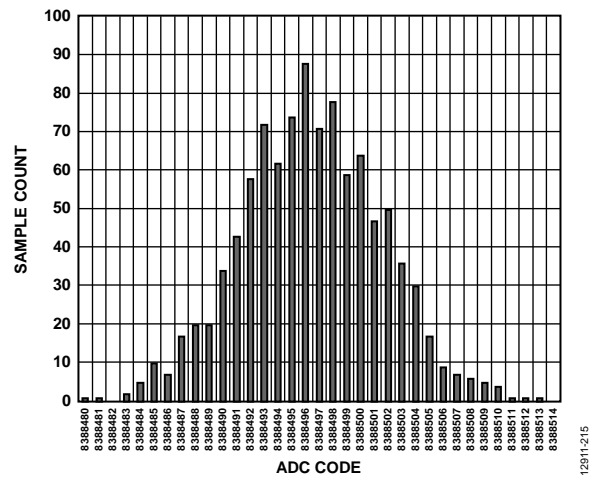
12911-214

図 14. ヒストグラム（アナログ入力バッファはイネーブル、 $V_{REF} = 5V$ 、出力データ・レート = 5 SPS）



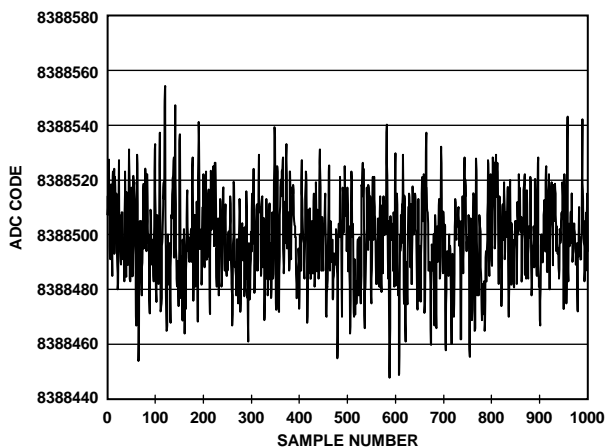
12911-212

図 12. ノイズ（アナログ入力バッファはイネーブル、 $V_{REF} = 5V$ 、出力データ・レート = 10 kSPS）



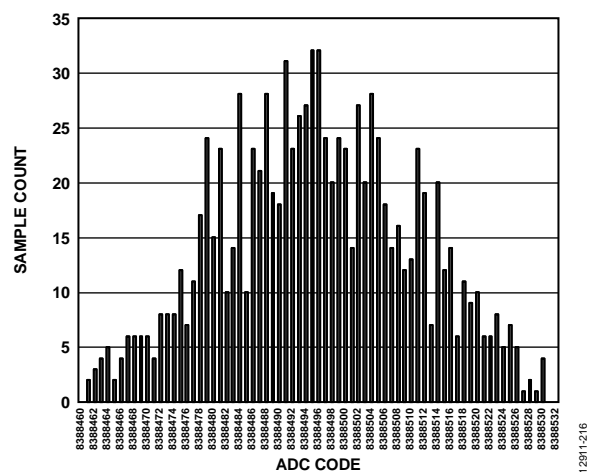
12911-215

図 15. ヒストグラム（アナログ入力バッファはイネーブル、 $V_{REF} = 5V$ 、出力データ・レート = 10 kSPS）



12911-213

図 13. ノイズ（アナログ入力バッファはイネーブル、 $V_{REF} = 5V$ 、出力データ・レート = 250 kSPS）



12911-216

図 16. ヒストグラム（アナログ入力バッファはイネーブル、 $V_{REF} = 5V$ 、出力データ・レート = 250 kSPS）

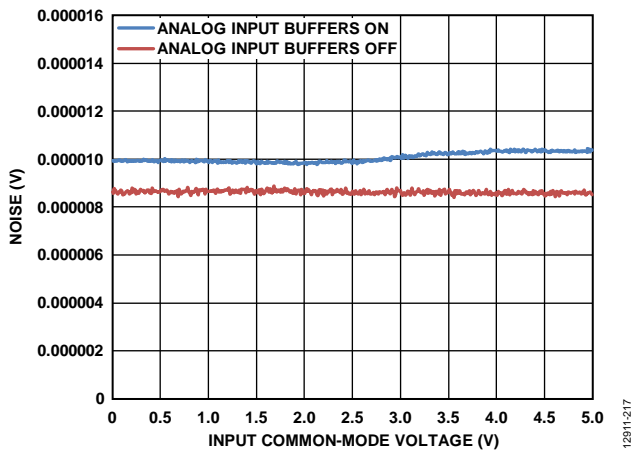


図 17. アナログ入力バッファのオン/オフ時における、
入力コモンモード電圧対ノイズ

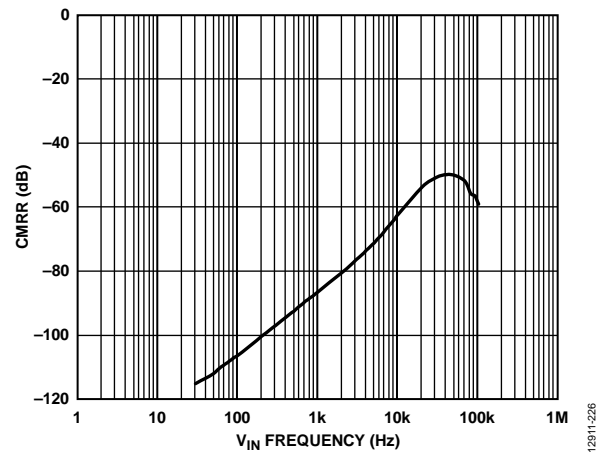


図 20. V_{IN} の周波数対同相ノイズ除去比 (CMRR)
($V_{IN} = 0.1$ V、出力データ・レート = 250 kSPS)

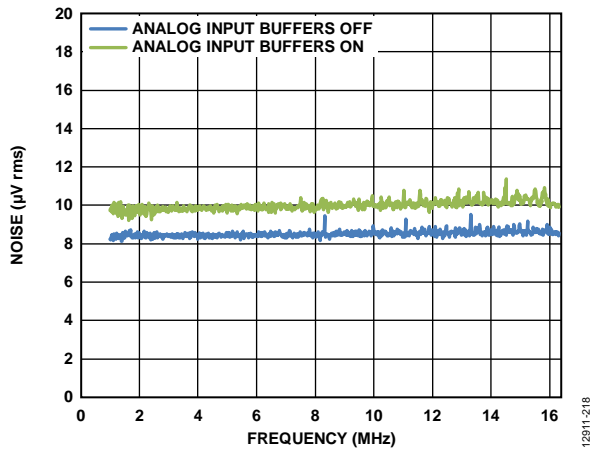


図 18. アナログ入力バッファのオン/オフ時における、
外部マスター・クロック周波数対ノイズ

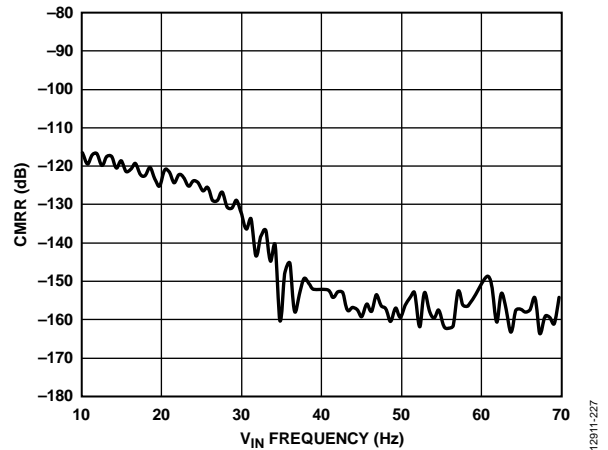


図 21. V_{IN} の周波数対同相ノイズ除去比 (CMRR)
($V_{IN} = 0.1$ V、10 Hz ~ 70 Hz、出力データ・レート = 20 SPS、
エンハンスド・フィルタ)

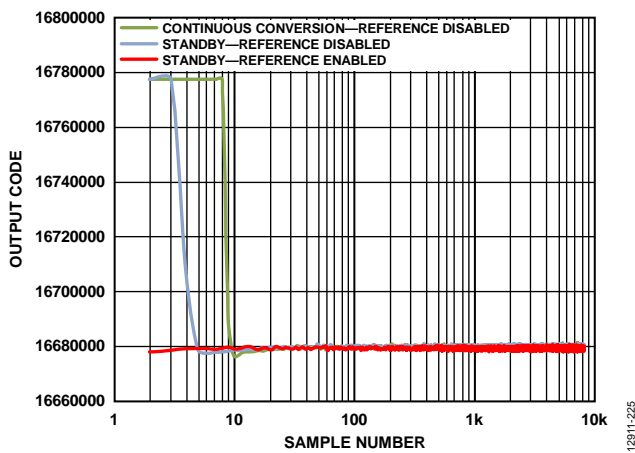


図 19. 内部リファレンスのセトリング時間

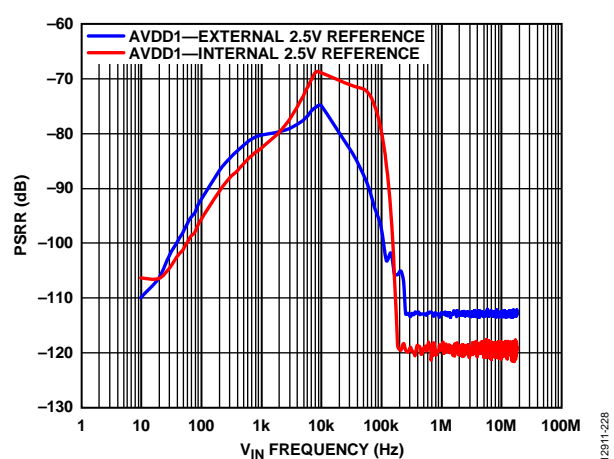


図 22. V_{IN} の周波数対電源電圧変動除去比 (PSRR)

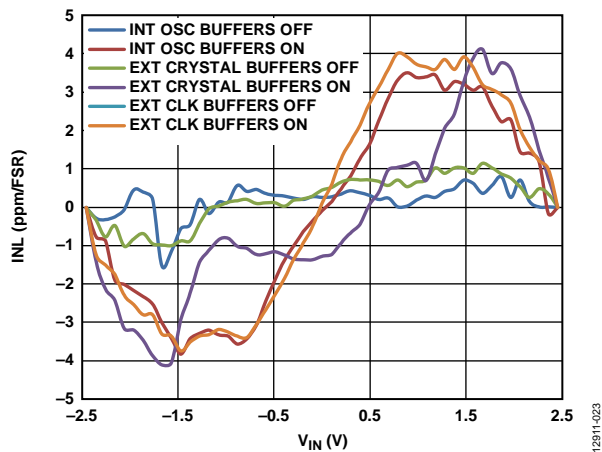


図 23. V_{IN} 対積分非直線性 (INL)
(差動入力、2.5 V 外部リファレンス)

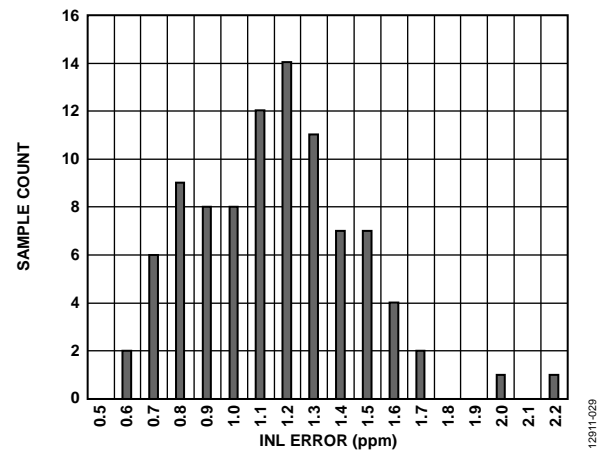


図 26. 積分非直線性 (INL) 分布ヒストグラム
(全てのアナログ入力バッファがディスエーブル、差動入力、 $V_{REF} = 5$ V 外部リファレンス、92 ユニット)

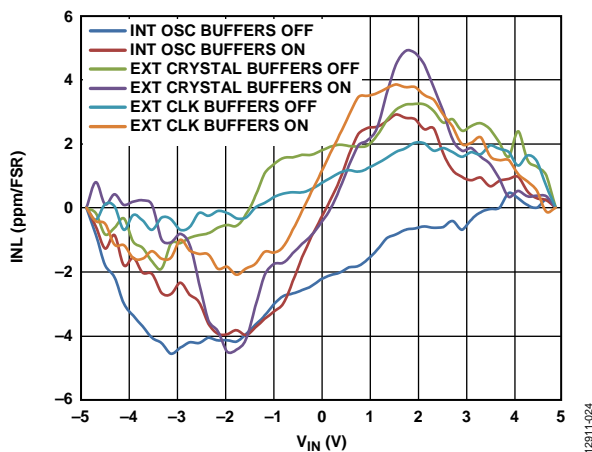


図 24. V_{IN} 対積分非直線性 (INL)
(差動入力、5 V 外部リファレンス)

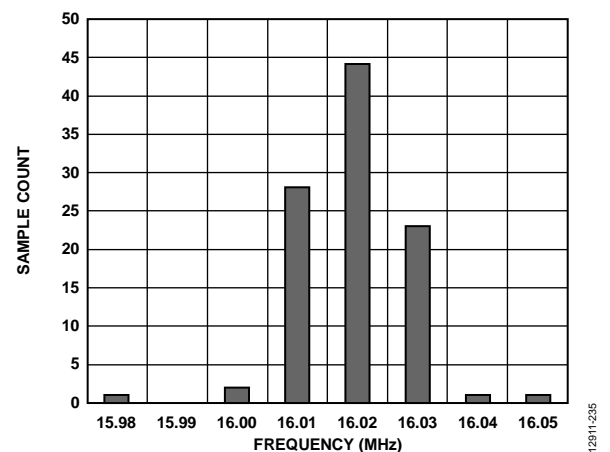


図 27. 内部発振器の周波数／精度分布ヒストグラム
(100 ユニット)

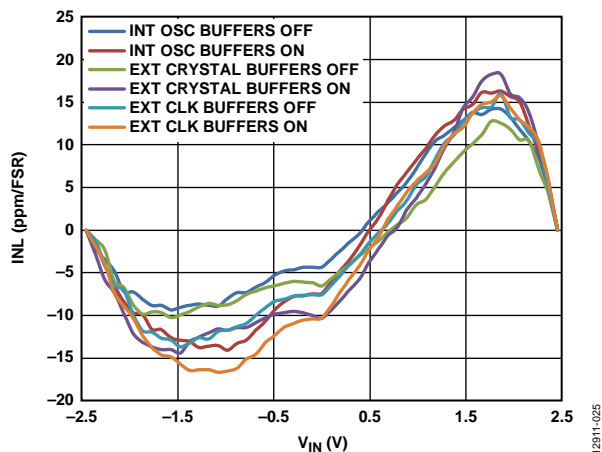


図 25. V_{IN} 対積分非直線性 (INL)
(差動入力、2.5 V 内部リファレンス)

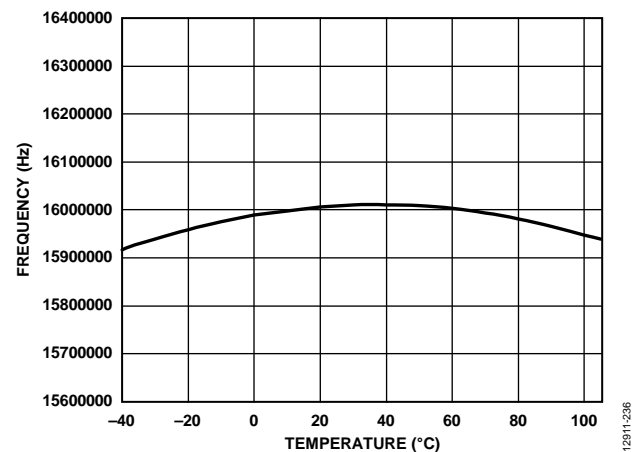


図 28. 内部発振器の周波数の温度特性

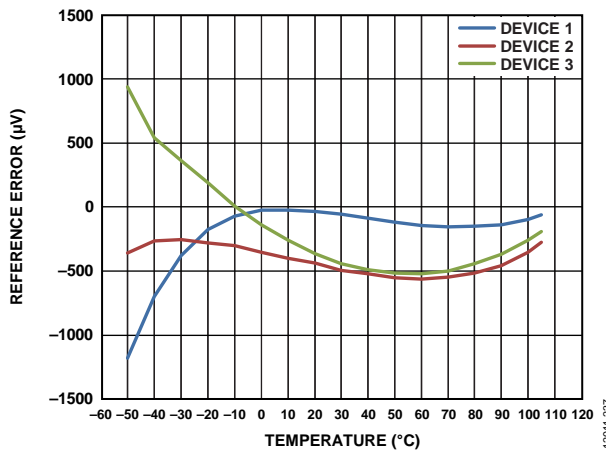


図 29. 絶対リファレンス誤差の温度特性

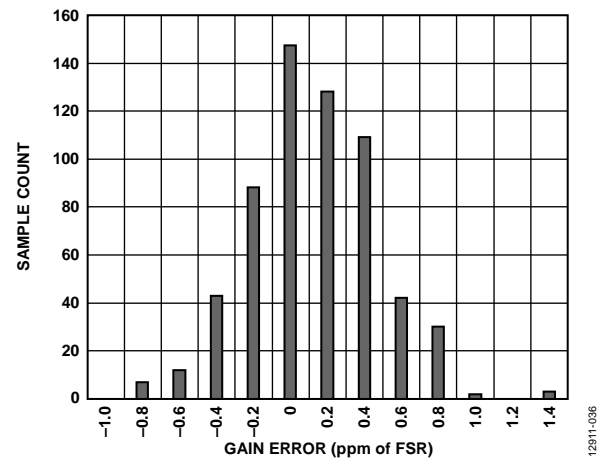


図 32. ゲイン誤差分布ヒストグラム
(全ての入力バッファがイネーブル、611 ユニット)

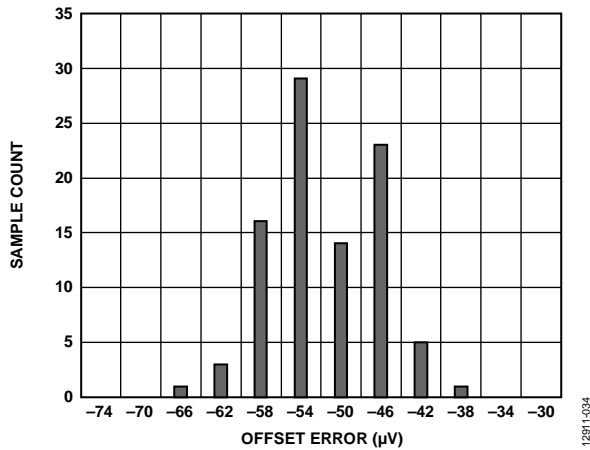


図 30. オフセット誤差分布ヒストグラム
(内部短絡、92 ユニット)

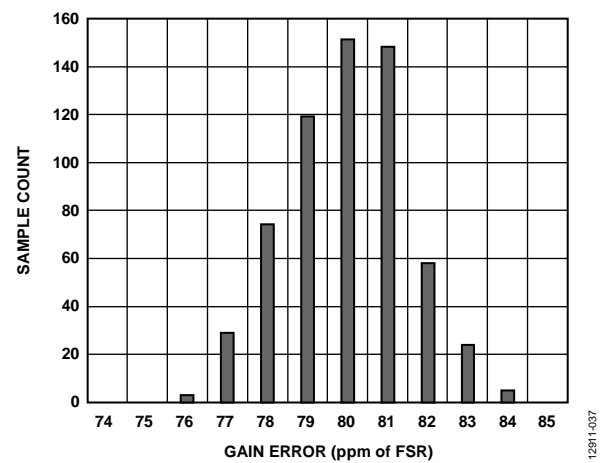


図 33. ゲイン誤差分布ヒストグラム
(全ての入力バッファがディスエーブル、647 ユニット)

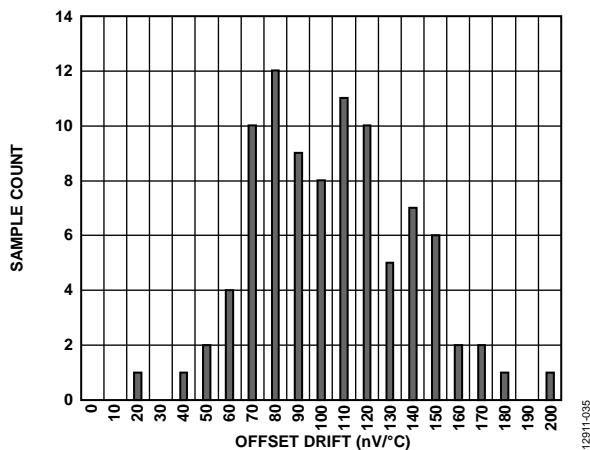


図 31. オフセット誤差ドリフト分布ヒストグラム
(内部短絡、92 ユニット)

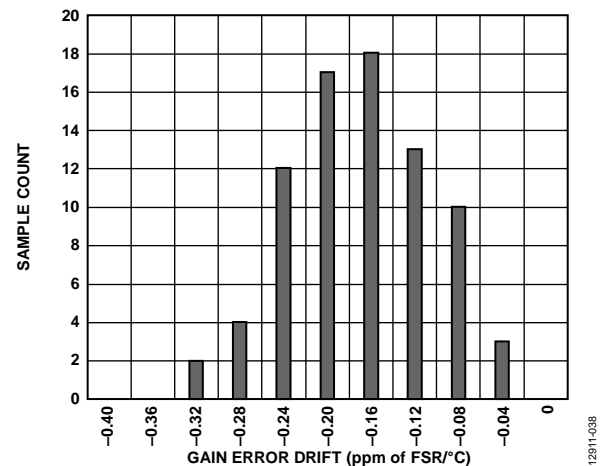


図 34. ゲイン誤差ドリフト分布ヒストグラム
(全ての入力バッファがイネーブル、79 ユニット)

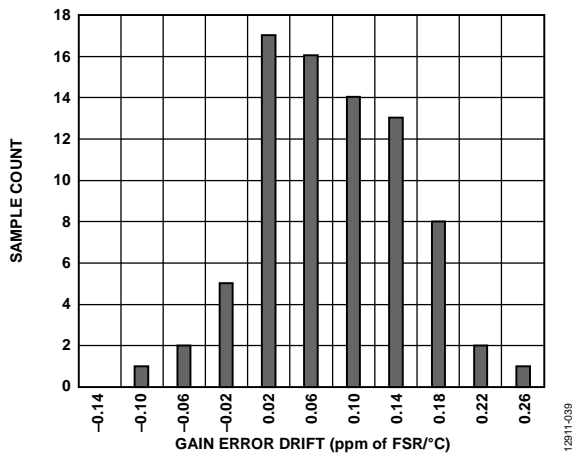


図 35. 全温度範囲のゲイン誤差ドリフト分布ヒストグラム
(全ての入力バッファがディスエーブル、79 ユニット)

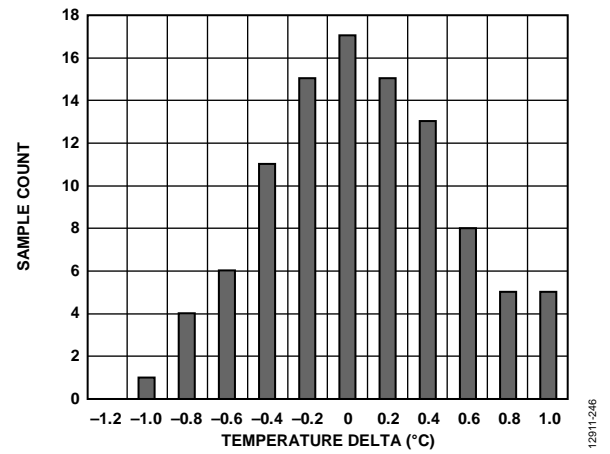


図 38. 温度センサー分布ヒストグラム (未校正、100 ユニット)

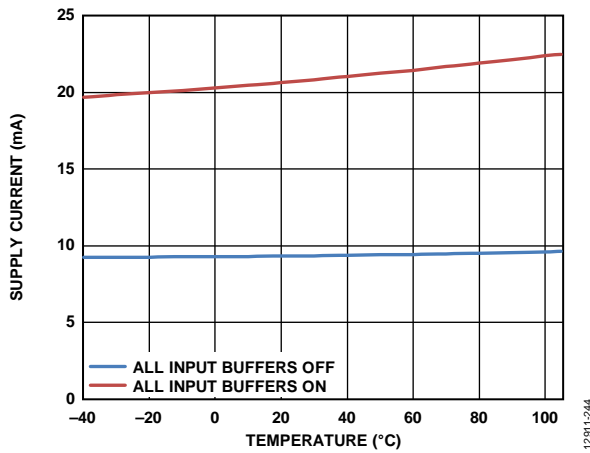


図 36. 電源電流の温度特性 (連続変換モード)

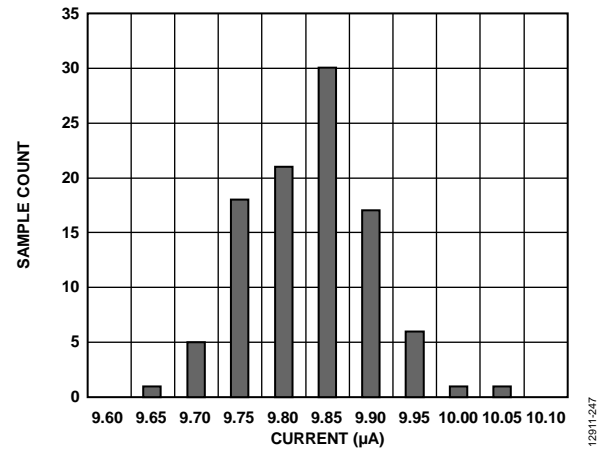


図 39. バーンアウト電流分布ヒストグラム (100 ユニット)

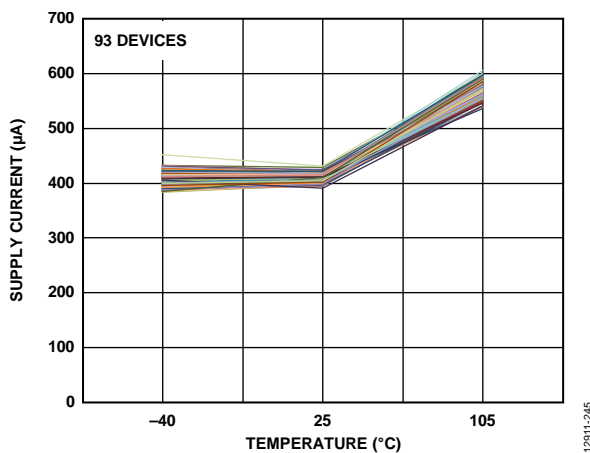


図 37. 電源電流の温度特性 (スタンバイ・モード、
リファレンスはイネーブル)

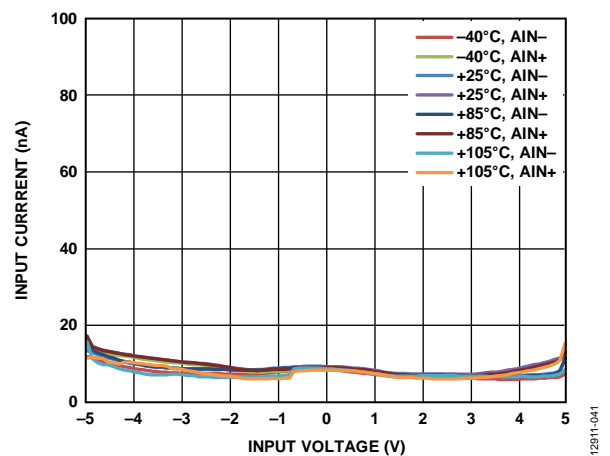


図 40. 入力電圧対アナログ入力電流 ($V_{CM} = 2.5$ V)

ノイズ性能と分解能

各種出力データ・レートとフィルタに対する、AD7175-8 の rms ノイズ、ピーク to ピーク・ノイズ、実効分解能、およびノイズ・フリー（ピーク to ピーク）分解能を表 6 と表 7 に示します。ここに示した値は、5 V の外部リファレンスを使用したバイポーラ入力範囲の場合です。これらの値は代表値であり、

ADC が 1 チャンネルを連続変換するとき、0 V の差動入力電圧で生成される値です。ピーク to ピーク分解能は、ピーク to ピーク・ノイズを基に計算された値であることに注意して下さい。このピーク to ピーク分解能は、コード・フリッカが生じない分解能を表します。

表 6. 出力データ・レートに対する RMS ノイズとピーク to ピーク分解能（デフォルトは sinc5 + sinc1 フィルタ使用）¹

Output Data Rate (SPS)	RMS Noise ($\mu\text{V rms}$)	Effective Resolution (Bits)	Peak-to-Peak Noise ($\mu\text{V p-p}$)	Peak-to-Peak Resolution (Bits)
Input Buffers Disabled				
250,000	8.7	20.1	65	17.2
62,500	5.5	20.8	43	17.8
10,000	2.5	21.9	18.3	19.1
1000	0.77	23.6	5.2	20.9
59.92	0.19	24	1.1	23.1
49.96	0.18	24	0.95	23.3
16.66	0.1	24	0.45	24
5	0.07	24	0.34	24
Input Buffers Enabled				
250,000	9.8	20	85	16.8
62,500	6.4	20.6	55	17.5
10,000	3	21.7	23	18.7
1000	0.92	23.4	5.7	20.7
59.98	0.23	24	1.2	23.0
49.96	0.2	24	1	23.3
16.66	0.13	24	0.66	23.9
5	0.07	24	0.32	24

¹選択されたレートのみ、1000 サンプル。

表 7. 出力データ・レートに対する RMS ノイズとピーク to ピーク分解能（sinc3 フィルタ使用）¹

Output Data Rate (SPS)	RMS Noise ($\mu\text{V rms}$)	Effective Resolution (Bits)	Peak-to-Peak Noise ($\mu\text{V p-p}$)	Peak-to-Peak Resolution (Bits)
Input Buffers Disabled				
250,000	210	15.5	1600	12.6
62,500	5.2	20.9	40	17.9
10,000	1.8	22.4	14	19.4
1000	0.56	24	3.9	21.3
60	0.13	24	0.8	23.6
50	0.13	24	0.7	23.8
16.66	0.07	24	0.37	24
5	0.05	24	0.21	24
Input Buffers Enabled				
250,000	210	15.5	1600	12.6
62,500	5.8	20.7	48	17.7
10,000	2.1	22.2	16	19.3
1000	0.71	23.7	4.5	21.1
60	0.17	24	1.1	23.1
50	0.15	24	0.83	23.5
16.66	0.12	24	0.6	24
5	0.08	24	0.35	24

¹選択されたレートのみ、1000 サンプル。

評価開始にあたって

AD7175-8 は、高速セトリング、高分解能のマルチプレクス型 ADC であり、高いレベルで設定が可能です。AD7175-8 は以下のような機能を備えています。

- 8 チャンネルの完全差動または 16 チャンネルのシングルエンド・アナログ入力。
- クロスポイント・マルチプレクサにより、変換対象の入力信号として任意のアナログ入力の組み合わせを選択し、変調器の正入力または負入力へ接続します。
- 真のレール to レール・バッファ付きのアナログ入力とリファレンス入力。
- いずれのアナログ入力を基準にしても完全差動入力またはシングルエンド入力が可能です。
- チャンネルごとに柔軟な設定が可能。最多 8 つの異なるセットアップを定義でき、個別のセットアップをチャンネルごとにマップすることができます。それぞれのセットアップにより、バッファのイネーブル/ディスエーブル、ゲイン補正およびオフセット補正の有無、フィルタのタイプ、出力データ・レート、リファレンス・ソースの選択（内部／外部）を設定することができます。

AD7175-8 は高精度で低ドリフト ($\pm 2 \text{ ppm}/^\circ\text{C}$) の 2.5 V バンドギャップ・リファレンスを内蔵しています。このリファレンスを ADC 変換に使用できるので、外部部品数を減らせます。また、REFOUT ピンへリファレンスを出力し、外部回路への低ノイズ・バイアス電圧として用いることもできます。この例としては、REFOUT 信号を使った外部アンプの入力コモンモードの設定があります。

AD7175-8 は、アナログ回路とデジタル回路の両方に個別のリニア・レギュレータ・ブロックを内蔵しています。アナログ LDO は AVDD2 電源を 1.8 V に安定化し、ADC コアに給電します。接続を簡単にするため、AVDD1 電源と AVDD2 電源を一緒に接続することもできます。システム内に 2 V（最小値）～ 5.5 V（最大値）のクリーンなアナログ電源がすでに存在する場合は、この電源を AVDD2 入力に接続して消費電力を抑えることもできます。

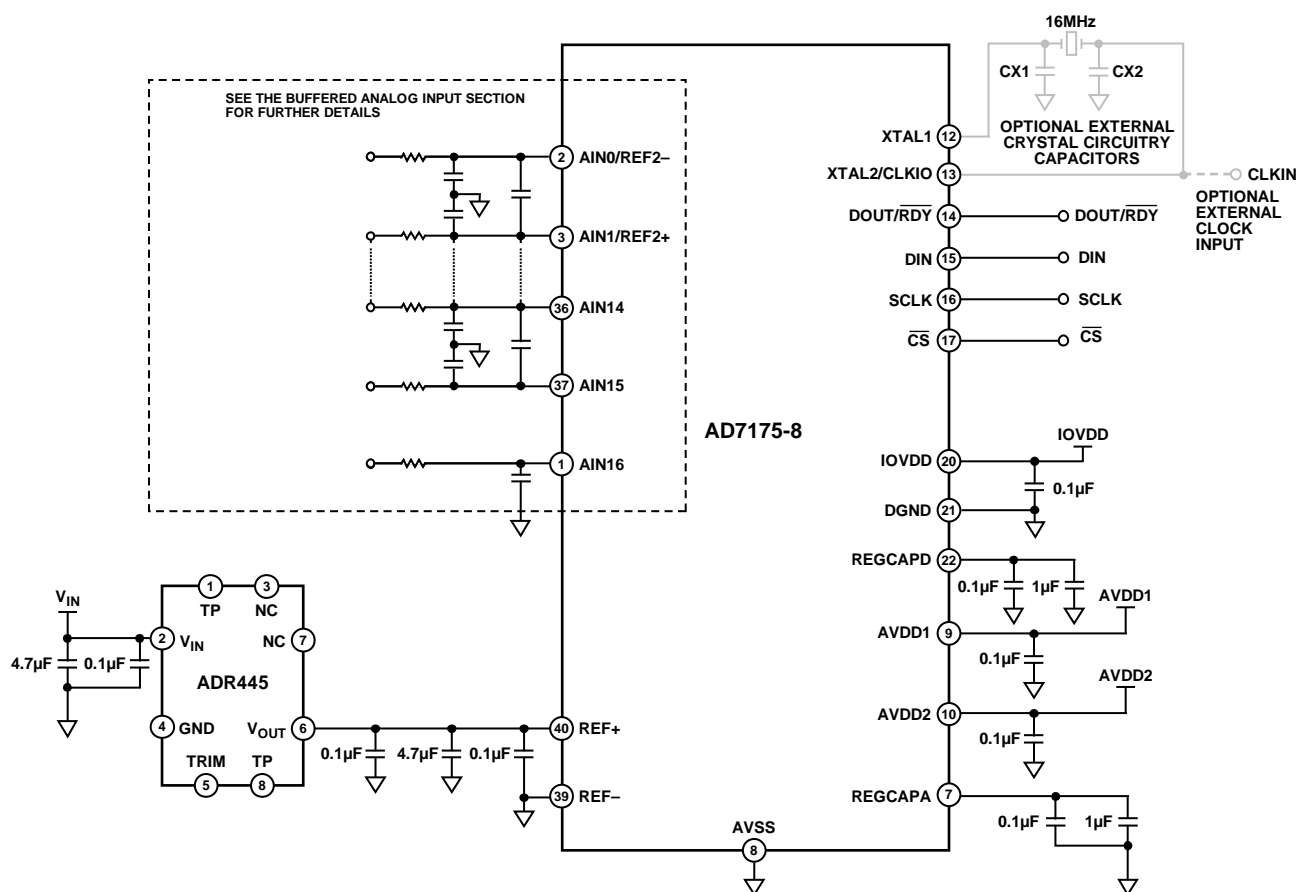


図 41. 代表的な接続図

デジタル IOVDD 電源用のリニア・レギュレータも同様の機能を実行し、IOVDD ピンに印加された入力電圧を 1.8 V に安定化して内部のデジタル・フィルタに供給します。シリアル・インターフェース信号は、常にこのピンの IOVDD 電源で動作します。つまり、IOVDD ピンに 3.3 V が印加されている場合、インターフェース・ロジックの入出力は、この電圧レベルで動作します。

AD7175-8 は幅広いアプリケーションで使用でき、高分解能と高精度を提供します。これらの例を以下に示します。

- 内部マルチプレクサを使ったアナログ入力チャンネルの高速スキャンング。
- GPIO で自動制御する外部マルチプレクサを使ったアナログ入力チャンネルの高速スキャンング。
- チャンネル・スキャンングまたはチャンネルごとに ADC が必要なアプリケーションにおける低速での高分解能。
- プリント回路基板 (PCB) の面積を節減するため、高集積ソリューションを必要とする高分解能アプリケーション。

電源

AD7175-8 は、AVDD1、AVDD2、IOVDD の 3 つの独立した電源を備えています。

AVDD1 は、クロスポイント・マルチプレクサ、内蔵のアナログ入力バッファとリファレンス入力バッファに給電します。

AVDD1 は AVSS を基準とし、 $AVDD1 - AVSS = 5\text{ V}$ のみです。AVDD1 - AVSS は、5 V の単電源または $\pm 2.5\text{ V}$ の両電源が可能です。両電源で動作させるときは、絶対最大定格に注意して下さい（絶対最大定格のセクションを参照）。

AVDD2 は内部の 1.8 V アナログ LDO レギュレータに給電します。このレギュレータは ADC コアに給電します。AVDD2 は AVSS を基準とし、 $AVDD2 - AVSS$ の範囲は 2 V（最小値）～ 5.5 V（最大値）が可能です。

IOVDD は内部の 1.8 V デジタル LDO レギュレータに給電します。このレギュレータは ADC のデジタル・ロジックに給電します。IOVDD により、ADC の SPI インターフェースの電圧レベルが設定されます。IOVDD は DGND を基準とし、 $IOVDD - DGND$ の範囲は 2 V（最小値）～ 5.5 V（最大値）が可能です。

AD7175-8 には、電源シーケンスに関する特定の要件はありません。全ての電源が安定したら、デバイスのリセットが必要です。デバイスをリセットする方法の詳細については、AD7175-8 のリセットのセクションを参照してください。

デジタル・コミュニケーション

AD7175-8 は、QSPI™、MICROWIRE®、および DSP と互換性のある 3 線式または 4 線式の SPI インターフェースを備えています。このインターフェースは、SPI モード 3 で動作し、CS をロー・レベルに接続した状態で動作させることができます。SPI モード 3 の場合、SCLK はアイドル・ハイになり、SCLK の立下りエッジが駆動エッジ、立上がりエッジがサンプル・エッジです。すなわち、データは立下りの駆動エッジでクロックアウトされ、立上がりのサンプル・エッジでクロックインされます。



図 42. SPI モード 3 の SCLK のエッジ

ADC のレジスタ・マップへのアクセス

コミュニケーション・レジスタは、ADC の全レジスタ・マップへのアクセスを制御します。このレジスタは 8 ビットの書き込み専用レジスタです。パワーアップ時またはリセット後に、デジタル・インターフェースは、デフォルトでコミュニケーション・レジスタへの書き込み待ちの状態になります。したがって、全ての通信はコミュニケーション・レジスタへの書き込みによって開始されます。

コミュニケーション・レジスタに書き込まれたデータにより、アクセスするレジスタと、次の動作が書き込みまたは読出しのどちらであるかが決まります。レジスタ・アドレス・ビット（RA[5:0]）により、読出しまたは書き込み動作の対象となるレジスタが決定されます。

選択されたレジスタの読出し動作または書き込み動作が完了すると、インターフェースはデフォルト状態、すなわち、コミュニケーション・レジスタへの書き込み動作待ちの状態に戻ります。

レジスタへの書き込み動作とレジスタからの読出し動作を図 43 と図 44 に示します。まず、8 ビット・コマンドをコミュニケーション・レジスタに書き込んだ後、レジスタのデータを書き込みます。

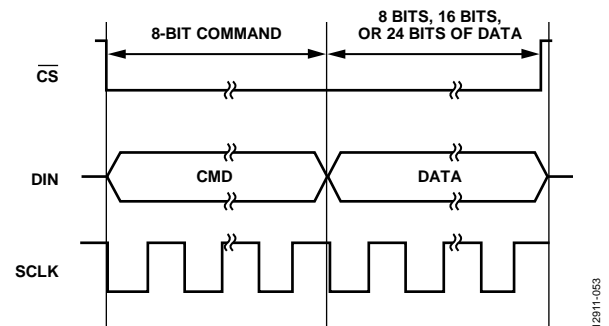


図 43. レジスタへの書き込み（レジスタ・アドレスを含む 8 ビット・コマンドに、8 ビット、16 ビット、または 24 ビットのデータが続く。DIN のデータ長は選択されたレジスタによって異なる）

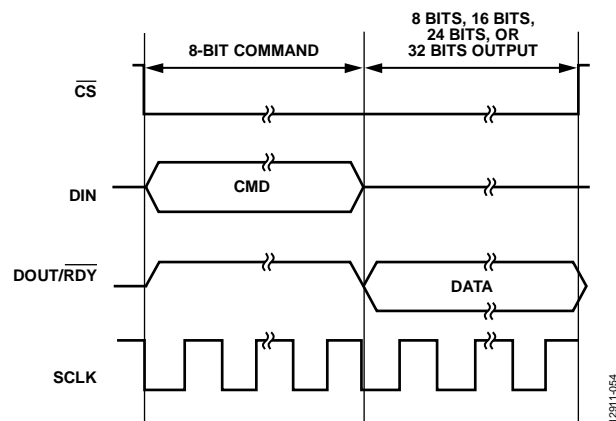


図 44. レジスタからの読出し（レジスタ・アドレスを含む 8 ビット・コマンドに 8 ビット、16 ビット、または 24 ビットのデータが続く。DOUT のデータ長は選択されたレジスタによって異なる）

このデバイスが正常に通信していることを確認するには、ID レジスタの読出しをお勧めします。ID レジスタは読出し専用のレジスタで、AD7175-8 の値 0x3CDx が格納されています。コミュニケーション・レジスタと ID レジスタの詳細については、それぞれ表 8 と表 9 を参照してください。

AD7175-8 のリセット

インターフェースの同期が失われた場合、DIN をハイ・レベルにして少なくとも 64 シリアル・クロック・サイクルの書込み動作を実行すると、レジスタの内容を含むデバイス全体がリセットされ、ADC がデフォルト状態に戻ります。あるいは、 \overline{CS} をデジタル・インターフェースと一緒に使用し、 \overline{CS} をハイ・レベルに戻すと、デジタル・インターフェースがデフォルト状態に設定され、全てのシリアル・インターフェース動作が停止します。

設定の概要

パワーオンまたはリセット後の AD7175-8 のデフォルト設定は以下のとおりです。いくつかのレジスタ設定オプションのみを示しました。このリストは一例であることに留意してください。全てのレジスタの情報については、レジスタの詳細のセクションを参照してください。

- チャンネル設定。CH0 がイネーブル、AIN0 は正入力として選択され、AIN1 は負入力として選択される。セットアップ 0 が選択される。
- セットアップ設定。内部リファレンスとアナログ入力バッファがイネーブル。リファレンス入力バッファはディスエーブル。
- フィルタ設定。sinc5 + sinc1 フィルタが選択され、最大出力データ・レートが選択される。
- ADC モード。連続変換モードと内部発振器がイネーブル。
- インターフェース・モード。CRC、データとステータスの出力がディスエーブル。

ADC の設定を変更するときの推奨フローの概要を図 45 に示します。このフローは 3 つのブロックに分かれています。

- チャンネル設定（図 45 のボックス A を参照）
- セットアップ設定（図 45 のボックス B を参照）
- ADC モードとインターフェース・モードの設定（図 45 のボックス C を参照）

チャンネル設定

AD7175-8 は 16 の独立したチャンネルと 8 つの独立したセットアップを備えています。あらゆるチャンネルで任意のアナログ入力ペアを選択でき、あらゆるチャンネルで 8 つのセットアップのうちどれでも選択できるため、チャンネル設定に関する完全な柔軟性が与えられています。このため、差動入力またはシングルエンド入力を使用する場合、最多 8 チャンネルまで、チャンネルごとに設定することもできます。チャンネル設定は、複数のチャンネルで共有することができます。

チャンネル・レジスタ

チャンネル・レジスタは、17 本のアナログ入力ピン（AIN0 ～ AIN16）のうち、どのピンをそのチャンネルの正アナログ入力（AIN+）とするのか、負アナログ入力（AIN-）とするのかを決めるのに使用します。このレジスタには、チャンネル・イネーブル/ディスエーブル・ビットや、使用できる 8 つのセットアップから 1 つをこのチャンネルに選択するためのセットアップ選択ビットも含まれています。

複数のチャンネルがイネーブルされている状態で AD7175-8 が動作している場合、チャンネル・シーケンサはチャンネル 0 からチャンネル 15 までイネーブルされているチャンネルを順番に処理します。あるチャンネルがディスエーブルされている場合、このチャンネルはシーケンサによってスキップされます。チャンネル 0 のチャンネル・レジスタの詳細を表 10 に示します。

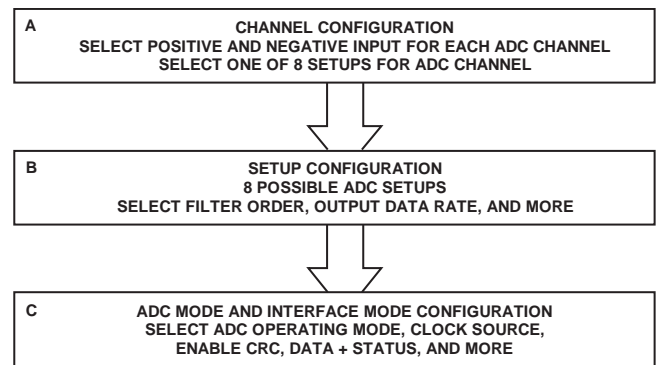


図 45. 推奨する ADC 設定のフロー

表 8. コミュニケーション・レジスタ

Reg.	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	RW
0x00	COMMS	[7:0]	WEN	R/W	RA						0x00	W

表 9. ID レジスタ

Reg.	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	RW
0x07	ID	[15:8]	ID[15:8]								0x3CDx	R
		[7:0]	ID[7:0]									

表 10. チャンネル 0 レジスタ

Reg.	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	RW
0x10	CH0	[15:8]	CH_EN0	Reserved	SETUP_SEL[2:0]		Reserved		AINPOS0[4:3]		0x8001	RW
		[7:0]	AINPOS0[2:0]			AINNEG0						

ADC セットアップ

AD7175-8 には 8 つの独立したセットアップがあります。各セットアップは以下の 4 つのレジスタで構成されています。

- セットアップ設定レジスタ
- フィルタ設定レジスタ
- ゲイン・レジスタ
- オフセット・レジスタ

例えば、セットアップ 0 は、セットアップ設定レジスタ 0、フィルタ設定レジスタ 0、ゲイン・レジスタ 0、およびオフセット・レジスタ 0 で構成されています。これらのレジスタのグループを図 46 に示します。このセットアップは、チャンネル・レジスタ（チャンネル設定のセクションを参照）で選択することができます。これにより、各チャンネルを 8 つの独立したセットアップの 1 つに割り当てることが可能になります。表 11 ～ 表 14 にセットアップ 0 に関連する 4 つのレジスタを示します。また、セットアップ 1 ～ セットアップ 3 も、セットアップ 0 と同じ構成です。

セットアップ設定レジスタ

セットアップ設定レジスタにより、バイポーラ・モードまたはユニポーラ・モードを選択して ADC の出力コーディングを選択できます。バイポーラ・モードの場合、ADC は負の差動入力電圧にも対応し、出力コーディングはオフセット・バイナリです。ユニポーラ・モードの場合、ADC は正の差動電圧のみに対応し、コーディングはストレート・バイナリです。どちらの場合も、入力電圧は AVDD1/AVSS 電源電圧の範囲内でなければなりません。これらのレジスタを使用してリファレンス・ソースを選択できます。リファレンス・ソースの選択には、3 つのオプションが用意されています。内部の 2.5 V リファレンス、REF+ ピンと REF- ピンの間に接続する外部リファレンス、または AVDD1 – AVSS です。アナログ入力バッファとリファレンス入力バッファも、このレジスタを使ってイネーブルまたはディスエーブルすることができます。

フィルタ設定レジスタ

フィルタ設定レジスタは、ADC 変調器の出力で使用するデジタル・フィルタを選択します。フィルタの次数と出力データ・レートは、このレジスタのビットを設定して選択します。詳細については、デジタル・フィルタのセクションを参照してください。

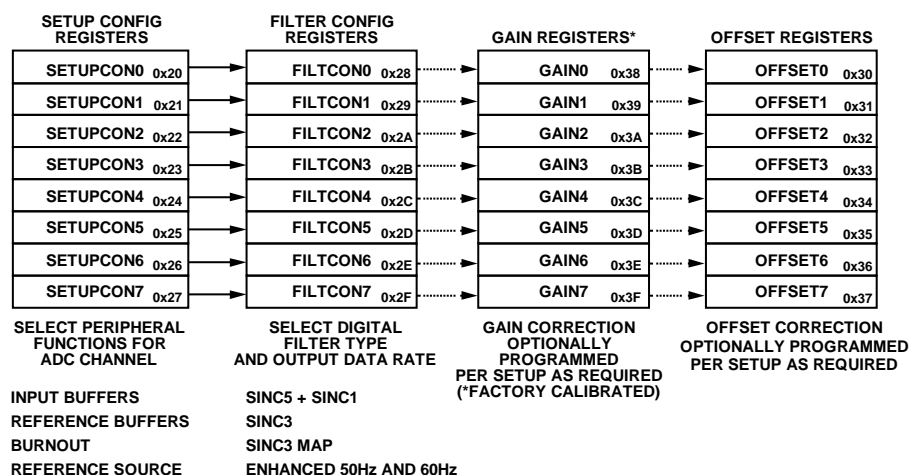


図 46. ADC セットアップ・レジスタのグループ

表 11. セットアップ設定 0 レジスタ

Reg.	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	RW
0x20	SETUPCON0	[15:8]	Reserved			BI_UNIPOLAR0	REFBUF0+	REFBUF0-	AINBUF0+	AINBUF0-	0x1320	RW
		[7:0]	BURNOUT_EN0	Reserved	REF_SEL0		Reserved					

表 12. フィルタ設定 0 レジスタ

Reg.	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	RW
0x28	FILTCON0	[15:8]	SINC3_MAP0	Reserved			ENHFILTEN0	ENHFILT0			0x0500	RW
		[7:0]	Reserved	ORDER0		ODR0						

表 13. ゲイン設定 0 レジスタ

Reg.	Name	Bits	Bit[23:0]	Reset	RW
0x38	GAIN0	[23:0]	GAIN0[23:0]	0x5XXXX0	RW

表 14. オフセット設定 0 レジスタ

Reg.	Name	Bits	Bit[23:0]	Reset	RW
0x30	OFFSET0	[23:0]	OFFSET0[23:0]	0x800000	RW

ゲイン・レジスタ

ゲイン・レジスタは、ADC のゲイン・キャリブレーション係数を保持する 24 ビット・レジスタです。ゲイン・レジスタはリード/ライト・レジスタです。パワーオン時、これらのレジスタには工場出荷時のキャリブレーション係数が設定されます。したがって、各デバイスは個別のデフォルト係数を持っています。ユーザーがシステム・フルスケール・キャリブレーションを開始するかゲイン・レジスタに書き込むと、デフォルト値は自動的に上書きされます。キャリブレーションの詳細については、動作モードのセクションを参照してください。

オフセット・レジスタ

オフセット・レジスタは、ADC のオフセット・キャリブレーション係数を保持します。オフセット・レジスタのパワーオン・リセット値は 0x800000 です。オフセット・レジスタは 24 ビットのリード/ライト・レジスタです。ユーザーが内部またはシステム・ゼロスケール・キャリブレーションを開始するか、オフセット・レジスタに書き込むと、パワーオン・リセット値は自動的に上書きされます。

ADC モードとインターフェース・モードの設定

ADC モード・レジスタとインターフェース・モード・レジスタは、AD7175-8 によって使用されるコア・ペリフェラルと、デジタル・インターフェースのモードを設定します。

ADC モード・レジスタ

ADC モード・レジスタは、主に ADC の変換モードを、連続変換モードまたはシングル変換モードに設定します。スタンバイ・モードやパワーダウン・モードだけでなく、あらゆるキャリブレーション・モードを選択することもできます。さらに、このレジスタには、クロック源の選択ビットと内部リファレンスのイネーブル・ビットが含まれています。リファレンス選択ビットはセットアップ設定レジスタに含まれています（詳細については、ADC セットアップのセクションを参照）。

インターフェース・モード・レジスタ

インターフェース・モード・レジスタはデジタル・インターフェースの動作を設定します。このレジスタにより、データワード長、CRC イネーブル、データとステータスの読出しモード、および連続読出しモードを制御できます。ADC モード・レジスタとインターフェース・モード・レジスタの詳細をそれぞれ表 15 と表 16 に示します。詳細については、デジタル・インターフェースのセクションを参照してください。

表 15. ADC モード・レジスタ

Reg.	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	RW
0x01	ADCMODE	[15:8]	REF_EN	HIDE_DELAY	SING_CYC	Reserved		Delay			0xA000	RW
		[7:0]	Reserved	Mode			CLOCKSEL		Reserved			

表 16. インターフェース・モード・レジスタ

Reg.	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	RW
0x02	IFMODE	[15:8]	Reserved			ALT_SYNC	IOSTRENGTH	Reserved		DOUT_RESET	0x0000	RW
		[7:0]	CONT_READ	DATA_STAT	REG_CHECK	Reserved	CRC_EN		Reserved	WL16		

設定の柔軟性

AD7175-8 を最も簡単に実装するには、隣接するアナログ入力を使用した 8 つの差動入力を使用して、それら全てを同じセットアップ、ゲイン補正、およびオフセット補正レジスタで実行します。この場合、AIN0/AIN1、AIN2/AIN3、AIN4/AIN5、AIN6/AIN7、AIN8/AIN9、AIN10/AIN11、AIN12/AIN13、AIN14/AIN15 の組み合わせの差動入力を選択します。このような設定では、図 47 の黒文字で示されているレジスタをプログラムする必要があります。灰色の文字で示されているレジスタは、この組み合わせでは設定不要です。

レジスタ・ブロック間の破線で示すように、ゲイン・レジスタとオフセット・レジスタのプログラミングは常にオプションです。

代わりに、使用可能な 8 つのセットアップを利用して、これら 8 つの完全差動入力を実装することもできます。8 つの差動入力の一部と他の入力の間で速度やノイズの要件が異なる場合や、特定のチャンネルで特定のオフセットまたはゲイン補正を行う必要がある場合などに、この方法を使用できます。各差動入力個別のセットアップを使用して各チャンネルを最大限柔軟に設定できる方法を図 48 に示します。

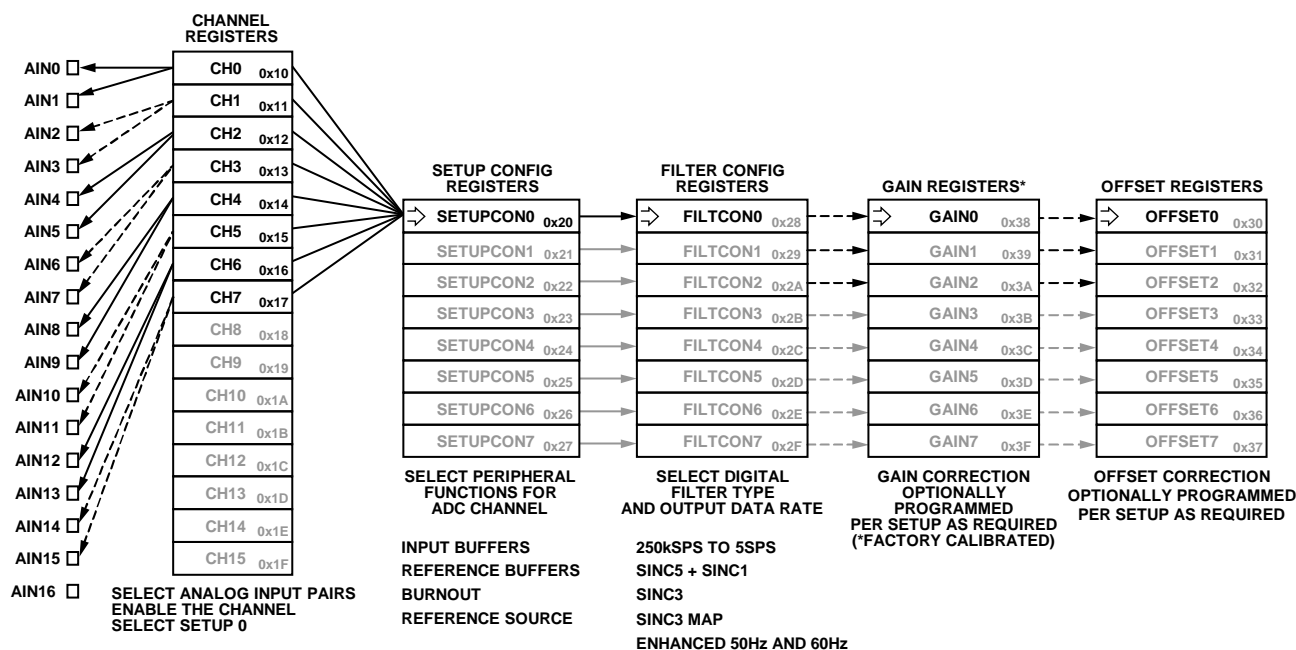


図 47. 8 つの完全差動入力全てが 1 つのセットアップ (SETUPCON0、FILTC0N0、GAIN0、OFFSET0) を使用

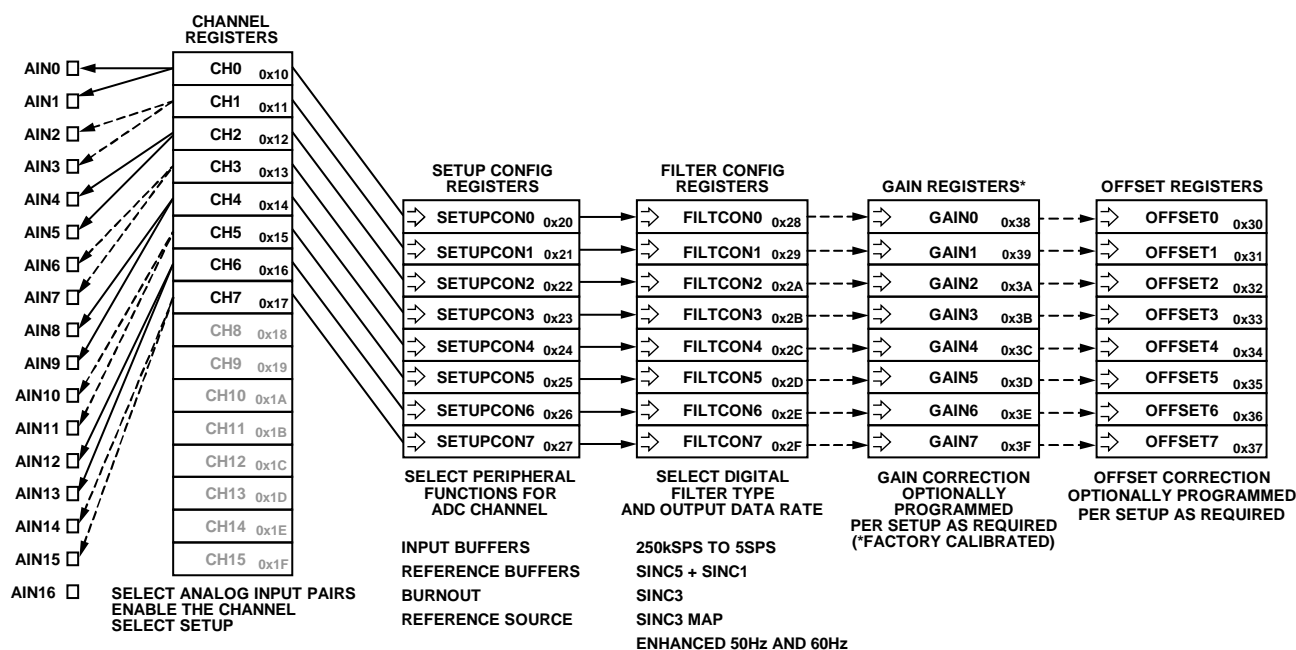


図 48. 8 つの完全差動入力チャンネルごとのセットアップを使用

チャンネル・レジスタがアナログ入力ピンと後続のセットアップ設定の間をどのように連結するかの一例を図 49 に示します。この無作為の例では、7つの差動入力と2つのシングルエンド入力が必要です。シングルエンド入力は、AIN8/AIN16と AIN15/AIN16の組み合わせです。最初の5つの差動入力ペア (AIN0/AIN1、AIN2/AIN3、AIN4/AIN5、AIN6/AIN7、AIN9/AIN10) は同じセットアップ SETUPCON0 を使用します。2つのシングルエンド入力ペア (AIN8/AIN16と AIN15/AIN16) は、診断用として設定されているので、別のセットアップ SETUPCON1 を使用します。最後の2つの差動入力 (AIN11/AIN12と AIN13/AIN14) も別のセットアップ SETUPCON2 を使用します。使用するセットアップが3つ選択されているため、SETUPCON0、SETUPCON1、および

SETUPCON2 レジスタが必要に応じてプログラムされており、FILTCON0、FILTCON1、および FILTCON2 レジスタも必要に応じてプログラムされています。GAIN0、GAIN1、および GAIN2 レジスタと OFFSET0、OFFSET1、および OFFSET2 レジスタをプログラムして、オプションのゲインとオフセット補正をセットアップごとに採用することができます。

図 49 に示されている例では、CH0 ~ CH8 のレジスタが使われています。これらのレジスタの MSB (CH_EN0 ~ CH_EN8 ビット) をセットすると、クロスポイント・マルチプレクサを介して9つの組み合わせをイネーブルします。AD7175-8 の変換時に、シーケンスは CH0、CH1、CH2、そして CH8 まで昇順で遷移した後、CH0 に戻ってこのシーケンスを繰り返します。

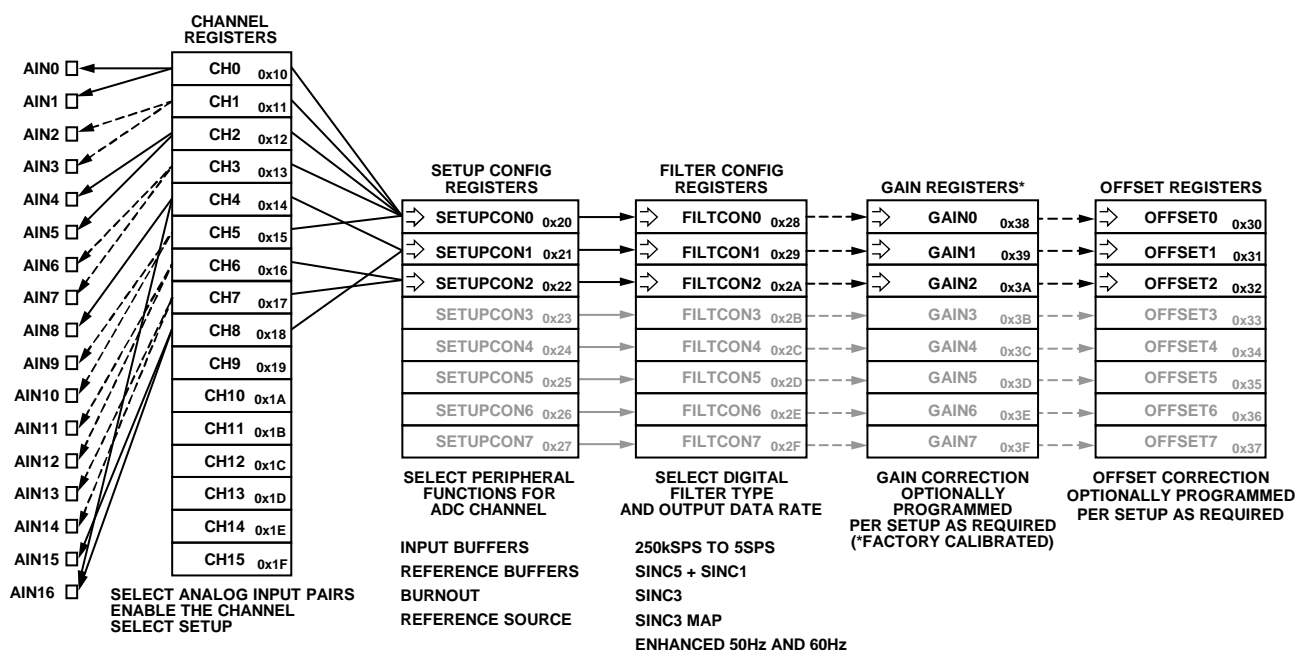


図 49. 複数の共有セットアップを使用して、差動とシングルエンドを混在させる設定

回路説明

バッファ付きアナログ入力

AD7175-8 は、ADC の両方のアナログ入力に、真のレール to レールの高精度ユニティ・ゲイン・バッファを内蔵しています。このバッファによって高い入力インピーダンスの利点が与えられ、入力電流はわずか ± 30 nA（代表値）です。そのため、高いインピーダンスの信号源をアナログ入力に直接接続することができます。このバッファは、内部 ADC のスイッチド・キャパシタ・サンプリング・ネットワークを十分に駆動するため、アナログ・フロントエンド回路の要件を緩和し、しかもバッファあたりの消費電流が 2.9 mA（代表値）と非常に効率的です。各アナログ入力バッファ・アンプはチョッピング方式で動作します。つまり、バッファのオフセット誤差ドリフトと $1/f$ ノイズを最小限に抑えます。ADC とバッファを合わせた $1/f$ ノイズのプロファイルを図 50 に示します。

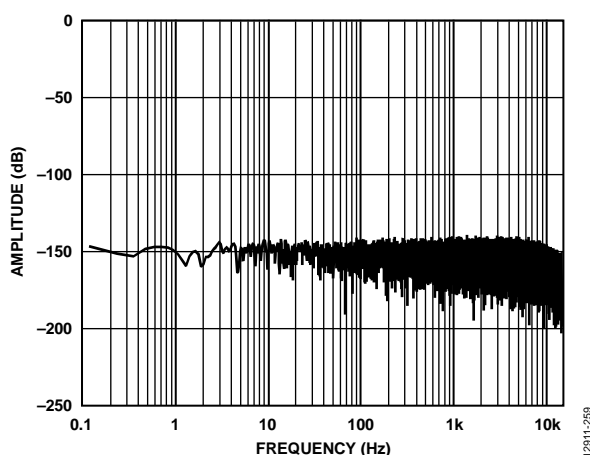


図 50. 入力を短絡したときの FFT
(アナログ入力バッファはイネーブル)

このアナログ入力バッファは、他の多くのディスクリート・アンプとは異なり、電源電圧で動作しても直線性が低下することはありません。AVDD1 と AVSS 電源電圧、またはその電圧近くで動作すると、入力電流が増加します。温度が高くなると、入力電流の増加が顕著になります。さまざまな条件でのアナログ入力電流を図 40 に示します。アナログ入力バッファをディスエーブルすると、AD7175-8 の平均入力電流は、差動入力電圧に対して ± 48 μ A/V のレートで直線的に変化します。

クロスポイント・マルチプレクサ

このデバイスには、AIN0 ~ AIN16 の 17 のアナログ入力ピンがあります。これらのピンは、それぞれ内部のクロスポイント・マルチプレクサに接続されています。クロスポイント・マルチプレクサは、これらの入力のいずれをもイネーブルして、シングルエンドまたは完全差動の入力ペアとして構成します。

AD7175-8 は最多 16 のアクティブ・チャンネルを持つことができます。複数のチャンネルがイネーブルされているとき、イネーブルされている最も小さい番号のチャンネルから、イネーブルされている最も大きい番号のチャンネルまで自動的にシーケンス処理されます。マルチプレクサの出力は、内蔵の真のレール to レール・バッファの入力に接続されます。バッファをバイパスすることは可能で、マルチプレクサの出力を ADC のスイッチド・キャパシタ入力へ直接接続することもできます。簡略化されたアナログ入力回路を図 51 に示します。

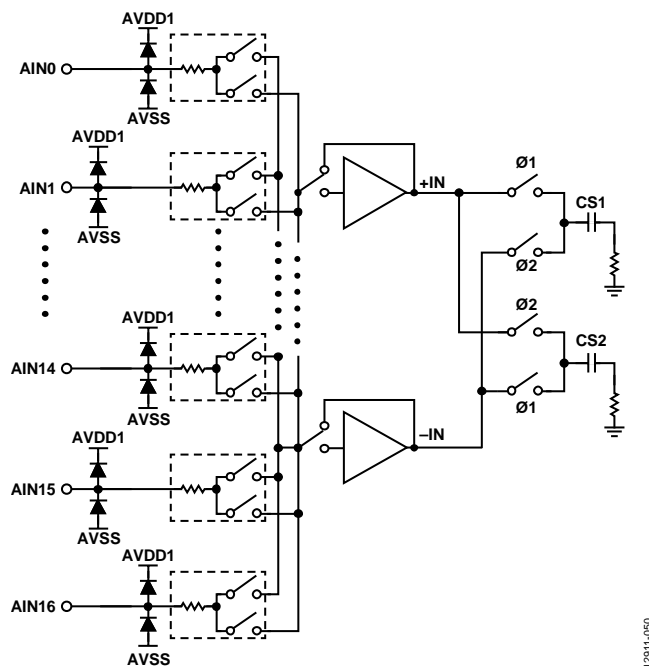


図 51. 簡略化されたアナログ入力回路

CS1 コンデンサと CS2 コンデンサの容量はそれぞれピコ・ファラッド (pF) のオーダーです。この容量値はサンプリング容量と寄生容量からなっています。

完全差動入力

AIN0 から AIN16 までのアナログ入力はクロスポイント・マルチプレクサに接続されているので、どの信号の組み合わせを使用してもアナログ入力ペアを構成することができます。このクロスポイント・マルチプレクサにより、8 つの完全差動入力、または 16 のシングルエンド入力を選択できます。

8 つの完全差動入力経路を AD7175-8 に接続する場合は、AIN0/AIN1 などの隣接したアナログ入力ピンを差動入力ペアとして使うことをお勧めします。これは、これらのピン相互の相対的な位置によります。全てのアナログ入力は、AVSS ヘドカップリングします。

シングルエンド入力

16 の異なるシングルエンド・アナログ入力を測定するように選択することもできます。この場合、各アナログ入力は、測定対象となるシングルエンド入力と、設定されたアナログ入力共通ピンとの差として変換されます。クロスポイント・マルチプレクサがあるため、いずれのアナログ入力ピンも共通ピンとして設定できます。このような使い方の一例として、AD7175-8 をシングルエンド入力として使う場合、AIN8 ピンを AVSS または REFOUT（電圧は AVSS + 2.5 V）に接続し、クロスポイント・マルチプレクサの設定でこの入力を選択します。

AD7175-8 のリファレンス

AD7175-8 は、REF+ ピンと REF- ピンまたは REF2+ ピンと REF2- ピンに外部リファレンスを供給するか、低ノイズで低ドリフトの 2.5 V の内部リファレンスを使用するかを選択できます。セットアップ設定レジスタの REF_SELx ビット（ビット [5:4]）を適切に設定することにより、アナログ入力で使用するリファレンス・ソースを選択します。セットアップ設定 0 レジスタの構成を図 17 に示します。AD7175-8 はパワーアップ時にデフォルトで 2.5 V の内部リファレンスを使います。

外部リファレンス

AD7175-8 は、REF+ ピンと REF- ピン、または REF2+ ピンと REF2- ピンを使った完全差動のリファレンス入力を備えています。ADR445、ADR444、ADR441 などの標準的な低ノイズで低ドリフトの電圧リファレンスを使用することをお勧めします。外部リファレンスは、図 52 に示すように、AD7175-8 のリファレンス・ピンに接続します。外部リファレンスの出力は AVSS にデカップリングします。図 52 に示すように、ADR445 の出力は、安定化するために 0.1 μ F のコンデンサを使ってこの出力のところでデカップリングされています。さらに、この出力には 4.7 μ F のコンデンサが接続されていますが、このコンデンサは ADC に必要な動的電荷のための貯蔵装置として機能します。続いて、0.1 μ F のデカップリング・コンデンサが REF+ 入力または REF2+ 入力に接続されています。このコンデンサは、REF+/REF2+ ピンと REF-/REF2- ピンのできるだけ近くに配置します。REF-/REF2- ピンは、AVSS の電位に直接接続しま

す。AD7175-8 のパワーアップ時、デフォルトで内部リファレンスがイネーブルされ、REFOUT ピンに出力されます。内部リファレンスの代わりに外部リファレンスを使って AD7175-8 に供給するときは、REFOUT ピンの出力に注意する必要があります。内部リファレンスをアプリケーションの他の部分で使用しない場合、パワーアップ時に大きな電流が流れるため、REFOUT ピンを AVSS にハードワイヤ接続しないでください。内部リファレンスを使用しない場合、パワーアップ時に ADC モード・レジスタへ書込みを行って、内部リファレンスをディセーブルします。これは、ADC モード・レジスタの REF_EN ビット（ビット 15）で制御されます（表 18 参照）。

内部リファレンス

AD7175-8 は自己の低ノイズで低ドリフトの電圧リファレンスを内蔵しています。この内部リファレンスは 2.5 V の出力を備えています。ADC モード・レジスタの REF_EN ビットがセットされた後、内部リファレンスが REFOUT ピンに出力されます。このピンは AVSS に 0.1 μ F のコンデンサでデカップリングします。AD7175-8 の内部リファレンスは、パワーアップ時にデフォルトでイネーブルされ、ADC 用のリファレンス・ソースとして選択されます。内部リファレンスを使うと、図 23 に示すように、INL 性能が低下します。

REFOUT 信号はピンから出力される前にバッファされます。この信号は外部アンプ構成のコモンモード・ソースとして外部回路で使用することができます。

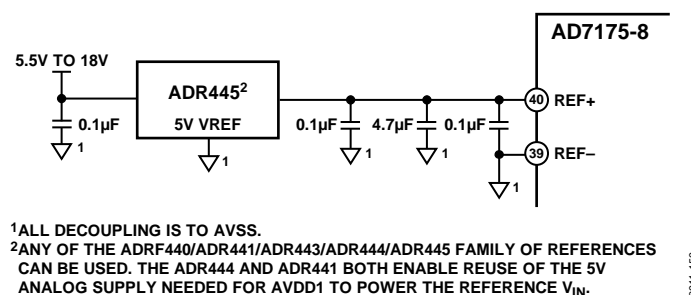


図 52. AD7175-8 のリファレンス・ピンに接続した外部リファレンス ADR445

表 17. セットアップ設定 0 レジスタ

Reg.	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	RW
0x20	SETUPCON0	[15:8]	Reserved			BI_UNIPOLAR0	REFBUF0+	REFBUF0-	AINBUF0+	AINBUF0-	0x1320	RW
		[7:0]	BURNOUT_EN0	Reserved	REF_SEL0			Reserved				

表 18. ADC モード・レジスタ

Reg.	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	RW
0x01	ADCMODE	[15:8]	REF_EN	HIDE_DELAY	SING_CYC	Reserved		Delay			0xA000	RW
		[7:0]	Reserved	Mode			CLOCKSEL		Reserved			

バッファ付きリファレンス入力

AD7175-8 は、両方の ADC リファレンス入力に、真のレール to レール高精度ユニティ・ゲイン・バッファを備えています。このバッファによって高入力インピーダンスの利点が与えられ、高インピーダンスの外部ソースをリファレンス入力に直接接続することができます。内蔵リファレンス・バッファは、内部リファレンス・スイッチド・キャパシタ・サンプリング・ネットワークを十分に駆動できるため、リファレンス回路の要件を緩和するとともに、バッファあたりの消費電流は 2.9 mA（代表値）で非常に高効率です。各リファレンス入力バッファ・アンプはチョッピング方式で動作します。つまり、バッファのオフセット誤差ドリフトと 1/f ノイズを最小限に抑えます。

ADR445、ADR444、ADR441 などの外部リファレンスを使用する場合、これらのバッファは不要です。これらのリファレンスは、適切にデカップリングすれば、リファレンス入力を直接駆動できるからです。

クロック源

AD7175-8 は公称 16 MHz のマスター・クロックを使用します。AD7175-8 は以下の 3 つのうち 1 つをサンプリング・クロック源とします。

- 内部発振器
- 外部水晶振動子
- 外部クロック源

このデータシートに記載されている出力データ・レートは全て、16 MHz のマスター・クロック・レートを基準にしています。例えば、外部クロック源などから得られる低いクロック周波数を使用すると、記載されているデータ・レートが比例して変化します。規定された出力データ・レート、特に 50 Hz と 60 Hz を除去するレートを実現するには、16 MHz のクロックを使用します。マスター・クロック源は、ADC モード・レジスタの CLOCKSEL ビット（ビット [3:2]）を設定して選択します（表 18 参照）。パワーアップおよびリセット時のデフォルト動作では、AD7175-8 は内部発振器で動作します。低い出力データ・レートの場合、SINC3_MAPx ビットを使って、出力データ・レートとフィルタ・ノッチを微調整することができます。詳細については、sinc3 フィルタのセクションを参照してください。

内部発振器

内部発振器は 16 MHz で動作し、ADC のマスター・クロックとして使用することができます。これは AD7175-8 のデフォルト・クロック源で、その精度は $\pm 2.5\%$ と規定されています。

オプションで、この内部クロック発振器の出力を XTAL2/CLKIO ピンに出力することができます。このクロック出力は、IOVDD のロジック・レベルへ駆動されます。このオプションを使用すると、出力ドライバが発生する外乱により、AD7175-8 の DC 性能に影響を与える可能性があります。DC 性能に与える影響の程度は IOVDD 電源に依存します。IOVDD 電圧が高いほど、ドライバのロジック出力の振幅が大きくなり、性能に与える影響が大きくなります。IOSTRENGTH ビットが高

い IOVDD レベルに設定されていると、さらに大きな影響を与えます（詳細については、表 28 を参照）。

外部水晶振動子

さらに精度が高くジッタの小さなクロック源が必要な場合は、AD7175-8 が外部水晶振動子を使ってマスター・クロックを生成できます。水晶振動子は XTAL1 ピンと XTAL2/CLKIO ピンに接続します。ここで使用する水晶振動子には、16 MHz、10 ppm、9 pF の性能を持つエプソン・トヨコム製 FA-20H をお勧めします。これは表面実装パッケージで供給されています。図 53 に示すように、水晶振動子を XTAL1 ピンと XTAL2/CLKIO ピンに接続するパターンに、2 個のコンデンサを接続します。これらのコンデンサで発振回路の調整を行うことができます。これらのコンデンサは DGND ピンに接続します。これらのコンデンサの容量値は、水晶振動子を XTAL1 ピンおよび XTAL2/CLKIO ピンに接続しているパターンの長さや容量に依存します。したがって、これらコンデンサの容量値は、PCB レイアウトと、採用した水晶振動子によって異なります。

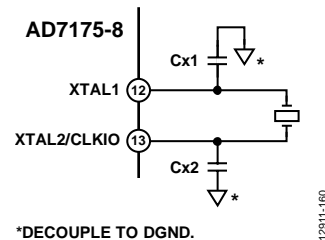


図 53. 外付け水晶振動子の接続方法

SCLK 周波数、IOVDD 電圧、水晶発振回路のレイアウト、および使用する水晶振動子によっては、外部水晶発振回路は SCLK エッジの影響を受けやすくなることがあります。水晶振動子の起動時、SLCK エッジによって引き起こされる外乱によって水晶発振器にダブル・エッジが入力される可能性があります。その結果、水晶発振器の出力電圧が十分に高くなって、SCLK エッジからの干渉がダブル・クロッキングを引き起こさなくなるまでは、有効ではない変換が行われます。起動後、水晶発振回路の出力レベルが十分高い値になってから SCLK 信号を与えるようにすれば、このダブル・クロッキングを避けることができます。

水晶発振回路の性質により、最終的な PCB レイアウトと水晶振動子を使用して、要求される条件下で回路の実証テストを行って、正常に動作することを確認することをお勧めします。

外部クロック

AD7175-8 は、外部から供給されるクロックを使うこともできます。このような構成を必要とするシステムの場合、外部クロックを XTAL2/CLKIO ピンに配線してください。この構成では、XTAL2/CLKIO ピンは外部からのクロックを受け入れて、変調器に送ります。このクロック入力のロジック・レベルは、IOVDD ピンに与えられる電圧によって決まります。

デジタル・フィルタ

AD7175-8 は柔軟性に富む以下の 3 つのフィルタ・オプションを備えており、ノイズ特性、セトリング時間、ノイズ除去性能の最適化が可能です。

- sinc5 + sinc1 フィルタ
- sinc3 フィルタ
- 50 Hz と 60 Hz を除去するエンハンスド・フィルタ

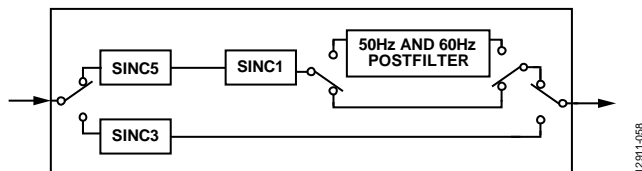


図 54. デジタル・フィルタ・ブロック図

フィルタと出力データ・レートは、選択されたセットアップのフィルタ設定レジスタの適切なビットを設定することで設定されます。各チャンネルは異なるセットアップを使うことができます。したがって、異なるフィルタと出力データ・レートを使うことができます。詳細については、レジスタの詳細のセクションを参照してください。

SINC5 + SINC1 フィルタ

sinc5 + sinc1 フィルタは多重化アプリケーションを対象とし、10 kSPS 以下の出力データ・レートでシングル・サイクル・セトリングを実現します。sinc5 ブロックの出力は 250 kSPS の最大レートに固定されており、sinc1 ブロックの出力データ・レートを変更して最終 ADC 出力データ・レートを制御できます。50 SPS 出力データ・レートでの sinc5 + sinc1 フィルタの周波数領域応答を図 55 に示します。sinc5 + sinc1 フィルタは、広い周波数にわたって緩やかにロールオフし、狭いノッチを持っています。

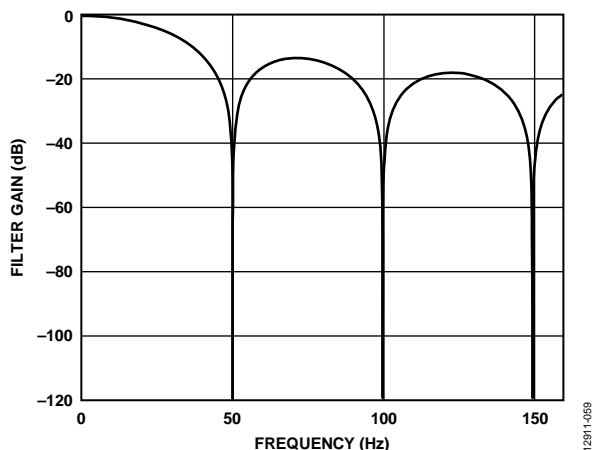


図 55. 出力データ・レート 50 SPS における sinc5 + sinc1 フィルタの応答

sinc5 + sinc1 フィルタの出力データ・レート、対応するセトリング時間および rms ノイズを表 19 と表 20 に示します。

SINC3 フィルタ

sinc3 フィルタは低い出力レートで最良のシングルチャンネル・ノイズ性能を実現するので、シングルチャンネル・アプリケーションに最適です。sinc3 フィルタのセトリング時間 t_{SETTLE} は常に次式に等しくなります。

$$t_{SETTLE} = 3 / \text{Output Data Rate}$$

sinc3 フィルタの周波数領域フィルタ応答を図 56 に示します。sinc3 フィルタは、周波数に対して優れたロールオフ特性を持ち、ノッチの幅が広く、ノッチ周波数の除去に適しています。

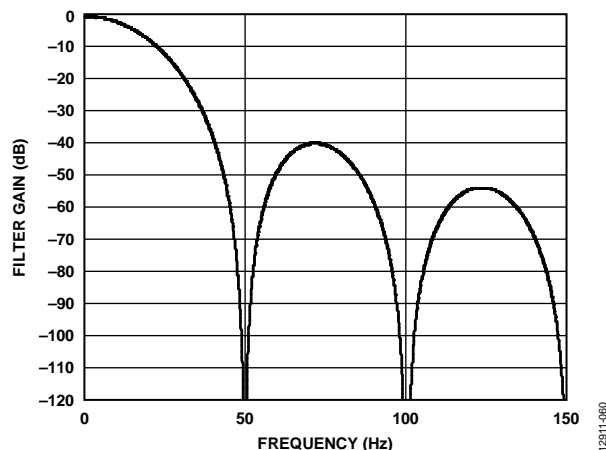


図 56. sinc3 フィルタの応答

sinc3 フィルタの出力データ・レート、対応するセトリング時間および rms ノイズを表 21 と表 22 に示します。フィルタ設定レジスタの SINC3_MAPx ビットを設定して、sinc3 フィルタの出力データ・レートを微調整することができます。このビットをセットすると、このフィルタ・レジスタのマッピングが変化し、sinc3 フィルタのデシメーション・レートが直接設定されます。他のオプションは全て排除されます。シングルチャンネルのデータ・レートは次式で計算できます。

$$\text{Output Data Rate} = \frac{f_{MOD}}{32 \times \text{FILTCONx}[14:0]}$$

ここで、 f_{MOD} は変調レート（MCLK/2）で、16 MHz MCLK の場合 8 MHz です。

FILTCONx [14:0] は MSB を除いたフィルタ設定レジスタの内容です。

例えば、FILTCONx [14:0] ビットの値を 5000 に設定し、SINC3_MAPx をイネーブルすれば、50 SPS の出力データ・レートが得られます。

シングル・サイクル・セトリング

デフォルトでは、ADC モード・レジスタの SING_CYC ビットがセットされた状態で AD7175-8 が設定されるので、完全に安定したデータのみを出力して、実質的に ADC をシングル・サイクル・セトリング・モードにします。このモードでは、選択された出力データ・レートでの ADC のセトリング時間に等しくなるように出力データ・レートを下げて、シングル・サイクル・セトリングを実現します。このビットは、10 kSPS 以下の出力データ・レートで sinc5 + sinc1 フィルタを使用する場合には影響を与えることはありません。

このモードをディスエーブルし、sinc3 フィルタを選択した場合のアナログ入力ステップを図 57 に示します。ステップ変化の後、出力が最終セトリング値に到達するまでにアナログ入力は少なくとも 3 サイクル必要です。

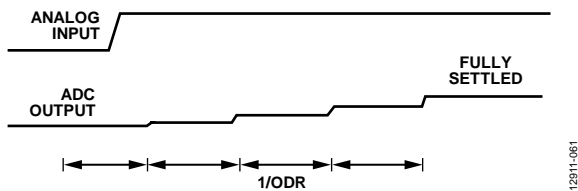


図 57. シングル・サイクル・セトリングを使わないときのステップ入力

シングル・サイクル・セトリングをイネーブルしたときのアナログ入力の同じステップを図 58 に示します。出力が完全にセトリングするまでにアナログ入力は少なくとも 1 サイクル要します。RDY 信号が示す出力データ・レートは減少し、選択した出力データ・レートでのフィルタのセトリング時間に等しくなります。

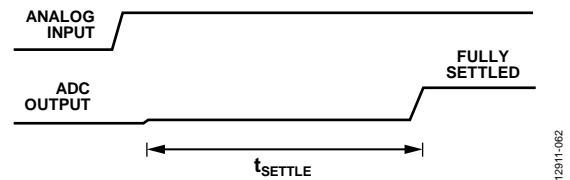


図 58. シングル・サイクル・セトリングでのステップ入力

表 19. 入力バッファをディスエーブルして sinc5 + sinc1 フィルタを使ったときの、出力データ・レート、セトリング時間、およびノイズ

Default Output Data Rate (SPS/Channel); SING_CYC = 1 or with Multiple Channels Enabled ¹	Output Data Rate (SPS); SING_CYC = 0 and Single Channel Enabled ¹	Settling Time ¹	Notch Frequency (Hz)	Noise (μV rms)	Effective Resolution with 5 V Reference (Bits)	Noise (μV p-p) ²	Peak-to-Peak Resolution with 5 V Reference (Bits)
50,000	250,000	20 μs	250,000	8.7	20.1	65	17.2
41,667	125,000	24 μs	125,000	7.2	20.4	60	17.3
31,250	62,500	32 μs	62,500	5.5	20.8	43	17.8
27,778	50,000	36 μs	50,000	5	20.9	41	17.9
20,833	31,250	48 μs	31,250	4	21.3	32	18.3
17,857	25,000	56 μs	25,000	3.6	21.4	29	18.4
12,500	15,625	80 μs	15,625	2.9	21.7	22	18.8
10,000	10,000	100 μs	11,905	2.5	21.9	18.3	19.1
5000	5000	200 μs	5435	1.7	22.5	12	19.7
2500	2500	400 μs	2604	1.2	23.0	8.2	20.2
1000	1000	1.0 ms	1016	0.77	23.6	5.2	20.9
500.0	500	2.0 ms	504	0.57	24	3.2	21.6
397.5	397.5	2.516 ms	400.00	0.5	24	3	21.7
200.0	200	5.0 ms	200.64	0.36	24	2	22.3
100	100	10 ms	100.16	0.25	24	1.3	22.9
59.92	59.92	16.67 ms	59.98	0.19	24	1.1	23.1
49.96	49.96	20.016 ms	50.00	0.18	24	0.95	23.3
20.00	20	50.0 ms	20.01	0.11	24	0.6	24
16.66	16.66	60.02 ms	16.66	0.1	24	0.45	24
10.00	10	100 ms	10.00	0.08	24	0.4	24
5.00	5	200 ms	5.00	0.07	24	0.34	24

¹ セトリング時間は最も近いマイクロ秒に丸められています。これは、出力データ・レートとチャンネル・スイッチング・レートに反映されています。チャンネル・スイッチング・レート = 1 ÷ セトリング時間

² 測定は 1000 個のサンプルを使って行われました。

表 20. 入力バッファをイネーブルして sinc5 + sinc1 フィルタを使ったときの、出力データ・レート、セトリング時間、およびノイズ

Default Output Data Rate (SPS/Channel); SING_CYC = 1 or with Multiple Channels Enabled ¹	Output Data Rate (SPS); SING_CYC = 0 and Single Channel Enabled ¹	Settling Time ¹	Notch Frequency (Hz)	Noise ($\mu\text{V rms}$)	Effective Resolution with 5 V Reference (Bits)	Noise ($\mu\text{V p-p}$) ²	Peak-to-Peak Resolution with 5 V Reference (Bits)
50,000	250,000	20 μs	250,000	9.8	20	85	16.8
41,667	125,000	24 μs	125,000	8.4	20.2	66	17.2
31,250	62,500	32 μs	62,500	6.4	20.6	55	17.5
27,778	50,000	36 μs	50,000	5.9	20.7	49	17.6
20,833	31,250	48 μs	31,250	4.8	21	39	18.0
17,857	25,000	56 μs	25,000	4.3	21.1	33	18.2
12,500	15,625	80 μs	15,625	3.4	21.5	26	18.6
10,000	10,000	100 μs	11,905	3	21.7	23	18.7
5000	5000	200 μs	5435	2.1	22.2	16	19.3
2500	2500	400 μs	2604	1.5	22.7	10	19.9
1000	1000	1.0 ms	1016	0.92	23.4	5.7	20.7
500.0	500	2.0 ms	504	0.68	23.8	3.9	21.3
397.5	397.5	2.516 ms	400.00	0.6	24	3.7	21.4
200.0	200	5.0 ms	200.64	0.43	24	2.2	22.1
100	100	10 ms	100.16	0.32	24	1.7	22.5
59.92	59.92	16.67 ms	59.98	0.23	24	1.2	23
49.96	49.96	20.016 ms	50.00	0.2	24	1	23.3
20.00	20	50.0 ms	20.01	0.14	24	0.75	23.7
16.66	16.66	60.02 ms	16.66	0.13	24	0.66	23.9
10.00	10	100 ms	10.00	0.1	24	0.47	24
5.00	5	200 ms	5.00	0.07	24	0.32	24

¹セトリング時間は最も近いマイクロ秒に丸められています。これは、出力データ・レートとチャンネル・スイッチング・レートに反映されています。チャンネル・スイッチング・レート = $1 \div \text{セトリング時間}$

²測定は 1000 個のサンプルを使って行われました。

表 21. 入力バッファをディスエーブルして sinc3 フィルタを使ったときの、出力データ・レート、セトリング時間、およびノイズ

Default Output Data Rate (SPS/Channel); SING_CYC = 1 or with Multiple Channels Enabled ¹	Output Data Rate (SPS); SING_CYC = 0 and Single Channel Enabled ¹	Settling Time ¹	Notch Frequency (Hz)	Noise ($\mu\text{V rms}$)	Effective Resolution with 5 V Reference (Bits)	Noise ($\mu\text{V p-p}$) ²	Peak-to-Peak Resolution with 5 V Reference (Bits)
83,333	250,000	12 μs	250,000	210	15.5	1600	12.6
41,667	125,000	24 μs	125,000	28	18.4	200	15.6
20,833	62,500	48 μs	62,500	5.2	20.9	40	17.9
16,667	50,000	60 μs	50,000	4.2	21.2	34	18.2
10,417	31,250	96 μs	31,250	3.2	21.6	26	18.6
8333	25,000	120 μs	25,000	2.9	21.7	23	18.7
5208	15,625	192 μs	15,625	2.2	22.1	17	19.2
3333	10,000	300 μs	10,000	1.8	22.4	14	19.4
1667	5000	6 μs	5000	1.3	22.9	9.5	20
833	2500	1.2 ms	2500	0.91	23.4	6	20.7
333.3	1000	3 ms	1000	0.56	24	3.9	21.3
166.7	500	6 ms	500	0.44	24	2.5	21.9
133.3	400	7.5 ms	400	0.4	24	2.3	22.1
66.7	200	15 ms	200	0.25	24	1.4	22.8
33.33	100	30 ms	100	0.2	24	1	23.3
19.99	60	50.02 ms	59.98	0.13	24	0.8	23.6
16.67	50	60 ms	50	0.13	24	0.7	23.8
6.67	20	150 ms	20	0.08	24	0.42	24
5.56	16.67	180 ms	16.67	0.07	24	0.37	24
3.33	10	300 ms	10	0.06	24	0.28	24
1.67	5	600 ms	5	0.05	24	0.21	24

¹セトリング時間は最も近いマイクロ秒に丸められています。これは、出力データ・レートとチャンネル・スイッチング・レートに反映されています。チャンネル・スイッチング・レート = $1 \div \text{セトリング時間}$

²測定は 1000 個のサンプルを使って行われました。

表 22. 入力バッファをイネーブルして sinc3 フィルタを使ったときの、出力データ・レート、セトリング時間、およびノイズ

Default Output Data Rate (SPS/Channel); SING_CYC = 1 or with Multiple Channels Enabled ¹	Output Data Rate (SPS); SING_CYC = 0 and Single Channel Enabled ¹	Settling Time ¹	Notch Frequency (Hz)	Noise ($\mu\text{V rms}$)	Effective Resolution with 5 V Reference (Bits)	Noise ($\mu\text{V p-p}$) ²	Peak-to-Peak Resolution with 5 V Reference (Bits)
83,333	250,000	12 μs	250,000	210	15.5	1600	12.6
41,667	125,000	24 μs	125,000	28	18.4	210	15.5
20,833	62,500	48 μs	62,500	5.8	20.7	48	17.7
16,667	50,000	60 μs	50,000	4.9	21	41	17.9
10,417	31,250	96 μs	31,250	3.8	21.3	30	18.3
8333	25,000	120 μs	25,000	3.4	21.5	26	18.6
5208	15,625	192 μs	15,625	2.6	21.9	18	19.1
3333	10,000	300 μs	10,000	2.1	22.2	16	19.3
1667	5000	6 μs	5000	1.5	22.7	11	19.8
833	2500	1.2 ms	2500	1.1	23.1	7	20.4
333.3	1000	3 ms	1000	0.71	23.7	4.5	21.1
166.7	500	6 ms	500	0.52	24	3	21.7
133.3	400	7.5 ms	400	0.41	24	2.7	21.8
66.7	200	15 ms	200	0.32	24	1.8	22.4
33.33	100	30 ms	100	0.2	24	1.2	23
19.99	60	50.02ms	59.98	0.17	24	1.1	23.1
16.67	50	60 ms	50	0.15	24	0.83	23.5
6.67	20	150 ms	20	0.13	24	0.61	24
5.56	16.67	180 ms	16.67	0.12	24	0.6	24
3.33	10	300 ms	10	0.1	24	0.55	24
1.67	5	600 ms	5	0.08	24	0.35	24

¹セトリング時間は最も近いマイクロ秒に丸められています。これは、出力データ・レートとチャンネル・スイッチング・レートに反映されています。チャンネル・スイッチング・レート = $1 \div \text{セトリング時間}$

²測定は 1000 個のサンプルを使って行われました。

50 HZ と 60 HZ を除去するエンハンスド・フィルタ

エンハンスド・フィルタは 50 Hz と 60 Hz を同時に除去し、セトリング時間と除去比のトレードオフを行うことができるように設計されています。これらのフィルタは 27.27 SPS まで動作可能で、50 Hz \pm 1 Hz と 60 Hz \pm 1 Hz における干渉信号を最大 90 dB 除去することができます。これらのフィルタは、sinc5 +

sinc1 フィルタの出力をさらにフィルタすることにより実現されています。このため、エンハンスド・フィルタを使って規定されたセトリング時間とノイズ性能を実現するには、sinc5 + sinc1 フィルタを選択する必要があります。出力データ・レートおよび対応するセトリング時間、除去比、rms ノイズを表 23 に示します。エンハンスド・フィルタの周波数領域応答のプロットを図 59 ～図 66 に示します。

表 23. エンハンスド・フィルタを使ったときの、出力データ・レート、ノイズ、セトリング時間、および除去比

Output Data Rate (SPS)	Settling Time (ms)	Simultaneous Rejection of 50 Hz \pm 1 Hz and 60 Hz \pm 1 Hz (dB) ¹	Noise (μ V rms)	Peak-to-Peak Resolution (Bits)	Comments
Input Buffers Disabled					
27.27	36.67	47	0.22	22.7	See Figure 59 and Figure 62
25	40.0	62	0.2	22.9	See Figure 60 and Figure 63
20	50.0	85	0.2	22.9	See Figure 61 and Figure 64
16.667	60.0	90	0.17	23	See Figure 65 and Figure 66
Input Buffers Enabled					
27.27	36.67	47	0.22	22.7	See Figure 59 and Figure 62
25	40.0	62	0.22	22.7	See Figure 60 and Figure 63
20	50.0	85	0.21	22.8	See Figure 61 and Figure 64
16.667	60.0	90	0.21	22.8	See Figure 65 and Figure 66

¹ マスター・クロック = 16 MHz

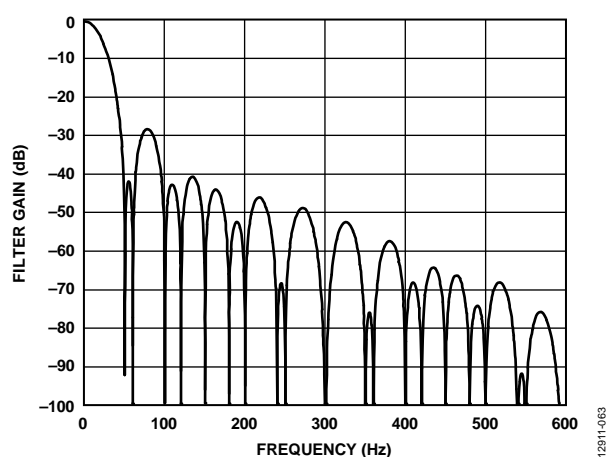


図 59. 27.27 SPS ODR、36.67 ms セトリング時間

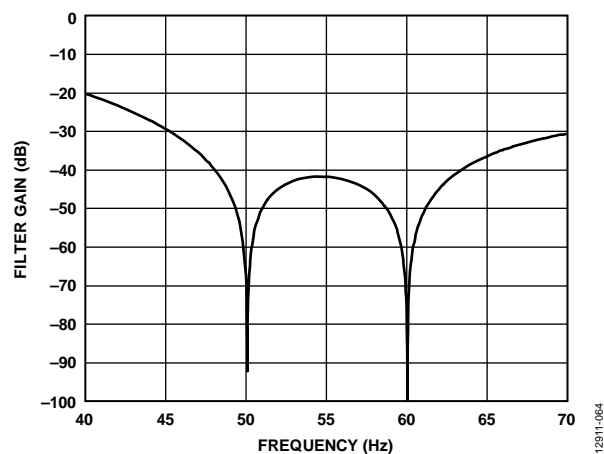


図 62. 27.27 SPS ODR、36.67 ms セトリング時間 (50 Hz/60 Hz)

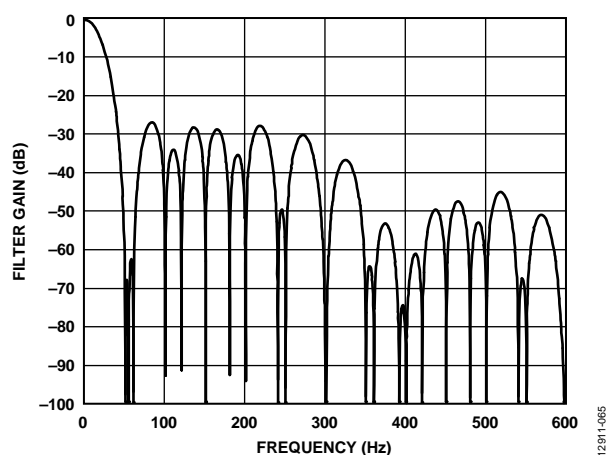


図 60. 25 SPS ODR、40 ms セトリング時間

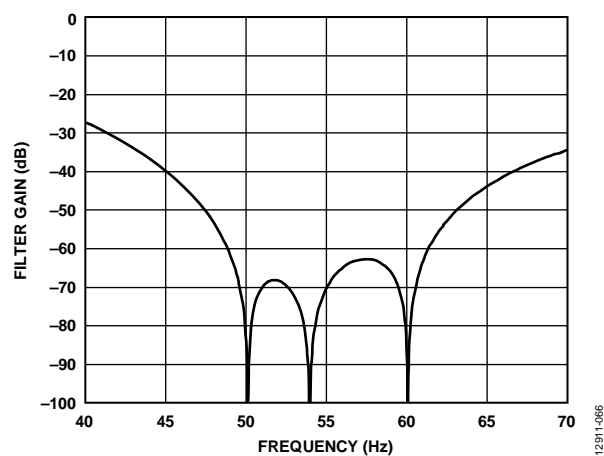


図 63. 25 SPS ODR、40 ms セトリング時間 (50 Hz/60 Hz)

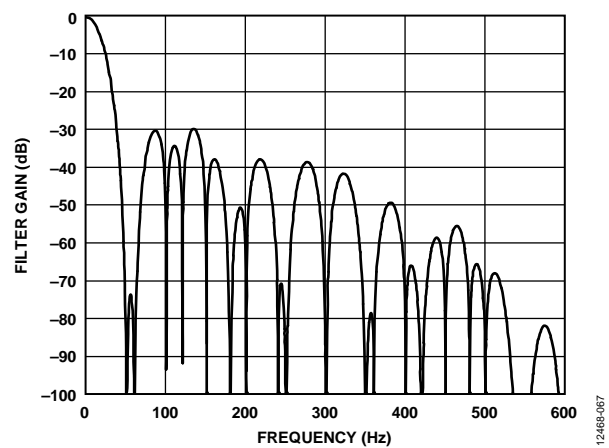


図 61. 20 SPS ODR、50 ms セトリング時間

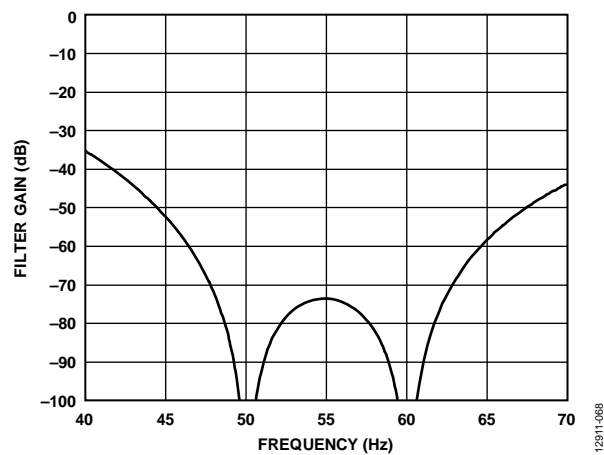


図 64. 20 SPS ODR、50 ms セトリング時間 (50 Hz/60 Hz)

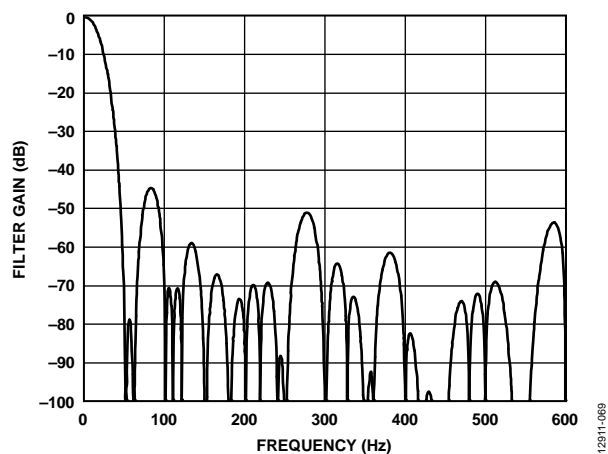


図 65. 16.667 SPS ODR、60 ms セトリング時間

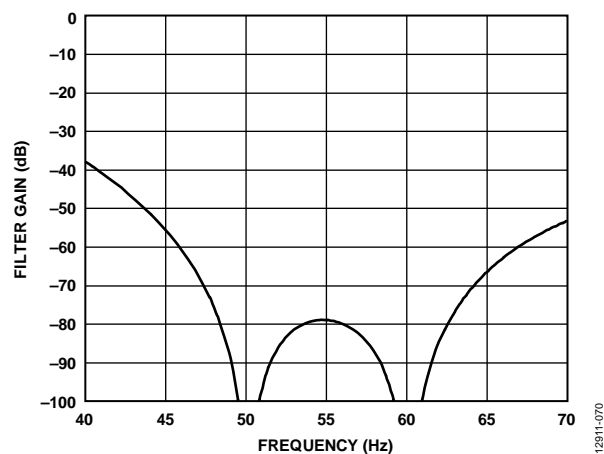


図 66. 16.667 SPS ODR、60 ms セトリング時間 (50 Hz/60 Hz)

動作モード

AD7175-8 は ADC モード・レジスタとインターフェース・モード・レジスタで設定可能な多くの動作モードを備えています（表 27 と表 28 を参照）。これらのモードは次のとおりで、以下のセクションで説明します。

- 連続変換モード
- 連続読出しモード
- シングル変換モード
- スタンバイ・モード
- パワーダウン・モード
- キャリブレーション・モード（3 種類）

連続変換モード

連続変換モードはパワーアップ時のデフォルト・モードです。AD7175-8 は連続的に変換を行い、変換が完了するたびにステータス・レジスタの RDY ビットがロー・レベルになります。 \overline{CS} がロー・レベルの場合、変換が完了すると、 \overline{RDY} 出力もロー・レベルになります。変換結果を読み出すには、コミュニケーション・レジスタに書込みを行って、次の動作がデータ・レジスタからの読出しであることを指定します。データ・レジスタからデータワードを読み出すと、DOUT/RDY ピンがハイ・レベルになります。このレジスタの内容は、必要に応じて何回も読み

出すことが可能です。ただし、次の変換の完了時に、データ・レジスタへのアクセスが行われていることがないようにする必要があります。そうしないと、新しい変換ワードが失われます。

複数のチャンネルがイネーブルされた場合、ADC はイネーブルされたチャンネルを自動的にシーケンス処理し、各チャンネルで 1 回の変換を行います。全チャンネルの変換が終了すると、最初のチャンネルからシーケンスを再開します。チャンネルは、イネーブルされた最も番号の小さいチャンネルから、最も番号の大きいチャンネルへ順に変換されます。データ・レジスタは、変換結果が読み出し可能になると、直ちに更新されます。 \overline{RDY} は、変換結果が読み出し可能になるたびに、ロー・レベルのパルスを出力します。次いで、ADC がイネーブルされた次のチャンネルの変換を行っている間に、変換結果を読み出すことができます。

インターフェース・モード・レジスタの DATA_STAT ビットが 1 に設定されていると、データ・レジスタを読み出すたびに、ステータス・レジスタの内容と一緒に変換データが出力されます。ステータス・レジスタは変換結果に対応するチャンネルを示します。

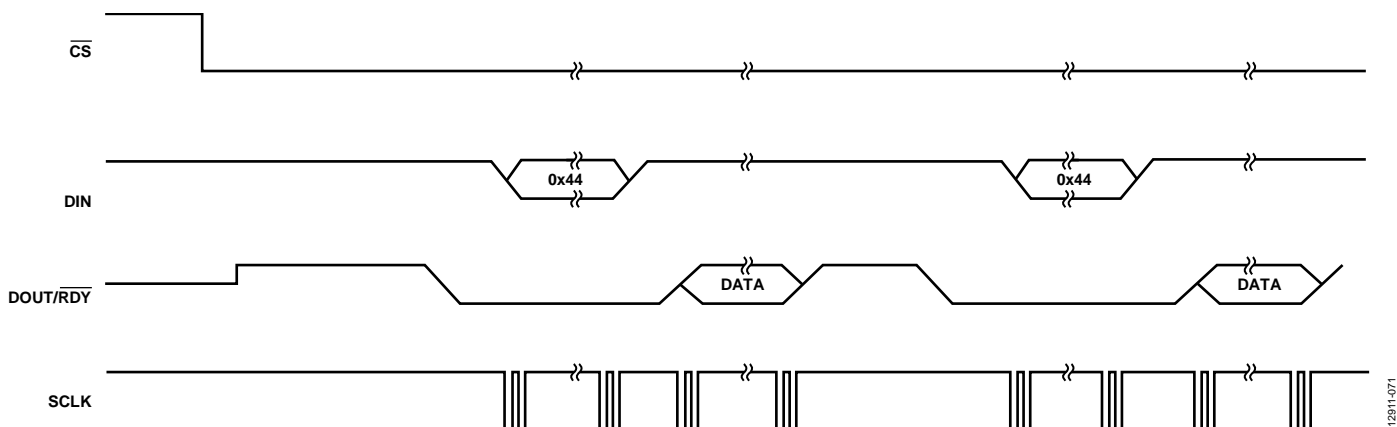


図 67. 連続変換モード

12911-071

連続読出しモード

連続読出しモードでは、ADC データを読み出す前にコミュニケーション・レジスタへの書き込みを行う必要はありません。 $\overline{\text{RDY}}$ がロー・レベルになって変換終了を示した後に、必要な数の SCLK パルスを与えるだけです。変換結果を読み出すと、 RDY はハイ・レベルに戻り、次の変換結果が得られるまでこのハイ・レベルを維持します。このモードでは、データは 1 回しか読み出すことができません。また、次の変換が完了する前に、データワードを読み出すように注意する必要があります。次回の変換が完了する前に変換結果を読み出さなかった場合、または AD7175-8 に与えるシリアル・クロック数がデータを読み出すのに十分でなかった場合には、シリアル出力レジスタは次の変換が完了する直前にリセットされ、新たな変換データがシリアル出力レジスタに格納されます。連続読出しモードを使うには、ADC を連続変換モードに設定する必要があります。

連続読出しモードをイネーブルするには、インターフェース・モード・レジスタの CONTREAD ビットをセットします。この

ビットがセットされると、使用可能なシリアル・インターフェースの機能は、データ・レジスタからのデータの読出しのみになります。連続読出しモードを終了するには、 RDY 出力がロー・レベルのときにダミーの ADC データ・レジスタ読出しコマンド (0x44) を実行します。もしくは、ソフトウェア・リセットを実行します。つまり、 $\overline{\text{CS}} = 0$ かつ $\text{DIN} = 1$ のときに 64 SCLK パルスを入力します。これにより、ADC と全てのレジスタの内容がリセットされます。これらだけが、インターフェースが連続読出しモードになった後にインターフェースが認識できるコマンドです。命令をデバイスに書き込もうとするときまで、連続読出しモードでは DIN をロー・レベルに保ちます。

複数の ADC チャンネルがイネーブルされると、各チャンネルのデータが順次出力され、インターフェース・モード・レジスタの DATA_STAT ビットがセットされている場合にはステータス・ビットがデータに追加されます。ステータス・レジスタは変換結果に対応するチャンネルを示します。

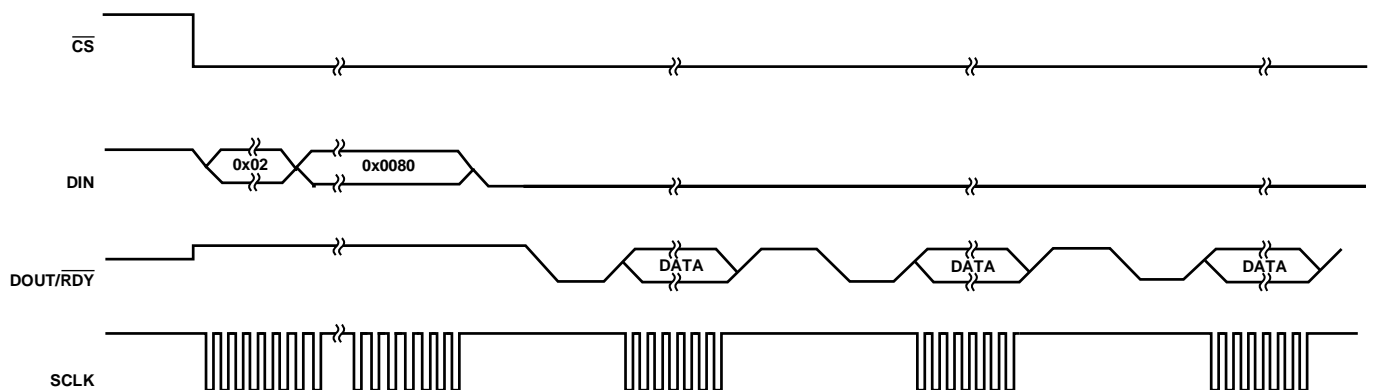


図 68. 連続読出しモード

シングル変換モード

シングル変換モードでは、AD7175-8 はシングル変換を行い、変換が終了するとスタンバイ・モードになります。 $\overline{\text{RDY}}$ 出力がロー・レベルになって変換が完了したことを示します。データ・レジスタからデータワードを読み出すと、 $\text{DOUT}/\overline{\text{RDY}}$ ピンがハイ・レベルになります。 $\text{DOUT}/\overline{\text{RDY}}$ ピンがハイ・レベルになっても、データ・レジスタは必要に応じて複数回読み出すことができます。

複数のチャンネルがイネーブルされていると、ADC はイネーブルされたチャンネルを自動的にシーケンス処理し、各チャンネルの変換を行います。変換が開始されると、 $\text{DOUT}/\overline{\text{RDY}}$ ピンはハイ・レベルになり、有効な変換結果が得られるまでハイ・レ

ベルを維持し、 $\overline{\text{CS}}$ はロー・レベルです。変換データが得られると直ちに $\overline{\text{RDY}}$ 出力がロー・レベルになります。続いて ADC は次のチャンネルを選択して変換を開始します。次の変換を実行している間に、現在の変換結果を読み出すことができます。次の変換が完了すると、直ちにデータ・レジスタが更新されます。したがって、変換結果を読み出せる期間は限られています。ADC は、選択した各チャンネルのシングル変換を完了すると、スタンバイ・モードに戻ります。

インターフェース・モード・レジスタの DATA_STAT ビットが 1 に設定されていると、データ・レジスタが読み出されるたびに、ステータス・レジスタの内容が変換結果と一緒に出力されます。ステータス・レジスタの下位 2 ビットは、変換結果に対応するチャンネルを示します。

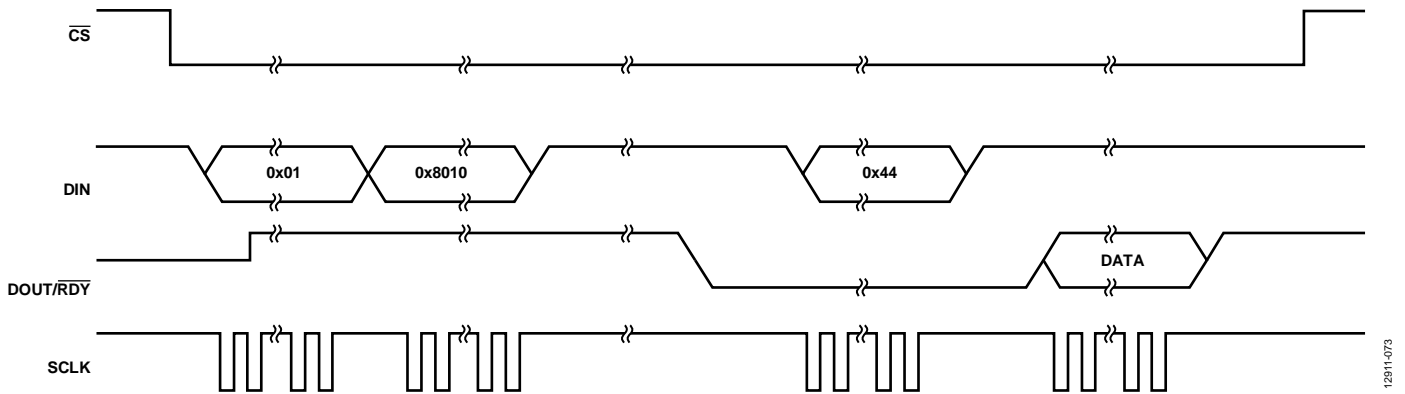


図 69. シングル変換モード

12911-073

スタンバイ・モードとパワーダウン・モード

スタンバイ・モードでは、ほとんどのブロックがパワーダウンします。レジスタの内容を保持するため LDO は動作状態を維持します。内部リファレンスはイネーブルされている場合アクティブのまま、水晶発振器も選択されている場合アクティブのままです。スタンバイ・モードでリファレンスをパワーダウンさせるには、ADC モード・レジスタの REF_EN ビットを 0 に設定します。スタンバイ・モードでクロックをパワーダウンさせるには、ADC モード・レジスタの CLOCKSEL ビットを 00（内蔵発振器）に設定します。

パワーダウン・モードでは、LDO を含む全てのブロックがパワーダウンします。全てのレジスタの内容が失われ、GPIOx 出力はスリーステートになります。偶発的にパワーダウン・モードになるのを防ぐため、最初に ADC をスタンバイ・モードにする必要があります。パワーダウン・モードを終了するには、CS = 0 かつ DIN = 1 で 64 SCLK パルス（つまり、シリアル・インターフェース・リセット）が必要です。LDO がパワーアップするまでの待機時間として、後続のシリアル・インターフェース・コマンドの発行を 500 μs 遅延させることをお勧めします。

スタンバイ・モードからの復帰後（REF_EN = 0 に設定してから 1 に設定）と、パワーダウンからの復帰後の内部リファレンスのセトリング時間を図 19 に示します。

キャリブレーション

AD7175-8 では、2 ポイント・キャリブレーションを行って、オフセット誤差とゲイン誤差を除去できます。以下の 3 つのキャリブレーション・モードにより、セットアップごとにこれらのオフセット誤差とゲイン誤差が除去されます。

- 内部ゼロスケール・キャリブレーション・モード
- システム・ゼロスケール・キャリブレーション・モード
- システム・フルスケール・キャリブレーション・モード

生産時に工場でキャリブレーションされているため、内部フルスケール・キャリブレーション・モードはありません。

キャリブレーション時は、1 チャンネルのみアクティブにすることができます。各変換後、ADC 変換結果は、データ・レジスタに書き込まれる前に ADC キャリブレーション・レジスタのデータを使って補正されます。

オフセット・レジスタのデフォルト値は 0x800000 で、ゲイン・レジスタの公称値は 0x555555 です。ADC ゲインのキャリブレーション範囲は、 $0.4 \times V_{REF} \sim 1.05 \times V_{REF}$ です。以下の式が、その計算に使われます。ユニポーラ・モードの場合、ADC ゲイン誤差とオフセット誤差を考慮しない理想的な関係式は次のようになります。

$$Data = \left(\frac{0.75 \times V_{IN}}{V_{REF}} \times 2^{23} - (Offset - 0x800000) \right) \times \frac{Gain}{0x400000} \times 2$$

バイポーラ・モードの場合、ADC ゲイン誤差とオフセット誤差を考慮しない理想的な関係式は次のようになります。

$$Data = \left(\frac{0.75 \times V_{IN}}{V_{REF}} \times 2^{23} - (Offset - 0x800000) \right) \times \frac{Gain}{0x400000} + 0x800000$$

キャリブレーションを開始するには、ADC モード・レジスタのモード・ビットに対応する値を書き込みます。キャリブレーションが開始されると、DOUT/RDY ピンと、ステータス・レジスタの RDY ビットがハイ・レベルになります。キャリブレーションが完了すると、対応するオフセット・レジスタまたはゲイン・レジスタの内容が更新され、ステータス・レジスタの RDY ビットがリセットされ、RDY 出力ピンがロー・レベルに戻り（CS がロー・レベルの場合）、AD7175-8 はスタンバイ・モードに戻ります。

内部オフセット・キャリブレーションの間、選択された正アナログ入力ピンが切り離され、変調器の両入力が選択された負アナログ入力ピンに内部で接続されます。このため、選択された負アナログ入力ピンの電圧が許容限界値を超えず、過度なノイズや干渉が生じないようにする必要があります。

ただし、システム・キャリブレーションでは、キャリブレーション・モードを開始する前に、システム・ゼロスケール（オフセット）電圧とシステム・フルスケール（ゲイン）電圧が、ADC のピンに与えられていることを前提とします。この結果、ADC の外部誤差が除去されます。

動作の観点からは、キャリブレーションはもう 1 つの ADC 変換として扱う必要があります。オフセット・キャリブレーションが必要な場合は、常にフルスケール・キャリブレーションの前に行う必要があります。ステータス・レジスタの RDY ビットまたは RDY 出力をモニタするようにシステム・ソフトウェアを設定して、ポーリング・シーケンスまたは割り込みによるルーチンによってキャリブレーションが終了したことを確認します。どのキャリブレーションも、完了するのに、選択されたフィルタと出力データ・レートのセトリング時間に等しい時間を必要とします。

内部オフセット・キャリブレーション、システム・ゼロスケール・キャリブレーション、システム・フルスケール・キャリブレーションは、任意の出力データ・レートで実行できます。低い出力データ・レートを使うほど、精度の高いキャリブレーション結果を得ることができ、全ての出力データ・レートに対して高精度になります。あるチャンネルのリファレンス・ソースを変更した場合、そのチャンネルのために新たなオフセット・キャリブレーションが必要です。

オフセット誤差は $\pm 60 \mu V$ （代表値）であり、オフセット・キャリブレーションにより、ノイズと変わらない程度にまで減少させることができます。ゲイン誤差は工場出荷時に室温でキャリブレーションされます。このキャリブレーションの後、ゲイン誤差は FSR の $\pm 80 \text{ ppm}$ （代表値）になります。

AD7175-8 では内蔵キャリブレーション・レジスタにアクセスできるため、マイクロプロセッサがデバイスのキャリブレーション係数を読み出したり、独自のキャリブレーション係数を書き込んだりすることができます。内部キャリブレーションまたはセルフキャリブレーション時以外は、オフセット・レジスタとゲイン・レジスタの読出しまたは書込みはいつでも行えます。

デジタル・インターフェース

AD7175-8 のプログラマブルな機能は、SPI シリアル・インターフェースを使って制御します。AD7175-8 のシリアル・インターフェースは、 $\overline{\text{CS}}$ 、DIN、SCLK、DOUT/RDY の 4 つの信号で構成されています。DIN 入力には内蔵レジスタにデータを転送するのに使われ、DOUT 出力は内蔵レジスタからデータを読み出すのに使われます。SCLK はデバイスへのシリアル・クロック入力で、全てのデータ転送は、DIN 入力であっても DOUT 出力であっても、SCLK 信号を基準にして行われます。

DOUT/RDY ピンはデータ・レディ信号としても機能し、データ・レジスタ内で新しいデータワードが利用可能になったとき $\overline{\text{CS}}$ がロー・レベルであれば、この出力はロー・レベルになります。データ・レジスタからの読出し動作が完了すると、RDY 出力はハイ・レベルにリセットされます。RDY 出力はデータ・レジスタの更新前にもハイ・レベルになり、デバイスからの読出しが不可であることを示し、レジスタの更新中にデータの読み出しが試みられないようにします。RDY 出力がロー・レベルになる間際に、データ・レジスタから読み出さないように注意してください。データを誤って読み出さないようにする最善の方法は、RDY 出力を常にモニタし、RDY 出力がロー・レベルになったら直ちにデータ・レジスタの読出しを開始し、十分速い SCLK レートを使って次の変換結果が得られる前に読出しが完了するようにすることです。 $\overline{\text{CS}}$ はデバイスを選択するのに使用します。シリアル・バスに複数のデバイスが接続されているシステムでは、この信号で AD7175-8 を選択することができます。

デバイスのデコードに $\overline{\text{CS}}$ を使った AD7175-8 のインターフェースのタイミング図を図 2 と図 3 に示します。AD7175-8 からの読出し動作のタイミングを図 2 に示し、AD7175-8 への書き込み動作のタイミングを図 3 に示します。最初の読出し動作の後、RDY 出力がハイ・レベルに戻った後でも、データ・レジスタからの読出しを複数回行うことができます。ただし、次の出力更新が開始される前に読出し動作が完了するように注意する必要があります。連続読出しモードでは、データ・レジスタは 1 回しか読み出すことができません。

シリアル・インターフェースは、 $\overline{\text{CS}}$ をロー・レベルに固定して、3 線式モードで動作させることもできます。この場合、SCLK、DIN、DOUT/RDY の各ピンを使って AD7175-8 との通信を行います。変換の終了は、ステータス・レジスタの RDY ビットを使用して監視することもできます。

AD7175-8 は、 $\overline{\text{CS}} = 0$ かつ $\text{DIN} = 1$ の状態で 64 個の SCLK を書き込むことでリセットできます。リセットにより、コミュニケーション・レジスタへの書き込み動作待ちの状態にインターフェースが戻ります。この動作により、全てのレジスタ値がそれぞれのパワーオン時の値にリセットされます。リセット後、シリアル・インターフェースのアドレス指定をする前に、500 μs の待ち時間が必要です。

チェックサム保護

AD7175-8 にはチェックサム・モードがあり、インターフェースをさらに堅牢にするために使用することができます。チェックサムを使用すると、有効データのみがレジスタに書き込まれ、またレジスタから読み出されるデータを検証可能にすることができます。レジスタへの書き込み時にエラーが発生すると、ステータス・レジスタの CRC_ERROR ビットがセットされます。ただし、レジスタへの書き込みが正常に行われたかを確認するには、レジスタをリードバックし、チェックサムを確認します。

書き込み動作時の CRC チェックサムの計算では、次の多項式が使用されます。

$$x^8 + x^2 + x + 1$$

読出し動作時は、この多項式か、より簡単な排他的論理和 (XOR) 関数を選択することができます。XOR 関数を使ったチェックサムは、多項式ベースのチェックサムに比べると、ホスト・マイクロコントローラが短時間で処理できます。インターフェース・モード・レジスタの CRC_EN ビットにより、チェックサムのイネーブル/ディスエーブル、および、多項式チェックまたはシンプルな XOR チェックを選択することができます。

チェックサムは、読出しと書き込みの各トランザクションの最後に付加されます。書き込みトランザクションのチェックサム計算は、8 ビットのコマンド・ワードと 8 ~ 24 ビットのデータを使って計算されます。読出しトランザクションでは、コマンド・ワードと 8 ~ 32 ビットのデータ出力を使って計算されます。SPI の書き込みトランザクションと読出しトランザクションをそれぞれ図 70 と図 71 に示します。

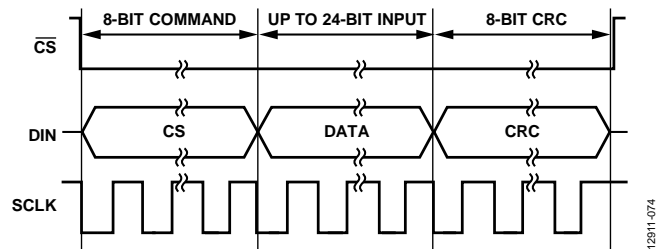


図 70. CRC 付き SPI 書き込みトランザクション

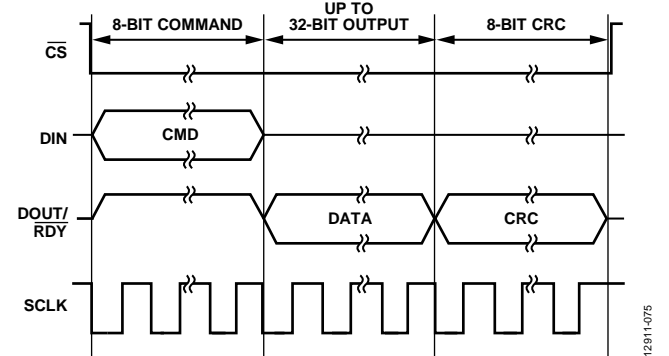


図 71. CRC 付き SPI 読出しトランザクション

連続読み出しモードがアクティブのときチェックサム保護をイネーブルすると、各データ伝送の前の暗黙の読出しデータ・コマンド (0x44) をチェックサム値の計算に含める必要があります。この暗黙の読出しデータ・コマンドにより、ADC のデータが 0x000000 であつたとしても、ゼロのチェックサム値にならないことが保証されます。

CRC の計算

多項式

8 ビット幅のチェックサムは、次の多項式で生成します。

$$x^8 + x^2 + x + 1$$

チェックサムを生成するには、データを 8 ビット左にシフトし、8 個のロジック 0 で終わる値を発生させます。多項式の MSB がデータの最も左にあるロジック 1 と揃うように、多項式の位置を揃えます。データと排他的論理和 (XOR) をとって、短くなった新しい数値を発生します。再度、多項式の MSB が、得られたデータの最も左にあるロジック 1 と揃うように、多項式の位置を揃え、この手順を繰り返します。この手順を元データが多項式より小さくなるまで繰り返します。これが 8 ビットのチェックサムになります。

多項式 CRC 計算の例 -- 24 ビット・ワード: 0x654321 (8 ビット・コマンドと 16 ビット・データ)

多項式ベースのチェックサムを使用した 8 ビット・チェックサムの生成例を以下に示します。

初期値	011001010100001100100001	
	01100101010000110010000100000000	
$x^8 + x^2 + x + 1$	=	100000111
100100100000110010000100000000		XOR の結果
100000111		多項式
100011000110010000100000000		XOR の結果
100000111		多項式
11111110010000100000000		XOR の結果
100000111		多項式の値
1111101110000100000000		XOR の結果
100000111		多項式の値
111100000000100000000		XOR の結果
100000111		多項式の値
11100111000100000000		XOR の結果
100000111		多項式の値
1100100100100000000		XOR の結果
100000111		多項式の値
100101010100000000		XOR の結果
100000111		多項式の値
101101100000000		XOR の結果
100000111		多項式の値
1101011000000		XOR の結果
100000111		多項式の値
101010110000		XOR の結果
100000111		多項式の値
1010001000		XOR の結果
100000111		多項式の値
10000110		チェックサム = 0x86

8 ビット左にシフト

多項式

排他的論理和の計算

データをバイトに分割し、それぞれのバイトに XOR 演算を行うことにより、8 ビット幅のチェックサムを生成します。

XOR 計算の例 – 24 ビット・ワード: 0x654321 (8 ビット・コマンドと 16 ビット・データ)

多項式 CRC 計算の前の例を使って、データを 0x65、0x43、0x21 の 3 バイトに分割します。

01100101	0x65
01000011	0x43
00100110	XOR の結果
00100001	0x21
00000111	CRC

内蔵機能

AD7175-8 は、数多くのアプリケーションの有用性を向上させる機能とともに、安全性が重要なアプリケーションで診断目的に役立つ機能を内蔵しています。

汎用 I/O

AD7175-8 は 2 本の汎用デジタル入出力ピン (GPIO0、GPIO1) と 2 本の汎用デジタル出力ピン (GPO2、GPO3) を備えています。名前が示しているように GPIO0 ピンと GPIO1 ピンは入力または出力として設定できますが、GPO2 ピンと GPO3 ピンは出力のみです。GPIOx ピンと GPOx ピンは、GPIOCON レジスタの以下のビットを使ってイネーブルします。GPIO0 と GPIO1 には IP_EN0、IP_EN1 (または OP_EN0、OP_EN1) を、GPO2 と GPO3 には OP_EN2_3 を使用します。

GPIO0 ピンまたは GPIO1 ピンが入力としてイネーブルされると、GP_DATA0 ビットまたは GP_DATA1 ビットに各ピンのロジック・レベルがそれぞれ格納されます。GPIO0、GPIO1、GPO2、または GPO3 ピンが出力としてイネーブルされると、GP_DATA0、GP_DATA1、GP_DATA2、または GP_DATA3 ビットがそれぞれ対応するピンのロジック・レベル出力を決定します。これらのロジック・レベルは、AVDD1 と AVSS を基準にしているため、出力振幅は 5 V になります。

ERROR ピンは汎用出力として使用することもできます。GPIOCON レジスタの ERR_EN ビットを 11 に設定すると、ERROR ピンが汎用出力として動作します。この設定では、GPIOCON レジスタの ERR_DAT ビットにより、このピンのロジック・レベル出力が決まります。このピンのロジック・レベルは IOVDD と DGND を基準にしています。

GPIO ピンと ERROR ピンは、汎用出力に設定されているときアクティブ・プルアップ回路を備えています。

外部マルチプレクサの制御

チャンネル数を増やすために外部マルチプレクサを使用する場合、AD7175-8 の GPIOx ピンを介してマルチプレクサのロジック・ピンを制御できます。MUX_IO ビットにより、GPIOx のタイミングは ADC によって制御されます。このため、チャンネルの変更が ADC と同期され、外部同期機能が不要になります。

遅延

AD7175-8 がサンプリングを始める前に、プログラマブルな遅延を挿入することが可能です。この遅延により、外部アンプやマルチプレクサがセトリングでき、これらのデバイスに対する仕様要件を緩和することができます。ADC モード・レジスタの遅延ビット (レジスタ 0x01、ビット[10:8]) を使って、0 μ s ~ 1 ms の 8 つのプログラマブルな遅延を設定できます。

0 μ s より大きい遅延時間を選択し、ADC モード・レジスタの HIDE_DELAY ビットを 0 に設定すると、選択した出力データ・レートに関わらず、この遅延時間が変換時間に加算されます。

sinc5 + sinc1 フィルタを使用する場合、出力データ・レートが、遅延をイネーブルしないときの出力データ・レートと同じままに保たれるように、この遅延を隠すことができます。

HIDE_DELAY ビットが 1 に設定され、選択された遅延時間が変換時間の半分より短い場合、デジタル・フィルタが行う平均の回数を減らすことにより、この遅延を変換時間の中に吸収することができます。これにより変換時間は変わりませんが、ノイズ性能に影響を与える可能性があります。

このノイズ性能への影響は、変換時間よりも遅延時間に依存します。出力データ・レートが 10 kSPS 未満のときだけ遅延を吸

収することができます。ただし、397.5 SPS、59.92 SPS、49.96 SPS、16.66 SPS の 4 つのレートは例外で、遅延を全く吸収できません。

16 ビット／24 ビット変換

デフォルトでは、AD7175-8 は 24 ビットのデータ変換を行います。変換幅を 16 ビットに縮小することができます。インターフェース・モード・レジスタの WL 16 ビットを 1 に設定すると、全てのデータ変換は 16 ビットに丸められます。このビットをクリアすると、データ変換幅は 24 ビットに設定されます。

DOUT_RESET

シリアル・インターフェースでは、共有の DOUT/RDY ピンを使用します。デフォルトでは、このピンは RDY 信号を出力します。データ読出し時、このピンは読出し対象のレジスタからのデータを出力します。読出し完了後、短い固定時間 (t_f) が経過したら、このピンは、RDY 信号の出力に戻ります。ただし、この時間は一部のマイクロコントローラにとって短すぎることがあります。この時間は、インターフェース・モード・レジスタの DOUT_RESET ビットを 1 に設定して、CS ピンがハイ・レベルになるまで延長することができます。つまり、CS を使って各読出し動作をフレーム化し、シリアル・インターフェースのトランザクションを完了する必要があります。

同期

ノーマル同期

GPIOCON レジスタの SYNC_EN ビットを 1 に設定すると、SYNC ピンが同期入力として機能します。SYNC 入力を使うと、デバイスのその他のセットアップ状態に影響を与えることなく、変調器とデジタル・フィルタをリセットできます。この機能により、既知の時点から、すなわち SYNC 入力の立上がりエッジから、アナログ入力のサンプル・データの収集を開始できます。確実に同期させるには、SYNC 入力を少なくとも 1 マスター・クロック・サイクルの間ロー・レベルに維持する必要があります。

複数の AD7175-8 デバイスを共通のマスター・クロックで動作させると、アナログ入力が同時にサンプリングされるようにこれらのデバイスを同期させることができます。通常、各 AD7175-8 デバイスがキャリブレーションを実行した後、またはキャリブレーション係数をキャリブレーション・レジスタへロードした後にこの同期は行われます。SYNC 入力の立上がりエッジで、デジタル・フィルタとアナログ変調器がリセットされ、AD7175-8 は一定の既知の状態になります。SYNC 入力がロー・レベルの間、AD7175-8 はこの既知の状態に保たれます。SYNC 入力の立上がりエッジで、変調器とフィルタはリセット状態を抜け出し、次のマスター・クロックのエッジで、デバイスは再び入力サンプルの収集を開始します。

このデバイスは、SYNC 入力がロー・レベルからハイ・レベルに遷移した後のマスター・クロックの立上がりエッジでリセット状態から抜け出します。このため、複数のデバイスを

同期する場合、マスター・クロックの立上がりエッジで $\overline{\text{SYNC}}$ 入力をハイ・レベルにして、マスター・クロックの立下がりエッジで全てのデバイスが確実にリセットから解放されるようにします。 $\overline{\text{SYNC}}$ 入力を十分な時間ハイ・レベルにしないと、デバイス間で 1 マスター・クロック・サイクルの差が生じることがあります。つまり、変換結果が得られるタイミングが、デバイスによって最大で 1 マスター・クロック・サイクル異なることがあります。

$\overline{\text{SYNC}}$ 入力は、ノーマル同期モードで、1 つのチャンネルの変換開始コマンドとして使用することもできます。このモードでは、 $\overline{\text{SYNC}}$ 入力の立上がりエッジにより変換が開始され、 RDY 出力の立下がりエッジにより変換完了が示されます。フィルタのセトリング時間は、各データ・レジスタの更新ごとに必要です。変換完了後、 $\overline{\text{SYNC}}$ をロー・レベルにして次の変換開始信号の準備をします。

オルタネート同期

オルタネート同期モードでは、AD7175-8 の複数のチャンネルがイネーブルされている場合、 $\overline{\text{SYNC}}$ 入力は変換開始コマンドとして機能します。インターフェース・モード・レジスタの ALT_SYNC ビットを 1 に設定すると、オルタネート同期方式がイネーブルされます。 $\overline{\text{SYNC}}$ 入力がロー・レベルになると、ADC は現在のチャンネルでの変換を完了し、シーケンス内の次のチャンネルを選択し、 $\overline{\text{SYNC}}$ 入力がハイ・レベルになって変換が開始されるまで待機します。現在のチャンネルでの変換が完了し、対応する変換結果でデータ・レジスタが更新されると RDY 出力がロー・レベルになります。このため、 $\overline{\text{SYNC}}$ 入力は、現在選択されているチャンネルのサンプリングには干渉しませんが、シーケンス内の次のチャンネルで変換が行われるタイミングを制御できます。

オルタネート同期は、複数のチャンネルをイネーブルする場合のみ使用できます。1 つのチャンネルのみをイネーブルする場合は、このモードの使用はお勧めしません。

エラー・フラグ

ステータス・レジスタには、 ADC_ERROR 、 CRC_ERROR 、 REG_ERROR の 3 つのエラー・ビットがあり、それぞれ、ADC 変換でのエラー、CRC チェックでのエラー、レジスタの変化に起因するエラーを示します。さらに、 $\overline{\text{ERROR}}$ 出力でエラーが発生したことを示すことができます。

ADC_ERROR

ステータス・レジスタの ADC_ERROR ビットは、変換プロセス中になんらかのエラーが発生したことを示します。このフラグは、ADC からオーバーレンジまたはアンダーレンジが出力されるとセットされます。また、低電圧や過電圧が発生すると、ADC の出力はオール 0 またはオール 1 になります。このフラグは、過電圧または低電圧が解消されたときのみ、リセットされます。データ・レジスタの読出しによってはリセットされません。

CRC_ERROR

書き込み動作時に付加された CRC の値が送られた情報と一致しないと、 CRC_ERROR フラグがセットされます。このフラグは、ステータス・レジスタが読み出されると、直ちにリセットされます。

REG_ERROR

REG_ERROR フラグはインターフェース・モード・レジスタの REG_CHECK ビットと組み合わせて使用します。 REG_CHECK ビットがセットされると、AD7175-8 は内部レジスタの値をモニタします。あるビットが変化すると、 REG_ERROR ビットがセットされます。このため、内部レジスタへの書き込みを行う際には、 REG_CHECK を 0 に設定してください。レジスタの更新が完了したら、 REG_CHECK ビットを 1 に設定することができます。AD7175-8 は内部レジスタのチェックサムを計算します。レジスタの値が 1 つでも変化していると、 REG_ERROR ビットがセットされます。エラーが示された場合、 REG_CHECK ビットを 0 に設定し、ステータス・レジスタの REG_ERROR ビットをクリアします。このレジスタ・チェック機能は、データ・レジスタ、ステータス・レジスタ、インターフェース・モード・レジスタはモニタしません。

ERROR Input/Output

$\overline{\text{ERROR}}$ ピンは、エラー入出力ピンまたは汎用出力ピンとして機能します。 GPIOCON レジスタの ERR_EN ビットにより、このピンの機能が決まります。

ERR_EN を 10 に設定した場合、 $\overline{\text{ERROR}}$ ピンはオープンドレインのエラー出力 ($\overline{\text{ERROR}}$) として機能します。ステータス・レジスタの 3 つのエラー・ビット (ADC_ERROR 、 CRC_ERROR 、 REG_ERROR) は、論理和 (OR) がとられ、反転され、 $\overline{\text{ERROR}}$ 出力にマッピングされます。これにより、 $\overline{\text{ERROR}}$ 出力はエラーが発生したことを示します。エラーの原因を特定するには、ステータス・レジスタを読み出す必要があります。

ERR_EN を 01 に設定した場合、 $\overline{\text{ERROR}}$ ピンはエラー入力 ($\overline{\text{ERROR}}$) として機能します。別の部品のエラー出力を AD7175-8 の $\overline{\text{ERROR}}$ 入力に接続すると、AD7175-8 または外部の部品でエラーが発生したときにエラーを示すことができます。 $\overline{\text{ERROR}}$ 入力の値が反転され、ADC 変換からのエラーとの論理和がとられ、ステータス・レジスタの ADC_ERROR ビットを介してその結果が示されます。 $\overline{\text{ERROR}}$ 入力の値は、GPIO 設定レジスタの ERR_DAT ビットに反映されます。

ERR_EN を 00 に設定すると、 $\overline{\text{ERROR}}$ 入出力はディスエーブルされます。 ERR_EN ビットを 11 に設定すると、 $\overline{\text{ERROR}}$ ピンは汎用出力として機能します。

DATA_STAT

ステータス・レジスタの内容は、AD7175-8 の各変換結果に付加できます。これは、複数のチャンネルがイネーブルされる場合に便利な機能です。変換結果が出力されるごとに、ステータス・レジスタの内容が付加されます。ステータス・レジスタの下位 2 ビットは、変換結果に対応するチャンネルを示します。さらに、エラー・ビットによって何かエラーが示されているか判断できます。

IOSTRENGTH

シリアル・インターフェースはわずか 2 V の電源で動作できます。ただし、基板にある程度の寄生容量が存在する場合、または SCLK の周波数が高い場合、この低電圧では DOUT/RDY ピンの駆動能力が十分ではないことがあります。

す。インターフェース・モード・レジスタの IOSTRENGTH ビットは DOUT/RDY ピンの駆動能力を高めます。

パワーダウン・スイッチ

GPIO 設定レジスタの PDSW ビットをセットすると、PDSW ピンは電流をシンクすることができます。この機能は、ブリッジ・センサーなど、アナログ・フロントエンド・センサーのパワーアップ/パワーダウンをスイッチで制御するアプリケーションに使用することができます。PDSW ピンは最大 16 mA をシンクすることができます。

内部温度センサー

AD7175-8 は温度センサーを内蔵しています。温度センサーは、デバイスが動作する周囲温度の目安として使用することができます。これは、診断目的、または動作温度の変化を考慮して、アプリケーション回路がいつキャリブレーション・ルーチンを再実行する必要があるかを示す指標として使用することができます。温度センサーは、アナログ入力チャンネルの選択と同

様、クロスポイント・マルチプレクサを使って選択されます。温度センサーは、両方のアナログ入力のアナログ入力バッファがイネーブルされている必要があります。バッファがイネーブルされていない場合、温度センサーを入力として選択すると、変換時にバッファが強制的にイネーブルされます。

温度センサーを使うには、最初に既知の温度 (25°C) でデバイスをキャリブレーションし、変換結果を基準点として取りまします。温度センサーの感度は 470 $\mu\text{V}/\text{K}$ (公称値) です。この理想的な傾きと測定された傾きの差を使って温度センサーをキャリブレーションします。温度センサーは、25°C でのキャリブレーション後の精度が $\pm 2^\circ\text{C}$ (代表値) と規定されています。温度は次のように計算できます。

$$\text{Temperature}(^\circ\text{C}) = \left(\frac{\text{ConversionResult}}{470\mu\text{V}} \right) - 273.15$$

グラウンディングとレイアウト

アナログ入力とリファレンス入力は差動なので、アナログ変調器内の電圧の大半はコモンモード電圧です。このデバイスの優れたコモンモード除去比により、これらの入力のコモンモード・ノイズが除去されます。AD7175-8 のアナログ電源とデジタル電源は独立しており、別々のピンに接続されるので、デバイスのアナログ部とデジタル部の間の結合を最小にします。デジタル・フィルタは、マスター・クロック周波数の整数倍の周波数以外の広帯域電源ノイズを除去します。

また、アナログ入力とリファレンス入力がアナログ変調器を飽和させない限り、デジタル・フィルタはこれらのノイズ源のノイズも除去します。そのため、従来の高分解能コンバータに比べて AD7175-8 のノイズ干渉耐性は向上しています。ただし、AD7175-8 は分解能が高く、コンバータのノイズ・レベルが非常に低いため、グラウンディングとレイアウトについては注意が必要です。

ADC を実装する PCB は、アナログ部とデジタル部を分離して、ボードの特定領域にまとめて配置するように設計する必要があります。一般に、エッチング部分を最小限に抑えると最良のシールド効果が得られるので、この方法はグラウンド・プレーンに最適です。

全てのレイアウトでシステム内の電流の流れを考慮し、全てのリターン電流の経路と目的場所まで電流がとる経路とをできるだけ近づけて配置します。

チップにノイズが混入しないよう、デバイスの下にはデジタル・ラインを配置しないでください。そうすれば、AD7175-8 の下にアナログ・グラウンド・プレーンを配置することができ、ノイズの混入が防止されます。AD7175-8 への電源ラインには可能な限り幅広いパターンを使用して低インピーダンス経路を確保し、電源ラインのグリッチを軽減します。クロックなどの高

速スイッチング信号は、デジタル・グラウンドでシールドしてボードの他の部分へのノイズの放射を防止します。また、クロック信号がアナログ入力の近くを決して通らないようにします。デジタル信号とアナログ信号が交差しないようにする必要があります。ボードの反対側のパターンは、互いに直角になるように配置します。この手法により、ボード上でフィードスルーの影響を小さくすることができます。マイクロストリップ技術の使用は最善の方法ですが、両面ボードでは常に使用できるとは限りません。

高分解能 ADC を使用する場合は、デカップリングが重要です。AD7175-8 には、AVDD1、AVDD2、IOVDD の 3 本の電源ピンがあります。AVDD1 と AVDD2 ピンは AVSS を、IOVDD ピンは DGND をそれぞれ基準としています。AVDD1 と AVDD2 は、それぞれのピンから 10 μF のコンデンサと 0.1 μF のコンデンサを並列に AVSS に接続してデカップリングします。0.1 μF のコンデンサはデバイスの各電源ピンのできるだけ近くに配置します。理想的には、デバイスに隣接させます。IOVDD は、10 μF のコンデンサと 0.1 μF のコンデンサを並列に DGND に接続してデカップリングします。全てのアナログ入力は AVSS へデカップリングします。外部リファレンスを使用する場合、REF+ ピンと REF- ピンを AVSS にデカップリングします。

AD7175-8 は 2 つの LDO レギュレータも内蔵しており、それぞれ AVDD2 電源と IOVDD 電源を安定化します。REGCAPA ピンには、AVSS に接続した 1 μF と 0.1 μF のコンデンサをお勧めします。同様に、REGCAPD ピンには、DGND に接続した 1 μF と 0.1 μF のコンデンサをお勧めします。

AD7175-8 を両電源動作で使用する場合、AVSS 用に別のプレーンを使用する必要があります。

レジスタの一覧

表 24. レジスタの一覧

Reg.	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	RW	
0x00	COMMS	[7:0]	WEN	R/W	RA						0x00	W	
0x00	STATUS	[7:0]	RDY	ADC_ERROR	CRC_ERROR	REG_ERROR	CHANNEL				0x80	R	
0x01	ADCMODE	[15:8]	REF_EN	HIDE_DELAY	SING_CYC	RESERVED			DELAY		0xA000	RW	
		[7:0]	RESERVED	MODE			CLOCKSEL			RESERVED			
0x02	IFMODE	[15:8]	RESERVED			ALT_SYNC	IOSTRENGTH	RESERVED		DOUT_RESET	0x0000	RW	
		[7:0]	CONTREAD	DATA_STAT	REG_CHECK	RESERVED	CRC_EN		RESERVED	WL16			
0x03	REGCHECK	[23:16]	REGISTER_CHECK[23:16]									0x000000	R
		[15:8]	REGISTER_CHECK[15:8]										
		[7:0]	REGISTER_CHECK[7:0]										
0x04	DATA	[23:16]	DATA[23:16]									0x000000	R
		[15:8]	DATA[15:8]										
		[7:0]	DATA[7:0]										
0x06	GPIOCON	[15:8]	RESERVED	PDSW	OP_EN2_3	MUX_IO	SYNC_EN	ERR_EN		ERR_DAT	0x0800	RW	
		[7:0]	GP_DATA3	GP_DATA2	IP_EN1	IP_EN0	OP_EN1	OP_EN0	GP_DATA1	GP_DATA0			
0x07	ID	[15:8]	ID[15:8]									0x3CDx	R
		[7:0]	ID[7:0]										
0x10	CH0	[15:8]	CH_EN0	SETUP_SEL0			RESERVED		AINPOS0[4:3]		0x8001	RW	
		[7:0]	AINPOS0[2:0]			AINNEG0							
0x11	CH1	[15:8]	CH_EN1	SETUP_SEL1			RESERVED		AINPOS1[4:3]		0x0001	RW	
		[7:0]	AINPOS1[2:0]			AINNEG1							
0x12	CH2	[15:8]	CH_EN2	SETUP_SEL2			RESERVED		AINPOS2[4:3]		0x0001	RW	
		[7:0]	AINPOS2[2:0]			AINNEG2							
0x13	CH3	[15:8]	CH_EN3	SETUP_SEL3			RESERVED		AINPOS3[4:3]		0x0001	RW	
		[7:0]	AINPOS3[2:0]			AINNEG3							
0x14	CH4	[15:8]	CH_EN4	SETUP_SEL4			RESERVED		AINPOS4[4:3]		0x0001	RW	
		[7:0]	AINPOS4[2:0]			AINNEG4							
0x15	CH5	[15:8]	CH_EN5	SETUP_SEL5			RESERVED		AINPOS5[4:3]		0x0001	RW	
		[7:0]	AINPOS5[2:0]			AINNEG5							
0x16	CH6	[15:8]	CH_EN6	SETUP_SEL6			RESERVED		AINPOS6[4:3]		0x0001	RW	
		[7:0]	AINPOS6[2:0]			AINNEG6							
0x17	CH7	[15:8]	CH_EN7	SETUP_SEL7			RESERVED		AINPOS7[4:3]		0x0001	RW	
		[7:0]	AINPOS7[2:0]			AINNEG7							
0x18	CH8	[15:8]	CH_EN8	SETUP_SEL8			RESERVED		AINPOS8[4:3]		0x0001	RW	
		[7:0]	AINPOS8[2:0]			AINNEG8							
0x19	CH9	[15:8]	CH_EN9	SETUP_SEL9			RESERVED		AINPOS9[4:3]		0x0001	RW	
		[7:0]	AINPOS9[2:0]			AINNEG9							
0x1A	CH10	[15:8]	CH_EN10	SETUP_SEL10			RESERVED		AINPOS10[4:3]		0x0001	RW	
		[7:0]	AINPOS10[2:0]			AINNEG10							
0x1B	CH11	[15:8]	CH_EN11	SETUP_SEL11			RESERVED		AINPOS11[4:3]		0x0001	RW	
		[7:0]	AINPOS11[2:0]			AINNEG11							
0x1C	CH12	[15:8]	CH_EN12	SETUP_SEL12			RESERVED		AINPOS12[4:3]		0x0001	RW	
		[7:0]	AINPOS12[2:0]			AINNEG12							
0x1D	CH13	[15:8]	CH_EN13	SETUP_SEL13			RESERVED		AINPOS13[4:3]		0x0001	RW	
		[7:0]	AINPOS13[2:0]			AINNEG13							
0x1E	CH14	[15:8]	CH_EN14	SETUP_SEL14			RESERVED		AINPOS14[4:3]		0x0001	RW	
		[7:0]	AINPOS14[2:0]			AINNEG14							
0x1F	CH15	[15:8]	CH_EN15	SETUP_SEL15			RESERVED		AINPOS15[4:3]		0x0001	RW	
		[7:0]	AINPOS15[2:0]			AINNEG15							
0x20	SETUPCON0	[15:8]	RESERVED			BI_UNIPOLAR0	REFBUF0+	REFBUF0-	AINBUF0+	AINBUF0-	0x1320	RW	
		[7:0]	BURNOUT_EN0	RESERVED	REF_SEL0		RESERVED						
0x21	SETUPCON1	[15:8]	RESERVED			BI_UNIPOLAR1	REFBUF1+	REFBUF1-	AINBUF1+	AINBUF1-	0x1320	RW	
		[7:0]	BURNOUT_EN1	RESERVED	REF_SEL1		RESERVED						
0x22	SETUPCON2	[15:8]	RESERVED			BI_UNIPOLAR2	REFBUF2+	REFBUF2-	AINBUF2+	AINBUF2-	0x1320	RW	
		[7:0]	BURNOUT_EN2	RESERVED	REF_SEL2		RESERVED						
0x23	SETUPCON3	[15:8]	RESERVED			BI_UNIPOLAR3	REFBUF3+	REFBUF3-	AINBUF3+	AINBUF3-	0x1320	RW	
		[7:0]	BURNOUT_EN3	RESERVED	REF_SEL3		RESERVED						
0x24	SETUPCON4	[15:8]	RESERVED			BI_UNIPOLAR4	REFBUF4+	REFBUF4-	AINBUF4+	AINBUF4-	0x1320	RW	
		[7:0]	BURNOUT_EN4	RESERVED	REF_SEL4		RESERVED						

Reg.	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	RW
0x25	SETUPCON5	[15:8]	RESERVED			BI_UNIPOLAR5	REFBUF5+	REFBUF5−	AINBUF5+	AINBUF5−	0x1320	RW
		[7:0]	BURNOUT_EN5	RESERVED	REF_SEL5		RESERVED					
0x26	SETUPCON6	[15:8]	RESERVED			BI_UNIPOLAR6	REFBUF6+	REFBUF6−	AINBUF6+	AINBUF6−	0x1320	RW
		[7:0]	BURNOUT_EN6	RESERVED	REF_SEL6		RESERVED					
0x27	SETUPCON7	[15:8]	RESERVED			BI_UNIPOLAR7	REFBUF7+	REFBUF7−	AINBUF7+	AINBUF7−	0x1320	RW
		[7:0]	BURNOUT_EN7	RESERVED	REF_SEL7		RESERVED					
0x28	FILTCON0	[15:8]	SINC3_MAP0	RESERVED			ENHFILTEN0	ENHFILT0			0x0500	RW
		[7:0]	RESERVED	ORDER0		ODR0						
0x29	FILTCON1	[15:8]	SINC3_MAP1	RESERVED			ENHFILTEN1	ENHFILT1			0x0500	RW
		[7:0]	RESERVED	ORDER1		ODR1						
0x2A	FILTCON2	[15:8]	SINC3_MAP2	RESERVED			ENHFILTEN2	ENHFILT2			0x0500	RW
		[7:0]	RESERVED	ORDER2		ODR2						
0x2B	FILTCON3	[15:8]	SINC3_MAP3	RESERVED			ENHFILTEN3	ENHFILT3			0x0500	RW
		[7:0]	RESERVED	ORDER3		ODR3						
0x2C	FILTCON4	[15:8]	SINC3_MAP4	RESERVED			ENHFILTEN4	ENHFILT4			0x0500	RW
		[7:0]	RESERVED	ORDER4		ODR4						
0x2D	FILTCON5	[15:8]	SINC3_MAP5	RESERVED			ENHFILTEN5	ENHFILT5			0x0500	RW
		[7:0]	RESERVED	ORDER5		ODR5						
0x2E	FILTCON6	[15:8]	SINC3_MAP6	RESERVED			ENHFILTEN6	ENHFILT6			0x0500	RW
		[7:0]	RESERVED	ORDER6		ODR6						
0x2F	FILTCON7	[15:8]	SINC3_MAP7	RESERVED			ENHFILTEN7	ENHFILT7			0x0500	RW
		[7:0]	RESERVED	ORDER7		ODR7						
0x30	OFFSET0	[23:0]					OFFSET0[23:0]				0x800000	RW
0x31	OFFSET1	[23:0]					OFFSET1[23:0]				0x800000	RW
0x32	OFFSET2	[23:0]					OFFSET2[23:0]				0x800000	RW
0x33	OFFSET3	[23:0]					OFFSET3[23:0]				0x800000	RW
0x34	OFFSET4	[23:0]					OFFSET4[23:0]				0x800000	RW
0x35	OFFSET5	[23:0]					OFFSET5[23:0]				0x800000	RW
0x36	OFFSET6	[23:0]					OFFSET6[23:0]				0x800000	RW
0x37	OFFSET7	[23:0]					OFFSET7[23:0]				0x800000	RW
0x38	GAIN0	[23:0]					GAIN0[23:0]				0x5XXXX0	RW
0x39	GAIN1	[23:0]					GAIN1[23:0]				0x5XXXX0	RW
0x3A	GAIN2	[23:0]					GAIN2[23:0]				0x5XXXX0	RW
0x3B	GAIN3	[23:0]					GAIN3[23:0]				0x5XXXX0	RW
0x3C	GAIN4	[23:0]					GAIN4[23:0]				0x5XXXX0	RW
0x3D	GAIN5	[23:0]					GAIN5[23:0]				0x5XXXX0	RW
0x3E	GAIN6	[23:0]					GAIN6[23:0]				0x5XXXX0	RW
0x3F	GAIN7	[23:0]					GAIN7[23:0]				0x5XXXX0	RW

レジスタの詳細

コミュニケーション・レジスタ

アドレス: 0x00、リセット値: 0x00、レジスタ名: COMMS

内蔵レジスタに対する全てのアクセスは、このコミュニケーション・レジスタへの書込みで開始する必要があります。この書込みにより、次にアクセスするレジスタと、動作が書込みと読出しのいずれであるかを指定します。

表 25. COMMS のビットの説明

Bits	Bit Name	Settings	Description	Reset	Access
7	WEN		ADC との通信を開始するには、このビットをロー・レベルにする必要があります。	0x0	W
6	R/W	0 1	このビットで、コマンドが読出しであるか書込みであるかを指定します。 Write command Read command	0x0	W
[5:0]	RA	000000 000001 000010 000011 000100 000110 000111 010000 010001 010010 010011 010100 010101 010110 010111 011000 011001 011010 011011 011100 011101 011110 011111 100000 100001 100010 100011 100100 100101 100110 100111 101000 101001 101010 101011 101100 101101 101110 101111	このレジスタ・アドレス・ビットで、現在のコミュニケーションでどのレジスタを読出したまたは書込みの対象とするかを指定します。 Status register ADC mode register Interface mode register Register checksum register Data register GPIO configuration register ID register Channel 0 register Channel 1 register Channel 2 register Channel 3 register Channel 4 register Channel 5 register Channel 6 register Channel 7 register Channel 8 register Channel 9 register Channel 10 register Channel 11 register Channel 12 register Channel 13 register Channel 14 register Channel 15 register Setup Configuration 0 register Setup Configuration 1 register Setup Configuration 2 register Setup Configuration 3 register Setup Configuration 4 register Setup Configuration 5 register Setup Configuration 6 register Setup Configuration 7 register Filter Configuration 0 register Filter Configuration 1 register Filter Configuration 2 register Filter Configuration 3 register Filter Configuration 4 register Filter Configuration 5 register Filter Configuration 6 register Filter Configuration 7 register	0x00	W

Bits	Bit Name	Settings	Description	Reset	Access
		110000	Offset 0 register		
		110001	Offset 1 register		
		110010	Offset 2 register		
		110011	Offset 3 register		
		110100	Offset 4 register		
		110101	Offset 5 register		
		110110	Offset 6 register		
		110111	Offset 7 register		
		111000	Gain 0 register		
		111001	Gain 1 register		
		111010	Gain 2 register		
		111011	Gain 3 register		
		111100	Gain 4 register		
		111101	Gain 5 register		
		111110	Gain 6 register		
		111111	Gain 7 register		

ステータス・レジスタ

アドレス: 0x00、リセット値: 0x80、レジスタ名: STATUS

ステータス・レジスタは 8 ビットのレジスタで、ADC とシリアル・インターフェースのステータスに関する情報が格納されています。インターフェース・モード・レジスタの DATA_STAT ビットをセットすることで、オプションとして、このレジスタの内容をデータ・レジスタへ付加することができます。

表 26. STATUS のビットの説明

Bits	Bit Name	Settings	Description	Reset	Access
7	RDY	0 New data result available 1 Awaiting new data result	CS がロー・レベルで、レジスタが読み出し中でない場合は、常に RDY のステータスが DOUT/RDY ピンに出力されます。ADC がデータ・レジスタへの新しい変換結果の書き込みを完了すると、このビットはロー・レベルになります。ADC のキャリブレーション・モードでは、ADC がキャリブレーション結果の書き込みを完了すると、このビットはロー・レベルになります。RDY は、データ・レジスタの読出しによって自動的にハイ・レベルになります。	0x1	R
6	ADC_ERROR	0 No error 1 Error	このビットは、デフォルトでは、ADC がオーバーレンジまたはアンダーレンジになったことを示します。ADC の変換結果は、オーバーレンジ・エラーの場合は 0xFFFFFFFF にクランプされ、アンダーレンジ・エラーの場合は 0x000000 にクランプされます。このビットは、ADC の変換結果を書き込むと更新され、オーバーレンジまたはアンダーレンジ状態が解消された後、次の更新時にクリアされます。	0x0	R
5	CRC_ERROR	0 No error 1 CRC error	このビットは、レジスタ書き込み時に CRC エラーが発生したかどうかを示します。レジスタ読出しの場合、ホスト・マイクロコントローラが、CRC エラーが発生したかどうかを判断します。このレジスタを読み出すと、このビットはクリアされます。	0x0	R
4	REG_ERROR	0 No error 1 Error	このビットは、内部レジスタのどれかの値が、レジスタの整合性チェックを実行したときの計算値から変化したかどうかを示します。インターフェース・モード・レジスタの REG_CHEK ビットをセットするとチェックが実行されます。このビットは、REG_CHECK ビットをクリアするとクリアされます。	0x0	R
[3:0]	CHANNEL	0000 Channel 0 0001 Channel 1 0010 Channel 2 0011 Channel 3 0100 Channel 4 0101 Channel 5 0110 Channel 6 0111 Channel 7 1000 Channel 8 1001 Channel 9 1010 Channel 10 1011 Channel 11 1100 Channel 12 1101 Channel 13 1110 Channel 14 1111 Channel 15	これらのビットは、現在データ・レジスタに ADC 変換結果が格納されているその変換を行ったのはどのチャンネルであるかを示します。このチャンネルは、現在変換を行っているチャンネルとは異なる場合があります。マッピングはチャンネル・レジスタに直接対応するため、チャンネル 0 は 0x0 に、チャンネル 15 は 0xF になります。	0x0	R

ADC モード・レジスタ

アドレス: 0x01、リセット値: 0xA000、レジスタ名: ADCMODE

ADC モード・レジスタは ADC の動作モードとマスター・クロックの選択を制御します。ADC モード・レジスタへの書込みによって、フィルタと RDY ビットがリセットされ、新しい変換またはキャリブレーションが開始されます。

表 27. ADCMODE のビットの説明

Bits	Bit Name	Settings	Description	Reset	Access
15	REF_EN	0 Disabled 1 Enabled	内部リファレンスをイネーブルし、バッファされた 2.5 V を REFOUT ピンに出力します。	0x1	RW
14	HIDE_DELAY	0 Enabled 1 Disabled	遅延ビットを使用してプログラマブルな遅延を設定する場合、このビットにより、sinc5 + sinc1 フィルタで選択したデータ・レートに対する変換時間に遅延時間が吸収されるので、遅延を隠すことができます。詳細については、遅延のセクションを参照してください。	0x0	RW
13	SING_CYC	0 Disabled 1 Enabled	1 チャンネルのみがアクティブなときこのビットを使用して、固定のフィルタ・データ・レートのみで出力するように ADC を設定することができます。	0x1	RW
[12:11]	RESERVED		これらのビットは予約済みで、0 に設定します。	0x0	R
[10:8]	DELAY	000 0 μs 001 4 μs 010 16 μs 011 40 μs 100 100 μs 101 200 μs 110 500 μs 111 1 ms	これらのビットにより、チャンネルが切り替わった後、プログラマブルな遅延を追加することができるので、外部回路がセトリングしてから ADC がその入力の処理を開始するようにすることができます。	0x0	RW
7	RESERVED		このビットは予約済みで、0 に設定します。	0x0	R
[6:4]	MODE	000 Continuous conversion mode 001 Single conversion mode 010 Standby mode 011 Power-down mode 100 Internal offset calibration 110 System offset calibration 111 System gain calibration	これらのビットは ADC の動作モードを制御します。詳細については、動作モードのセクションを参照してください。	0x0	RW
[3:2]	CLOCKSEL	00 Internal oscillator 01 Internal oscillator output on the XTAL2/CLKIO pin 10 External clock input on the XTAL2/CLKIO pin 11 External crystal on the XTAL1 and XTAL2/CLKIO pins	これらのビットは ADC のクロック源の選択に使用します。内部発振器を選択すると、同時に内部発振器はイネーブルされます。	0x0	RW
[1:0]	RESERVED		これらのビットは予約済みで、0 に設定します。	0x0	R

インターフェース・モード・レジスタ

アドレス: 0x02、リセット値: 0x0000、レジスタ名: IFMODE

インターフェース・モード・レジスタは様々なシリアル・インターフェース・オプションを設定します。

表 28. IFMODE のビットの説明

Bits	Bit Name	Settings	Description	Reset	Access
[15:13]	RESERVED		これらのビットは予約済みで、0 に設定します。	0x0	R
12	ALT_SYNC	0 Disabled 1 Enabled	このビットは SYNC ピンの機能を変更して、チャンネル・サイクリングでの変換制御に SYNC を使用できるようにします（詳細については、GPIO 設定レジスタのセクションの SYNC_EN ビットの説明を参照）。	0x0	RW
11	IOSTRENGTH	0 Disabled (default) 1 Enabled	このビットは DOUT/RDY ピンの駆動能力を制御します。低電圧の IOVDD 電源を使い、容量が中程度のシリアル・インターフェースから高速で読み出す場合、このビットをセットします。	0x0	RW
[10:9]	RESERVED		これらのビットは予約済みで、0 に設定します。	0x0	R
8	DOUT_RESET	0 Disabled 1 Enabled	詳細については、 DOUT_RESET のセクションを参照してください。	0x0	RW
7	CONTREAD	0 Disabled 1 Enabled	このビットは、ADC データ・レジスタの連続読出しモードをイネーブルします。連続読出しモードを使うには、ADC を連続変換モードに設定する必要があります。詳細については、動作モードのセクションを参照してください。	0x0	RW
6	DATA_STAT	0 Disabled 1 Enabled	このビットは、読出し時にステータス・レジスタの内容をデータ・レジスタの内容に付加する機能をイネーブルし、チャンネルとステータスの情報がデータとともに送信されるようにします。これは、ステータス・レジスタから読み出したチャンネル・ビットを確実にデータ・レジスタのデータに対応させる唯一の方法です。	0x0	RW
5	REG_CHECK	0 Disabled 1 Enabled	このビットはレジスタの整合性チェック機能をイネーブルします。この機能を使って、ユーザー・レジスタ内の値の変化を全て監視することができます。この機能を使用するには、このビットをクリアした状態で必要なレジスタを全て設定します。このレジスタに書き込んで REG_CHECK ビットを 1 に設定します。あるレジスタの内容が変化すると、ステータス・レジスタの REG_ERROR ビットがセットされます。このエラーをクリアするには、 REG_CHECK ビットを 0 に設定します。ただし、インターフェース・モード・レジスタ、ADC データ・レジスタ、ステータス・レジスタのいずれも、チェック対象のレジスタには含まれていません。レジスタに新しい値を書き込む必要がある場合、最初にこのビットをクリアします。そうしないと、新しいレジスタ内容を書き込むときに、エラー・フラグが表示されます。	0x0	RW
4	RESERVED		このビットは予約済みで、0 に設定します。	0x0	R
[3:2]	CRC_EN	00 Disabled 01 XOR checksum enabled for register read transactions; register writes still use CRC with these bits set 10 CRC checksum enabled for read and write transactions	これらのビットは、レジスタの読出し／書込みの CRC 保護をイネーブルします。 CRC により、シリアル・インターフェース転送のバイト数が 1 だけ増加します。詳細については、 CRC 計算のセクションを参照してください。	0x00	RW
1	RESERVED		このビットは予約済みで、0 に設定します。	0x0	R

Bits	Bit Name	Settings	Description	Reset	Access
0	WL16		ADC データ・レジスタを 16 ビットに変更します。インターフェース・モード・レジスタへの書き込みでは ADC はリセットされないため、これらのビットへの書き込み直後に ADC の変換結果が正しいワード長に丸められることはありません。最初の新しい ADC 変換結果は正しい値です。	0x0	RW
		0	24-bit data		
		1	16-bit data		

レジスタ・チェック

アドレス: 0x03、リセット値: 0x000000、レジスタ名: REGCHECK

レジスタ・チェック・レジスタは、ユーザー・レジスタ値の排他的論理和（XOR）計算で得られた 24 ビットのチェックサムです。この機能が動作するには、インターフェース・モード・レジスタの REG_CHECK ビットをセットする必要があります。そうしないと、レジスタの読み出し値は 0 となります。

表 29. REGCHECK のビットの説明

Bits	Bit Name	Settings	Description	Reset	Access
[23:0]	REGISTER_CHECK		インターフェース・モード・レジスタの REG_CHECK ビットをセットすると、ユーザー・レジスタの 24 ビットのチェックサムがこのレジスタに格納されます。	0x000000	R

データ・レジスタ

アドレス: 0x04、リセット値: 0x000000、レジスタ名: DATA

データ・レジスタには、ADC の変換結果が格納されます。エンコーディングはオフセット・バイナリですが、セットアップ設定レジスタの BI_UNIPOLARx ビットによってユニポーラに変更できます。RDY ビットと RDY 出力がロー・レベルの場合、データ・レジスタを読み出すと、これらのビットはハイ・レベルになります。ADC の変換結果は複数回読み出すことができます。ただし、RDY 出力がハイ・レベルになっているため、ADC の次の変換結果が差し迫っているかどうかを知ることはできません。ADC のレジスタを読み出すコマンドを受け取った後、ADC は新しい変換結果をレジスタに書き込みません。

表 30. DATA のビットの説明

Bits	Bit Name	Settings	Description	Reset	Access
[23:0]	DATA		このレジスタには、ADC の変換結果が格納されます。インターフェース・モード・レジスタの DATA_STAT ビットをセットすると、読み出し時にステータス・レジスタのデータが付加され、32 ビット・レジスタになります。インターフェース・モード・レジスタの WL16 を設定すると、このレジスタは 16 ビット長に短縮されます。	0x000000	R

GPIO 設定レジスタ

アドレス: 0x06、リセット値: 0x0800、レジスタ名: GPIOCON

GPIO 設定レジスタは ADC の汎用 I/O ピンを制御します。

表 31. GPIOCON のビットの説明

Bits	Bit Name	Settings	Description	Reset	Access
15	RESERVED		これらのビットは予約済みで、0 に設定します。	0x0	R
14	PDSW		このビットはパワーダウン・スイッチ機能をイネーブル/ディスエーブルします。このビットをセットすると、ピンが電流をシンクできるようになります。この機能は、ブリッジのパワーアップ/パワーダウンをスイッチで制御するブリッジ・センサー・アプリケーションで使用できます。	0x0	RW
13	OP_EN2_3		このビットは GPIO2 ピンと GPIO3 ピンをイネーブルします。出力は、AVDD1 と AVSS の間の電圧を基準にしています。	0x0	RW
12	MUX_IO		このビットにより、ADC は内部チャンネルのシーケンスと同期させて GPIO0/GPIO1/GPO2/GPO3 を使用して、外部マルチプレクサを制御できます。チャンネルで使用するアナログ入力ピンは、そのままチャンネルごとに選択できます。したがって、各アナログ入力ペア (AIN0/AIN1 ~ AIN14/AIN15) の前に 16 チャンネルのマルチプレクサを配置して、合計 128 差動チャンネルに設定できます。ただし、自動的にシーケンス処理できるのは一度に 16 チャンネルのみです。16 チャンネルのシーケンス処理に続き、アナログ入力を入力チャンネルの次のペアに切り替え、次の 16 チャンネルをシーケンス処理します。外部マルチプレクサのスイッチングの後に遅延を挿入することができます (ADC モード・レジスタのセクションの遅延ビットを参照)。	0x0	RW
11	SYNC_EN	0 1	このビットは <u>SYNC</u> ピンを同期入力としてイネーブルします。このピンがロー・レベルの場合は、 <u>SYNC</u> ピンがハイ・レベルになるまで ADC とフィルタをリセット状態に保持します。インターフェース・モード・レジスタの ALT_SYNC ビットをセットすると、 <u>SYNC</u> ピンの動作を変更できます。このモードは、複数チャンネルがイネーブルされている場合のみ機能します。この場合、 <u>SYNC</u> ピンがロー・レベルになっても、フィルタと変調器は直ちにリセットされません。その代わりに、チャンネルが切り替わろうとするとときに <u>SYNC</u> ピンがロー・レベルであると、変換器とフィルタは新しい変換を開始できなくなります。 <u>SYNC</u> をハイ・レベルにすると次の変換が開始されます。この代わりに同期モードにより、チャンネルのサイクリング時に <u>SYNC</u> を使用できるようになります。	0x1	RW
[10:9]	ERR_EN	00 01 10 11	これらのビットは <u>ERROR</u> ピンをエラー入出力としてイネーブルします。 00 <u>ERROR</u> はエラー入力です。(反転された) リードバックの状態は、他のエラー・ソースとの論理和がとられ、ステータス・レジスタの ADC_ERROR ビットになります。 <u>ERROR</u> ピンの状態は、このレジスタの ERR_DAT ビットから読み出すこともできます。 10 <u>ERROR</u> はオープンドレインのエラー出力です。ステータス・レジスタのエラー・ビットは、論理和がとられ、反転されて、 <u>ERROR</u> ピンにマッピングされます。複数のデバイスのどのエラーも検知できるように、それらのデバイスの <u>ERROR</u> ピンを共通のプルアップ抵抗に接続することができます。 11 <u>ERROR</u> は汎用出力です。このピンのステータスは、このレジスタの ERR_DAT ビットによって制御されます。この出力は、汎用 I/O ピンで使われている AVDD1 と AVSS ではなく、IOVDD と DGND 間の電圧を基準にしています。この場合、 <u>ERROR</u> ピンは、アクティブ・プルアップされます。	0x0	RW
8	ERR_DAT		<u>ERROR</u> ピンが汎用出力としてイネーブルされる場合、このビットがこのピンのロジック・レベルを決定します。このピンが入力としてイネーブルされていると、このビットは、このピンのリードバック・ステータスを反映します。	0x0	RW
7	GP_DATA3		このビットは GPO3 の書込みデータです。	0x0	W
6	GP_DATA2		このビットは GPO2 の書込みデータです。	0x0	W
5	IP_EN1	0 1	このビットは GPIO1 を入力にします。入力、AVDD1 または AVSS を基準にしています。 0 ディスエーブル。 1 イネーブル。	0x0	RW
4	IP_EN0	0 1	このビットは GPIO0 を入力にします。入力、AVDD1 または AVSS を基準にしています。 0 ディスエーブル。 1 イネーブル。	0x0	RW

Bits	Bit Name	Settings	Description	Reset	Access
3	OP_EN1	0 1	このビットは GPIO1 を出力にします。出力は、AVDD1 と AVSS の間の電圧を基準にしています。 ディスエーブル。 イネーブル。	0x0	RW
2	OP_EN0	0 1	このビットは GPIO0 を出力にします。出力は、AVDD1 と AVSS の間の電圧を基準にしています。 ディスエーブル。 イネーブル。	0x0	RW
1	GP_DATA1		このビットは、GPIO1 の読出しまたは書込みデータです。	0x0	RW
0	GP_DATA0		このビットは、GPIO0 の読出しまたは書込みデータです。	0x0	RW

ID レジスタ

アドレス: 0x07、リセット値: 0x3CDx、レジスタ名: ID

ID レジスタは 16 ビットの ID を返します。AD7175-8 の場合、この ID は 0x3CDx です。

表 32. ID のビットの説明

Bits	Bit Name	Settings	Description	Reset	Access
[15:0]	ID	0x3CDx	ID レジスタは、この ADC 固有の 16 ビットの ID コードを返します。 AD7175-8	0x3CDx	R

チャンネル・レジスタ 0

アドレス: 0x10、リセット値: 0x8001、レジスタ名: CH0

チャンネル・レジスタは 16 ビットのレジスタで、現在アクティブなチャンネル、各チャンネルに選択されている入力、およびそのチャンネル用の ADC の設定に使用するセットアップを選択するのに使用します。

表 33. CH0 のビットの説明

Bits	Bit Name	Settings	Description	Reset	Access
15	CH_EN0	0 1	このビットはチャンネル 0 をイネーブルします。複数のチャンネルをイネーブルすると、ADC はこれらのチャンネルを自動的にシーケンス処理します。 Disabled Enabled (default)	0x1	RW
[14:12]	SETUP_SEL0	000 001 010 011 100 101 110 111	これらのビットは、このチャンネル用に ADC を設定するのに 8 種類のセットアップの中のどれを使用するかを指定します。各セットアップは、セットアップ設定レジスタ、フィルタ設定レジスタ、オフセット・レジスタ、ゲイン・レジスタの 4 つのレジスタで構成されています。全てのチャンネルが同じセットアップを使用することができます。この場合、全てのアクティブなチャンネルのこれらのビットに同じ 3 ビット値を書き込む必要があります。または、最多 8 チャンネルを異なる設定にすることができます。 Setup 0 Setup 1 Setup 2 Setup 3 Setup 4 Setup 5 Setup 6 Setup 7	0x0	RW
[11:10]	RESERVED		これらのビットは予約済みで、0 に設定します。	0x0	R
[9:5]	AINPOS0	00000 00001 00010 00011 00100 00101 00110 00111	これらのビットは、このチャンネルの ADC の正入力に接続する入力を選択します。 AIN0 (default) AIN1 AIN2 AIN3 AIN4 AIN5 AIN6 AIN7	0x0	RW

Bits	Bit Name	Settings	Description	Reset	Access
		01000	AIN8		
		01001	AIN9		
		01010	AIN10		
		01011	AIN11		
		01100	AIN12		
		01101	AIN13		
		01110	AIN14		
		01111	AIN15		
		10000	AIN16		
		10001	Temperature sensor+		
		10010	Temperature sensor−		
		10011	$((AVDD1 - AVSS)/5)+$ (analog input buffers must be enabled)		
		10100	$((AVDD1 - AVSS)/5)-$ (analog input buffers must be enabled)		
		10101	REF+		
		10110	REF−		
[4:0]	AINNEG0		これらのビットは、このチャンネルの ADC の負入力に接続する入力を選択します。	0x1	RW
		00000	AIN0		
		00001	AIN1 (default)		
		00010	AIN2		
		00011	AIN3		
		00100	AIN4		
		00101	AIN5		
		00110	AIN6		
		00111	AIN7		
		01000	AIN8		
		01001	AIN9		
		01010	AIN10		
		01011	AIN11		
		01100	AIN12		
		01101	AIN13		
		01110	AIN14		
		01111	AIN15		
		10000	AIN16		
		10001	Temperature sensor+		
		10010	Temperature sensor−		
		10011	$((AVDD1 - AVSS)/5)+$		
		10100	$((AVDD1 - AVSS)/5)-$		
		10101	REF+		
		10110	REF−		

チャンネル・レジスタ 1 ～チャンネル・レジスタ 15

アドレス: 0x11 ～ 0x1F、リセット値: 0x0001、レジスタ名: CH1 ～ CH7

残り 15 のチャンネル・レジスタは、チャンネル・レジスタ 0 と同じレイアウトです。

表 34. CH1 ～ CH15 のレジスタ・マップ

Reg.	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	RW
0x11	CH1	[15:8]	CH_EN1	SETUP_SEL1			RESERVED		AINPOS1[4:3]		0x0001	RW
		[7:0]	AINPOS1[2:0]			AINNEG1						
0x12	CH2	[15:8]	CH_EN2	SETUP_SEL2			RESERVED		AINPOS2[4:3]		0x0001	RW
		[7:0]	AINPOS2[2:0]			AINNEG2						
0x13	CH3	[15:8]	CH_EN3	SETUP_SEL3			RESERVED		AINPOS3[4:3]		0x0001	RW
		[7:0]	AINPOS3[2:0]			AINNEG3						
0x14	CH4	[15:8]	CH_EN4	SETUP_SEL4			RESERVED		AINPOS4[4:3]		0x0001	RW
		[7:0]	AINPOS4[2:0]			AINNEG4						
0x15	CH5	[15:8]	CH_EN5	SETUP_SEL5			RESERVED		AINPOS5[4:3]		0x0001	RW
		[7:0]	AINPOS5[2:0]			AINNEG5						
0x16	CH6	[15:8]	CH_EN6	SETUP_SEL6			RESERVED		AINPOS6[4:3]		0x0001	RW
		[7:0]	AINPOS6[2:0]			AINNEG6						
0x17	CH7	[15:8]	CH_EN7	SETUP_SEL7			RESERVED		AINPOS7[4:3]		0x0001	RW
		[7:0]	AINPOS7[2:0]			AINNEG7						
0x18	CH8	[15:8]	CH_EN8	SETUP_SEL8			RESERVED		AINPOS8[4:3]		0x0001	RW
		[7:0]	AINPOS8[2:0]			AINNEG8						
0x19	CH9	[15:8]	CH_EN9	SETUP_SEL9			RESERVED		AINPOS9[4:3]		0x0001	RW
		[7:0]	AINPOS9[2:0]			AINNEG9						
0x1A	CH10	[15:8]	CH_EN10	SETUP_SEL10			RESERVED		AINPOS10[4:3]		0x0001	RW
		[7:0]	AINPOS10[2:0]			AINNEG10						
0x1B	CH11	[15:8]	CH_EN11	SETUP_SEL11			RESERVED		AINPOS11[4:3]		0x0001	RW
		[7:0]	AINPOS11[2:0]			AINNEG11						
0x1C	CH12	[15:8]	CH_EN12	SETUP_SEL12			RESERVED		AINPOS12[4:3]		0x0001	RW
		[7:0]	AINPOS12[2:0]			AINNEG12						
0x1D	CH13	[15:8]	CH_EN13	SETUP_SEL13			RESERVED		AINPOS13[4:3]		0x0001	RW
		[7:0]	AINPOS13[2:0]			AINNEG13						
0x1E	CH14	[15:8]	CH_EN14	SETUP_SEL14			RESERVED		AINPOS14[4:3]		0x0001	RW
		[7:0]	AINPOS14[2:0]			AINNEG14						
0x1F	CH15	[15:8]	CH_EN15	SETUP_SEL15			RESERVED		AINPOS15[4:3]		0x0001	RW
		[7:0]	AINPOS15[2:0]			AINNEG15						

セットアップ設定レジスタ 0

アドレス: 0x20、リセット値: 0x1320、レジスタ名: SETUPCON0

セットアップ設定レジスタは 16 ビットのレジスタで、リファレンスの選択、入力バッファ、および ADC の出力コーディングを設定します。

表 35. SETUPCON0 のビットの説明

Bits	Bit Name	Settings	Description	Reset	Access
[15:13]	RESERVED		これらのビットは予約済みで、0 に設定します。	0x0	R
12	BI_UNIPOLAR0	0 1	このビットはセットアップ 0 の ADC の出力コーディングを設定します。 Unipolar coded output Bipolar coded output (offset binary)	0x1	RW
11	REFBUF0+	0 1	このビットは REF+ 入力バッファをイネーブルまたはディスエーブルします。 REF+ buffer disabled REF+ buffer enabled	0x0	RW
10	REFBUF0-	0 1	このビットは REF- 入力バッファをイネーブルまたはディスエーブルします。 REF- buffer disabled REF- buffer enabled	0x0	RW
9	AINBUF0+	0 1	このビットは AIN+ 入力バッファをイネーブルまたはディスエーブルします。 AIN+ buffer disabled AIN+ buffer enabled	0x1	RW
8	AINBUF0-	0 1	このビットは AIN- 入力バッファをイネーブルまたはディスエーブルします。 AIN- buffer disabled AIN- buffer enabled	0x1	RW
7	BURNOUT_EN0		このビットは、選択された正アナログ入力の 10 μ A 電流ソースと、選択された負アナログ入力の 10 μ A 電流シンクをイネーブルします。このバーンアウト電流は断線の診断に役立ちます。この場合、ADC の変換結果がフルスケールになります。測定中にバーンアウト電流をイネーブルすると、ADC にオフセット電圧が生じます。したがって、高精度測定を行う前または後に、ある時間間隔でバーンアウト電流をオンにして断線の診断を行うのが最善です。	0x00	R
6	RESERVED		これらのビットは予約済みで、0 に設定します。	0x00	R
[5:4]	REF_SEL0	00 01 10 11	これらのビットにより、セットアップ 0 の ADC 変換のリファレンス・ソースを選択できます。 外部リファレンス。 AIN1/REF2+ ピンと AIN0/REF2- ピンに供給される外部リファレンス 2。 2.5 V の内部リファレンス。これは、ADC モード・レジスタでもイネーブルする必要があります。 AVDD1 - AVSS。これは、他のリファレンス値を検証するための診断機能として使用できます。	0x2	RW
[3:0]	RESERVED		これらのビットは予約済みで、0 に設定します。	0x0	R

セットアップ設定レジスタ 1 ～セットアップ設定レジスタ 7

アドレス: 0x11 ～ 0x17、リセット値: 0x1320、レジスタ名: SETUPCON1 ～ SETUPCON7

残り 7 つのセットアップ設定レジスタは、セットアップ設定レジスタ 0 と同じレイアウトです。

表 36. SETUPCON1 ～ SETUPCON7 のレジスタ・マップ

Reg.	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	RW
0x21	SETUPCON1	[15:8]	RESERVED			BI_UNIPOLAR1	REFBUF1+	REFBUF1-	AINBUF1+	AINBUF1-	0x1320	RW
		[7:0]	BURNOUT_EN1	RESERVED	REF_SEL1		RESERVED					
0x22	SETUPCON2	[15:8]	RESERVED			BI_UNIPOLAR2	REFBUF2+	REFBUF2-	AINBUF2+	AINBUF2-	0x1320	RW
		[7:0]	BURNOUT_EN2	RESERVED	REF_SEL2		RESERVED					
0x23	SETUPCON3	[15:8]	RESERVED			BI_UNIPOLAR3	REFBUF3+	REFBUF3-	AINBUF3+	AINBUF3-	0x1320	RW
		[7:0]	BURNOUT_EN3	RESERVED	REF_SEL3		RESERVED					
0x24	SETUPCON4	[15:8]	RESERVED			BI_UNIPOLAR4	REFBUF4+	REFBUF4-	AINBUF4+	AINBUF4-	0x1320	RW
		[7:0]	BURNOUT_EN4	RESERVED	REF_SEL4		RESERVED					
0x25	SETUPCON5	[15:8]	RESERVED			BI_UNIPOLAR5	REFBUF5+	REFBUF5-	AINBUF5+	AINBUF5-	0x1320	RW
		[7:0]	BURNOUT_EN5	RESERVED	REF_SEL5		RESERVED					
0x26	SETUPCON6	[15:8]	RESERVED			BI_UNIPOLAR6	REFBUF6+	REFBUF6-	AINBUF6+	AINBUF6-	0x1320	RW
		[7:0]	BURNOUT_EN6	RESERVED	REF_SEL6		RESERVED					
0x27	SETUPCON7	[15:8]	RESERVED			BI_UNIPOLAR7	REFBUF7+	REFBUF7-	AINBUF7+	AINBUF7-	0x1320	RW
		[7:0]	BURNOUT_EN7	RESERVED	REF_SEL7		RESERVED					

フィルタ設定レジスタ 0

アドレス: 0x28、リセット値: 0x0500、レジスタ名: FILTCON0

フィルタ設定レジスタは 16 ビットのレジスタで、ADC のデータ・レートとフィルタ・オプションを設定します。これらのレジスタに書き込むと、アクティブな ADC 変換は全てリセットされ、シーケンス内の最初のチャンネルから変換が再開されます。

表 37. FILTCON0 のビットの説明

Bits	Bit Name	Settings	Description	Reset	Access
15	SINC3_MAP0		このビットをセットすると、フィルタ・レジスタのマッピングが変化して、セットアップ 0 の sinc3 フィルタのデシメーション・レートが直接設定されます。他のオプションは全て無効になります。これにより、出力データ・レートおよび特定の周波数成分を除去するフィルタ・ノッチの微調整が可能になります。1 つのチャンネルのデータ・レートは $f_{\text{MOD}} / (32 \times \text{FILTCON0} [14:0])$ に等しくなります。	0x0	RW
[14:12]	RESERVED		これらのビットは予約済みで、0 に設定します。	0x0	R
11	ENHFILTEN0	0 1	このビットは、セットアップ 0 の 50 Hz/60 Hz 除去用に強化された各種ポスト・フィルタをイネーブルします。この機能を有効にするには、ORDER ビットを 00 に設定し、sinc5 + sinc1 フィルタを選択する必要があります。 0 Disabled 1 Enabled	0x0	RW
[10:8]	ENHFILT0	010 011 101 110	これらのビットは、セットアップ 0 の 50 Hz/60 Hz 除去用に強化された各種ポスト・フィルタを選択します。 010 27 SPS, 47 dB rejection, 36.7 ms settling 011 25 SPS, 62 dB rejection, 40 ms settling 101 20 SPS, 86 dB rejection, 50 ms settling 110 16.67 SPS, 92 dB rejection, 60 ms settling	0x5	RW
7	RESERVED		このビットは予約済みで、0 に設定します。	0x0	R
[6:5]	ORDER0	00 11	これらのビットは、セットアップ 0 の変調器データを処理するデジタル・フィルタの次数を制御します。 00 Sinc5 + sinc1 (default) 11 Sinc3	0x0	RW
[4:0]	ODR0	00000 00001 00010 00011 00100 00101 00110 00111 01000 01001 01010 01011 01100 01101 01110 01111 10000 10001 10010 10011 10100	これらのビットは ADC の出力データ・レートを制御します。したがって、セットアップ 0 のセトリング時間とノイズの値も制御します。sinc5 + sinc1 フィルタの場合のレートを以下に示します。表 19 ~ 表 22 を参照してください。 250,000 125,000 62,500 50,000 31,250 25,000 15,625 10,000 5000 2500 1000 500 397.5 200 100 59.92 49.96 20 16.66 10 5	0x0	RW

フィルタ設定レジスタ 1～フィルタ設定レジスタ 7

アドレス: 0x29～0x2F、リセット値: 0x0500、レジスタ名: FILTCON1～FILTCON7

残り 7 つのフィルタ設定レジスタは、フィルタ設定レジスタ 0 と同じレイアウトです。

表 38. FILTCON1～FILTCON7 のレジスタ・マップ

Reg.	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	RW
0x29	FILTCON1	[15:8]	SINC3_MAP1	RESERVED			ENHFILTEN1	ENHFILT1			0x0500	RW
		[7:0]	RESERVED	ORDER1		ODR1						
0x2A	FILTCON2	[15:8]	SINC3_MAP2	RESERVED			ENHFILTEN2	ENHFILT2			0x0500	RW
		[7:0]	RESERVED	ORDER2		ODR2						
0x2B	FILTCON3	[15:8]	SINC3_MAP3	RESERVED			ENHFILTEN3	ENHFILT3			0x0500	RW
		[7:0]	RESERVED	ORDER3		ODR3						
0x2C	FILTCON4	[15:8]	SINC3_MAP4	RESERVED			ENHFILTEN4	ENHFILT4			0x0500	RW
		[7:0]	RESERVED	ORDER4		ODR4						
0x2D	FILTCON5	[15:8]	SINC3_MAP5	RESERVED			ENHFILTEN5	ENHFILT5			0x0500	RW
		[7:0]	RESERVED	ORDER5		ODR5						
0x2E	FILTCON6	[15:8]	SINC3_MAP6	RESERVED			ENHFILTEN6	ENHFILT6			0x0500	RW
		[7:0]	RESERVED	ORDER6		ODR6						
0x2F	FILTCON7	[15:8]	SINC3_MAP7	RESERVED			ENHFILTEN7	ENHFILT7			0x0500	RW
		[7:0]	RESERVED	ORDER7		ODR7						

オフセット・レジスタ 0

アドレス: 0x30、リセット値: 0x800000、レジスタ名: OFFSET0

オフセット（ゼロスケール）レジスタは 24 ビットのレジスタで、ADC またはシステムのオフセット誤差の補正に使用することができます。

表 39. OFFSET0 のビットの説明

Bits	Bit Name	Settings	Description	Reset	Access
[23:0]	OFFSET0		セットアップ 0 のゲイン・キャリブレーション係数	0x800000	RW

オフセット・レジスタ 1～オフセット・レジスタ 7

アドレス: 0x31～0x37、リセット値: 0x800000、レジスタ名: OFFSET1～OFFSET7

残り 7 つのオフセット・レジスタは、オフセット・レジスタ 0 と同じレイアウトです。

表 40. OFFSET1～OFFSET7 のレジスタ・マップ

Reg.	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	RW
0x30	OFFSET0	[23:0]	OFFSET0[23:0]								0x800000	RW
0x31	OFFSET1	[23:0]	OFFSET1[23:0]								0x800000	RW
0x32	OFFSET2	[23:0]	OFFSET2[23:0]								0x800000	RW
0x33	OFFSET3	[23:0]	OFFSET3[23:0]								0x800000	RW
0x34	OFFSET4	[23:0]	OFFSET4[23:0]								0x800000	RW
0x35	OFFSET5	[23:0]	OFFSET5[23:0]								0x800000	RW
0x36	OFFSET6	[23:0]	OFFSET6[23:0]								0x800000	RW
0x37	OFFSET7	[23:0]	OFFSET7[23:0]								0x800000	RW

ゲイン・レジスタ 0

アドレス: 0x38、リセット値: 0x5XXXX0、レジスタ名: GAIN0

ゲイン（フルスケール）レジスタは 24 ビットのレジスタで、ADC またはシステムのゲイン誤差の補正に使用することができます。

表 41. GAIN0 のビットの説明

Bits	Bit Name	Settings	Description	Reset	Access
[23:0]	GAIN0		セットアップ 0 のゲイン・キャリブレーション係数	0x5XXXX0	RW

ゲイン・レジスタ 1 ～ゲイン・レジスタ 7

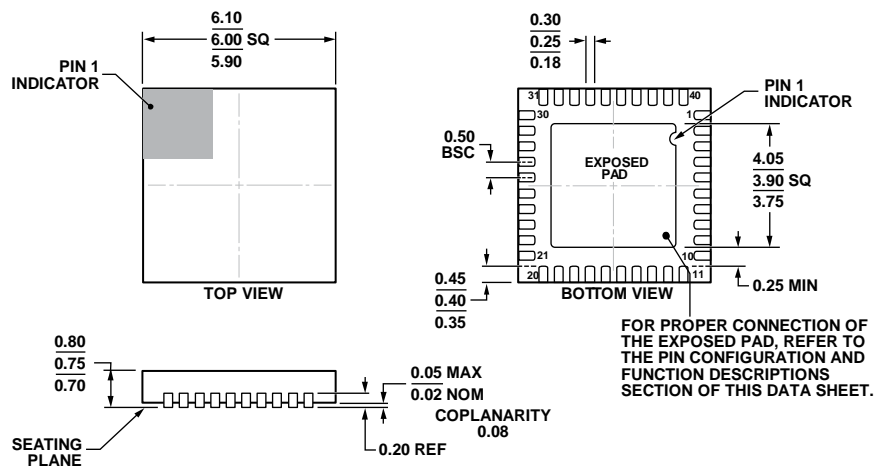
アドレス: 0x39 ～ 0x3F、リセット値: 0x5XXXX0、レジスタ名: GAIN1 ～ GAIN7

残り 7 つのゲイン・レジスタは、ゲイン・レジスタ 0 と同じレイアウトです。

表 42. GAIN1 ～ GAIN7 のレジスタ・マップ

Reg.	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	RW
0x38	GAIN0	[23:0]	GAIN0[23:0]								0x5XXXX0	RW
0x39	GAIN1	[23:0]	GAIN1[23:0]								0x5XXXX0	RW
0x3A	GAIN2	[23:0]	GAIN2[23:0]								0x5XXXX0	RW
0x3B	GAIN3	[23:0]	GAIN3[23:0]								0x5XXXX0	RW
0x3C	GAIN4	[23:0]	GAIN4[23:0]								0x5XXXX0	RW
0x3D	GAIN5	[23:0]	GAIN5[23:0]								0x5XXXX0	RW
0x3E	GAIN6	[23:0]	GAIN6[23:0]								0x5XXXX0	RW
0x3F	GAIN7	[23:0]	GAIN7[23:0]								0x5XXXX0	RW

外形寸法



COMPLIANT TO JEDEC STANDARDS MO-220-WJJD.

図 72. 40 ピン・リードフレーム・チップ・スケール・パッケージ[LFCSP_WQ]
6 mm × 6 mm ボディ、極薄クワッド
(CP-40-14)
寸法：mm

05-06-2011-A

オーダー・ガイド

Model ¹	Temperature Range	Package Description	Package Option
AD7175-8BCPZ	-40°C to +105°C	40-Lead Lead Frame Chip Scale Package [LFCSP_WQ]	CP-40-14
AD7175-8BCPZ-RL	-40°C to +105°C	40-Lead Lead Frame Chip Scale Package [LFCSP_WQ]	CP-40-14
AD7175-8BCPZ-RL7	-40°C to +105°C	40-Lead Lead Frame Chip Scale Package [LFCSP_WQ]	CP-40-14

¹ Z = RoHS 準拠製品。