



真のレール to レール・バッファ内蔵
24 ビット、250k SPS、20 μ s セトリング、 Σ - Δ ADC

データシート

AD7175-2

特長

高速かつ柔軟な出力レート 5 SPS から 250k SPS

チャンネル・スキャン・データレート : 50kSPS/チャンネル
(セトリング時間 20 μ s)

性能仕様

ノイズ・フリー・ビット数: 250 kSPS で 17.2 ビット

ノイズ・フリー・ビット数: 2.5k SPS で 20 ビット

ノイズ・フリー・ビット数: 20 SPS で 24 ビット

INL: FSR の ± 1 ppm

50 Hz と 60 Hz の除去比: 50 ms セトリングで 85 dB

入力チャンネルがユーザ設定可能

2 チャンネル完全差動または 4 チャンネルシングルエンド
クロスポイント・マルチプレクサ

2.5 V のリファレンスを内蔵 (ドリフト 2ppm/ $^{\circ}$ C)

真のレール to レールのアナログ入力バッファとリファレンス
入力バッファ

内部または外部クロック

電源電圧 :

AVDD1 = 5 V, AVDD2 = IOVDD = 2 V to 5 V

AVDD1/AVSS を ± 2.5 V とする両電源も可能

ADC 消費電流 : 8.4 mA

温度範囲 : -40 $^{\circ}$ C \sim +105 $^{\circ}$ C

3 線式または 4 線式のシリアル・デジタル・インターフェース
(シュミット・トリガ付き SCLK)

シリアル・インターフェース :

SPI/QSPI/MICROWIRE/DSP 互換

アプリケーション

プロセス・コントロール : PLC/DCS モジュール

温度計測および圧力計測

医療や科学分野向けのマルチ・チャンネル計測機器

クロマトグラフィ

概要

AD7175-2 は低ノイズ、高速セトリング時間のマルチプレクサ型 2/4 (完全差動 / 擬似差動) チャンネル Σ - Δ A/D コンバータ (ADC) で、低い帯域の入力信号を対象としています。データが完全に安定する最大チャンネル・スキャン・データレートは 50k SPS (20 μ s) です。出力データレートは 5 SPS \sim 250k SPS の範囲です。

AD7175-2 は、主要なアナログ / デジタル信号処理ブロックを内蔵しており、ユーザは使用する各アナログ入力チャンネルの個別の構成を設定することができます。各機能はチャンネルごとにユーザ選択可能になっています。アナログ入力と外部リファレンス入力に内蔵されている真のレール to レール・バッファにより高インピーダンス入力の駆動が容易になっています。高精度、2.5V、低ドリフト (2ppm/ $^{\circ}$ C) の内部バンドギャップ・リファレンスには、出力リファレンス・バッファが追加されているため、外部バッファを必要とせず、外付け部品数を削減できます。

デジタル・フィルタにより、27.27 SPS の出力データレートにおいては、50Hz および 60Hz の同時除去が可能です。ユーザは、アプリケーション毎に異なる各チャンネルの要求に合わせて、異なったフィルタ・オプションを選択できます。ADC は選択した各チャンネルを通して自動的に切り替えます。さらにデジタル処理機能にはチャンネルごとに調整可能なオフセット調整レジスタ、ゲイン調整用レジスタがあります。

デバイスは AVDD1=5V の単電源、あるいは、AVDD1/AVSS = ± 2.5 V の両電源で動作します。また、AVDD2 と IOVDD の電圧範囲は 2V \sim 5V です。規定の動作温度範囲は -40 $^{\circ}$ C \sim +105 $^{\circ}$ C です。AD7175-2 は 24 ピン TSSOP パッケージを採用しています。

なお、このデータシートでは、複数の機能名を持つピンは、そのいずれかのみを用いて、該当する機能を説明していることにご注意ください。

機能ブロック図

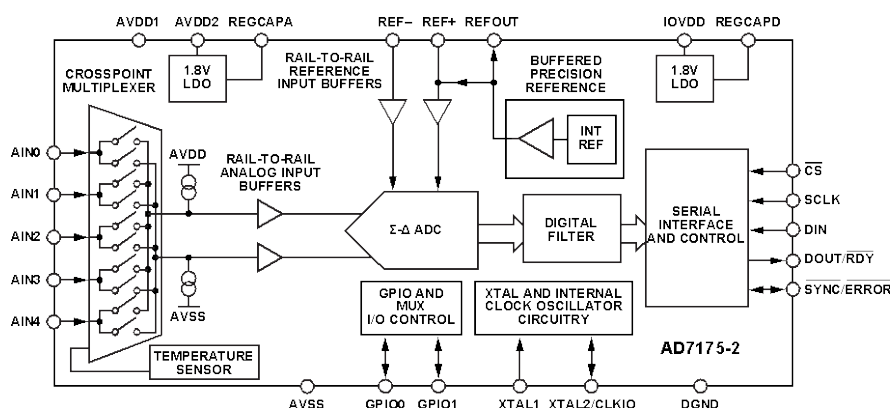


図 1.

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、それぞれの所有者の財産です。

※日本語版資料は REVISION が古い場合があります。最新の内容については、英語版をご参照ください。
©2015 Analog Devices, Inc. All rights reserved.

Rev.A

アナログ・デバイセズ株式会社

本社 / 〒105-6891 東京都港区海岸 1-16-1 ニューピア竹芝サウスタワービル
電話 03 (5402) 8200
大阪営業所 / 〒532-0003 大阪府大阪市淀川区宮原 3-5-36 新大阪トラストタワー
電話 06 (6350) 6868

目次

特長	1	CRC の計算	42
アプリケーション	1	内蔵機能	44
概要	1	汎用 I/O	44
機能ブロック図	1	外部マルチプレクサの制御	44
仕様	3	遅延	44
タイミング特性	6	16 ビット/24 ビット変換	44
タイミング図	7	DOUT_RESET	44
絶対最大定格	8	同期	44
熱抵抗	8	エラー・フラグ	45
ESD の注意	8	DATA_STAT	45
ピン配置およびピン機能説明	9	IOSTRENGTH	46
代表的な性能特性	11	内部温度センサー	46
ノイズ特性と分解能	18	グラウンド接続とレイアウト	47
評価開始にあたって	19	レジスタの一覧	48
電源	20	レジスタの詳細	49
デジタル通信	20	コミュニケーション・レジスタ	49
AD7175-2 のリセット	21	ステータス・レジスタ	50
構成概要	21	ADC モード・レジスタ	51
回路説明	26	インターフェース・モード・レジスタ	52
バッファ付きアナログ入力	26	レジスタ・チェック	53
クロスポイント・マルチプレクサ	26	データ・レジスタ	53
AD7175-2 リファレンス	26	GPIO 設定レジスタ	54
バッファされたリファレンス入力	28	ID レジスタ	55
クロック・ソース	28	チャンネル・レジスタ 0	55
デジタル・フィルタ	29	チャンネル・レジスタ 1 からチャンネル・レジスタ 3	56
Sinc5 + Sinc1 フィルタ	29	アットアップ・レジスタ 0	57
Sinc3 フィルタ	29	セットアップ・レジスタ 1 からセットアップ・レジスタ 3	57
シングル・サイクル・セトリング	30	フィルタ設定レジスタ 0	58
強化された 50HZ/60Hz 除去フィルタ	34	フィルタ設定レジスタ 1 からフィルタ設定レジスタ 3	59
動作モード	37	オフセット設定レジスタ 0	59
連続変換モード	37	オフセット設定レジスタ 1 からオフセット設定レジスタ 3	59
連続読み出しモード	38	ゲイン設定レジスタ 0	59
シングル変換モード	39	ゲイン設定レジスタ 1 からゲイン設定レジスタ 3	59
スタンバイおよびパワーダウン・モード	40	外形寸法	60
キャリブレーション	40	オーダー・ガイド	60
デジタル・インターフェース	41		
チェックサム保護	41		

改訂履歴

9/14—Rev. 0 to Rev. A
Changes to Ordering Guide 60

7/14—Revision 0: Initial Version

仕様

特に指定のない限り、AVDD1 = 4.5 V ~ 5.5 V, AVDD2 = 2 V ~ 5.5 V, IOVDD = 2 V ~ 5.5 V, AVSS = DGND = 0V, REF+ = 2.5 V, REF- = AVSS, MCLK = 内部マスター・クロック = 16 MHz、 $T_A = T_{MIN}$ から T_{MAX} (−40°C ~ +105°C)

表 1.

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
ADC SPEED AND PERFORMANCE					
Output Data Rate (ODR)		5		250,000	SPS
No Missing Codes ¹	Excluding sinc3 filter at 125 kSPS	24			Bits
Resolution	表 6 と表 7 参照				
Noise	表 6 と表 7 参照				
ACCURACY					
Integral Nonlinearity (INL)	Analog input buffers enabled		±3.5	±7.8	ppm of FSR
	Analog input buffers disabled		±1	±3.5	ppm of FSR
Offset Error ²	Internal short		±40		μV
Offset Drift	Internal short		±80		nV/°C
Gain Error ²			±35	±85	ppm of FSR
Gain Drift			±0.4	±0.75	ppm/°C
REJECTION					
Power Supply Rejection	AVDD1, AVDD2, $V_{IN} = 1$ V		95		dB
Common-Mode Rejection	$V_{IN} = 0.1$ V				
At DC		95			dB
At 50 Hz, 60 Hz ¹	20 Hz output data rate (post filter), 50 Hz ± 1 Hz and 60 Hz ± 1 Hz	120			dB
Normal Mode Rejection ¹	50 Hz ± 1 Hz and 60 Hz ± 1 Hz				
	Internal clock, 20 SPS ODR (post filter)	71	90		dB
	External clock, 20 SPS ODR (post filter)	85	90		dB
ANALOG INPUTS					
Differential Input Range	$V_{REF} = (REF+) - (REF-)$		± V_{REF}		V
Absolute AIN Voltage Limits ¹					
Input Buffers Disabled		AVSS − 0.05		AVDD1 + 0.05	V
Input Buffers Enabled		AVSS		AVDD1	V
Analog Input Current					
Input Buffers Disabled			±48		μA/V
Input Current			±0.75		nA/V/°C
Input Current Drift	External clock		±4		nA/V/°C
	Internal clock (±2.5% clock)				
Input Buffers Enabled			±30		nA
Input Current			±75		pA/°C
Input Current Drift	AVDD1 − 0.2 V to AVSS + 0.2 V		±1		nV/°C
	AVDD1 − AVSS				
Crosstalk	1 kHz input		-120		dB
INTERNAL REFERENCE					
Output Voltage	100 nF external capacitor to AVSS		2.5		V
Initial Accuracy ³	REFOUT with respect to AVSS	-0.12		+0.12	% of V
Temperature Coefficient	REFOUT, $T_A = 25^\circ\text{C}$				
0°C ~ 105°C			±2	±5	ppm/°C
-40°C ~ +105°C			±3	±10	ppm/°C
Reference Load Current, I_{LOAD}		-10		+10	mA
Power Supply Rejection	AVDD1, AVDD2, (line regulation)		90		dB
Load Regulation	$\Delta V_{OUT}/\Delta I_{LOAD}$		32		ppm/mA
Voltage Noise	e_N , 0.1 Hz to 10 Hz, 2.5 V reference		4.5		μV rms

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
Voltage Noise Density	e_N , 1 kHz, 2.5 V reference		215		nV/ $\sqrt{\text{Hz}}$
Turn-On Settling Time	100 nF REFOUT capacitor		200		μs
Short-Circuit Current, I_{SC}			25		mA
EXTERNAL REFERENCE INPUTS					
Differential Input Range	$V_{REF} = (\text{REF}+) - (\text{REF}-)$	1	2.5	AVDD1	V
Absolute AIN Voltage Limits ¹					
Input Buffers Disabled		AVSS - 0.05		AVDD1 + 0.05	V
Input Buffers Enabled		AVSS		AVDD1	V
REFIN Input Current					
Input Buffers Disabled					
Input Current			± 72		$\mu\text{A/V}$
Input Current Drift	External clock		± 1.2		nA/V/ $^{\circ}\text{C}$
	Internal Clock		± 6		nA/V/ $^{\circ}\text{C}$
Input Buffers Enabled					
Input Current			± 800		nA
Input Current Drift			1.25		nA/V/ $^{\circ}\text{C}$
Normal Mode Rejection ¹	See the Rejection parameter				
Common-Mode Rejection			95		dB
TEMPERATURE SENSOR					
Accuracy	After user calibration at 25 $^{\circ}\text{C}$		± 2		$^{\circ}\text{C}$
Sensitivity			477		$\mu\text{V/K}$
BURNOUT CURRENTS					
Source/Sink Current	Analog input buffers must be enabled		± 10		μA
GENERAL-PURPOSE I/O (GPIO0, GPIO1)	With respect to AVSS				
Input Mode Leakage Current ¹		-10		+10	μA
Floating State Output Capacitance			5		pF
Output High Voltage, V_{OH} ¹	$I_{SOURCE} = 200 \mu\text{A}$	AVSS + 4			V
Output Low Voltage, V_{OL} ¹	$I_{SINK} = 800 \mu\text{A}$			AVSS + 0.4	V
Input High Voltage, V_{IH} ¹		AVSS + 3			V
Input Low Voltage, V_{IL} ¹				AVSS + 0.7	V
CLOCK					
Internal Clock					
Frequency			16		MHz
Accuracy		-2.5%		+2.5%	%
Duty Cycle			50		%
Output Low Voltage, V_{OL}				0.4	V
Output High Voltage, V_{OH}		0.8 \times IOVDD			V
Crystal					
Frequency		14	16	16.384	MHz
Startup Time			10		μs
External Clock (CLKIO)			16	16.384	MHz
Duty Cycle ¹		30	50	70	%

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
LOGIC INPUTS					
Input High Voltage, V_{INH}^1	$2\text{ V} \leq \text{IOVDD} < 2.3\text{ V}$	$0.65 \times \text{IOVDD}$			V
	$2.3\text{ V} \leq \text{IOVDD} \leq 5.5\text{ V}$	$0.7 \times \text{IOVDD}$			V
Input Low Voltage, V_{INL}^1	$2\text{ V} \leq \text{IOVDD} < 2.3\text{ V}$			$0.35 \times \text{IOVDD}$	V
	$2.3\text{ V} \leq \text{IOVDD} \leq 5.5\text{ V}$			0.7	V
Hysteresis ¹	$\text{IOVDD} \geq 2.7\text{ V}$	0.08		0.25	V
	$\text{IOVDD} < 2.7\text{ V}$	0.04		0.2	V
Leakage Currents		-10		+10	μA
LOGIC OUTPUT (DOUT/RDY)					
Output High Voltage, V_{OH}^1	$\text{IOVDD} \geq 4.5\text{ V}$, $I_{SOURCE} = 1\text{ mA}$	$0.8 \times \text{IOVDD}$			V
	$2.7\text{ V} \leq \text{IOVDD} < 4.5\text{ V}$, $I_{SOURCE} = 500\text{ }\mu\text{A}$	$0.8 \times \text{IOVDD}$			V
Output Low Voltage, V_{OL}^1	$\text{IOVDD} < 2.7\text{ V}$, $I_{SOURCE} = 200\text{ }\mu\text{A}$	$0.8 \times \text{IOVDD}$			V
	$\text{IOVDD} \geq 4.5\text{ V}$, $I_{SINK} = 2\text{ mA}$			0.4	V
	$2.7\text{ V} \leq \text{IOVDD} < 4.5\text{ V}$, $I_{SINK} = 1\text{ mA}$			0.4	V
	$\text{IOVDD} < 2.7\text{ V}$, $I_{SINK} = 400\text{ }\mu\text{A}$			0.4	V
Leakage Current	Floating state	-10		+10	μA
Output Capacitance	Floating state		10		pF
SYSTEM CALIBRATION¹					
Full-Scale (FS) Calibration Limit				$1.05 \times \text{FS}$	V
Zero-Scale Calibration Limit		$-1.05 \times \text{FS}$			V
Input Span		$0.8 \times \text{FS}$		$2.1 \times \text{FS}$	V
POWER REQUIREMENTS					
Power Supply Voltage					
AVDD1 to AVSS		4.5		5.5	V
AVDD2 to AVSS		2		5.5	V
AVSS to DGND		-2.75		0	V
IOVDD to DGND		2		5.5	V
IOVDD to AVSS	For AVSS < DGND			6.35	V
POWER SUPPLY CURRENTS⁴					
Full Operating Mode	All outputs unloaded, digital inputs connected to IOVDD or DGND				
AVDD1 Current	Analog input and reference input buffers disabled, external reference		1.4	1.65	mA
	Analog input and reference input buffers disabled, internal reference		1.75	2	mA
	Analog input and reference input buffers enabled, external reference		13	16	mA
	Each buffer: AIN+, AIN-, REF+, REF-		2.9		mA
AVDD2 Current	External reference		4.5	5	mA
	Internal reference		4.75	5.2	mA
IOVDD Current	External clock		2.5	2.8	mA
	Internal Clock		2.75	3.1	mA
	External crystal		3		mA
Standby (LDO on)	Internal reference off, total current consumption		25		μA
	Internal reference on, total current consumption		425		μA
Power-Down Mode	Full power-down (including LDO and internal reference)		5	10	μA

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
POWER DISSIPATION ⁴ Full Operating Mode	All buffers disabled, external clock and reference, AVDD2 = 2 V, IOVDD = 2 V		21		mW
	All buffers disabled, external clock and reference, all supplies = 5 V		42		mW
	All buffers disabled, external clock and reference, all supplies = 5.5 V			52	mW
	All buffers enabled, internal clock and reference, AVDD2 = 2 V, IOVDD = 2 V		82		mW
	All buffers enabled, internal clock and reference, all supplies = 5 V		105		mW
	All buffers enabled, internal clock and reference, all supplies = 5.5 V			136	mW
	Reference off, all supplies = 5 V		125		μW
Standby Mode	Internal reference on, all supplies = 5 V		2.2		mW
	Full power-down, all supplies = 5 V		25	50	μW

¹ これらの値は、出荷テストを行いませんが、設計および／または量産開始時のキャラクタライゼーション・データにより保証します。

² システムもしくは内蔵ゼロスケールのキャリブレーション手順に従えば、オフセット誤差は、プログラムされた出力データレートにおけるノイズ・レベルとほぼ同等になります。システム・フルスケール・キャリブレーションは、ゲイン誤差をプログラムされた出力データレートのノイズ・レベルと同等レベルにまで減少させることができます。

³ この仕様は、MSL (Moisture Level) プリコンディショニングの影響を含んでいます。

⁴ これらは、REFOUT ピンと、デジタル出力ピンに負荷が接続されていない時の仕様です。

タイミング特性

特に指定のない限り、IOVDD = 2 V～5.5 V、DGND = 0 V、Input Logic 0 = 0 V、Input Logic 1 = IOVDD、C_{LOAD} = 20 pF

表 2

Parameter	Limit at T _{MIN} , T _{MAX}	Unit	Test Conditions/Comments ^{1, 2}
SCLK			
t ₃	25	ns min	SCLK high pulse width
t ₄	25	ns min	SCLK low pulse width
READ OPERATION			
t ₁	0	ns min	$\overline{\text{CS}}$ falling edge to DOUT/ $\overline{\text{RDY}}$ active time
	15	ns max	IOVDD = 4.75 V to 5.5 V
	40	ns max	IOVDD = 2 V to 3.6 V
t ₂ ³	0	ns min	SCLK active edge to data valid delay ⁴
	12.5	ns max	IOVDD = 4.75 V to 5.5 V
	25	ns max	IOVDD = 2 V to 3.6 V
t ₅ ⁵	2.5	ns min	Bus relinquish time after $\overline{\text{CS}}$ inactive edge
	20	ns max	
	0	ns min	SCLK inactive edge to $\overline{\text{CS}}$ inactive edge
t ₆	0	ns min	SCLK inactive edge to DOUT/ $\overline{\text{RDY}}$ high/low
t ₇	10	ns min	
WRITE OPERATION			
t ₈	0	ns min	$\overline{\text{CS}}$ falling edge to SCLK active edge setup time ⁴
t ₉	8	ns min	Data valid to SCLK edge setup time
t ₁₀	8	ns min	Data valid to SCLK edge hold time
t ₁₁	5	ns min	$\overline{\text{CS}}$ rising edge to SCLK edge hold time

¹ 初期リリース時にサンプル・テストにより適合性を保証。

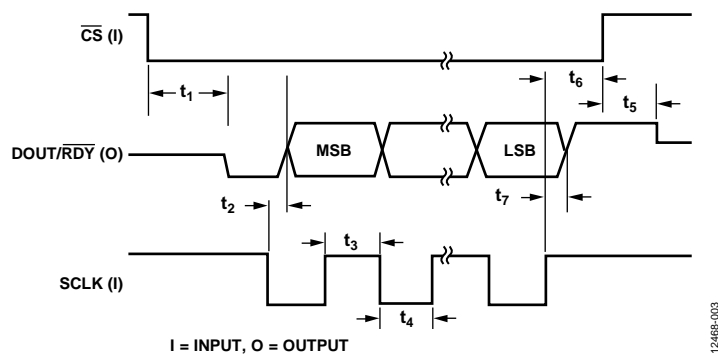
² 図 2 及び図 3 参照。

³ このパラメータは、出力が V_{OL} もしくは V_{OH} を横切るために要する時間で定義されています。

⁴ SCLK のアクティブ・エッジとは、SCLK の立ち下がりエッジを意味します。

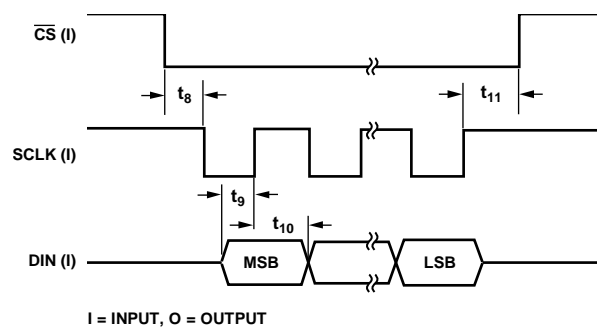
⁵ データ・レジスタを読み出した後、DOUT/ $\overline{\text{RDY}}$ はハイ・レベルに戻ります。シングル変換モードおよび連続変換モードで、DOUT/ $\overline{\text{RDY}}$ がハイ・レベルの間に、必要ならば、同一データを再度読み出すことができますが、2 回目以降の読み出しは次の出力更新が近いところで読み出さないように注意してください。連続読み出しモードでは、デジタル・ワードは 1 回しか読み出すことができません。

タイミング図



12468-003

図 2.読み出しサイクルのタイミング図



12468-004

図 3.書き込みサイクルのタイミング図

絶対最大定格

特に指定のない限り、 $T_A = 25^{\circ}\text{C}$

表 3.

Parameter	Rating
AVDD1, AVDD2 to AVSS	-0.3 V ~ +6.5 V
AVDD1 to DGND	-0.3 V ~ +6.5 V
IOVDD to DGND	-0.3 V ~ +6.5 V
IOVDD to AVSS	-0.3 V ~ +7.5 V
AVSS to DGND	-3.25 V ~ +0.3 V
Analog Input Voltage to AVSS	-0.3 V to AVDD1 + 0.3 V
Reference Input Voltage to AVSS	-0.3 V to AVDD1 + 0.3 V
Digital Input Voltage to DGND	-0.3 V to IOVDD + 0.3 V
Digital Output Voltage to DGND	-0.3 V to IOVDD + 0.3 V
Analog Input/Digital Input Current	10A
Operating Temperature Range	-40°C ~ +105°C
Storage Temperature Range	-65°C ~ +150°C
Maximum Junction Temperature	150°C
Lead Soldering, Reflow Temperature	260°C
ESD Rating (HBM)	4 kV

上記の絶対最大定格を超えるストレスを加えるとデバイスに恒久的な損傷を与えることがあります。この規定はストレス定格の規定のみを目的とするものであり、この仕様の動作の節に記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くとデバイスの信頼性に影響を与えます。

熱抵抗

θ_{JA} は、表面実装用 JEDEC テスト・ボードにハンダ付けされたデバイスで規定されています。

表 4. 熱抵抗

Package Type	θ_{JA}	Unit
24 ピン TSSOP		
1 層 JEDEC ボードの場合	149	°C/W
2 層 JEDEC ボードの場合	81	°C/W

ESD の注意



ESD (electrostatic discharge) sensitive device. Charged devices and circuit boards can discharge without detection. Although this product features patented or proprietary protection circuitry, damage may occur on devices subjected to high energy ESD. Therefore, proper ESD precautions should be taken to avoid performance degradation or loss of functionality.

ピン配置およびピン機能説明

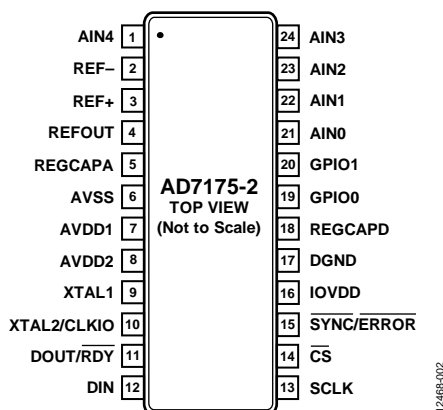


図 4. ピン配置

表 5. ピン機能の説明

Pin No.	Mnemonic	Type ¹	Description
1	AIN4	AI	アナログ入力 4: クロスポイント・マルチプレクサから選択可能。
2	REF -	AI	リファレンス入力、負側入力ピン。REF - の範囲は AVSS~AVDD1 - 1V です。
3	REF +	AI	リファレンス入力、正側入力ピン。外部リファレンス電圧は、REF+ と REF-との間に入力することができます。REF+ の範囲は、AVSS+1V~AVDD1 です。このデバイスは、1V~AVDD1 のリファレンス電圧で動作します。
4	REFOUT	AO	バッファ付き内部リファレンス電圧出力：出力は 2.5V で、AVSS を基準としています。
5	REGCAPA	AO	アナログ LDO レギュレータ出力：このピンを 1μF と 0.1μF のコンデンサを使って AVSS ヘデカプリングして下さい。
6	AVSS	P	負のアナログ電源：電源電圧範囲は 0 から -2.75V で、通常は 0V に設定してください。
7	AVDD1	P	アナログ電源 1：この電圧は、AVSS を基準として、5V±10%にして下さい。
8	AVDD2	P	アナログ電源 2：この電圧は、AVSS を基準として、2V から 5V の範囲に設定して下さい。
9	XTAL1	AI	水晶発振器用入力 1
10	XTAL2/CLKIO	AI/DI	水晶発振器用入力 2/クロック入力、またはクロック出力。どちらの機能として動作させるかは、ADCMODE レジスタ内の CLOCKSEL ビットで設定します。MCLK 源の選択には、以下の 4 つのオプションがあります： 内部発振器：外部への出力無し 内部発振器出力：XTAL2/CLKIO へ出力。これは、IOVDD のロジック・レベルで動作します。 外部クロック：XTAL2/CLKIO へ入力は、IOVDD ロジック・レベルの信号を与えて下さい。 外付け水晶発振器：XTAL1 と XTAL2/CLKIO ピンとの間に接続します。
11	DOUT/RDY	DO	シリアル・データ出力/データ・レディ出力。DOUT/RDY は 2 つの機能を有します。ADC の出力シフト・レジスタにアクセスするときは、シリアル・データ出力ピンとして機能します。出力シフト・レジスタには、内蔵のデータ・レジスタまたはコントロール・レジスタからのデータが格納されます。データ・ワード/コントロール・ワード情報が SCLK の立ち下がリエッジで、DOUT/RDY ピンに送られ、SCLK の立ち上がリエッジで有効になります。CS がハイ・レベルのとき、DOUT/RDY 出力はスリーステートになります。CS がロー・レベルの時、DOUT/RDY は、データ・レディー・ピンとして機能し、変換完了をロー・レベルで示します。変換後、もしデータが読み出されなかった場合、このピンは次のデータ更新の直前にハイ・レベルになり、次の更新が完了するまでハイ・レベルを維持します。DOUT/RDY の立ち下がリエッジは、プロセッサに対する割り込みとして使われ、有効なデータが準備できていることを示します。
12	DIN	DI	デバイスの入力シフト・レジスタに対するシリアル・データ入力：このシフト・レジスタ内のデータは、デバイス内のコントロール・レジスタに転送されます。該当するレジスタは、コミュニケーション・レジスタのレジスタ・アドレス (RA) ビットにより指定されます。データは、SCLK の立ち上がリエッジに同期して入力されます。
13	SCLK	DI	シリアル・クロック入力：このシリアル・クロック入力は、デバイスとの双方向データ転送の同期用です。SCLK にはシュミット・トリガ入力が入内蔵されているため、光アイソレーション・アプリケーションのインターフェースにも適応しています。
14	CS	DI	チップ・セレクト入力：アクティブ・ローのロジック入力。このチップへのアクセスを指定するときに使います。CS は、シリアル・バス上に複数のデバイスが存在し、システムが特定のデバイスを選択するときに使います。CS がロー・レベルになると、デバイスとの通信を CLK、DIN、DOUT を使った 3 線で行えるようになります。CS がハイ・レベルのとき、DOUT/RDY 出力はスリーステートになります。

Pin No.	Mnemonic	Type ¹	Description
15	SYNC /ERROR	DI/O	<p>同期入力または、エラー入出力。このピンの機能は、GPIOCON レジスタで、ロジック入力とロジック出力との切り替えができます。同期入力 (SYNC) がイネーブルの時、このピンを使って、複数の AD7175-2 間のデジタル・フィルタとアナログ変調器との同期を可能にします。詳細は、同期 を参照して下さい。同期入力がディスエーブルの時、このピンは、以下に示す 3 つのモードの内、どれか 1 つの機能を持ちます。</p> <p>アクティブ・ローのエラー入力モード：このモードは、ステータス・レジスタの ADC_ERROR ビットで設定できます。</p> <p>アクティブ・ローのオープン・ドレイン・エラー出力モード：ステータス・レジスタのエラー・ビットのデータが、ERROR 出力に反映されます。複数のデバイスにおける SYNC/ERROR ピンは、共通のプルアップ抵抗で接続することが可能です。したがって、どのデバイスでエラーが起きても、そのエラーを検知できます。</p> <p>汎用出力モード：このピンの状態は、GPIOCON レジスタの ERR_DAT ビットによって制御されます。このピンは、GPIOx ピンで使われている AVDD1 と AVSS とは違って、IOVDD と DGND 間の電圧を基準としています。この場合、ピンは、アクティブ・プルアップです。</p>
16	IOVDD	P	デジタル I/O 電源電圧：IOVDD の電圧範囲は、2 V～5 V です。IOVDD は AVDD2 とは独立しています。例えば、AVDD2 に 5V を与えた状態で、IOVDD に 3 V を与えて動作させることができます。その逆も可能です。もし AVSS に-2.5 V を与えた場合、IOVDD に与える電圧は 3.6V を超えてはいけません。
17	DGND	P	デジタル・グラウンド
18	REGCAPD	AO	デジタル LDO レギュレータ出力：このピンはデカップリング専用です。このピンは、1 nF と 0.1 μF のコンデンサで DGND へデカップリングしてください。
19	GPIO0	DI/O	汎用入出力 0：このピンにおけるロジック入力/出力レベルは、AVDD1 と AVSS を基準としています。
20	GPIO1	DI/O	汎用入出力 1：このピンにおけるロジック入力/出力レベルは、AVDD1 と AVSS を基準としています。
21	AIN0	AI	アナログ入力 0：クロスポイント・マルチプレクサから選択可能。
22	AIN1	AI	アナログ入力 1：クロスポイント・マルチプレクサから選択可能。
23	AIN2	AI	アナログ入力 2：クロスポイント・マルチプレクサから選択可能。
24	AIN3	AI	アナログ入力 3：クロスポイント・マルチプレクサから選択可能。

¹ AI = アナログ入力、AO = アナログ出力、DI = デジタル入力、DO = デジタル出力、DIO = デジタル入力/出力、P = 電源。

代表的な性能特性

特に指定のない限り、AVDD1 = 5 V, AVDD2 = 5 V, IOVDD = 3.3 V, T_A = 25°C

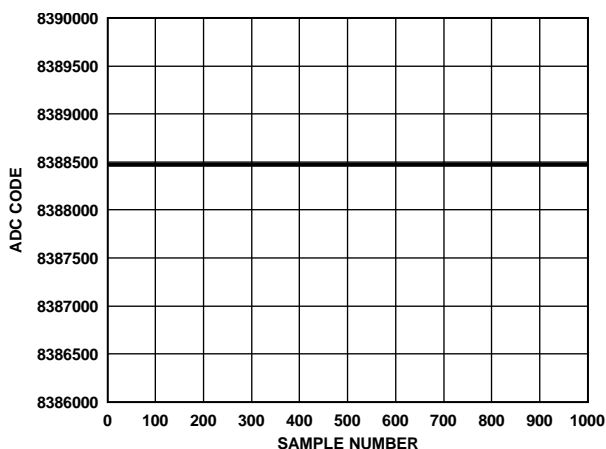


図 5. ノイズ
(アナログ入力バッファ・ディスエーブル、V_{REF} = 5 V、
出力データレート = 5 SPS)

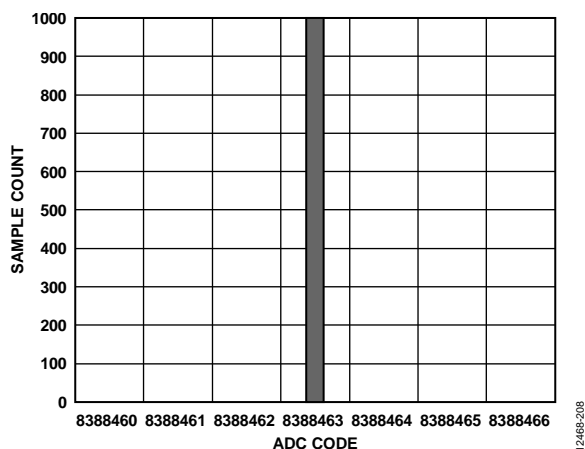


図 8. ノイズ分布ヒストグラム
(アナログ入力バッファ・ディスエーブル、V_{REF} = 5 V、
出力データレート = 5 SPS)

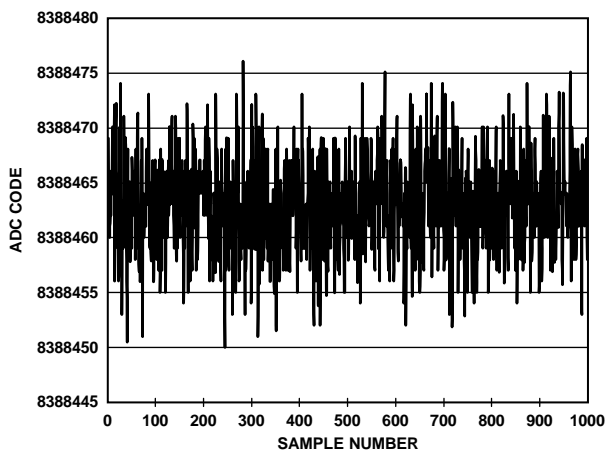


図 6. ノイズ
(アナログ入力バッファ・ディスエーブル、V_{REF} = 5 V、
出力データレート = 10 kSPS)

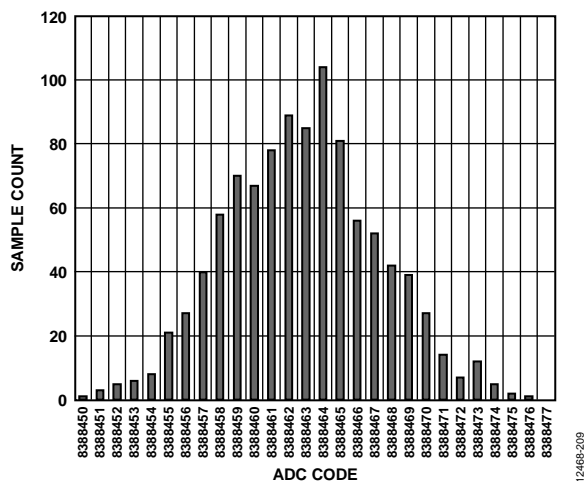


図 9. ノイズ分布ヒストグラム
(アナログ入力バッファ・ディスエーブル、V_{REF} = 5 V、
出力データレート = 10 kSPS)

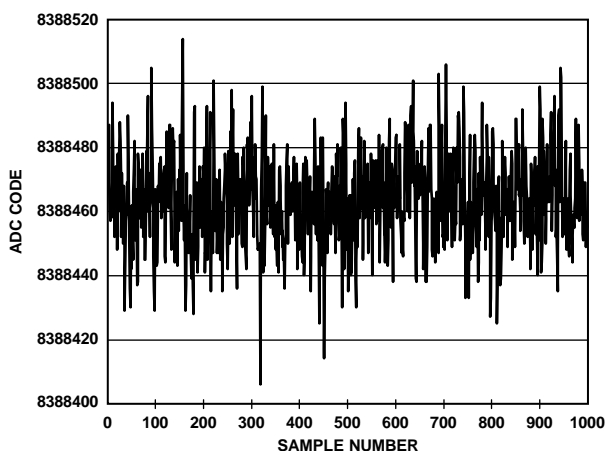


図 7. ノイズ
(アナログ入力バッファ・ディスエーブル、V_{REF} = 5 V、
出力データレート = 250 kSPS)

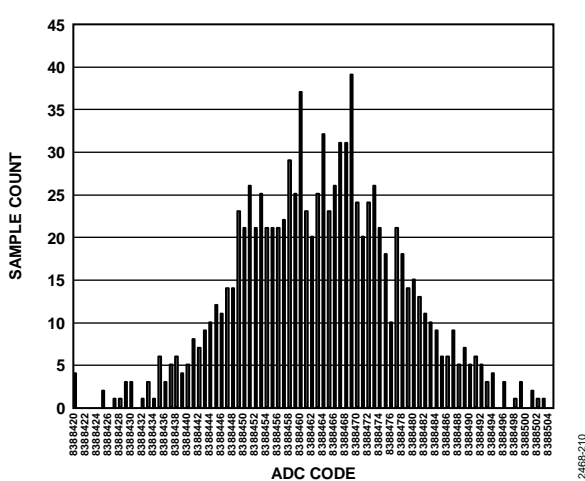
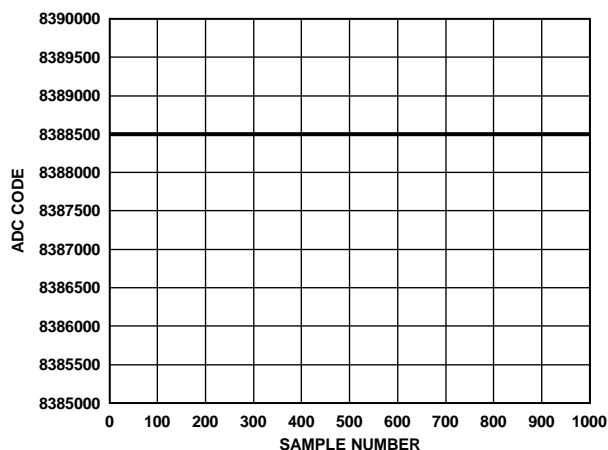
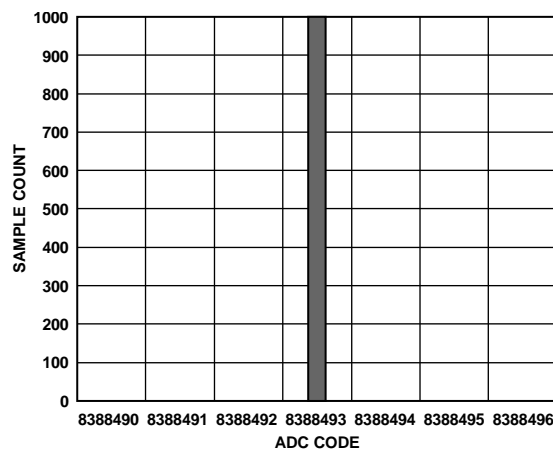


図 10. ノイズ分布ヒストグラム
(アナログ入力バッファ・ディスエーブル、V_{REF} = 5 V、
出力データレート = 250 kSPS)



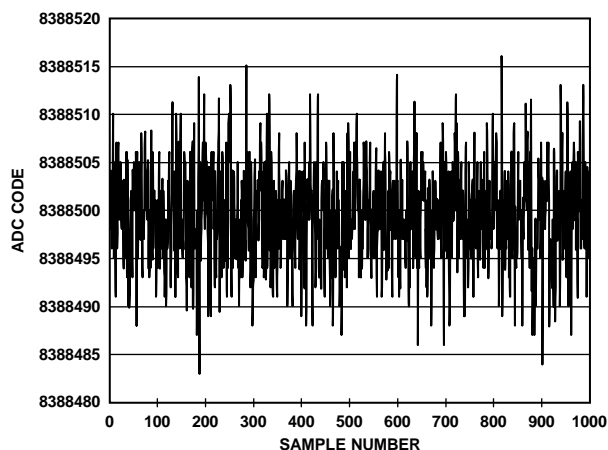
12468-211

図 11. ノイズ
(アナログ入力バッファ・イネーブル、 $V_{REF} = 5\text{ V}$,
出力データレート=5 SPS)



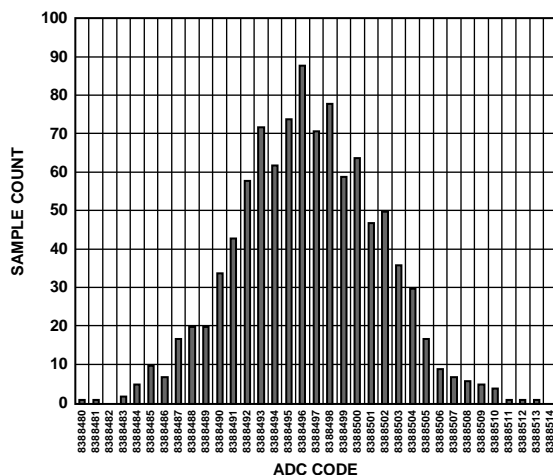
12468-214

図 14. ノイズ分布ヒストグラム
(アナログ入力バッファ・イネーブル、 $V_{REF} = 5\text{ V}$,
出力データレート=5 SPS)



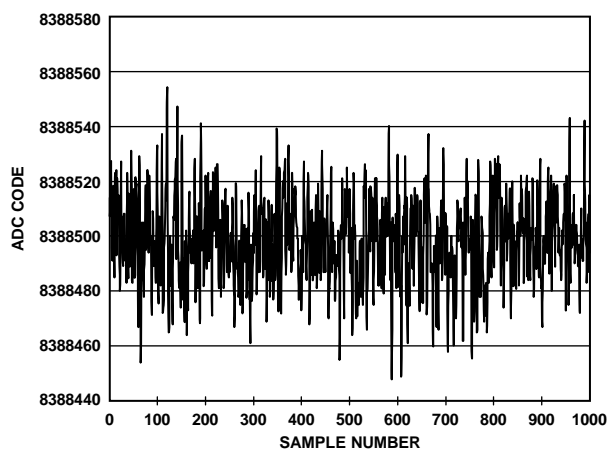
12468-212

図 12. ノイズ
(アナログ入力バッファ・イネーブル、 $V_{REF} = 5\text{ V}$,
出力データレート=10 kSPS)



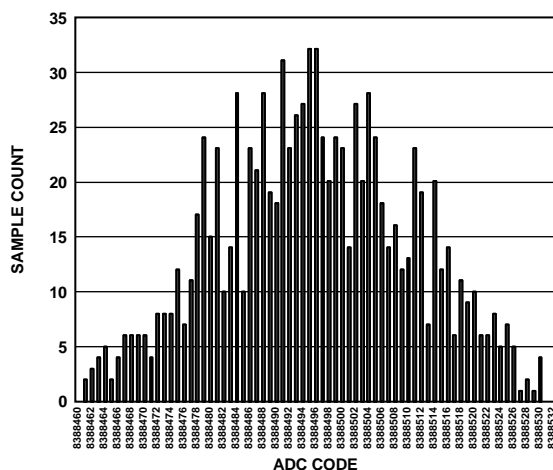
12468-215

図 15. ノイズ分布ヒストグラム
(アナログ入力バッファ・イネーブル、 $V_{REF} = 5\text{ V}$,
出力データレート=10 kSPS)



12468-213

図 13. ノイズ
(アナログ入力バッファ・イネーブル、 $V_{REF} = 5\text{ V}$,
出力データレート=250 kSPS)



12468-216

図 16. ノイズ分布ヒストグラム
(アナログ入力バッファ・イネーブル、 $V_{REF} = 5\text{ V}$,
出力データレート=250 kSPS)

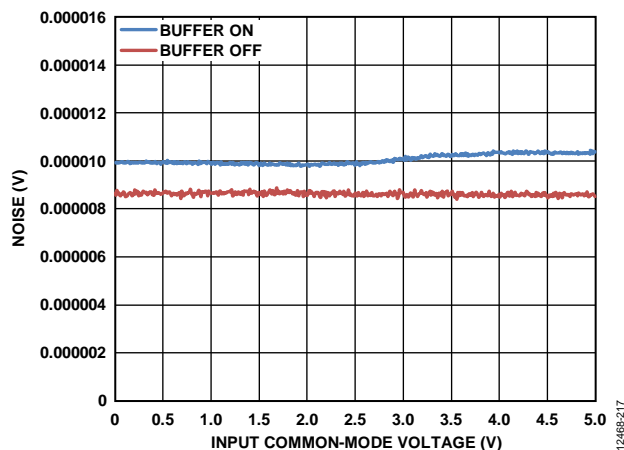


図 17. アナログ入力バッファのオン・オフ時における、
入力コモン・モード入力電圧に対するノイズの変化

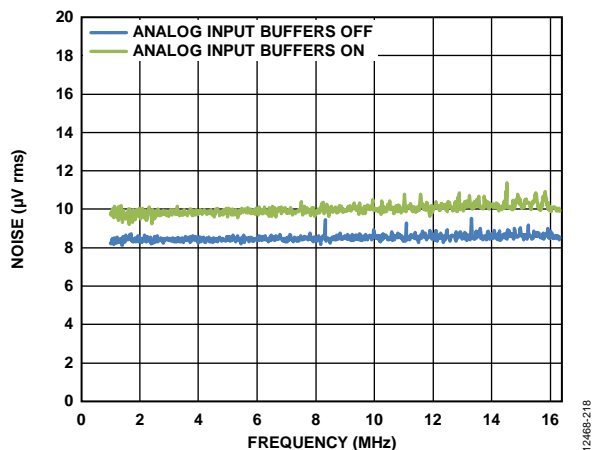


図 18. アナログ入力バッファのオン・オフ時における、
外部マスター・クロック周波数に対するノイズ電圧の変化

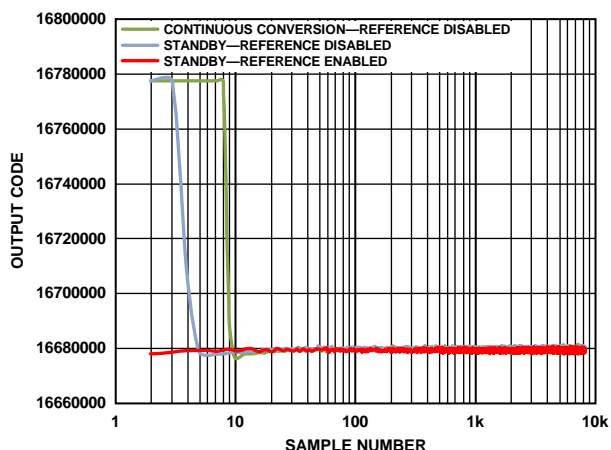


図 19. 内蔵リファレンス電圧のセトリング時間

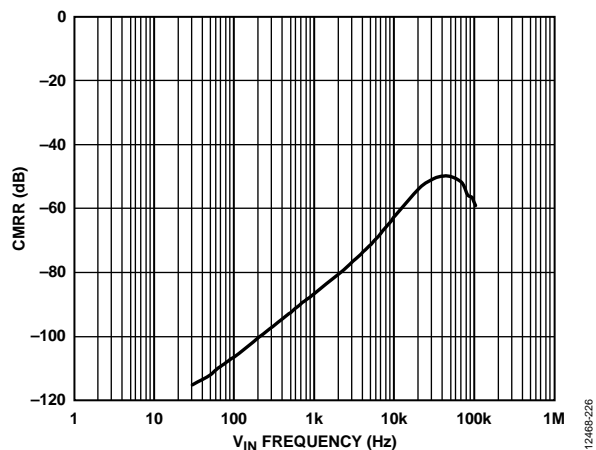


図 20. V_{IN} の周波数変化に対するコモン・モード除去比 (CMRR)
($V_{IN} = 0.1$ V, 出力データレート = 250 kSPS)

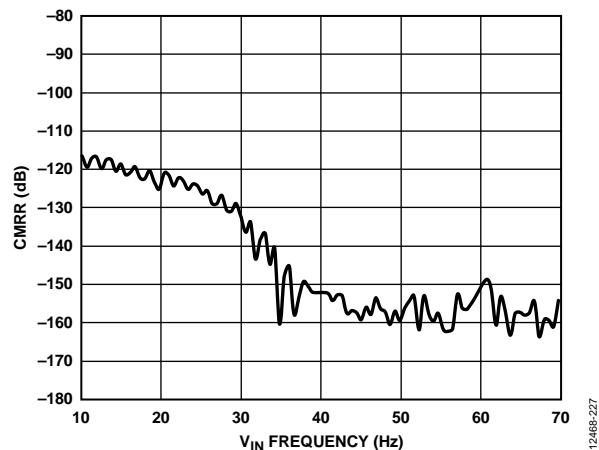


図 21. V_{IN} の周波数変化に対するコモン・モード除去比 (CMRR)
($V_{IN} = 0.1$ V, 10 Hz to 70 Hz, 出力データレート = 20 SPS 強化フィルタ)

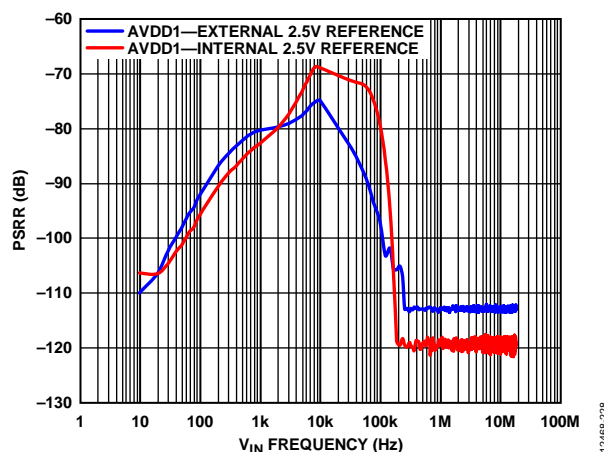
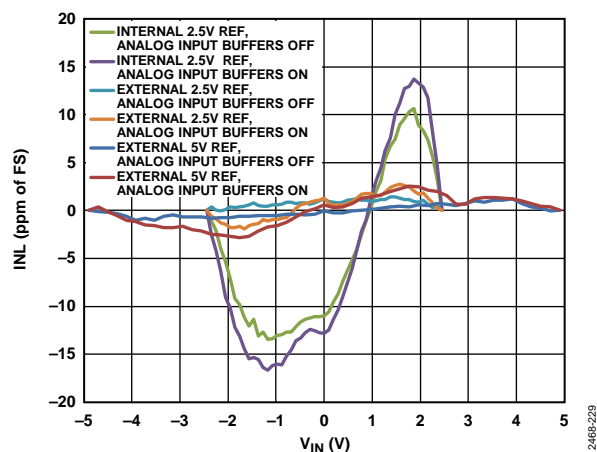
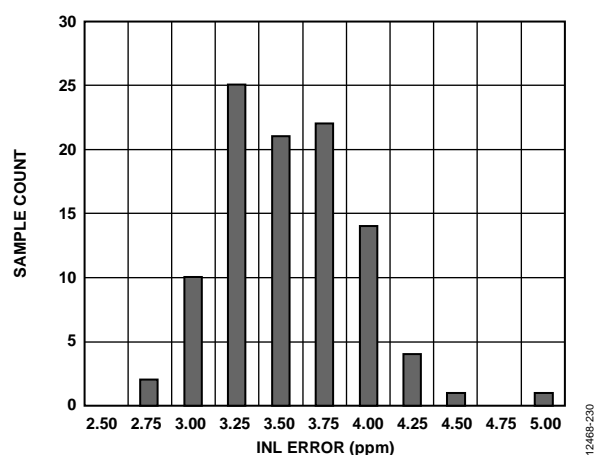
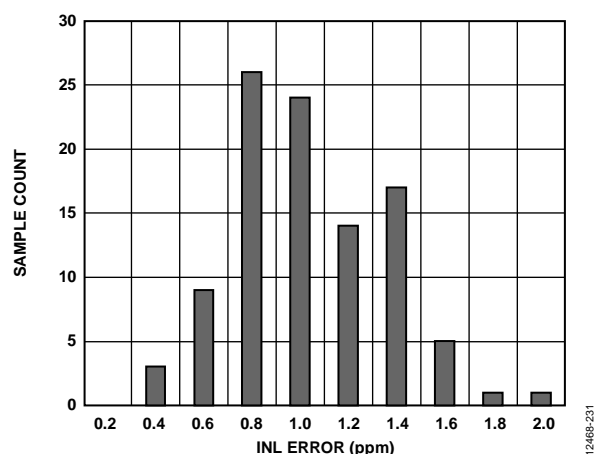
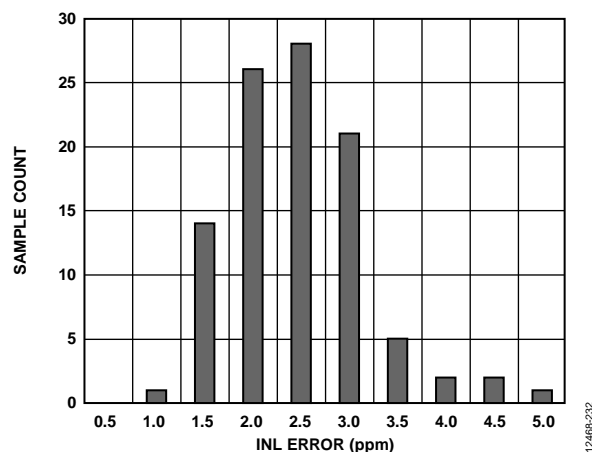
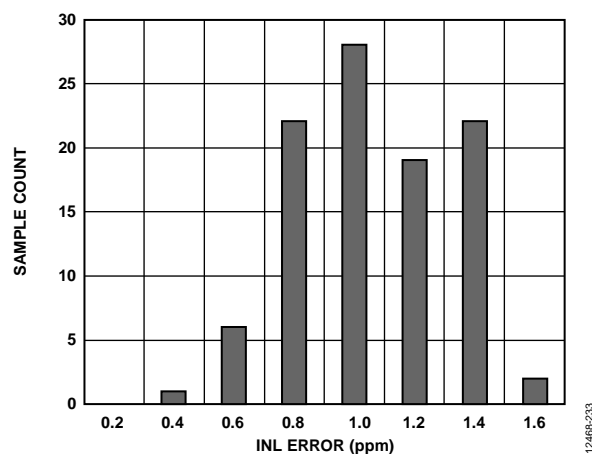
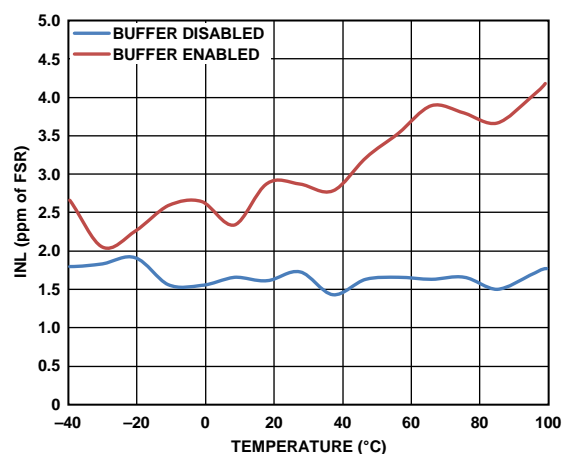


図 22. V_{IN} の周波数変化に対する電源変動除去比 (PSRR)

図 23. V_{IN} (差動入力) 対 積分非直線性 (INL)図 24. 積分非直線性 (INL) 分布ヒストグラム
(差動入力、アナログ入力バッファ・イネーブル、 $V_{REF} = 2.5\text{ V}$ 外部リファレンス電圧、100 ユニット)図 25. 積分非直線性 (INL) 分布ヒストグラム
(差動入力、アナログ入力バッファ・ディスエーブル、 $V_{REF} = 2.5\text{ V}$ 外部リファレンス電圧、100 ユニット)図 26. 積分非直線性 (INL) 分布ヒストグラム
(差動入力、アナログ入力バッファ・イネーブル、 $V_{REF} = 5\text{ V}$ 外部リファレンス電圧、100 ユニット)図 27. 積分非直線性 (INL) 分布ヒストグラム
(差動入力、アナログ入力バッファ・ディスエーブル、 $V_{REF} = 5\text{ V}$ 外部リファレンス電圧、100 ユニット)図 28. 積分非直線性 (INL) の温度特性
(差動入力 $V_{REF} = 2.5\text{ V}$ 外部リファレンス電圧)

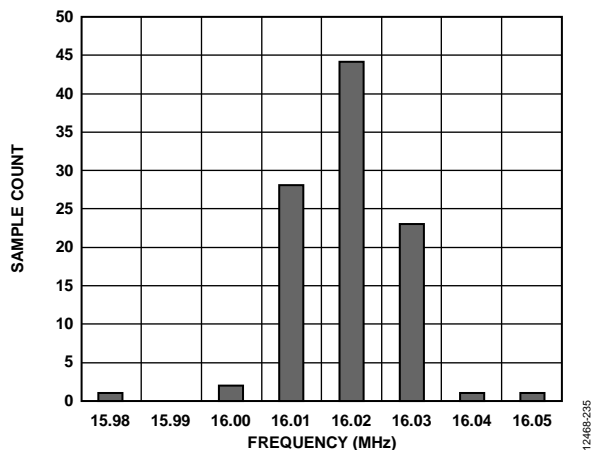


図 29.内部発振器の周波数精度分布ヒストグラム
(100 ユニット)

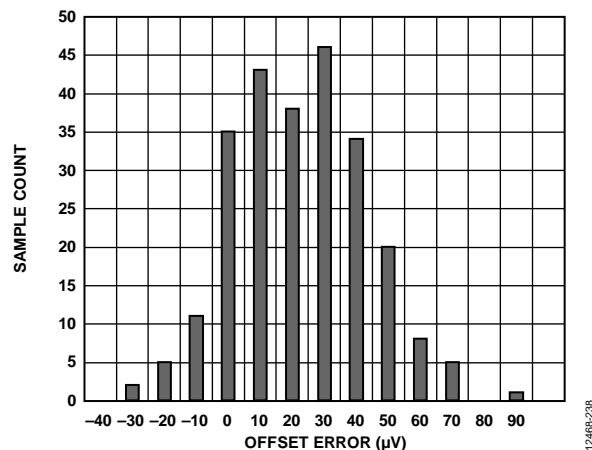


図 32.オフセット・エラー分布ヒストグラム
(内部ショート) (248 ユニット)

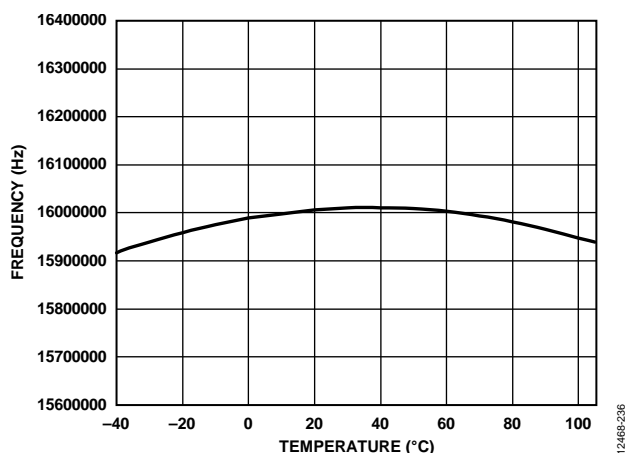


図 30.内部発振器周波数の温度特性

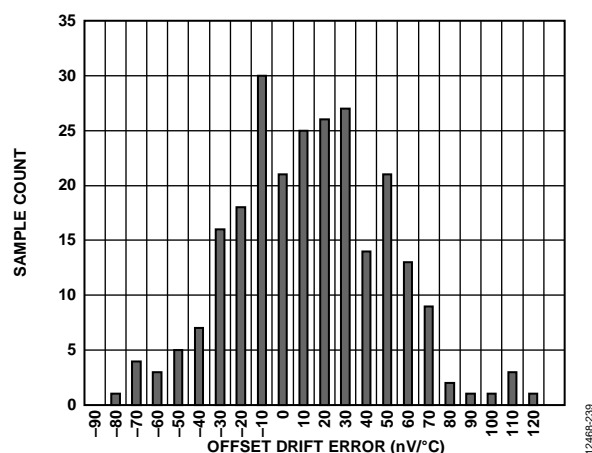


図 33.オフセット・エラー変動分布ヒストグラム
(内部ショート) (248 ユニット)

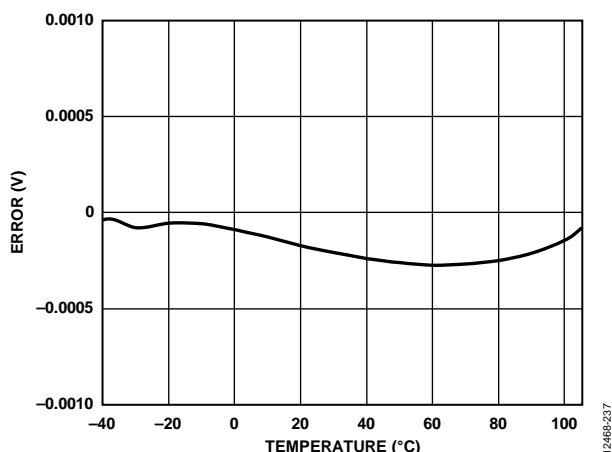


図 31.リファレンス電圧絶対値誤差の温度特性

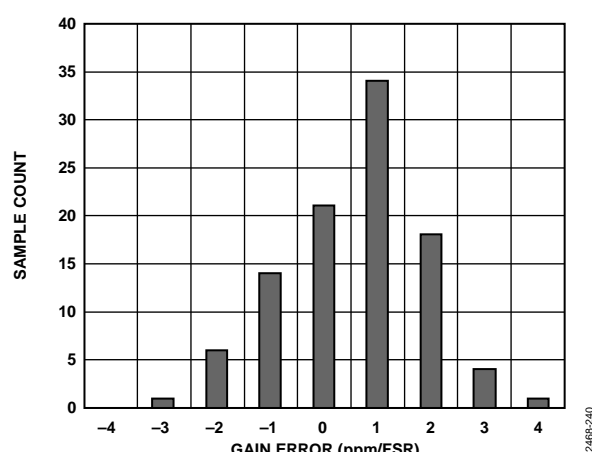


図 34.ゲイン誤差分布ヒストグラム
(アナログ入力バッファ・イネーブル)
(100 ユニット)

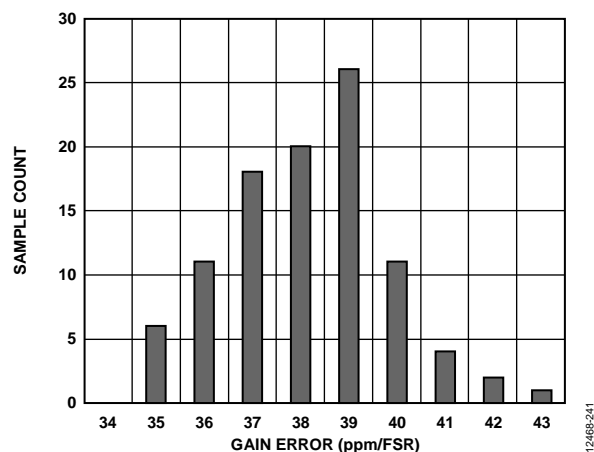


図 35. ゲイン誤差分布ヒストグラム
(アナログ入力バッファ・ディスエーブル、100 ユニット)

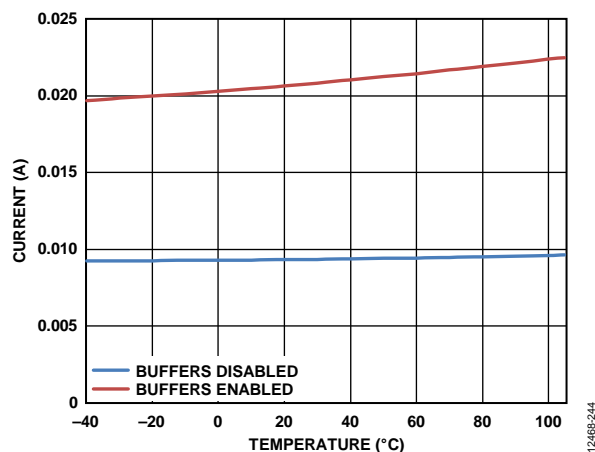


図 38. 周囲温度に対する消費電流変化
(連続変換モード時)

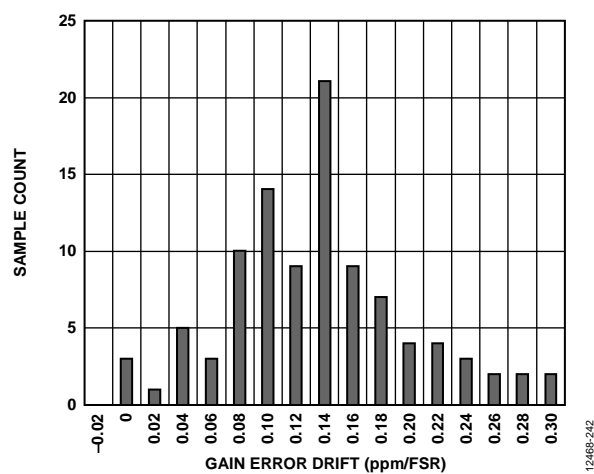


図 36. ゲイン誤差変動分布ヒストグラム
アナログ入力バッファ・イネーブル、100 ユニット)

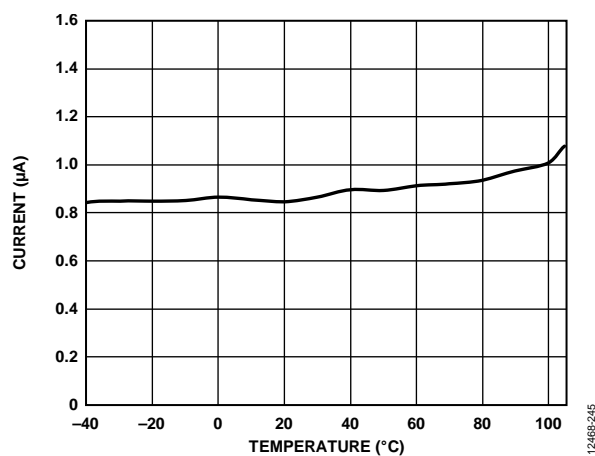


図 39. 周囲温度に対する消費電流変化
(パワーダウン・モード)

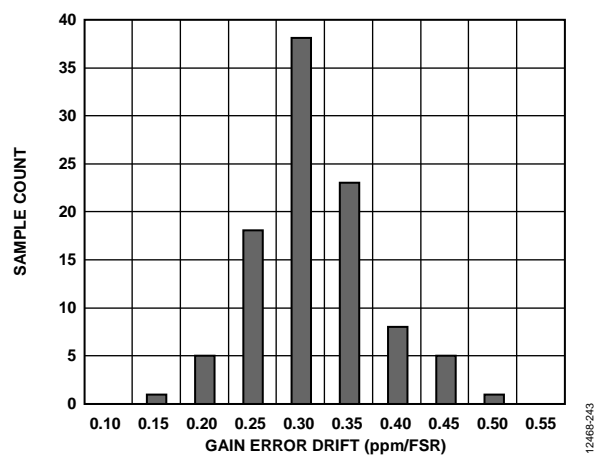


図 37. ゲイン誤差変動分布ヒストグラム
(アナログ入力バッファ・ディスエーブル、100 ユニット)

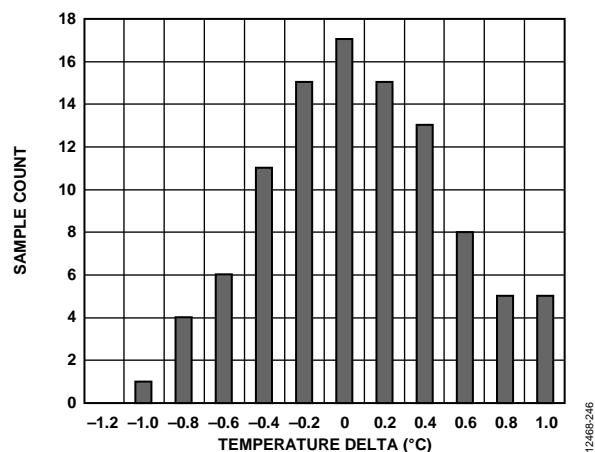


図 40. 温度センサー分布ヒストグラム
(未校正 100 ユニット)

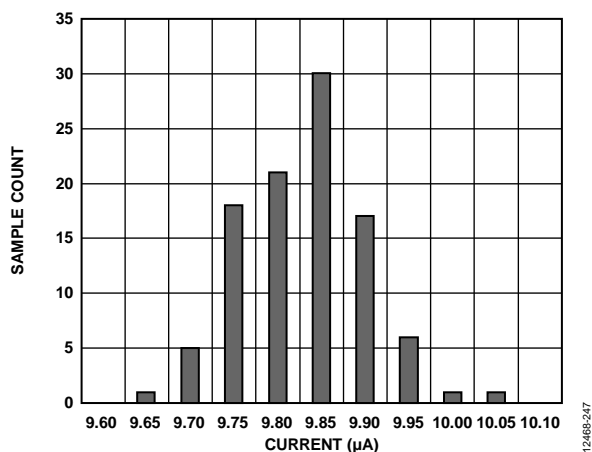


図 41. バーンアウト電流分布ヒストグラム (100 ユニット)

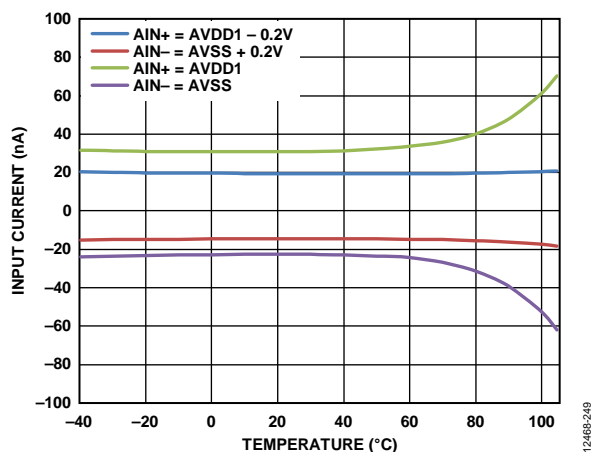


図 43. 入力バイアス電流の温度特性

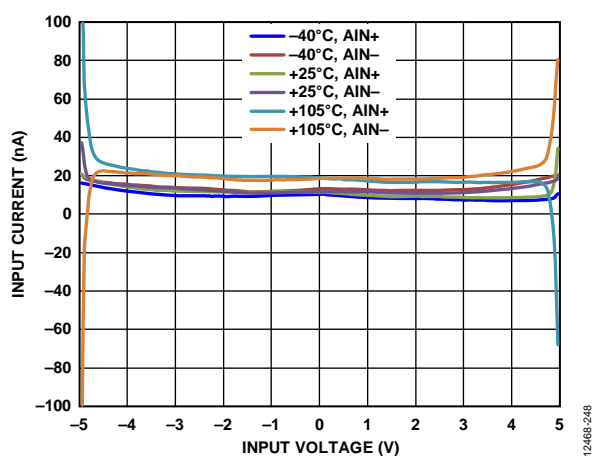


図 42. 入力電圧に対するアナログ入力電流変化 ($V_{CM} = 2.5\text{ V}$)

ノイズ特性と分解能

表 6 と表 7 に、AD7175-2 の各種出力レートやフィルタの組み合わせによる、rms ノイズ、ピーク to ピーク・ノイズ、実効分解能、そして、ノイズ・フリー（ピーク to ピーク）分解能を示します。ここに示した値は、バイポーラ入力とした時の値で、5V の外部リファレンス電圧源を用いました。これらの

値は代表値であり、ADC の単一チャンネルの差動入力端子に 0V を入力して、連続変換しているときに得られた値です。ピーク to ピーク分解能は、ピーク to ピーク・ノイズを基に計算された値であることに注意して下さい。このピーク to ピーク分解能は、コード・フリッカが生じない分解能を示します。

表 6.RMS ノイズとピーク to ピーク分解能 対 出力データレート（デフォルトは sinc5 + sinc1 フィルタ使用）¹

Output Data Rate (SPS)	RMS Noise (μV rms)	Effective Resolution (Bits)	Peak-to-Peak Noise (μV rms)	Peak-to-Peak Resolution (Bits)
Input Buffers Disabled				
250,000	8.7	20.1	65	17.2
62,500	5.5	20.8	43	17.8
10,000	2.5	21.9	18.3	19.1
1000	0.77	23.6	5.2	20.9
59.92	0.19	24	1.1	23.1
49.96	0.18	24	0.95	23.3
16.66	0.1	24	0.45	24
5	0.07	24	0.34	24
Input Buffers Enabled				
250,000	9.8	20	85	16.8
62,500	6.4	20.6	55	17.5
10,000	3	21.7	23	18.7
1000	0.92	23.4	5.7	20.7
59.98	0.23	24	1.2	23.0
49.96	0.2	24	1	23.3
16.66	0.13	24	0.66	23.9
5	0.07	24	0.32	24

¹ 選択されたレートのみ：1000 サンプル

表 7.RMS ノイズとピーク to ピーク分解能 対 出力データレート（sinc3 フィルタ使用）¹

Output Data Rate (SPS)	RMS Noise (μV rms)	Effective Resolution (Bits)	Peak-to-Peak Noise (μV rms)	Peak-to-Peak Resolution (Bits)
Input Buffers Disabled				
250,000	210	15.5	1600	12.6
62,500	5.2	20.9	40	17.9
10,000	1.8	22.4	14	19.4
1000	0.56	24	3.9	21.3
60	0.13	24	0.8	23.6
50	0.13	24	0.7	23.8
16.66	0.07	24	0.37	24
5	0.05	24	0.21	24
Input Buffers Enabled				
250,000	210	15.5	1600	12.6
62,500	5.8	20.7	48	17.7
10,000	2.1	22.2	16	19.3
1000	0.71	23.7	4.5	21.1
60	0.17	24	1.1	23.1
50	0.15	24	0.83	23.5
16.66	0.12	24	0.6	24
5	0.08	24	0.35	24

¹ 選択されたレートのみ：1000 サンプル

評価開始にあたって

AD7175-2 は、高速セトリング、高分解能、さらにマルチプレクス機能を持った ADC で、それらの機能を高次元で組み合わせることで構成することが可能です。

- 2つのフル差動または4つのシングルエンド入力。
- クロスポイント・マルチプレクサを搭載しているので、A/D変換したい入力信号として、いずれのアナログ入力の組み合わせであっても選択することができます。これらの信号は入力バッファを経由したうえで、AD変調器の正（非反転）もしくは負（反転）入力へと接続されます。
- アナログ及びリファレンス入力、真のレール to レール・バッファ装備。
- どのアナログ入力に対しても、フル差動入力もしくはシングルエンド入力が可能。
- チャンネル毎に柔軟な構成が可能。最大4つの異なるセットアップを定義できます。個別のセットアップをチャンネルごとに割り当てることもできます。それぞれのセットアップは、以下の項目を構成できます。バッファのイネーブル/ディスエーブル、ゲインとオフセット補正の有無、フィルタ・タイプ、出力データレート、リファレンス源の選択（内部/外部）です。

有無、フィルタ・タイプ、出力データレート、リファレンス源の選択（内部/外部）です。

AD7175-2 は、高精度・低ドリフト (2 ppm/°C) の 2.5 V バンドギャップ・リファレンス電源を内蔵しています。このリファレンス電源を ADC の変換の基準として、用いることができますので、外部部品の削減ができます。内蔵リファレンス電源をイネーブルにすると、REFOUT ピンからその電圧が出力され、外部回路に対する低ノイズ・バイアス電圧源として用いることができます。REFOUT を使う一例として、シングルエンド入力で差動出力を持つアンプの入力コモン・モード信号として使うことが挙げられます。

AD7175-2 は、アナログおよびデジタル回路用に、それぞれ個別のリニア・レギュレータを内蔵しています。アナログ LDO は、AVDD2 から安定な 1.8V を作り、その電圧を ADC コアに供給します。電源接続を簡易化するため、AVDD1 と AVDD2 を接続することもできます。システム内に 2V（最少）から 5.5V（最大）のクリーンな電圧レールがあれば、電力消費を抑えるため、この電源レールを AVDD2 入力に接続するという選択も考えられます

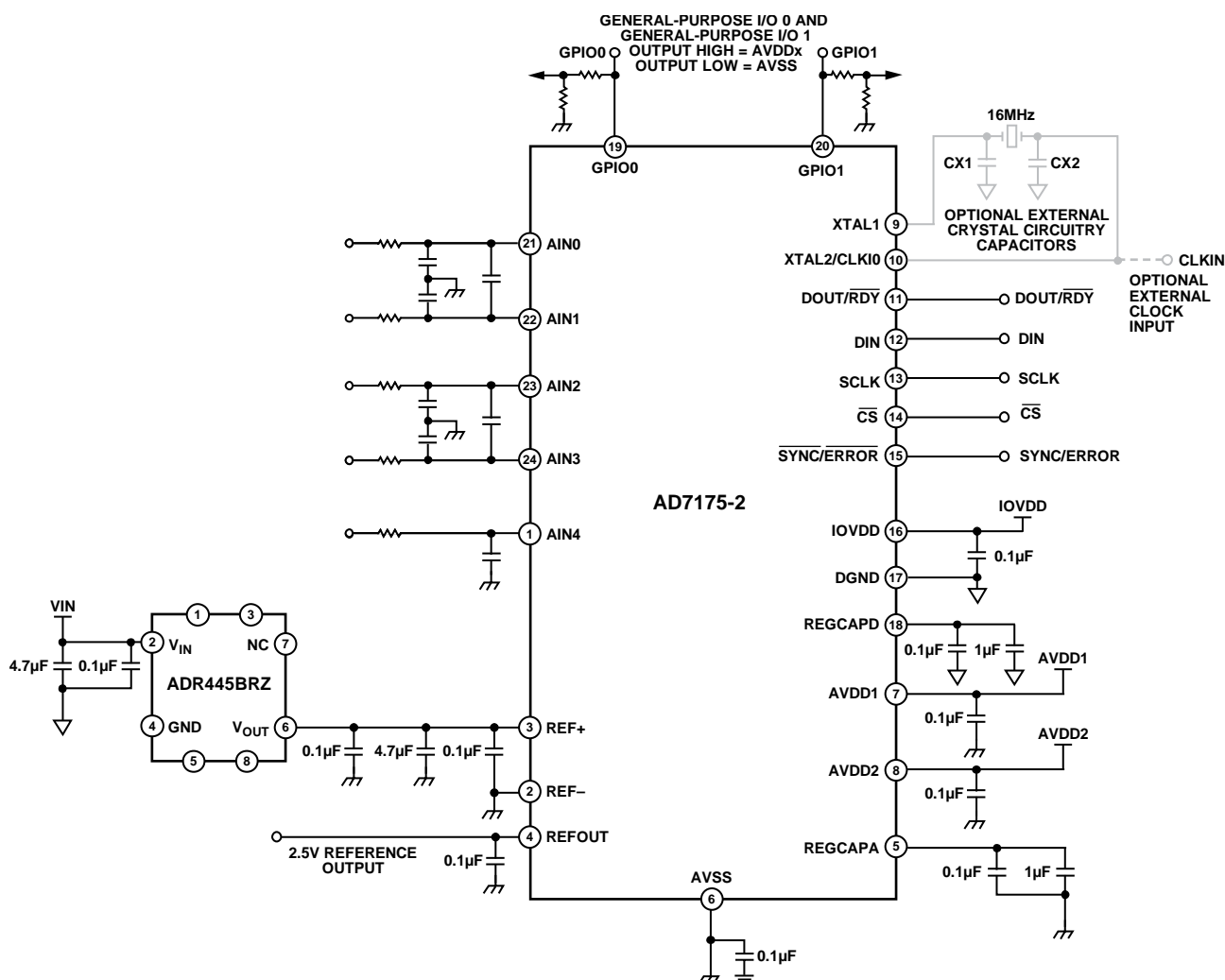


図 44. 代表的な接続図

デジタル IOVDD 用のリニア・レギュレータも、同様の機能を持ちます。つまり、IOVDD ピンに接続された入力電圧を 1.8V にレギュレーションし、AD7175-2 内部のデジタル・フィルタに供給します。シリアル・インターフェース信号は、常に IOVDD ピンに供給されている電圧で動作します。つまり IOVDD ピンに 3.3V が供給されている場合、インターフェース・ロジック入出力は、この電圧レベルで動作します。

AD7175-2 は、高分解能・高精度が要求される、幅広いアプリケーションで使うことができます。いくつかのシナリオを以下に示します。

- 内部マルチプレクサを使ったアナログ入力の高速スキャンニング。
- GPIO で自動制御できる外部マルチプレクサを使った、アナログ入力の高速スキャンニング。
- 低速で高分解能なデータが必要なマルチ・チャンネル、もしくはチャンネル毎に ADC が必要なアプリケーション。
- チャンネル毎にシングル ADC を必要とする場合：高速・低レイテンシ出力特性を実現しているため、外部のマイクロコントローラや、DSP、FPGA で設計された特定アプリケーション用のフィルタを使うことも可能。

電源

AD7175-2 は 3 つの独立した電源ピンを持っています。AVDD1、AVDD2、そして IOVDD です。

AVDD1 は、クロスポイント・マルチプレクサ、内蔵のアナログ及びリファレンス・バッファに電源供給を行っています。AVDD1 の値は AVSS を基準とし、 $AVDD1 - AVSS = 5\text{ V}$ として下さい。つまり、5V の単電源動作や $\pm 2.5\text{ V}$ の正負両電源動作が可能です。正負両電源動作によって、このデバイスは、真のバイポーラ入力が可能になります。正負両電源で動作させるときは、絶対最大定格に注意して下さい（詳細は、絶対最大定格 セクション参照）。

AVDD2 は、内部の 1.8V のアナログ LDO レギュレータに電源供給を行っています。このレギュレータは、ADC コアに電源供給しています。AVDD2 は、AVSS を基準とし、 $AVDD2 - AVSS$ の範囲は、5.5 V (最大) \sim 2V (最小) です。

IOVDD は、内部の 1.8V デジタル LDO レギュレータに電源供給を行っています。このレギュレータは、ADC のデジタル・ロジック回路への電源供給を行っています。IOVDD は、ADC の SPI インターフェース電圧レベルを決めています。IOVDD は、DGND を基準とし、 $IOVDD - DGND$ の範囲は、5.5V (最大) \sim 2V (最小) です。

デジタル通信

AD7175-2 は、3 線もしくは 4 線の SPI インターフェースを持ち、それらは、QSPI™、MICROWIRE®、DSP と互換性があります。このインターフェースは、SPI モード 3 で動作し、 $\overline{\text{CS}}$ はロー・レベルに固定したままでも動作します。SPI モード 3 では、SCLK はアイドル・ハイで、SCLK の立下りエッジが起動エッジ、立ち上がりエッジがサンプル・エッジです。すなわち、データは立下りの起動エッジに同期して出力され、立ち上がりのサンプル・エッジに同期して入力されます。



図 45. SPI モード 3 の SCLK エッジ

ADC のレジスタ・マップへのアクセス

コミュニケーション・レジスタは、ADC 内全てのレジスタ・マップへのアクセスを制御しています。このレジスタは、8 ビットの書き込み専用レジスタです。パワーアップ時もしくはリセットの直後、デジタル・インターフェースはデフォルト状態になります。これはコミュニケーション・レジスタに対して書き込み待ちの状態です。従って全ての通信は、コミュニケーション・レジスタへのデータ書き込みによって開始されます。

コミュニケーション・レジスタへのデータ書き込みによって、どのレジスタへのアクセスが行われるかが決まり、さらに次の動作が指定したレジスタへの書き込みなのか、読み出しなのかも決まります。このレジスタのアドレス・ビット (RA[5:0]) の値で、どのレジスタに対して、データの読み書きを行うかを指定します。

選択されたレジスタへの読み出し動作または書き込み動作が完了すると、インターフェースはデフォルト状態、すなわち、コミュニケーション・レジスタに対する書き込み動作待ちの状態に戻ります。

図 46 と図 47 はそれぞれ、書き込み動作と読み出し動作の例を示していますが、最初に 8 ビット・コマンドをコミュニケーション・レジスタに書き込み、それに続いて指定したレジスタのデータの読み書きを行っている様子を示しています。

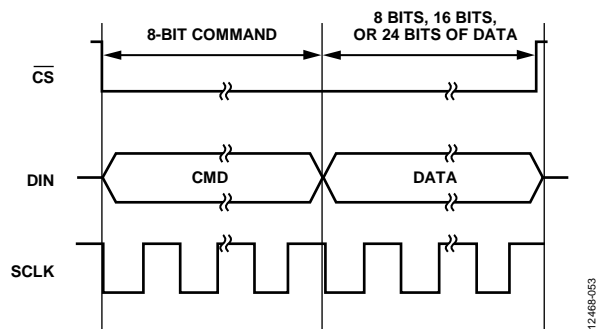


図 46. レジスタへの書き込み
(レジスタ・アドレスへ 8 ビットコマンドを送ると、それに続いて 8、16 もしくは 24 ビットのデータを書き込む。データ長は選択されたレジスタによって変化する)

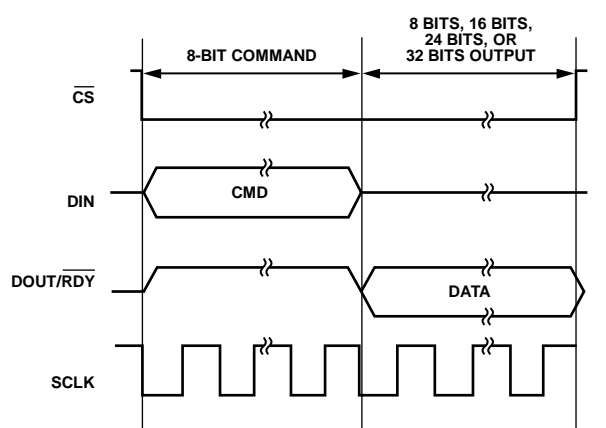


図 47. レジスタからの読み出し
(レジスタ・アドレスへ 8 ビットコマンドを送ると、それに続いて 8、16 もしくは 24 ビットのデータを読みだす。データ長は選択されたレジスタによって変化する)

ID レジスタの読み出しは、このデバイスが正しい通信を行っているかを確認するための推奨される方法です。ID レジスタは読み出し専用のレジスタで、AD7175-2 は、0x0CDX という固有の値を持っています。コミュニケーション・レジスタと ID レジスタの詳細は、表 8 と表 9 を参照してください。

AD7175-2 のリセット

インターフェースの同期が失われた場合は、DIN をハイ・レベルにして、少なくともシリアル・クロックの 64 サイクルの間書き込み動作を行うことで、ADC はレジスタの内容を含むすべての設定をリセットしてデフォルト状態に戻ります。あるいは、CS をデジタル・インターフェースと共に使用し、CS をハイ・レベルにする事で、デジタル・インターフェースがリセットされ、その時の全ての動作を中止します。

コンフィギュレーションの概要

パワーオン、もしくはリセット後の AD7175-2 のデフォルト状態を以下に示します：

- チャンネル・コンフィギュレーション：CH0 がイネーブル。AIN0 は正側入力、AIN1 は負側入力を選択状態。Setup0 が選択された状態。
- セットアップ・コンフィギュレーション：内蔵リファレンスとアナログ入力バッファがイネーブル。リファレンス入力バッファはデイスエーブル。
- フィルタ・コンフィギュレーション：Sinc5 + Sinc 1 フィルタが選択、最大出力レートとして 250 kSPS が選択される。
- ADC モード：連続変換モードと内部発振器をイネーブル。
- インターフェース・モード：CRC、データとステータス出力がデイスエーブル。

いくつかの重要なレジスタ・オプションのみを示しました。このリストは一例であることに留意してください。全てのレジスタ情報に関しては、「レジスタの詳細」セクションを参照してください。

図 48 に、ADC 動作の設定変更をするときの推奨フローの概要を示します。このフローは 3 つのブロックに分けられます：

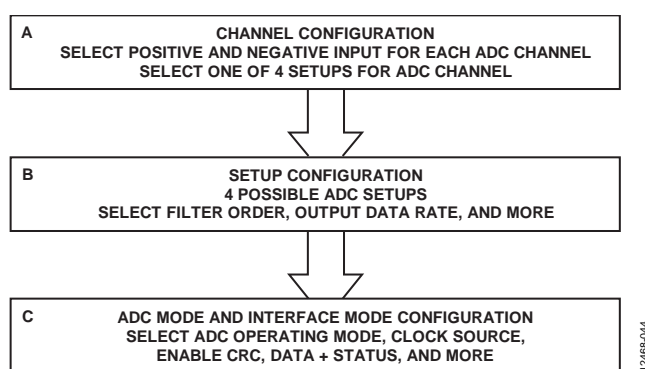


図 48. 推奨する ADC 構成時のフロー

表 8. コミュニケーション・レジスタ

Reg.	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	RW
0x00	COMMS	[7:0]	WEN	R/W	RA						0x00	W

表 9. ID レジスタ

Reg.	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	RW
0x07	ID	[15:8]	ID[15:8]								0x0CD X	R
		[7:0]	ID[7:0]									

表 10. Channel 0 レジスタ

Reg.	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	RW
0x10	CH0	[15:8]	CH_EN0	Reserved	SETUP_SEL[2:0]		Reserved		AINPOS0[4:3]		0x8001	RW
		[7:0]	AINPOS0[2:0]			AINNEG0						

- チャンネル・コンフィギュレーション(図 48 の Box A 参照)
- セットアップ・コンフィギュレーション (図 48 の Box B 参照)
- ADC モードとインターフェース・モードのコンフィギュレーション(図 48 Box C 参照)

チャンネル・コンフィギュレーション

AD7175-2 は、4 つの独立した入力チャンネルと、4 つの独立したセットアップを持っています。どのチャンネルのアナログ入力端子も、一組の入力端子として選択できます。同様に 4 つのセットアップを自由に選択することができます。すなわち、チャンネル構成に関しては、完全な柔軟性を備えています。それぞれのチャンネル専用のセットアップを持たせることができるので、チャンネル毎に、差動入力もしくはシングルエンド入力として構成することもできます。

チャンネル・レジスタ

チャンネル・レジスタは、5 つのアナログ入力ピン (AIN0 から AIN4) のうち、どのピンを正アナログ入力 (AIN+) とするのか、負アナログ入力 (AIN-) とするのか、を決める場合に使用します。このレジスタには、チャンネルのイネーブル/デイスエーブル・ビットとセットアップ選択ビットも格納されており、これらは、指定されたチャンネルに対して、4 つの有効なセットアップから、1 つを選ぶ場合に使われます。

AD7175-2 の 1 つ以上のチャンネルがイネーブル状態で動作しているとき、チャンネル・シーケンサは、チャンネル 0 からチャンネル 3 のイネーブル・チャンネルの順番で AD 変換を循環させます。もしあるチャンネルがデイスエーブルであれば、そのチャンネルはスキップされます。チャンネル 0 のチャンネル・レジスタの詳細を表 10. に示します。

ADC セットアップ

AD7175-2 は、4つの独立したセットアップを持っています。各セットアップは以下の4つのレジスタから構成されています。

- セットアップ・レジスタ
- フィルタ設定レジスタ
- オフセット・レジスタ
- ゲイン・レジスタ

例えば、Setup 0 というセットアップは、セットアップ・コンフィギュレーション・レジスタ 0、フィルタ・コンフィギュレーション・レジスタ 0、オフセット・レジスタ 0、そしてゲイン・レジスタ 0 から構成されています。図 49 は、これらのレジスタのグループを示しています。このセットアップは、チャンネル・レジスタのセクションで詳解しているチャンネル・レジスタで選択することができます。4 個の個別セットアップをそれぞれチャンネル毎に割り当てることが可能です。表 11 から表 14 に、Setup0 に関連する 4 つのレジスタを示しています。また、Setup 1～Setup 3 も、Setup0 と同じ構造です。

セットアップ・レジスタ

セットアップ・レジスタは、ADC の出力を、バイポーラまたはユニポーラに選択するためのレジスタです。バイポーラ・モードでは、ADC は負の差動入力電圧にも対応し、出力はオフセット・バイナリになります。ユニポーラ・モードでは、ADC が正の差動（入力）電圧にのみ対応し、その出力は、ストレート・バイナリです。どちらの場合も、入力電圧は電源である AVDD1/AVSS の電圧内でなければなりません。また、リファレンス電圧源を、このレジスタを使って選択する事もできます。リファレンス電圧源の選択は、3 つのオプションが用意されています。内部の 2.5V リファレンス電源、REF+ ピンと REF- ピンとの間に接続する外部リファレンス電源、そして AVDD1 – AVSS 電源間電圧です。アナログ入力バッファとリファレンス電圧入力バッファは、このレジスタを使ってイネーブルもしくはディスエーブルにできます。

フィルタ設定レジスタ

フィルタ設定レジスタは、ADC モジュレータの出力に、どのデジタル・フィルタを使うかを設定します。フィルタの次数と出力データレートの選択は、このレジスタ内のビットを設定することで行います。詳細に関しては、デジタル・フィルタのセクションを参照して下さい。

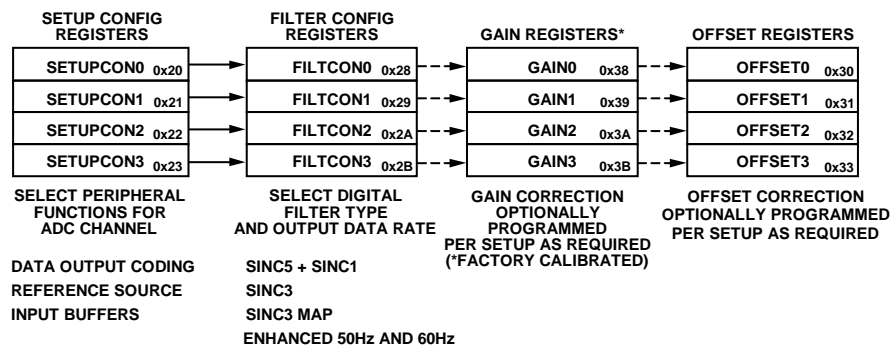


図 49. ADC セットアップ・レジスタのグループ

表 11. セットアップ・レジスタ 0

Reg.	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	RW
0x20	SETUPCON0	[15:8]	Reserved			BI_UNIPOLAR0	REFBUF0+	REFBUF0-	AINBUF0+	AINBUF0-	0x1320	RW
		[7:0]	BURNOUT_EN0	Reserved	REF_SEL0		Reserved					

表 12. フィルタ設定レジスタ 0

Reg.	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	RW
0x28	FILTCON0	[15:8]	SINC3_MAP0	Reserved			ENHFILTEN0	ENHFILT0			0x0500	RW
		[7:0]	Reserved	ORDER0		ODR0						

表 13. ゲイン設定レジスタ 0

Reg.	Name	Bits	Bit[23:0]								Reset	RW
0x38	GAIN0	[23:0]	GAIN0[23:0]								0x5XXXX0	RW

表 14. オフセット設定レジスタ 0

Reg.	Name	Bits	Bit[23:0]								Reset	RW
0x30	OFFSET0	[23:0]	OFFSET0[23:0]								0x800000	RW

ゲイン・レジスタ

ゲイン・レジスタは 24 ビットのレジスタで、ADC のゲイン・キャリブレーション係数を保持しています。ゲイン・レジスタはリード/ライト・レジスタです。パワーオン時、これらのレジスタには工場出荷時のキャリブレーション係数が格納されます。従って、各デバイスは個別のキャリブレーション係数を持っています。ユーザによって、システム・フルスケール・キャリブレーションが行われたり、ゲイン設定レジスタが書き込まれたりした場合、デフォルト値は自動的に上書きされます。詳細については、動作モードのセクションを参照してください。

オフセット・レジスタ

オフセット・レジスタは、ADC に対するオフセット・キャリブレーション係数を保持しています。パワーオン・リセット時、オフセット設定レジスタの値は、0x800000 です。オフセット・レジスタは 24 ビットのリード/ライト・レジスタです。ユーザによって、内部ゼロスケールもしくはシステム・ゼロスケール・キャリブレーションが実行されたり、オフセット設定レジスタを上書きしたり場合、パワーオン・リセット値は、自動的に上書きされます。

ADC モードとインターフェース・モードの構成

ADC モード・レジスタとインターフェース・モード・レジスタは、AD7175-2 によって使用される ADC コア・ペリフェラルと、デジタル・インターフェースのモードを設定します。

ADC モード・レジスタ

ADC モード・レジスタは、主に ADC の変換モードを、連続変換モード、もしくはシングル変換モードに設定するために使われます。また、スタンバイ・モード、パワーダウン・モードの選択もできます。さらに、各種キャリブレーション・モードの選択も可能です。加えてこのレジスタには、クロック源の選択ビットと、内部リファレンス電圧のイネーブル・ビットも含まれています。リファレンス電圧の選択ビットは、セットアップ・レジスタに含まれています（詳細は、ADC セットアップのセクション参照）。

インターフェース・モード・レジスタ

インターフェース・モード・レジスタは、デジタル・インターフェースの動作を設定します。このレジスタは、データ・ワード長、CRC イネーブル/ディスエーブル、データ+ステータス読み出しモード、そして連続読み出しモードを制御します。表 15 と表 16 に、これらのレジスタの構成を示します。詳細は、デジタル・インターフェースを参照して下さい。

表 15.ADC モード・レジスタ

Reg.	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	RW
0x01	ADCMODE	[15:8]	REF_EN	HIDE_DELAY	SING_CYC	Reserved		Delay			0x8000	RW
		[7:0]	Reserved	Mode			CLOCKSEL		Reserved			

表 16.インターフェース・モード・レジスタ

Reg.	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	RW
0x02	IFMODE	[15:8]	Reserved			ALT_SYNC	IOSTRENGTH	Reserved		DOUT_RESET	0x0000	RW
		[7:0]	CONTREAD	DATA_STAT	REG_CHECK	Reserved	CRC_EN		Reserved	WL16		

動作設定の柔軟性を理解する

最も単純で分かり易い AD7175-2 の動作設定は、隣接する 2 つの差動アナログ入力を使い、それぞれを同じ setup 設定、ゲイン補正、オフセット補正で動作させることです。この場合、以下の組み合わせの差動入力を使います：AIN0/AIN1 と AIN2/AIN3 です。図 50 において、黒い文字で示されているレジスタは、上記構成を行うために、必ずプログラムしなければならないレジスタです。灰色の文字で示されているレジスタは、この構成では設定不要です。

ゲインおよびオフセット設定レジスタのプログラミングは、どの場合も必須ではないので、図 50 のレジスタ・ブロック間では点線で示されています。

これら 2 個の完全差動入力を実装するためのもう一つの方法は、4 つのセットアップを使う方法です。この方法を用いる理由としては、それぞれの差動入力で、それぞれに個別の変換スピードやノイズ特性を持たせたい場合や、特定のチャンネルに、固有のオフセットまたはゲイン補正データを与えたい場合などです。図 51 では、各差動入力にそれぞれ独立したセットアップを割り当てています。このように、各チャンネルの設定に対して完全な柔軟性を持たせることができます。

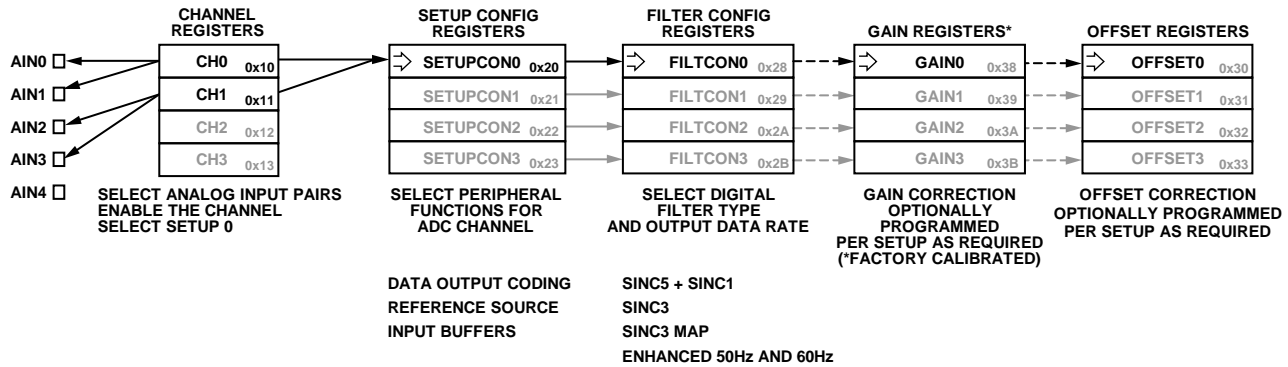


図 50. 2 個の完全差動入力を、1 つのセットアップ(SETUPCON0; FILTCON0; GAIN0; OFFSET0)を使って設定する

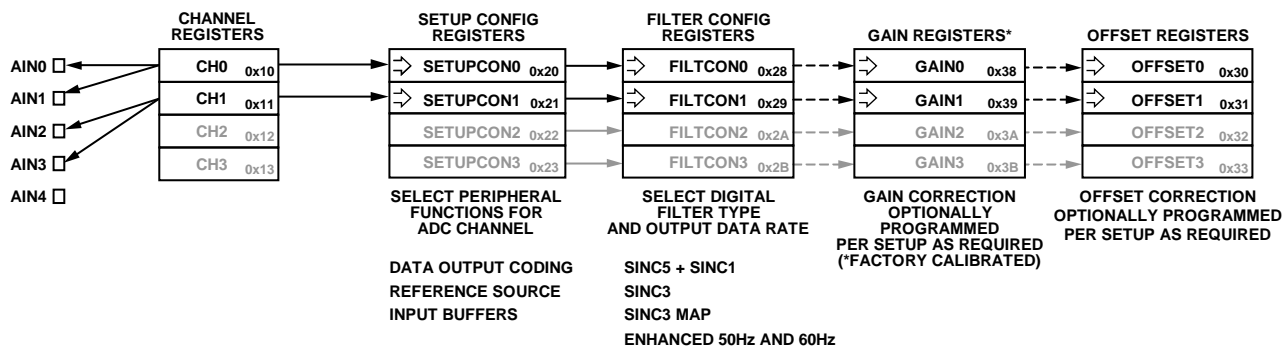


図 51. 2 個の完全差動入力の設定を、それぞれチャンネル毎に行う

図 52 は、チャンネル・レジスタ群が、アナログ入力ピンの設定からと、その先のダウンストリーム側のセットアップ・コンフィギュレーションとを、どのように繋げて行くか、その一例を示しています。この例では、1つの差動入力と2つのシングルエンド入力が必要なケースです。2つのシングルエンド入力は、AIN2/AIN4 と AIN3/AIN4 を使っています。差動入力のペアは、AIN0/AIN1 を使い、Setup 0 を使います。2つのシングルエンド入力ペアは、自己診断用に使います。従って、差動入力とは違ったセットアップを使いますが、2つのシングルエンド入力はひとつの設定を共用しており、それを Setup 1 とします。2つのセットアップ、すなわち「SETUPCON0」と「SETUPCON1」レジスタが、この例を動作させるために選択されており、この例の仕様に合わせて、

プログラムされます。また、「FILTCON0」と「FILTCON1」レジスタも必要に応じてプログラムされます。オプションのゲインとオフセット補正も、GAIN0、GAIN1 レジスタと、OFFSET0、OFFSET1 レジスタとを、チャンネル毎にプログラムすることによって適用させることもできます。

図 52 に示されている例では、CH0 から CH2 までのチャンネル・レジスタが使われています。これらのレジスタ内の MSB をセットし、CH_EN0 から CH_EN2 ビットがセットされると、クロスポイント・マルチプレクサ経由で3つの入力組み合わせをイネーブルにします。AD7175-2 に設定が反映されると、シーケンスは、昇順のシーケンシャル順序、すなわち、CH0、CH1、CH2 へと変化します。このシーケンスを繰り返すため、CH2 から CH0 に戻ります。

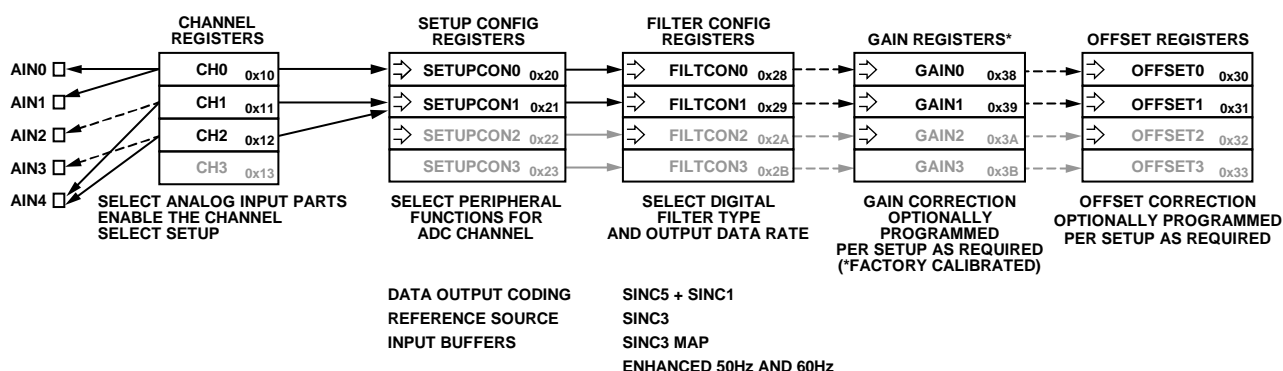


図 52. 複数の共用セットアップを使って、差動とシングルエンド構成を混在させる

回路説明

バッファ付きアナログ入力

AD7175-2 は、各 ADC のアナログ入力に、真のレール to レールの内蔵高精度ユニティ・ゲイン・バッファを装備しています。このバッファによって高い入力インピーダンスが実現されており、その入力電流は公称 30 nA です。そのため、高いインピーダンスを持つ信号源を、アナログ入力に直接接続することができます。このバッファは、ADC コアのスイッチド・キャパシタ・サンプリング・ネットワークを十分に駆動でき、さらにバッファごとの消費電流は公称 2.9 mA は非常に小さい為、アナログ・フロントエンド回路を省略できます。各アナログ入力バッファ・アンプは、完全にチョッピングで動作しています。これは、バッファのオフセット誤差ドリフトと $1/f$ ノイズを最小限にする為です。ADC とバッファの組み合わせにおける $1/f$ ノイズ・プロファイルを、図 53 に示します。

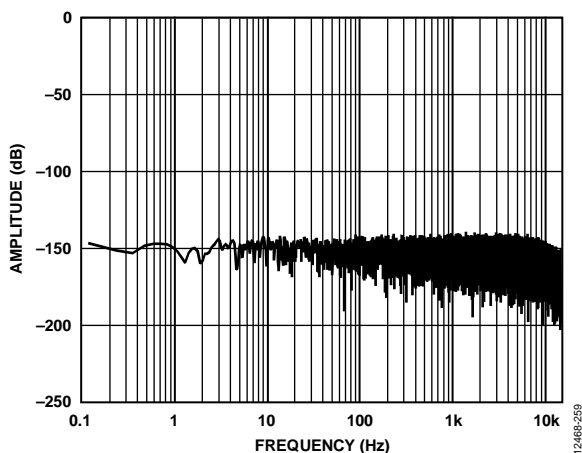


図 53.入力をショートした時の FFT 結果
(アナログ入力バッファ・イネーブル)

このデバイスのアナログ入力バッファは、他のディスクリート・アンプとは異なり、レール電圧に近い電圧が入力されても、リニアリティが低下することはありません。AVDD1 と AVSS レール電圧、もしくはその電圧近くでアナログ入力バッファが動作すると、入力電流が増加します。入力電流の増加は、温度が高くなると顕著になります。図 42 と 図 43 では、いくつかの条件下における入力電流変動を示しています。アナログ入力バッファをディスエーブルにすると、AD7175-2 の平均入力電流は、差動入力電圧に対して直線的に増加し、その増加率は、 $48\mu\text{A}/\text{V}$ です。

クロスポイント・マルチプレクサ

このデバイスには、AIN0、AIN1、AIN2、AIN3、AIN4 の 5 つのアナログ入力ピンがあります。それらのピンは、それぞれ内部のクロスポイント・マルチプレクサに接続されています。クロスポイント・マルチプレクサは、これら入力端子をイネーブルにして、シングルエンド、もしくは真の差動の入力ペアを構成します。AD7175-2 は、最大 4 つのアクティブ・チャンネルを持つことができます。1 つ以上のチャンネルがイネーブルになっているとき、イネーブルになっている番号が小さいチャンネルから、同じくイネーブルになっている番号の大きいチャンネルへ、自動的に切り替えが行われます。マルチプレクサの出力は、内部の真のレール to レール・バッファの入力に接続されます。バッファへの接続をバイパスすることは可能で、マルチプレクサの出力を ADC のスイッチド・キャパシタ入力へ直接接続することもできます。簡略化されたアナログ入力回路を図 54 に示します。

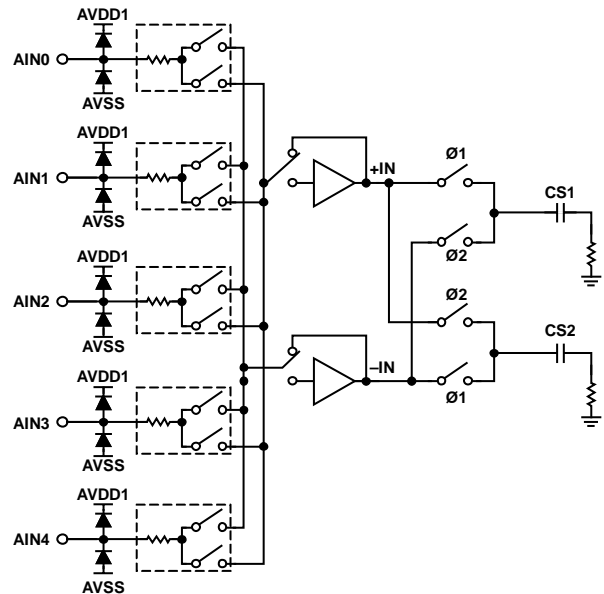


図 54.簡略化されたアナログ入力回路

CS1 と CS2 コンデンサは、それぞれピコ・ファラッド (pF) オーダーの容量を持っています。このコンデンサの容量値は、サンプリング・コンデンサと寄生容量からなっています。

完全差動入力

AIN0 から AIN4 までのアナログ入力はクロスポイント・マルチプレクサに接続されているので、どの入力端子の組み合わせを使用しても、アナログ入力ペアを構成することができます。この構造により、2 個の完全差動入力、もしくは 4 個のシングルエンド入力を実現できます。

2 つの完全差動入力の信号経路を AD7175-2 に接続する場合には、AIN0/AIN1 を差動入力ペアとして使い、AIN2/AIN3 を、もう一つの差動入力ペアとして使う事を推奨します。このデバイスの AIN0/AIN1 及び AIN2/AIN3 ピンが、差動入力ペアとして使うのに適したピン配置になっているからです。全てのアナログ入力は、AVSS へデカップリングして下さい。

シングルエンド入力

4 個の異なるシングルエンド・アナログ入力の信号を測定する構成も選択できます。この場合、各アナログ入力は、差動からシングルエンド入力に変えられるように変更され、1 つのピンをコモンに設定します。クロスポイント・マルチプレクサがあるため、どのアナログ入力ピンでも、アナログ共通ピンとして設定できます。このような使い方では、AIN4 ピンを AVSS か REFOUT (電圧は AVSS+2.5V) に接続します。そして、クロスポイント・マルチプレクサの設定で、この入力ピンをアナログ共通ピンとします。AD7175-2 の入力をシングルエンド入力として使う場合では、INL 特性が低下します。

AD7175-2 リファレンス

AD7175-2 は、REF+ と REF- ピンに外部リファレンス電圧を接続するか、内蔵の低ノイズ、低ドリフトの 2.5V リファレンス電圧のどちらかを選択できるようになっています。

アナログ入力端子に対して、使用したいリファレンス電源を選択するにはセットアップ構成レジスタ内の REF_SELx ビット(ビット[5:4])を設定してください。セットアップ・レジスタ 0 の構造を表 17 に示します。パワーアップ時、AD7175-2 はデフォルトで、内部 2.5V レファレンス電圧を使うように設定されます。

外部リファレンス電圧

AD7175-2 は、完全差動のリファレンス電圧入力を備えています。外部リファレンス電圧は、REF+ と REF- ピンに入力します。標準的な低ノイズ低ドリフト電圧リファレンスとしては、ADR445 や、ADR444、ADR441 があり、それらを使うことを推奨します。AD7175-2 に外部リファレンス電圧を与えるには、図 55 に示したリファレンス・ピンに接続してください。どの外部リファレンス電圧であっても、AVSS に対してデカップリングを行ってください。図 55 に示す例では、ADR445 の出力には、電圧安定のため、0.1μF のコンデンサを使ってデカップリングしています。また、この出力には 4.7μF のコンデンサが接続されていますが、このコンデンサは ADC によるダ

イナミックな電荷変動に対する、電荷供給源として振る舞います。続いて 0.1μF のデカップリング・コンデンサを REF+ 入力に接続してください。このコンデンサは、REF+ と REF- ピンのできるだけ近くに配置してください。REF- ピンは、AVSS の電位に直接接続してください。パワーアップ時、AD7175-2 はデフォルトで、内部リファレンス電圧がイネーブルになり、その電圧が、REFOUT ピンに出力されます。内部リファレンスの代わりに、外部リファレンスを使い、そのリファレンス電圧を AD7175-2 に接続する時、REFOUT ピンの出力に関して細心の注意を払って下さい。採用したアプリケーションで、内部リファレンス電圧を、他の部分で使わない場合は、REFOUT ピンを、AVSS に直接接続しないで下さい。接続してしまうと、パワーアップ時、REFOUT ピンに過大な電流が流れるからです。パワーアップ時、内部リファレンスを使わないことが分かっているならば、ADC モード・レジスタの設定を行って、内部リファレンスをディセーブルにします。これは、ADC モード・レジスタの REF_EN ビット(ビット 15)で設定します。レジスタ・マップを表 18 に示します。

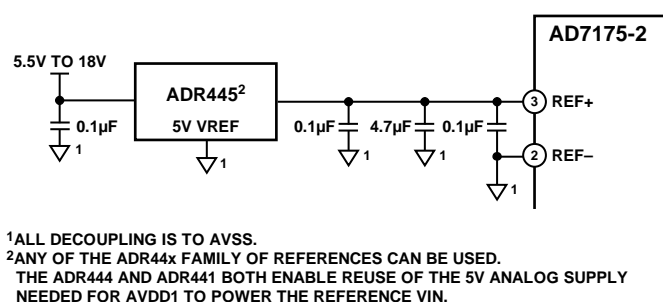


図 55. 外部リファレンス電圧源 ADR445 を AD7175-2 のリファレンス電圧ピンに接続する

表 17. セットアップ 0 レジスタ

Reg.	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	RW
0x20	SETUPCON0	[15:8]	Reserved			BI_UNIPOLAR0	REFBUF0+	REFBUF0-	AINBUF0+	AINBUF0-	0x1320	RW
		[7:0]	BURNOUT_EN0	Reserved	REF_SEL0			Reserved				

表 18. ADC モード・レジスタ

Reg.	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	RW
0x01	ADCMODE	[15:8]	REF_EN	HIDE_DELAY	SING_CYC	Reserved		Delay			0x8000	RW
		[7:0]	Reserved	Mode			CLOCKSEL		Reserved			

内部リファレンス電圧

AD7175-2は、低ノイズ、低ドリフトの電圧リファレンスを内蔵しています。この内部リファレンス電圧は2.5Vです。ADCモード・レジスタ内の「REF_EN」ビットを設定すると、内部リファレンス電圧がREFOUTピンに出力されます。また、この電圧出力はAVSSに0.1μFのコンデンサでデカップリングして下さい。AD7175-2の内部リファレンス電圧は、パワーアップ時にデフォルトでイネーブルになり、ADC用のリファレンス源として選択されています。ただし内部リファレンス電圧を使うと、図23に示すように、INL特性が低下します。

REFOUT 信号は、ピンから出力される前にバッファされています。この信号は、例えばシステム回路内でアンプなどがあれば、そのアンプのコモン・モード電圧源として使うことができます。

バッファされたリファレンス入力

AD7175-2は、両方のADCリファレンス入力に、内蔵レールto レール高精度ユニティ・ゲイン・バッファを備えています。このバッファによって高い入力インピーダンスが実現されており、高い出力インピーダンスを持つ信号源を、リファレンス入力に直接接続することができます。内蔵リファレンス・バッファは、内部のスイッチド・キャパシタ・サンプリング・ネットワークを十分にドライブでき、さらにバッファごとの消費電流は公称2.9 mAは非常に小さい為、リファレンス回路を簡略化できます。各リファレンス入力バッファ・アンプは、完全にチョッピングで動作しています。これは、オフセット誤差ドリフトと1/fノイズを最小限にする為です。外部リファレンス電圧、例えば、[ADR445](#)や、ADR444、ADR441、使う場合は、内蔵バッファを使う必要はありません。何故なら、これらは適切にデカップリングされ、リファレンス入力を直接駆動できるからです。

クロック源

AD7175-2 は、公称 16MHz のマスター・クロックを使います。
AD7175-2 は、以下に示す 3 つのうち 1 つをサンプリング・クロックとして用いることができます：

- 内部発振器
- 外部水晶発振子
- 外部クロック源

このデータシートに記載されている、出力データレートは、全てこの 16MHz を基にして作られています。より低いクロック周波数を使う場合、例えば外部クロック源から信号を供給する場合は、データシートに記載されている出力データレートと比例関係にある周波数を持つクロック源を使ってください。指定された出力データレートを実現し、特に 50Hz と 60Hz の影響を除去する為には、16MHz のクロックを使ってください。マスター・クロック源は、表 18 に示してある ADC モード・レジスタの **CLOCKSEL** ビット(ビット[3:2])の値で設定します。AD7175-2 のパワーアップとリセット時、デフォルトで選択されて動作するのは、内部発振器です。低い出力データレートの場合、**SINC3_MAPx** ビットを使って、出力データレートの微調整をすることも可能です。詳細については、**Sinc3** フィルタのセクションを参照してください。

内部発振器

内部発振器は、16MHzで動作しており、ADCのマスター・クロックとして使用することができます。これは、AD7175-2のデフォルト・クロック源で、その精度は、 $\pm 2.5\%$ と規定されています。

オプションで、この内部発振器の信号を XTAL2/CLKIO ピンから出力させることもできます。クロック出力は、IOVDD のロジック・レベルで動作します。内部発振器の信号を出力するオプションを使うと、その出力ドライバから発生する悪影響により、AD7175-2 の DC 特性に影響を与える可能性があります。DC 特性に与える影響の大きさは、IOVDD 電源の質に依存します。IOVDD 電圧が高くなると、ドライバからのロジック出力の電圧振幅が大きくなり、DC 特性に与える影響がより深刻になります。そして、IOSTRENGTH ビットを、IOVDD が高い状態で設定した場合、さらに大きな影響を与えてしまいます（詳細は表 28 を参照）。

外部水晶発振子

もし、さらなる高精度・低ジッタのクロック源が必要な場合、AD7175-2 はマスター・クロック発生用に外部水晶発振子を使用できます。水晶発振子は、XTAL1 と XTAL2/CLKIO ピンとの間に接続します。ここで使用する水晶発振子には、16MHz、10ppm、9pF の性能を持つエプソン・トヨコム製 FA-20H を推奨します。この部品は表面実装型パッケージ品です。図 56 に示すように、水晶発振子が接続されている XTAL1 ピンと XTAL2/CLKIO ピンとを接続しているパターンに、2つのコンデンサを接続します。これらのコンデンサで発振回路の調整をします。これらのコンデンサは、DGND ピンに接続してください。2つのコンデンサの容量は、水晶発振子および XTAL1 ピン、XTAL2/CLKIO ピンを接続しているパターンの長さ、と、そのパターンによって形成される静電容量に依存します。従って、これらコンデンサの容量は、PCB のレイアウトと、採用した水晶発振子によって異なります。

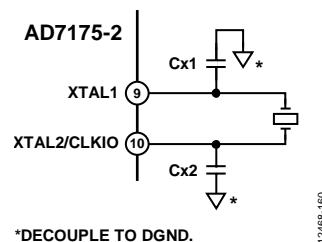


図 56. 外部に水晶発振子を接続する

外部水晶発振子回路は、**SCLK** のクロック・エッジ、**SCLK** クロック周波数、**IOVDD** 電圧、水晶発振子の回路レイアウト、そして使用する水晶発振子に対して敏感です。水晶発振回路の起動時、**SLCK** エッジによって引き起こされる妨害によって、水晶発振回路に、ダブル・エッジが入力される可能性があります。その結果、水晶発振器の出力電圧が十分に高くなって、**SCLK** エッジからの干渉が、ダブル・クロッキングを引き起こさなくなるまで、不正で無効な変換が行われます。スタートアップ後、**SCLK** を与える前に、水晶発振回路の出力レベルが十分高い値になるようにしておけば、このダブル・クロッキングを避けることができます。

これは水晶共振回路の特性であり、こうした現象を避けるため、要求される条件下で、最終 **PCB** レイアウトを使い正常動作するか、実験に基づいたテストを行うことを推奨します。

外部クロック

AD7175-2 は、外部から供給されるクロックを使うこともできます。このよう構成を必要とするシステムの場合、外部クロックを XTAL2/CLKIO ピンに接続してください。この構成では、XTAL2/CLKIO ピンは外部からの信号源を受け入れ、IC 内部の AD 変調器へとその信号を導きます。このロジック・レベルは、IOVDD ピンに与えられている電圧によって決まります。

デジタル・フィルタ

AD7175-2 は、以下に述べる、柔軟性に富んだ3つのフィルタを備えており、セトリング時間、ノイズ特性、そしてノイズ除去性能の最適化が可能です：

- Sinc5 + Sinc1 フィルタ
- Sinc 3 フィルタ
- 強化された 50Hz/60Hz 除去フィルタ

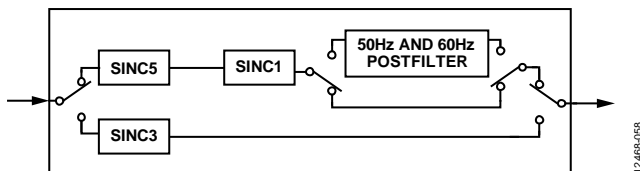


図 57. デジタル・フィルタ・ブロック図

フィルタと出力データレートは、選択されたセットアップに対してフィルタ構成レジスタの適切なビットを設定することで構成されます。各チャンネルは、異なったセットアップと使うことができます。従って異なったフィルタと出力データレートをを使う事ができます。詳細については、レジスタの詳細のセクションを参照してください。

SINC5 + SINC1 フィルタ

Sinc5 + Sinc1 フィルタは、入力マルチプレクサがスイッチングするアプリケーションを対象とし、10 kSPS 以下の出力データレートにおいて、シングル・サイクル・セトリングを実現しています。Sinc5 ブロックの出力は、最高速の出力データレートである 250 kSPS に固定されています。Sinc1 ブロックの出力データレートは、最終段の ADC 出力データレートを制御することで変更することができます。図 58 は、50SPS 出力データレートでの Sinc5 + Sinc1 フィルタの周波数領域における応答です。Sinc5 + Sinc1 フィルタは、広い周波数にわたって緩やかなロールオフを持ち、かつ狭いノッチを備えています。

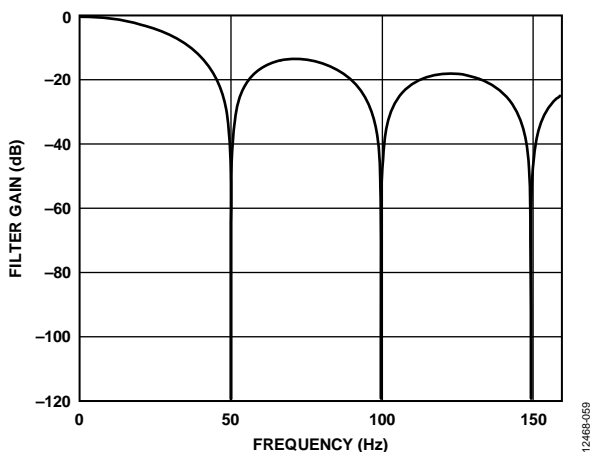


図 58. 出力データレート 50SPS における Sinc5 + Sinc1 フィルタの応答

Sinc5 + Sinc1 フィルタの出力データレートに対応する、セトリング時間と rms ノイズを、表 19 と表 20 に示します。

SINC3 フィルタ

Sinc3 フィルタは、低い出力データレートにおいて、最良のシングルチャンネル・ノイズ特性を実現しています。それゆえ、シングル・チャンネル・アプリケーションに最も適したフィ

ルタです。Sinc3 フィルタのセトリング時間は、常に以下の式と等しくなります。

$$t_{SETTLE} = 3 / \text{Output Data Rate}$$

図 59 に、Sinc3 フィルタの周波数領域における応答を示します。Sinc3 フィルタは、広い周波数にわたって良好なロールオフ特性を持ち、ノッチ周波数帯域の除去に適した、広いノッチ幅を備えています。

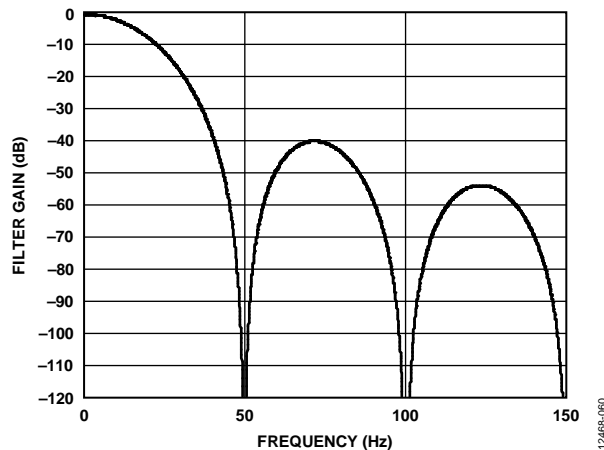


図 59. sinc3 フィルタの応答

Sinc3 フィルタの出力データレートに対する、セトリング時間と rms ノイズとを、表 21 と表 22 に示します。Sinc3 フィルタの出力データレートの微調整は、フィルタ設定レジスタの SINC3_MAPx ビットを設定することで可能です。このビットを変更すると、このフィルタ設定レジスタから反映された値で、Sinc3 フィルタのデシメーション・レートを直接変更させます。また他のすべてのオプション設定は削除されます。シングル・チャンネルの出力データレートは、下記の式で計算できます。

$$\text{Output Data Rate} = \frac{f_{MOD}}{32 \times \text{FILTCO}x[14:0]}$$

ここで、 f_{MOD} は、変調器のレート (MCLK/2) で、その値は、16MHz MCLK の場合 8MHz です。

FILTCOx[14:0] は、MSB を除いたフィルタ設定レジスタの内容です。

例えば、FILTCOx[14:0] ビットの値を 5000 に設定し、SINC3_MAPx をイネーブルすれば、出力データレートとして 50 SPS が得られます。

シングル・サイクル・セトリング

AD7175-2 は、ADC モード・レジスタの「SING_CYC」ビットを使って、セトリング・モードの設定ができます。シングル・サイクル・セトリングに設定された場合、完全にセトリングしたデータのみを出力します。このモードは、選択された出力データレートにおける ADC のセトリング時間に等しくなるように出力データレートを下げて、シングル・サイクルでのセトリングを実現しています。SING_CYC ビットは、Sinc5 + Sinc1 フィルタを使用して出力データレートが 10 kSPS より低く設定されている場合には影響を与えることはありません。

図 60 は、シングル・サイクル・セトリングをディスエーブルにし、Sinc3 フィルタを選択した場合のステップ波形です。入力 of ステップ波形が変わっても、出力が最終セトリング値に到達するには最低限 3 サイクル必要です。

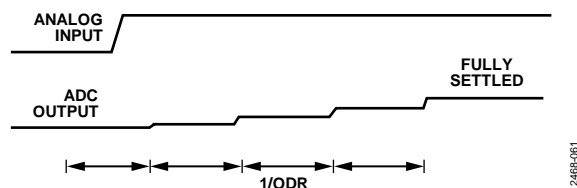


図 60. シングル・サイクル・セトリングを使わない時のステップ入力

図 61 に、シングル・サイクル・セトリングがイネーブル時、先ほどと同じステップ波形をアナログ入力に与えた時の波形を示します。出力が完全にセトリングするには、シングル・サイクルで済みます。従って \overline{RDY} 信号によって示される出力データレートは、設定された出力データレートのフィルタにおけるセトリング時間と同じになります。

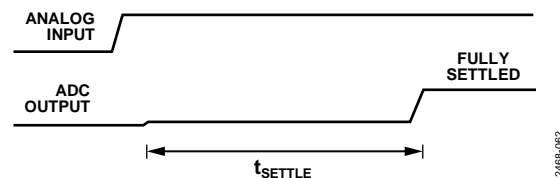


図 61. シングル・サイクル・セトリングモードを使った時のステップ入力

表 19. 入力バッファをディスエーブル状態にして Sinc5 + Sinc1 フィルタを使った時の、出力データレート、セトリング時間、及びノイズ

Default Output Data Rate (SPS); SING_CYC = 0 and Single Channel Enabled ¹	Output Data Rate (SPS/Channel); SING_CYC = 1 or with Multiple Channels Enabled ¹	Settling Time ¹	Notch Frequency (Hz)	Noise (μV rms)	Effective Resolution with 5 V Reference (Bits)	Noise (μV p-p) ²	Peak-to-Peak Resolution with 5V Reference (Bits)
250,000	50,000	20 μs	250,000	8.7	20.1	65	17.2
125,000	41,667	24 μs	125,000	7.2	20.4	60	17.3
62,500	31,250	32 μs	62,500	5.5	20.8	43	17.8
50,000	27,778	36 μs	50,000	5	20.9	41	17.9
31,250	20,833	48 μs	31,250	4	21.3	32	18.3
25,000	17,857	56 μs	25,000	3.6	21.4	29	18.4
15,625	12,500	80 μs	15,625	2.9	21.7	22	18.8
10,000	10,000	100 μs	11,905	2.5	21.9	18.3	19.1
5000	5000	200 μs	5435	1.7	22.5	12	19.7
2500	2500	400 μs	2604	1.2	23.0	8.2	20.2
1000	1000	1.0 ms	1016	0.77	23.6	5.2	20.9
500	500.0	2.0 ms	504	0.57	24	3.2	21.6
397.5	397.5	2.516 ms	400.00	0.5	24	3	21.7
200	200.0	5.0 ms	200.64	0.36	24	2	22.3
100	100	10 ms	100.16	0.25	24	1.3	22.9
59.92	59.92	16.67 ms	59.98	0.19	24	1.1	23.1
49.96	49.96	20.016 ms	50.00	0.18	24	0.95	23.3
20	20.00	50.0 ms	20.01	0.11	24	0.6	24
16.66	16.66	60.02 ms	16.66	0.1	24	0.45	24
10	10.00	100 ms	10.00	0.08	24	0.4	24
5	5.00	200 ms	5.00	0.07	24	0.34	24

¹ セトリング時間は、最寄りのマイクロ秒に丸められています。この値は、出力データ・レートとチャンネル・スイッチング・レートを反映しています。チャンネル・スイッチング・レート = 1 ÷ セトリング時間

² 1000 サンプル

表 20 入力バッファをイネーブル状態にして Sinc5 + Sinc1 フィルタを使った時の、出力データレート、セトリング時間、及びノイズ

Default Output Data Rate (SPS); SING_CYC = 0 and Single Channel Enabled ¹	Output Data Rate (SPS/Channel); SING_CYC = 1 or with Multiple Channels Enabled ¹	Settling Time ¹	Notch Frequency (Hz)	Noise (μV rms)	Effective Resolution with 5 V Reference (Bits)	Noise (μV p-p) ²	Peak-to-Peak Resolution with 5 V Reference (Bits)
250,000	50,000	20 μs	250,000	9.8	20	85	16.8
125,000	41,667	24 μs	125,000	8.4	20.2	66	17.2
62,500	31,250	32 μs	62,500	6.4	20.6	55	17.5
50,000	27,778	36 μs	50,000	5.9	20.7	49	17.6
31,250	20,833	48 μs	31,250	4.8	21	39	18.0
25,000	17,857	56 μs	25,000	4.3	21.1	33	18.2
15,625	12,500	80 μs	15,625	3.4	21.5	26	18.6
10,000	10,000	100 μs	11,905	3	21.7	23	18.7
5000	5000	200 μs	5435	2.1	22.2	16	19.3
2500	2500	400 μs	2604	1.5	22.7	10	19.9
1000	1000	1.0 ms	1016	0.92	23.4	5.7	20.7
500	500.0	2.0 ms	504	0.68	23.8	3.9	21.3
397.5	397.5	2.516 ms	400.00	0.6	24	3.7	21.4
200	200.0	5.0 ms	200.64	0.43	24	2.2	22.1
100	100	10 ms	100.16	0.32	24	1.7	22.5
59.92	59.92	16.67 ms	59.98	0.23	24	1.2	23
49.96	49.96	20.016 ms	50.00	0.2	24	1	23.3
20	20.00	50.0 ms	20.01	0.14	24	0.75	23.7
16.66	16.66	60.02 ms	16.66	0.13	24	0.66	23.9
10	10.00	100 ms	10.00	0.1	24	0.47	24
5	5.00	200 ms	5.00	0.07	24	0.32	24

¹ セトリング時間は、最寄りのマイクロ秒に丸められています。この値は、出力データ・レートとチャンネル・スイッチング・レートを反映しています。チャンネル・スイッチング・レート = 1 ÷ セトリング時間

² 1000 サンプル

表 21 入力バッファをディスエーブル状態にして Sinc3 フィルタを使った時の、出力データレート、セトリング時間、及びノイズ

Default Output Data Rate (SPS); SING_CYC = 0 and Single Channel Enabled ¹	Output Data Rate (SPS/Channel); SING_CYC = 1 or with Multiple Channels Enabled ¹	Settling Time ¹	Notch Frequency (Hz)	Noise ($\mu\text{V rms}$)	Effective Resolution with 5 V Reference (Bits)	Noise ($\mu\text{V p-p}$) ²	Peak-to-Peak Resolution with 5 V Reference (Bits)
250,000	83,333	12 μs	250,000	210	15.5	1600	12.6
125,000	41,667	24 μs	125,000	28	18.4	200	15.6
62,500	20,833	48 μs	62,500	5.2	20.9	40	17.9
50,000	16,667	60 μs	50,000	4.2	21.2	34	18.2
31,250	10,417	96 μs	31,250	3.2	21.6	26	18.6
25,000	8333	120 μs	25,000	2.9	21.7	23	18.7
15,625	5208	192 μs	15,625	2.2	22.1	17	19.2
10,000	3333	300 μs	10,000	1.8	22.4	14	19.4
5000	1667	6 μs	5000	1.3	22.9	9.5	20
2500	833	1.2 ms	2500	0.91	23.4	6	20.7
1000	333.3	3 ms	1000	0.56	24	3.9	21.3
500	166.7	6 ms	500	0.44	24	2.5	21.9
400	133.3	7.5 ms	400	0.4	24	2.3	22.1
200	66.7	15 ms	200	0.25	24	1.4	22.8
100	33.33	30 ms	100	0.2	24	1	23.3
60	19.99	50.02 ms	59.98	0.13	24	0.8	23.6
50	16.67	60 ms	50	0.13	24	0.7	23.8
20	6.67	150 ms	20	0.08	24	0.42	24
16.67	5.56	180 ms	16.67	0.07	24	0.37	24
10	3.33	300 ms	10	0.06	24	0.28	24
5	1.67	600 ms	5	0.05	24	0.21	24

¹ セトリング時間は、最寄りのマイクロ秒に丸められています。この値は、出力データ・レートとチャンネル・スイッチング・レートを反映しています。チャンネル・スイッチング・レート = $1 \div$ セトリング時間

² 1000 サンプル

表 22. 入力バッファをイネーブル状態にして Sinc3 フィルタを使った時の、出力データレート、セトリング時間、及びノイズ

Default Output Data Rate (SPS); SING_CYC = 0 and Single Channel Enabled ¹	Output Data Rate (SPS/Channel); SING_CYC = 1 or with Multiple Channels Enabled ¹	Settling Time ¹	Notch Frequency (Hz)	Noise (μV rms)	Effective Resolution with 5 V Reference (Bits)	Noise (μV p-p) ²	Peak-to-Peak Resolution with 5 V Reference (Bits)
250,000	83,333	12 μs	250,000	210	15.5	1600	12.6
125,000	41,667	24 μs	125,000	28	18.4	210	15.5
62,500	20,833	48 μs	62,500	5.8	20.7	48	17.7
50,000	16,667	60 μs	50,000	4.9	21	41	17.9
31,250	10,417	96 μs	31,250	3.8	21.3	30	18.3
25,000	8333	120 μs	25,000	3.4	21.5	26	18.6
15,625	5208	192 μs	15,625	2.6	21.9	18	19.1
10,000	3333	300 μs	10,000	2.1	22.2	16	19.3
5000	1667	6 μs	5000	1.5	22.7	11	19.8
2500	833	1.2 ms	2500	1.1	23.1	7	20.4
1000	333.3	3 ms	1000	0.71	23.7	4.5	21.1
500	166.7	6 ms	500	0.52	24	3	21.7
400	133.3	7.5 ms	400	0.41	24	2.7	21.8
200	66.7	15 ms	200	0.32	24	1.8	22.4
100	33.33	30 ms	100	0.2	24	1.2	23
60	19.99	50.02ms	59.98	0.17	24	1.1	23.1
50	16.67	60 ms	50	0.15	24	0.83	23.5
20	6.67	150 ms	20	0.13	24	0.61	24
16.67	5.56	180 ms	16.67	0.12	24	0.6	24
10	3.33	300 ms	10	0.1	24	0.55	24
5	1.67	600 ms	5	0.08	24	0.35	24

¹ セトリング時間 は、最寄りのマイクロ秒に丸められています。この値は、出力データ・レートとチャンネル・スイッチング・レートを反映しています。チャンネル・スイッチング・レート = 1 ÷ セトリング時間

² 1000 サンプル

強化された 50Hz/60Hz 除去フィルタ

この強化されたフィルタは、50Hz と 60Hz を同時に除去できるように設計され、セトリング時間と、50Hz と 60Hz の除去性能とのトレードオフを行うことができます。これらのフィルタは、27.27 SPS まで動作可能で、 $50\text{ Hz} \pm 1\text{ Hz}$ と $60\text{ Hz} \pm 1\text{ Hz}$ における干渉信号を最大 90dB 除去できます。これらのフィルタは、Sinc5 + Sinc1 フィルタ出力に対してのポスト・フィルタとして実装されています。このため、この強化された

フィルタの定格セトリング時間とノイズ性能を満足する為には、Sinc5 + Sinc1 フィルタを必ず選択してください。出力データレートに対応する、セトリング時間、50Hz と 60Hz の除去特性及び rms ノイズを、表 23 に示します。図 62 から図 69 には、周波数領域における、強化されたフィルタの周波数領域における応答を示してあります。

表 23 強化されたフィルタを使った時の、出力データレートと、ノイズ、セトリング時間及び除去特性

Output Data Rate (SPS)	Settling Time (ms)	Simultaneous Rejection of $50\text{ Hz} \pm 1\text{ Hz}$ and $60\text{ Hz} \pm 1\text{ Hz}$ (dB) ¹	Noise ($\mu\text{V rms}$)	Peak-to-Peak Resolution (Bits)	Comments
Input Buffers Disabled					
27.27	36.67	47	0.22	22.7	図 62 と 図 65 参照
25	40.0	62	0.2	22.9	図 63 と 図 66 参照
20	50.0	85	0.2	22.9	図 64 と 図 67 参照
16.667	60.0	90	0.17	23	図 68 と 図 69 参照
Input Buffers Enabled					
27.27	36.67	47	0.22	22.7	図 62 と 図 65 参照
25	40.0	62	0.22	22.7	図 63 と 図 66 参照
20	50.0	85	0.21	22.8	図 64 と 図 67 参照
16.667	60.0	90	0.21	22.8	図 68 と 図 69 参照

¹ マスター・クロック = 16.00 MHz

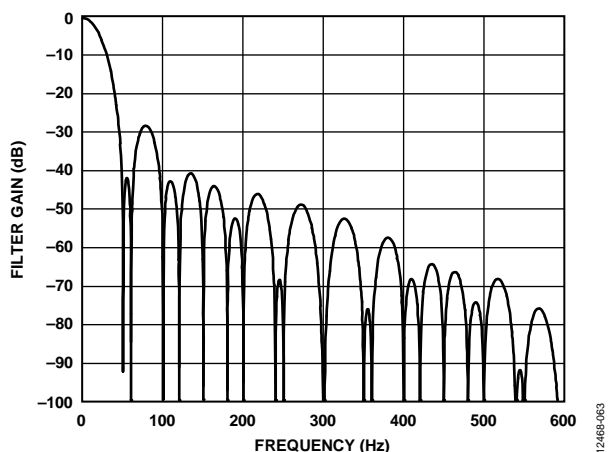


図 62. 27.27 SPS ODR, 36.67 ms セットリング時間

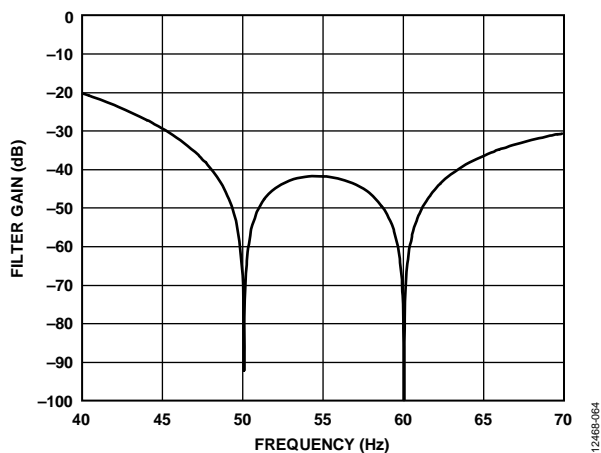


図 65. 27.27 SPS ODR, 36.67 ms セットリング時間

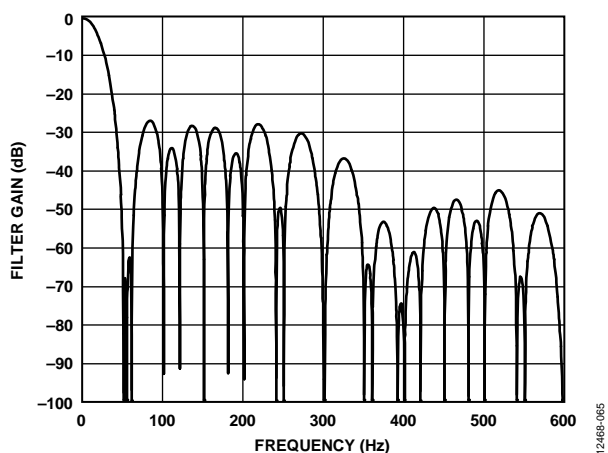


図 63. 25 SPS ODR, 40 ms セットリング時間

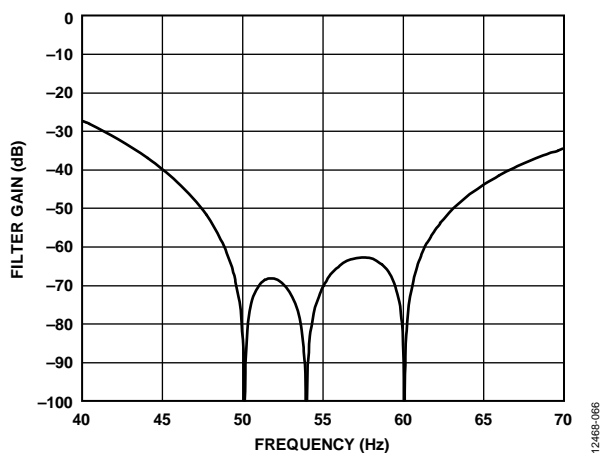


図 66. 25 SPS ODR, 40 ms セットリング時間

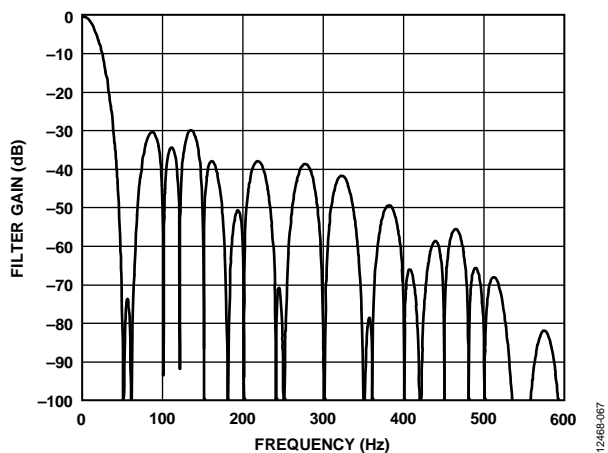


図 64. 20 SPS ODR, 50 ms セットリング時間

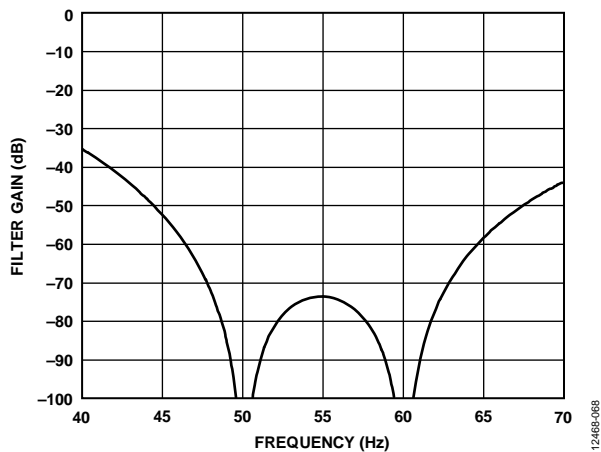


図 67. 20 SPS ODR, 50 ms セットリング時間

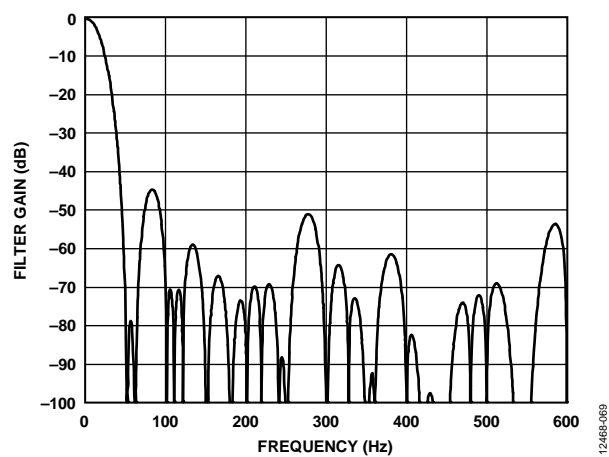


図 68.16.667 SPS ODR, 60 ms セトリング時間

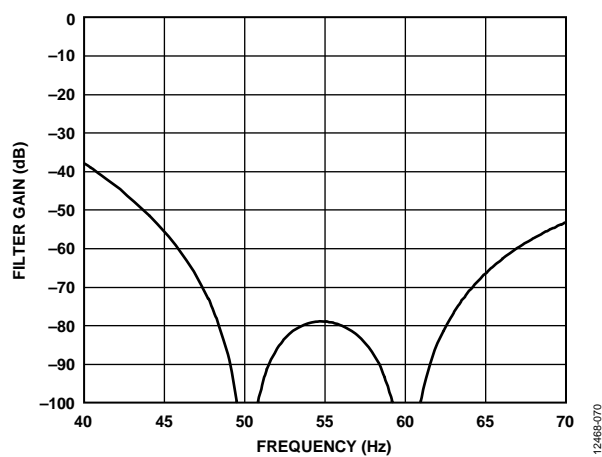


図 69.16.667 SPS ODR, 60 ms セトリング時間

動作モード

AD7175-2 は、ADC モード・レジスタとインターフェース・モード・レジスタで設定可能な、数種類の動作モードを備えています (詳細は、表 27 と表 28 を参照)。以下にそれらのモードについて、それぞれ詳細を説明します。

- 連続変換モード
- 連続読み出しモード
- シングル変換モード
- スタンバイ・モード
- パワーダウン・モード
- 3 種類のキャリブレーション・モード

連続変換モード

連続変換モードは、パワーアップ時のデフォルトのモードです。AD7175-2 は、連続で変換を行い、ステータス・レジスタの RDY ビットは変換が完了する毎にロー・レベルになります。CS がロー・レベルであれば、変換が完了したとき、DOUT/RDY 出力もロー・レベルになります。変換結果を読み出すときは、コミュニケーション・レジスタに書き込みを行って、次の動作がデータ・レジスタからの読み出しであることを指定します。データ・レジスタからデータ・ワードを読み出すと、DOUT/RDY ピンがハイ・レベルになります。この

レジスタの内容は必要に応じて何回も読み出すことが可能ですが、次の変換の完了時にデータ・レジスタをアクセスしてしまうことがないように注意する必要があります。もしこの時点でアクセスすると、新しい変換ワードが失われてしまいます。

いくつかのチャンネルがイネーブルになると、ADC はイネーブル状態にあるチャンネルを自動的に巡回し、各チャンネルのデータ変換を行います。全チャンネルの変換が終了すると、最初のチャンネルに戻って、再度巡回して変換を行います。チャンネルのデータ変換は、最も番号の小さいチャンネルから、最も番号の大きいチャンネルへ、順番に行われます。データ・レジスタは、変換が可能な状態になるたび、すぐさまアップデートされます。DOUT/RDY 出力は、新しい変換結果がそろったときに、ロー・レベルになります。ADC がイネーブル状態にある次のチャンネルの変換を行っている間に、変換結果を読み取ってください。

インターフェース・モード・レジスタの DATA_STAT ビットが 1 に設定されている場合、データ・レジスタが読まれる度に、ステータス・レジスタの内容に変換されたデータが付加されて一緒に出力されます。ステータス・レジスタは、変換を行ったチャンネルの情報を表示します。

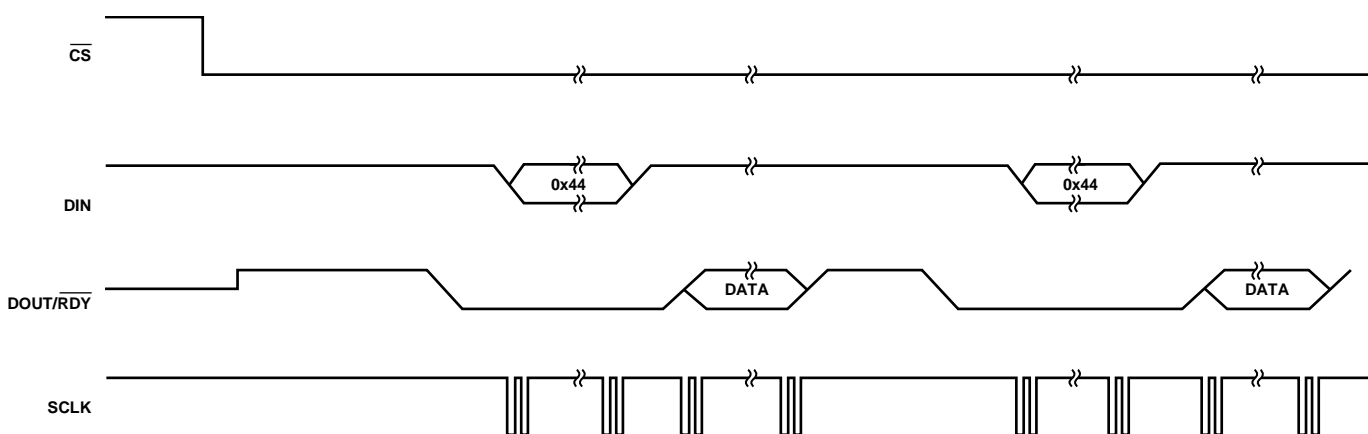


図 70.連続変換モード

12465-071

連続読み出しモード

連続読み出しモードでは、ADC データを読み出す際に、毎回コミュニケーション・レジスタへの書き込みを行う必要がなくなります。 $\overline{\text{RDY}}$ が変換終了を示すためにロー・レベルになった後に、読み出しに必要とされる数の SCLK を ADC に与えるだけです。変換結果を読み出すと、 $\text{DOUT}/\overline{\text{RDY}}$ はハイ・レベルに戻り、次の変換結果が得られるまでこのハイ・レベルを維持します。このモードでは、データは一度の変換で 1 回しか読み出すことができません。また、次の変換が完了する前に、データ・ワードを全て読み出すように注意する必要があります。もし変換データを、次回の変換が完了する前に読み出さなかった場合、もしくは AD7175-2 に与えるシリアル・クロック数が、データを読み出すには足りなかった場合は、シリアル出力レジスタは、次の変換が完了する前にすぐリセットされ、新たな変換データがシリアル出力レジスタに格納されます。連続読み出しモードを使うためには、ADC は連続変換モードとして設定しなければなりません。

連続読み出しモードをイネーブルにするには、インターフェース・モード・レジスタの CONTREAD ビットを設定します。このビットが設定されると、シリアル・インターフェースができるのは、データ・レジスタからのデータを読み出しすることのみになります。連続読み出しモードから抜け出すには、 $\overline{\text{RDY}}$ がロー・レベルのとき、ダミーの ADC データ・レジスタ・コマンド (0x44) を送信してください。もしくは、 $\overline{\text{CS}} = 0$ かつ $\text{DIN} = 1$ のとき、64 個の SCLK を送って、ソフトウェア・リセットを行ってください。この動作で、ADC と全てのレジスタの内容がリセットされます。これらは、インターフェースが連続読み出しモードになった後、このインターフェースが認識する唯一のコマンドです。したがって、命令がデバイスに書き込まれるまで、連続読み出しモードでは DIN をロー・レベルに維持しておく必要があります。

もし、複数の ADC チャンネルがイネーブルで、 DATA_STAT ビットがインターフェース・モード・レジスタ内で設定されていれば、データにステータス・ビットが付加された状態で各チャンネルのデータが順番に出力されます。ステータス・レジスタは、変換を行ったチャンネルの情報を表示します。

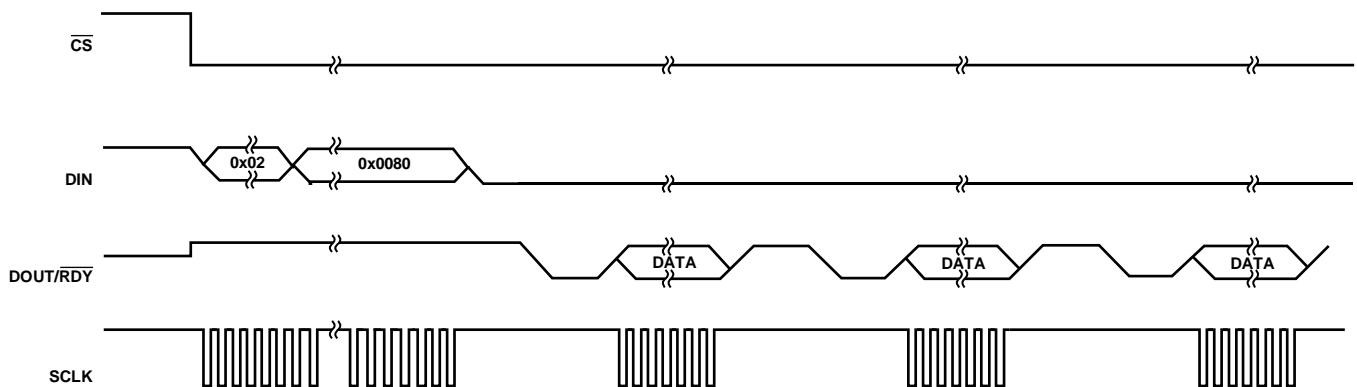


図 71. 連続読み出しモード

シングル変換モード

シングル変換モードでは、AD7175-2 は、一度だけ変換を行い、変換が終了するとスタンバイ・モードに移行します。変換が完了すると、RDY 出力はロー・レベルになります。データ・レジスタから、データ・ワードが読まれたあと、DOUT/RDY ピンはハイ・レベルになります。DOUT/RDY ピンがハイ・レベルになっ

ても、データ・レジスタの内容は、必要に応じて複数回読み出すことができます。

もし、いくつかのチャンネルがイネーブルになっていれば、ADC はイネーブル状態にあるチャンネルを自動的に巡回し、各チャンネルもデータ変換動作を行います。変換が開始されると、DOUT/RDY ピンがハイ・レベルになり、CS がロー・レベルのままであれば、有効な変換が完了するまでハイ・レ

ベルを維持します。有効な変換データが得られたら、ただちに DOUT/RDY 出力はロー・レベルになります。続いて ADC は、次のチャンネルを選択し、変換を開始します。この変換データは、次の変換が行われている間に、必ず読み出してください。次の変換が終了すると、ただちにデータ・レジスタが更新されます。それゆえ、変換データを読むための期間は限られています。ADC は、選択されたチャンネルのシングル変換を行った後、スタンバイ・モードに戻ります。

もし、インターフェース・モード・レジスタの DATA_STAT ビットが 1 にセットされた場合、データ・レジスタが読みだされるたびに、ステータス・レジスタの内容が変換結果と一緒に出力されます。ステータス・レジスタの下位 LSB4 ビットは、変換を行ったチャンネルを表示します。

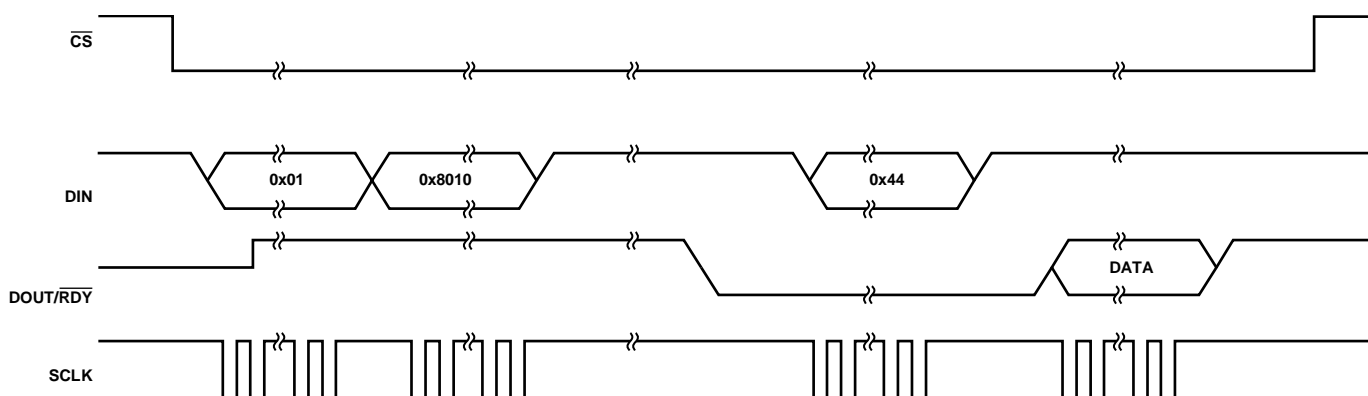


図 72. シングル変換モード

スタンバイおよびパワーダウン・モード

スタンバイ・モードでは、ほとんどの回路ブロックがパワーダウンします。しかし LDO はレジスタの内容を保持するため、動作状態を維持します。もし内部リファレンス電圧がイネーブルであれば、こちらも動作状態を維持します。また外部水晶発振子が選択されている場合も、動作状態を維持します。スタンバイ・モードでレファレンス電圧をパワーダウンさせるには、ADC モード・レジスタの REF_EN ビットを 0 に設定して下さい。クロックをスタンバイ・モードでパワーダウンさせるには、ADC モード・レジスタの CLOCKSEL ビットを 00（内蔵発振器を使う）に設定してください。

パワーダウン・モードでは、LDO を含むすべての回路ブロックへの電源供給が止まります。この時、全てのレジスタの内容は失われ、GPIO 出力は、スリーステートになります。偶発的にパワーダウン・モードに入らないようにするため、最初に ADC がスタンバイ・モードになるようにしてください。パワーダウン・モードから抜け出すには、 $\overline{CS}=0$ 、 $DIN=1$ の状態で、64 個の SCLK が必要です。これはシリアル・インターフェースによるリセットを意味します。LDO がパワーアップするまでの猶予を与えるため、次の連続したシリアル・インターフェース・コマンドの発行まで、500 μ s の遅延時間を与える事を推奨します。

図 19 に、スタンバイ・モードからの復帰時（REF_EN = 0 から 1 に設定）と、パワーダウン・モードからの復帰時における内部リファレンス電圧のセトリング時間を示します。

キャリブレーション

AD7175-2 は、全てのオフセット及びゲイン誤差を排除するために、2 ポイント・キャリブレーションを実施します。以下の 3 つのキャリブレーション・モードが、セットアップ毎のオフセットとゲイン誤差を除去するために提供されています。

- 内部ゼロスケール・キャリブレーション
- システム・ゼロスケール・キャリブレーション
- システム・フルスケール・キャリブレーション

内部のフルスケール・キャリブレーションは備えていません。何故なら、工場出荷時にキャリブレーションされているからです。

キャリブレーション中は、1 チャンネルのみアクティブになります。各変換後、ADC の変換結果は、データ・レジスタ書き込む前に ADC キャリブレーション・レジスタのデータを使って補正されます。

オフセット設定レジスタのデフォルト値は、0x800000、ゲイン設定レジスタの公称値は 0x555555 です。ADC ゲインのキャリブレーション範囲は、 $0.4 \times V_{REF}$ から $1.05 \times V_{REF}$ です。以下の式が、その計算に使われます。ユニポーラ・モードの場合、ADC ゲイン誤差とオフセット誤差を含めないとすると、データとゲイン・オフセットとの理想的な関係式は以下のようになります。

$$Data = \left[\frac{0.75 \times V_{IN}}{V_{REF}} \times 2^{23} - (Offset - 0x800000) \right] \times \frac{Gain}{0x400000} \times 2$$

バイポーラ・モードの場合、ADC ゲイン誤差とオフセット誤差を含めないとすると、（データとゲイン・オフセットとの）理想的な関係式は以下のようになります。

$$Data = \left[\frac{0.75 \times V_{IN}}{V_{REF}} \times 2^{23} - (Offset - 0x800000) \right] \times \frac{Gain}{0x400000} + 0x800000$$

キャリブレーションを開始するには、ADC モード・レジスタにある、MODE ビットにそれぞれのキャリブレーション・モードに対応する値を書き込みます。キャリブレーションを起動すると、DOUT/RDY ピンと、ステータス・レジスタの RDY ビットがハイ・レベルになります。キャリブレーションが完了すると、対応するオフセット及びゲイン設定レジスタの内容が更新され、ステータス・レジスタの RDY ビットがリセットされます。また、RDY 出力ピンがロー・レベルにも戻ります。但し、CS がロー・レベルでなければなりません。その後 AD7175-2 はスタンバイ・モードに復帰します。

内部オフセット・キャリブレーション中、選択された正側アナログ入力ピンは切り離され、AD 変調器入力と選択された負側アナログ入力ピンとが内部で短絡されます。この理由から、選択された負アナログ入力ピンに与えられている電圧は、許される上限を超えていないことと、そのピン周辺に過剰なノイズや干渉がないことを確認してください。

システム・キャリブレーションでは、キャリブレーション・モードを起動する前に、システム・ゼロスケール（オフセット）用の電圧、およびシステム・フルスケール（ゲイン）用の電圧が、ADC のピンに与えられていることが前提です。この結果、ADC に対する外部誤差要因が排除できます。

動作ポイントの観点からは、キャリブレーションはもう 1 つの ADC 変換のように扱う必要があります。必要に応じて、オフセット・キャリブレーションは、常にフルスケール・キャリブレーションの前に行うようにして下さい。ステータス・レジスタの RDY ビットをモニタするようにシステム・ソフトウェアを設定するか、もしくは DOUT/RDY ピンをモニタし、ポーリング・シーケンスまたは割り込みをトリガとするルーチンによってキャリブレーションの完了を調べます。全てのキャリブレーションは、ある程度の時間がかかります。その時間は、選択されたフィルタのセトリング時間と、出力データレートと等しくなります。

内部オフセット・キャリブレーション、システム・ゼロ・キャリブレーションそして、システム・フルスケール・キャリブレーションは、どの出力データレートでも実行できます。最も低い出力データレートを使ってキャリブレーションを行うと、精度の高いキャリブレーション結果を得ることができ、かつ全ての出力データレートに対しても、高精度のキャリブレーションデータが得られます。あるチャンネルのリファレンス電圧が変更された場合、新たなオフセット・キャリブレーションが必要です。

オフセット誤差は、Typical 値で $\pm 40 \mu V$ であり、オフセット・キャリブレーションを行うと、ノイズと同等レベルにまで減少させることができます。ゲイン誤差は、工場出荷時に周囲温度でキャリブレーションされています。工場出荷時のキャリブレーションによるゲイン誤差は、Typical 値で FSR の $\pm 35 ppm$ です。

AD7175-2 は、内蔵キャリブレーション・レジスタへのアクセスを許可しており、マイクロプロセッサがデバイスのキャリブレーション係数を読み出し、そのキャリブレーション係数を書き込むこともできます。内部もしくは自己キャリブレーション時以外は、オフセット設定レジスタとゲイン設定レジスタの読み書きはいつでも行えます。

デジタル・インターフェース

AD7175-2 のプログラムできる機能は、SPI シリアル・インターフェース経由で設定します。AD7175-2 のシリアル・インターフェースは、以下の 4 つの信号線で構成されています。CS、DIN、SCLK、そして DOUT/RDY です。DIN 入力、内蔵レジスタにデータを転送するときに使われ、DOUT 出力は、内蔵レジスタからデータを読み出すときに使われます。SCLK はデバイスへのシリアル・クロック入力、すべてのデータ転送は、DIN 入力であっても DOUT 出力であっても、SCLK 信号を基準として発生します。

DOUT/RDY ピンは、出力がロー・レベルになることで、データ・レディ信号としても機能します。その条件は、データ・レジスタ内へ新しいデータ・ワードが格納され、CS がロー・レベルが入力された時です。データ・レジスタからのデータ読み出しが完了すると、RDY 出力はハイ・レベルになってリセットされます。RDY 出力は、データ・レジスタの更新前にもハイ・レベルになり、デバイスからの読み出しができないことを表示して、レジスタの更新中にデータが読み出されることを防止します。RDY 出力がロー・レベルになる前に、データ・レジスタからの読み出しは避けるようにして下さい。データの読み出しが出来ない事を確認する最良の方法は、RDY 出力をモニタすることです。RDY 出力がロー・レベルになれば、ただちにデータ・レジスタの読み取りを開始し、十分な SCLK のクロック数が存在していることが確認できれば、次回の変換結果が得られる前に、読み出しが完了していることを意味します。CS はデバイスを選択するときに使いますが、シリアル・バスに複数のデバイスが接続されているシステムでは、この信号で AD7175-2 を選択することができます。

図 2 と 図 3 に、AD7175-2 に CS が接続されている場合のインターフェースで、このデバイスを選択するためのタイミング図を示します。図 2 は、AD7175-2 からのデータ読み出し動作のタイミング図で、図 3 AD7175-2 のデータ書き込み動作のタイミング図です。最初の読み出し動作を行ったあと、RDY 出力がハイ・レベルに戻った後でも、データ・レジスタからの読み出し操作を複数回行うことができます。しかしながら、次の出力データの更新が発生する前には、読み出し動作が完全に終了していることを確認して下さい。ただし連続読み出しモードでは、データ・ワードは 1 変換につき 1 回しか読み出すことができません。

CS をロー・レベルに固定すれば、シリアル・インターフェースは、3 線インターフェースで動作可能です。この場合、SCLK、DIN、DOUT/RDY の各ピンを使って、AD7175-2 との通信を行います。通信の終了は、ステータス・レジスタの RDY ビットをモニタすることでも可能です。

CS = 0 かつ DIN = 1 の状態で、64 個の SCLK 信号を書き込むと AD7175-2 をリセットできます。リセットにより、インターフェースをコミュニケーション・レジスタに対する書き込み動作待ちの状態に戻します。この動作により、すべてのレジスタ値がそれぞれのパワーオン時の値にリセットされます。リセット後、シリアル・インターフェースの書き込みをする前に、500 μs の待ち時間が必要です。

チェックサム保護

AD7175-2 は、インターフェースの信頼性を向上するために、チェックサム・モードを使うことができます。チェックサムを使うと、レジスタには有効なデータのみが書き込まれ、検証済みのレジスタからのデータ読み出しが可能になります。もし、レジスタへの書き込み時にエラーが起こったなら、ステータス・レジスタ内の CRC_ERROR ビットがセットされます。レジスタへの書き込みが正常に行われたかどうかを確認

するためには、レジスタ・データのリードバックを行い、チェックサムの確認を行って下さい。

データ書き込み時の CRC チェックサムの計算は、以下の多項式を用いています。

$$x^8 + x^2 + x + 1$$

データ読み出し時は、この多項式か、より簡単な排他的論理和 (XOR) 関数を選択することができます。XOR 関数を使ったチェックサムは、多項式ベースのチェックサムに比べると、ホスト・マイクロコントローラ上で、より短い時間で処理できます。インターフェース・モード・レジスタ内の CRC_EN ビットで、チェックサムを有効、もしくは無効にし、有効の場合は多項式によるエラー・チェックを使うか、XOR を使ったシンプルなエラー・チェックを使うかの選択できます。

チェックサムは、読み出しと書き込みの各々のデータ交換トランザクションの最後に付加されます。読み込みトランザクションは、8 ビットのコマンド・ワードと 8 から 24 ビットのデータを使って計算されます。書き込みトランザクションは、8 ビットのコマンド・ワードと 8 から 32 ビットのデータを使って計算されます。図 73 と 図 74 に、SPI での読み出しおよび書き込みトランザクションを、それぞれ示します。

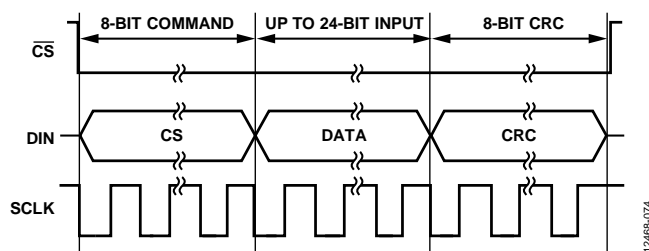


図 73.CRC 付き SPI 書き込みトランザクション

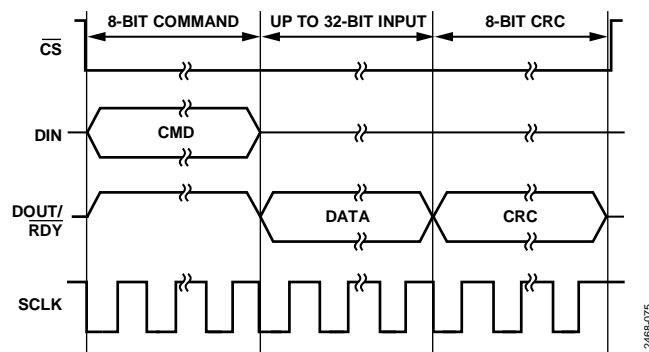


図 74.CRC 付き SPI 読み出しトランザクション

連続読み出しモードがアクティブで、もしチェックサム保護がイネーブルであれば、データ・トランザクションごとに、暗黙のデータ読み込みコマンド、0x44 が存在します。従って、チェックサムの計算時、このコマンドを必ず考慮しなければなりません。これにより、ADC のデータが 0x000000 であったとしても、ゼロのチェックサム値にならないことを保証しています。

CRC の計算

多項式

8 ビット幅のチェックサムは、以下の多項式で生成します。

$$x^8 + x^2 + x + 1$$

チェックサム生成時、データは 8 ビットごとに左側にシフトされ、8 ビットのロジック 0 で終わる数値を生成します。多

24 ビット・ワードに対する多項式による CRC 計算例 0x654321 (8 個のコマンド・ビットと 16 ビット・データ)

この例では、多項式ベースのチェックサムを使い、8 ビットのチェックサムを計算します。詳細は以下。

I 初期値 011001010100001100100001

01100101010000110010000100000000

8 ビット左にシフト

$$x^8 + x^2 + x + 1$$

= 100000111

多項式

100100100000110010000100000000

XOR 結果

100000111

多項式

1000110001100100001000000000

XOR 結果

100000111

多項式

111111100100001000000000

XOR 結果

100000111

多項式 の値

111110111000010000000000

XOR 結果

100000111

多項式 の値

1111000000001000000000

XOR 結果

100000111

多項式 の値

1110011100010000000000

XOR 結果

100000111

多項式 の値

11001001001000000000

XOR 結果

100000111

多項式 の値

10010101010000000000

XOR 結果

100000111

多項式 の値

1011011000000000

XOR 結果

100000111

多項式 の値

11010110000000

XOR 結果

100000111

多項式 の値

101010110000

XOR 結果

100000111

多項式 の値

1010001000

XOR 結果

100000111

多項式 の値

10000110

チェックサム = 0x86.

項式の MSB が、データの最も左にあるロジック 1 と合うように、多項式値の位置決めします。新規かつ短い数値を作るため、排他的論理和 (XOR)関数をデータに適応します。再度、多項式の MSB が、得られたデータの最も左にあるロジック 1 と合うように、多項式値の位置決めします。このプロセスは、元データが多項式の値よりも小さくなるまで繰り返されます。これは 8 ビットのチェックサムです。

排他的論理和の計算

元データをバイトごとに分離して、それぞれのバイトに XOR 演算を行って、8 ビット幅のチェックサムを生成します。

24 ビット・ワードに対する XOR を使った CRC 計算例 0x654321 (8 個のコマンド・ビットと 16 ビット・データ)

前の例と同じ例を使うとして、以下の 3 バイトに分割できます : 0x65、0x43、0x21

01100101	0x65
01000011	0x43
00100110	XOR 結果
00100001	0x21
00000111	CRC

内蔵機能

AD7175-2 は、多くのアプリケーションにおいて有用性を向上させることができる、いくつかの内蔵機能を備えています。

汎用 I/O

AD7175-2 は 2 つの汎用デジタル入出力ピンを備えています：GPIO0 と GPIO1 です。これらは、GPIOCON レジスタ内の IP_EN0/IP_EN1 ビットまたは OP_EN0/OP_EN1 ビットを使ってイネーブルします。GPIO0 もしくは GPIO1 ピンが入力として有効であるとき、GP_DATA0 もしくは GP_DATA1 ビットにピンのロジック・レベルがそれぞれ格納されます。GPIO0 もしくは GPIO1 ピンが、出力としてイネーブルであるとき、GP_DATA0 もしくは GP_DATA1 のビット値は、対応する各ピンの出力ロジック・レベルになります。これらのロジック・レベルは、AVDD1 と AVSS とを基準にしています。従って、出力電圧振幅は、5V もしくは 3.3V です。どちらの値になるかは、(AVDD1 – AVSS) に印加される値で決まります。

SYNC/ERROR ピンは、汎用出力としても使うことができます。GPIOCON レジスタ内の、ERR_EN ビットが 11 に設定されると、SYNC/ERROR ピンが汎用出力として動作します。この構成では、GPIOCON レジスタの ERR_DAT ビットが、ピンの出力ロジック・レベルを決めます。このロジック・レベルは、IOVDD と DGND を基準としています。

GPIO と SYNC/ERROR ピンが、汎用出力に設定されると、その出力はアクティブ・プルアップになります。

外部マルチプレクサの制御

チャンネル数を増やすために、外部マルチプレクサを使う場合は、外部マルチプレクサのロジック・ピンを、AD7175-2 GPIOx ピンを使って制御できます。MUX_IO ビットをセットすると、GPIO x が ADC によって制御されます。従って、ADC に同期してチャンネル変更が可能となり、同期を行うために別の回路を用意する必要はありません。

遅延

AD7175-2 がサンプリングを行う前に、プログラマブルな遅延を挿入することが可能です。これにより、外部アンプやマルチプレクサの出力がセトリングするまで待つことができ、これらの素子に対する要求特性を緩和することが可能です。8 つのプログラマブルな遅延設定ができ、その範囲は 0 μ s から 1 ms です。この設定は、ADC モード・レジスタ(アドレス 0x01、ビット[10:8])を使います。

もし、ディレイが 0 μ s より大きな値が選択され、ADC モード・レジスタの HIDE_DELAY ビットが 0 に設定されると、選択された出力データレートに関わらず、このディレイ値がそのまま変換時間に加えられます。

Sinc5 + Sinc1 フィルタを使う場合は、このディレイを見えなくする(内包させる)ことも可能です。つまりディレイを有効にしない場合の出力データレートと同じ出力データレートにすることができます。IHIDE_DELAY ビットが 1 に設定され、選択された遅延時間が、変換時間の半分より短い場合、デジタル・フィルタが行うアベレージの回数を減らすことによって、この遅延時間は、変換時間の中に内包されてしまいます。これにより変換時間は変わりませんが、ノイズ特性に影響を与える恐れがあります。

このノイズ特性への影響は、変換時間と比較した遅延時間の長さに依存します。遅延時間を吸収できるのは、出力データレートが、10 kSPS 以下の時です。ただし例外があって、以下の 4 つのレートでは、遅延時間を全く吸収できません。それらは、397.5 SPS、59.92 SPS、49.96 SPS、そして 16.66 SPS です。

16 ビット/24 ビット変換

デフォルトで、AD7175-2 は 24 ビットでデータ変換を行います。しかしながら、データ幅を 16 ビットに減らして出力させることもできます。インターフェース・モード・レジスタの WL16 ビットを 1 に設定すると、すべての変換データは、16 ビットに丸められます。24 ビット幅でデータを出力させるには、このビットをクリアしてください。

DOUT_RESET

シリアル・インターフェースは、共有の DOUT/RDY ピンを使います。デフォルトでこのピンは、RDY 信号の出力ピンです。データ読み出しの期間中、このピンは指定されたレジスタを出力します。読み出し終了後、ある短い時間 (t) 経過したら、このピンは、RDY 信号の出力ピンに復帰します。しかしながら、この時間は、幾つかのマイクロコントローラにとっては、短すぎるかもしれません。インターフェース・モード・レジスタの DOUT_RESET ビットを 1 に設定して、CS ピンがハイ・レベルになるまで、この時間を引き延ばすことが出来ます。これは、CS を、各読み出し動作を考慮し、シリアル・インターフェースのトランザクションを完了するため使う様にしなければならないことを意味します。

同期

ノーマル同期

GPIOCON レジスタ内の SYNC_EN ビットを 1 に設定すると、SYNC/ERROR ピンは、同期用ピンとして機能します。SYNC 入力を使うと、同じデバイスにおける他の設定に対して影響を与えることなく、変調器とデジタル・フィルタとをリセットできます。この機能は、外部から指定できる既知のタイミング、すなわち SYNC 入力の立ち上がりエッジから、アナログ入力のサンプル・データ取得を開始できます。SYNC 入力は、同期が確実に行われることを担保するため、最低でもマスター・クロック 1 周期以上はロー・レベルにしてください。

複数の AD7175-2 を、共通のマスター・クロックで動作させて同期動作を実現し、それらデバイスのデータ・レジスタを同時に更新することが可能です。この動作は通常、各 AD7175-2 がキャリブレーションを実行するか、キャリブレーション・レジスタにキャリブレーション係数をロードした後に完了します。SYNC 入力の立ち下がりエッジで、デジタル・フィルタとアナログ変調器がリセットされて AD7175-2 は、あらかじめ決められた状態に置かれ変換はスタートしません。SYNC 入力がロー・レベルである限り、AD7175-2 は、この状態を維持します。SYNC の立ち上がりエッジで、変調器とフィルタはリセット状態を抜け出し、次のマスター・クロックのエッジで、デバイスは再び入力サンプルの取得を開始します。

このデバイスは、SYNC のロー・レベルからハイ・レベルへの遷移に続くマスター・クロックの立ち下がりエッジで、リセット状態から抜け出します。従って、複数のデバイスを同期動作させる時は、すべてのデバイスがマスター・クロックの立ち下がりエッジで確実にサンプリングすることを担保するため、マスター・クロックの立ち上がりエッジで SYNC ピンをハイ・レベルにします。SYNC ピンが、十分な時間が取れずにハイ・レベルになった場合、デバイス間でマスター・クロック 1 周期分の時間差を持つ可能性があります。すなわち、デバイスごとの変換の瞬間が、最大マスター・クロック 1 周期分の差が生じることがあります。

SYNC 入力、ノーマル同期モードの時、1 チャンネルの対しての変換開始コマンドとしても使うことができます。このモードでは、SYNC 入力の立ち上がりエッジで変換が開始され、変換完了時、RDY の立ち下がりエッジが出現して変換完了を知らせます。フィルタのセトリング時間は、各データ・レジスタの更新ごとに、必要です。変換完了後、次の変換を開始する信号を待ち受けるため、SYNC をロー・レベルにしています。

オルタネート同期

このモードでは、AD7175-2 の複数チャンネルがイネーブルになっている時、SYNC ピンが変換開始コマンドとして機能します。インターフェース・モード・レジスタの ALT_SYNC ビットを 1 に設定すると、オルタネート同期が起動します。SYNC がロー・レベルになると、ADC は現状のチャンネルの変換を完了し、順番で決められた次のチャンネルを選択します。続いて ADC は、この次のチャンネルの変換を開始できることを許可する SYNC がハイ・レベルになるまで待機します。RDY ピンは、現状のチャンネルの変換が完了するとロー・レベルになります。そして、その変換に対応するデータ・レジスタが更新されます。すなわち、SYNC コマンドを使うと、現状選択されているチャンネルのサンプリングに影響を与えませんが、順番で決められた次のチャンネルの変換が行われる瞬間を制御することができます。

オルタネート同期は、いくつかのチャンネルがイネーブルになっている時のみ、使用することができます。1 つのチャンネルのみイネーブルになっている場合は、このモードの使用は推奨されません。

エラー・フラグ

ステータス・レジスタは、ADC_ERROR、CRC_ERROR、REG_ERROR の 3 つのエラー・ビットを保持しています。それぞれのビットは、ADC の変換エラー、CRC チェック時のエラー、レジスタ変更に伴って発生したエラーを格納しています。さらに、ERROR ピンは、いずれかのエラーが起きたことを外部に知らせます。

ADC_ERROR

変換プロセス中にエラーが発生した場合、ステータス・レジスタの ADC_ERROR ビットにフラグがたちます。このフラグは、ADC の出力で、オーバーレンジもしくはアンダーレンジを検知したときセットされます。アンダーレンジやオーバーレンジが発生すると、ADC の出力はそれぞれ、オール 0 もしくはオール 1 になります。このフラグは、オーバーレンジまたはアンダーレンジが解消したときのみ、リセットされます。データ・レジスタの読み込みによってリセットされることはありません。

CRC_ERROR

もし、書き込み動作時に付加された CRC の値が、送られた情報と一致しなかった場合、CRC_ERROR フラグがセットされます。このフラグは、ステータス・レジスタが読まれたことが分かると、ただちにリセットされます。

REG_ERROR

このフラグは、インターフェース・モード・レジスタの REG_CHECK ビットと組み合わせて使用します。REG_CHECK ビットが設定されると、AD7175-2 は、内部レジスタの値をモニタします。もしあるビットが変化すると、REG_ERROR ビットがセットされます。従って、内部レジスタへの書き込みを行う際には、インターフェース・モード・レジスタの REG_CHECK ビットが 0 に設定されていることを確認してください。レジスタ書き込みで更新されると、REG_CHECK ビットを 1 に設定できます。AD7175-2 は、内部レジスタのチェックサムを計算します。もし、1 つでもレジスタの値が変化していたなら、REG_ERROR ビットがセットされます。エラーが検出されたら、ステータス・レジスタの REG_ERROR ビットをクリアするため、REG_CHECK ビットを必ず 0 に設定してください。なお、このレジスタ・チェック機能はデータ・レジスタ、ステータス・レジスタ、インターフェース・モード・レジスタをモニタしていません。

ERROR 入力/出力

GPIOCON レジスタ内の SYNC_EN ビットを 1 に設定すると、SYNC/ERROR ピンは、入力/出力ピン、もしくは汎用出力ピンとして機能します。GPIOCON レジスタの ERR_EN ビットが、このピンの機能を決めます。

ERR_EN を 10 に設定した場合、SYNC/ERROR このピンは、オープン・ドレインのエラー出力、すなわち、ERROR となります。ステータス・レジスタ内の 3 つのエラー・ビット (ADC_ERROR、CRC_ERROR、REG_ERROR) は、論理和 (OR) をとられ、反転された上で、ERROR 出力に反映されます。それゆえ、ERROR 出力に、エラーの発生が表示されます。エラーの原因を特定するには、ステータス・レジスタを読み込んで下さい。

ERR_EN を 01 に設定すると、SYNC/ERROR ピンは、エラー入力ピン、すなわち ERROR となります。他の部品のエラー・ピンを、AD7175-2 の ERROR 入力に接続すると、AD7175-2 は、デバイス自身もしくは、接続されている外部部品でエラーが起きたことを検知して表示します。ERROR ピンの値は反転され、ADC からの変換エラーとの OR をとります。その結果はステータス・レジスタの、ADC_ERROR ビットに表示されます。ERROR 入力の値は、GPIOCON レジスタの ERR_DAT ビットへ反映されます。

ERROR 入力/出力は、ERR_EN が 00 にセットされるとディスエーブルになります。ERR_EN ビットが 11 に設定されると、SYNC/ERROR ピンは、汎用出力として機能します。

DATA_STAT

ステータス・レジスタの内容は、AD7175-2 の各変換データに付属させることができます。これは、複数のチャンネルがイネーブルになっている場合に便利な機能です。変換データが出力される度に、ステータス・レジスタの内容が付け加えられます。ステータス・レジスタの下位 4 ビットは、どのチャンネルを変換したかを表示します。加えて、エラー・ビットによってフラグ付けされたエラーがあれば、そのエラーを特定できます。

IOSTRENGTH

シリアル・インターフェースは、電源電圧が 2V まで下がっても動作します。しかしながら、低電圧の時、DOUT/RDY ピンは、ボード上に存在する中程度の寄生容量の影響や、SCLK 周波数が高いときには、十分な駆動能力を得ることができないかもしれません。インターフェース・モード・レジスタの IOSTRENGTH ビットは、DOUT/RDY ピンの駆動能力を増加させることができます。

内部温度センサー

AD7175-2 は、内蔵温度センサーを装備しています。温度センサーは、デバイスが動作している周囲温度を知るために使うことができます。これは、デバイスの診断目的に使うこともできますし、動作温度の変化を考慮して、アプリケーション回路がキャリブレーション・ルーチンを再実行するための指標として用いることもできます。温度センサーは、アナログ入力チャンネルの選択と同様、クロスポイント・マルチプレ

クサを使って選択されます。温度センサーを使用するには、両方のアナログ入力の入力バッファがイネーブルになっている必要があります。もしバッファがイネーブルになっていないなら、変換を行っている期間中、温度センサーを入力として選択して強制的にバッファをイネーブルにして下さい。

温度センサーを使うためには、最初に既知の温度 (25°C) において、デバイスをキャリブレーションし、その温度を基準として変換します。温度センサーの感度は、公称 477µV/K です。理想的な傾きと測定された傾きとの差は、温度センサーをキャリブレーションすることで補正できます。温度センサーは、25°C でキャリブレーションした後の公称精度は、±2°C です。温度は以下の式で計算できます。

$$Temperature(^{\circ}C) = \left(\frac{Conversion\ Result}{477\ \mu V} \right) - 273.15$$

グラウンド接続とレイアウト

ADCのアナログ入力とリファレンス電圧入力は差動であるため、アナログ変調器内の多くの電圧はコモン・モード電圧です。この製品の優れたコモン・モード除去比により、これら入力でのコモン・モード・ノイズが除去されます。AD7175-2のアナログ電源とデジタル電源は独立しており、別々のピンを使用することにより、デバイスのアナログ部とデジタル部の間の結合を最小にしています。デジタル・フィルタは、マスター・クロック周波数の整数倍の周波数以外の広帯域電源ノイズを除去します。

また、ノイズ源がアナログ変調器を飽和させない限り、デジタル・フィルタはアナログ入力とリファレンス電圧入力のノイズも除去します。そのため、従来の高分解能コンバータに比べてAD7175-2のノイズ干渉耐性は向上しています。しかし、AD7175-2は分解能が高く、コンバータのノイズ・レベルが非常に低いため、グラウンド接続とレイアウトについては注意が必要です。

ADCを実装するプリント回路ボード（PCB）は、アナログ部とデジタル部を分離して、ボードの特定領域にまとめて配置するようにデザインする必要があります。一般に、エッチング部分を最小すると、最適なシールド効果を持つため、この方法はグラウンド・プレーンに最適です。

どのようなレイアウトであろうとも、システム内における電流の流れには十分注意を払い、全てのリターン電流用の経路と目的場所まで電流を流す経路とを、できるだけ近づけて配置するよう心がけて下さい。

このデバイスの下にデジタル・ラインを配置することは避けて下さい。この様なレイアウトは、デバイスのダイとのノイズ結合が起きてしまいます。AD7175-2の下には、アナログ・グラウンドを配置すれば、ノイズ結合を避けることができます。AD7175-2の電源ラインはできるだけ太いパターンにしてインピーダンスを下げ、電源ライン上のグリッチを減らします。クロックなどの高速なスイッチング信号は、デジタ

ル・グラウンドでシールドしてボードの他の部分に対するノイズの放射を防止します。また、クロック信号はアナログ入力の近くを通過しないようにします。デジタル信号とアナログ信号の交差は回避する必要があります。デジタル信号とアナログ信号のパターンは、基板の反対側に配置し、それぞれが直角になるように配置して下さい。これにより、ボードを通過するフィードスルーの効果を削減することができます。マイクロストリップ技術の使用は最善ですが、両面ボードでは常に使用できるとは限りません。

高分解能ADCを使うときは、デカップリングが重要になります。AD7175-2は、3つの独立した電源ピンを持っています。これらは、AVDD1、AVDD2そしてIOVDDです。AVDD1とAVDD2ピンは、AVSSを基準としています。一方、IOVDDピンは、DGNDを基準としています。AVDD1とAVDD2は、10 μF のコンデンサと 0.1 μF のコンデンサとを並列に接続した上で、それぞれ AVSS へデカップリングして下さい。各コンデンサは、デバイスの各電源ピンのできるだけ近くに配置して下さい。理想的には、デバイスに直接接続する必要があります。IOVDD は、10 μF のコンデンサと、0.1 μF のコンデンサとを並列接続し、DGND へデカップリングして下さい。全てのアナログ入力は、AVSS へデカップリングして下さい。もし外部基準電圧源を使う場合は、REF+と REF-ピンを、AVSS にデカップリングして下さい。

AD7175-2 は、2つの内蔵 LDO レギュレータを持ち、1つは AVDD2 を安定化し、もうひとつは、IOVDD を安定化しています。REGCAPA ピンは、AVSS に対して 1 μF と 0.1 μF のコンデンサを介して接続する事を推奨します。同様に REGCAPD ピンは、DGND に対して 1 μF と 0.1 μF のコンデンサを介して接続する事を推奨します。

AD7175-2 を分離電源で動作させる場合、AVSS 用の分離された電源プレーンを、必ず用意して下さい。

レジスタの一覧

表 24. レジスタの一覧

Reg.	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	RW	
0x00	COMMS	[7:0]	WEN	R/W	RA						0x00	W	
0x00	STATUS	[7:0]	RDY	ADC_ERROR	CRC_ERROR	REG_ERROR	RESERVED		CHANNEL		0x80	R	
0x01	ADCMODE:	[15:8]	REF_EN	HIDE_DELAY	SING_CYC	RESERVED			DELAY		0x8000	RW	
		[7:0]	RESERVED	MODE			CLOCKSEL		RESERVED				
0x02	IFMODE	[15:8]	RESERVED			ALT_SYNC	IOSTRENGTH	RESERVED		DOUT_RESET	0x0000	RW	
		[7:0]	CONTREAD	DATA_STAT	REG_CHECK	RESERVED	CRC_EN		RESERVE_D	WL16			
0x03	REGCHECK	[23:16]	REGISTER_CHECK[23:16]									0x000000	R
		[15:8]	REGISTER_CHECK[15:8]										
		[7:0]	REGISTER_CHECK[7:0]										
0x04	DATA	[23:16]	DATA[23:16]									0x000000	R
		[15:8]	DATA[15:8]										
		[7:0]	DATA[7:0]										
0x06	GPIOCON	[15:8]	RESERVED			MUX_IO	SYNC_EN	ERR_EN		ERR_DAT	0x0800	RW	
		[7:0]	RESERVED		IP_EN1	IP_EN0	OP_EN1	OP_EN0	GP_DATA1	GP_DATA0			
0x07	ID	[15:8]	ID[15:8]									0x0CDX	R
		[7:0]	ID[7:0]										
0x10	CH0	[15:8]	CH_EN0	RESERVED	SETUP_SEL0		RESERVED		AINPOS0[4:3]		0x8001	RW	
		[7:0]	AINPOS0[2:0]			AINNEG0							
0x11	CH1	[15:8]	CH_EN1	RESERVED	SETUP_SEL1		RESERVED		AINPOS1[4:3]		0x0001	RW	
		[7:0]	AINPOS1[2:0]			AINNEG1							
0x12	CH2	[15:8]	CH_EN2	RESERVED	SETUP_SEL2		RESERVED		AINPOS2[4:3]		0x0001	RW	
		[7:0]	AINPOS2[2:0]			AINNEG2							
0x13	CH3	[15:8]	CH_EN3	RESERVED	SETUP_SEL3		RESERVED		AINPOS3[4:3]		0x0001	RW	
		[7:0]	AINPOS3[2:0]			AINNEG3							
0x20	SETUPCON0	[15:8]	RESERVED			BI_UNIPOLAR0	REFBUF0+	REFBU_F0-	AINBUF0+	AINBUF0-	0x1320	RW	
		[7:0]	BURNOUT_EN0	RESERVED	REF_SEL0		RESERVED						
0x21	SETUPCON1	[15:8]	RESERVED			BI_UNIPOLAR1	REFBUF1+	REFBU_F1-	AINBUF1+	AINBUF1-	0x1320	RW	
		[7:0]	BURNOUT_EN1	RESERVED	REF_SEL1		RESERVED						
0x22	SETUPCON2	[15:8]	RESERVED			BI_UNIPOLAR2	REFBUF2+	REFBU_F2-	AINBUF2+	AINBUF2-	0x1320	RW	
		[7:0]	BURNOUT_EN2	RESERVED	REF_SEL2		RESERVED						
0x23	SETUPCON3	[15:8]	RESERVED			BI_UNIPOLAR3	REFBUF3+	REFBU_F3-	AINBUF3+	AINBUF3-	0x1320	RW	
		[7:0]	BURNOUT_EN3	RESERVED	REF_SEL3		RESERVED						
0x28	FILTCON0	[15:8]	SINC3_MAP0	RESERVED			ENHFILTEN0		ENHFILT0		0x0500	RW	
		[7:0]	RESERVED	ORDER0			ODR0						
0x29	FILTCON1	[15:8]	SINC3_MAP1	RESERVED			ENHFILTEN1		ENHFILT1		0x0500	RW	
		[7:0]	RESERVED	ORDER1			ODR1						
0x2A	FILTCON2	[15:8]	SINC3_MAP2	RESERVED			ENHFILTEN2		ENHFILT2		0x0500	RW	
		[7:0]	RESERVED	ORDER2			ODR2						
0x2B	FILTCON3	[15:8]	SINC3_MAP3	RESERVED			ENHFILTEN3		ENHFILT3		0x0500	RW	
		[7:0]	RESERVED	ORDER3			ODR3						
0x30	OFFSET0	[23:0]	OFFSET0[23:0]									0x800000	RW
0x31	OFFSET1	[23:0]	OFFSET1[23:0]									0x800000	RW
0x32	OFFSET2	[23:0]	OFFSET2[23:0]									0x800000	RW
0x33	OFFSET3	[23:0]	OFFSET3[23:0]									0x800000	RW
0x38	GAIN0	[23:0]	GAIN0[23:0]									0x5XXXX0	RW
0x39	GAIN1	[23:0]	GAIN1[23:0]									0x5XXXX0	RW
0x3A	GAIN2	[23:0]	GAIN2[23:0]									0x5XXXX0	RW
0x3B	GAIN3	[23:0]	GAIN3[23:0]									0x5XXXX0	RW

レジスタの詳細

コミュニケーション・レジスタ

Address:0x00, Reset:0x00, Name:COMMS

内蔵のレジスタへのアクセスは、全てコミュニケーション・レジスタに対する書き込み動作で開始されます。このレジスタに対する書き込みによって、次にアクセスされるレジスタの指定と、そのレジスタに対して、書き込みまたは読み出しであるかを決めます。

表 25.COMMS の各ビットの説明

Bits	Bit Name	Settings	Description	Reset	Access
7	WEN		このビットは、ADC との通信を始めるときロー・レベルでなければなりません。	0x0	W
6	R/W	0 1	このビットで、コマンドが読み出しなのか書き込みなのかを指定します。 書き込みコマンド 読み出しコマンド	0x0	W
[5:0]	RA	000000 000001 000010 000011 000100 000110 000111 010000 010001 010010 010011 100000 100001 100010 100011 101000 101001 101010 101011 110000 110001 110010 110011 111000 111001 111010 111011	このレジスタ・アドレス・ビットで、どのレジスタに対してアクセスするのかを指定します。 ステータス・レジスタ ADC モード・レジスタ インターフェース・モード・レジスタ レジスタ・チェックサム・レジスタ データ・レジスタ GPIO 設定レジスタ ID レジスタ Channel 0 レジスタ Channel 1 レジスタ Channel 2 レジスタ Channel 3 レジスタ セットアップ設定 0 レジスタ セットアップ設定 1 レジスタ セットアップ設定 2 レジスタ セットアップ設定 3 レジスタ フィルタ設定レジスタ 0 フィルタ設定 1 レジスタ フィルタ設定 2 レジスタ フィルタ設定 3 レジスタ オフセット 0 レジスタ オフセット 1 レジスタ オフセット 2 レジスタ オフセット 3 レジスタ ゲイン 0 レジスタ ゲイン 1 レジスタ ゲイン 2 レジスタ ゲイン 3 レジスタ	0x00	W

ステータス・レジスタ

Address:0x00, Reset:0x80, Name:STATUS

ステータス・レジスタは 8 ビットのレジスタで、ADC とシリアル・インターフェースのステータスに関する情報が格納されています。インターフェース・モード・レジスタの DATA_STAT ビット の設定を行う事により、このレジスタの内容をデータ・レジスタへ付加することもできます。

表 26.STATUS の各ビットの説明

Bits	Bit Name	Settings	Description	Reset	Access
7	RDY	0 1	CSがロー・レベルで、レジスタが読まれていないときはいつでも、RDYのステータスが DOUT/RDYピンに出力されます。このビットは、ADC がデータ・レジスタに新しい結果を書き込むとロー・レベルになります。ADC のキャリブレーション・モードでは、このビットは、その ADC がキャリブレーションを終えてデータを書き込むとロー・レベルになります。RDYは、データ・レジスタからデータが読み出されると、自動的にハイ・レベルになります。 新しいデータが読み出し可能 新しいデータ結果の待ち状態	0x1	R
6	ADC_ERROR	0 1	このビットの機能はデフォルトで、ADC がオーバーレンジもしくはアンダーレンジになったことを表示します。ADC の変換結果は、オーバーレンジ・エラーの場合、0xFFFFFFF でクランプされ、アンダーレンジ・エラーの場合、0x000000 でクランプされます。このビットは、ADC の変換結果が更新される時に書き込まれ、オーバーレンジもしくはアンダーレンジ状態が解消された後の更新時にクリアされます。 エラー無し エラー有り	0x0	R
5	CRC_ERROR	0 1	このビットは、レジスタ書き込み時に、CRC エラーが発生したことを表示します。このレジスタを読んで、ホスト・マイクロコントローラが、CRC エラーが発生しているかどうかの判断をします。このビットは、このレジスタを読むとクリアされます。 エラー無し CRC エラー	0x0	R
4	REG_ERROR	0 1	レジスタ整合性チェックが作動している時、このビットで、1 つでも内部レジスタの値が計算された値から変化したかどうかを表示します。このレジスタ整合性チェックは、インターフェース・モード・レジスタの REG_CHEK ビットを設定すると作動します。このビットは、REG_CHECK ビットをクリアするとクリアされます。 エラー無し エラー有り	0x0	R
[3:2]	RESERVED		0 に固定（ユーザ使用不可）	0x0	R
[1:0]	CHANNEL	00 01 10 11	これらのビットは、どのチャンネルの ADC 変換がアクティブで、現在どのチャンネルの結果がデータ・レジスタに格納されているかを示します。このビットで表示されるチャンネルは、現在変換を行っているチャンネルとは違っていることに注意して下さい。このビットは、チャンネル・レジスタのダイレクト・マッピングです。従ってチャンネル 0 の場合は 0x0 になり、チャンネル 3 の場合は 0x3 になります。 チャンネル 0 チャンネル 1 チャンネル 2 チャンネル 3	0x0	R

ADC モード・レジスタ

Address:0x01, Reset:0x8000, Name:ADCMODE:

ADC モード・レジスタは ADC の動作モードとマスター・クロックの選択を制御します。ADC モード・レジスタへの書き込みによって、フィルタと RDY ビットをリセットし、新しい変換もしくはキャリブレーションを開始します。

表 27.ADCMODE の各ビットの説明

Bits	Bit Name	Settings	Description	Reset	Access
15	REF_EN	0 1	内部リファレンス電圧をイネーブルにし、REFOUT ピンにバッファされた 2.5V を出力します。 ディスエーブル イネーブル	0x1	RW
14	HIDE_DELAY	0 1	プログラマブルな遅延時間を DELAY ビットで設定した時、Sinc5 + Sinc1 フィルタ時に選択されたデータレートをを用いて遅延時間を吸収することにより、その遅延時間を見えなくします。詳細については、遅延のセクションを参照してください。 イネーブル ディスエーブル	0x0	RW
13	SING_CYC	0 1	固定のフィルタ・データレートのみで出力するように ADC を設定し、かつ 1 チャンネルしかアクティブしない場合に使われます。 ディスエーブル イネーブル	0x0	RW
[12:11]	RESERVED		0 に固定（ユーザ使用不可）	0x0	R
[10:8]	DELAY	000 001 010 011 100 101 110 111	これらのビットは、プログラマブルな遅延を設定します。この遅延はチャンネル・スイッチの後に付加され、ADC が入力処理を行う前に、外部回路を付加した事によるセトリングに対する時間的な余裕を持たせます。 0 μ s 4 μ s 16 μ s 40 μ s 100 μ s 200 μ s 500 μ s 1 ms	0x0	RW
7	RESERVED		0 に固定（ユーザ使用不可）	0x0	R
[6:4]	MODE	000 001 010 011 100 110 111	これらのビットは、ADC の動作モードを設定します。詳細については、動作モードのセクションを参照してください。 連続変換モード シングル変換モード スタンバイ・モード パワーダウン・モード 内部オフセットのキャリブレーション システムのオフセット・キャリブレーション システムのゲイン・キャリブレーション	0x0	RW
[3:2]	CLOCKSEL	00 01 10 11	このビットは、ADC のクロック源の選択に用います。内部発振器を選択すると、内部発振器もイネーブルになります。 内部発振器 内部発振器出力を XTAL2/CLKIO ピンに設定します。 外部クロックの入力を XTAL2/CLKIO ピンに設定します。 外部水晶発振子を XTAL1 と XTAL2/CLKIO ピンに設定します。	0x0	RW
[1:0]	RESERVED		0 に固定（ユーザ使用不可）	0x0	R

インターフェース・モード・レジスタ

Address:0x02, Reset:0x0000, Name:IFMODE

インターフェース・モード・レジスタは、様々なシリアル・インターフェース・オプションを構成します。

表 28.IFMODE の各ビットの説明

Bits	Bit Name	Settings	Description	Reset	Access
[15:13]	RESERVED		0に固定（ユーザ使用不可）	0x0	R
12	ALT_SYNC	0 ディスエーブル 1 イネーブル	このビットをセットすると、 <u>SYNC/ERROR</u> ピンは、通常とは違う振る舞いをします。すなわち <u>SYNC/ERROR</u> が、チャンネルのスキップ時にデータ変換タイミングの制御を行うことができます（詳細は、GPIO 設定レジスタのセクションの、 <u>SYNC_EN</u> ビットの説明を参照して下さい）。	0x0	RW
11	IOSTRENGTH	0 ディスエーブル(デフォルト) 1 イネーブル	このビットは、 <u>DOUT/RDY</u> ピンの駆動能力の強度を制御します。 <u>IOVDD</u> の電圧が低く、配線容量が中程度である場合に、高速ビット・レートでシリアル・インターフェースを使う時、このビットを設定します。	0x0	RW
[10:9]	RESERVED		0に固定（ユーザ使用不可）	0x0	R
8	DOUT_RESET	0 ディスエーブル 1 イネーブル	詳細については、 <u>DOUT_RESET</u> のセクションを参照してください。	0x0	RW
7	CONTREAD	0 ディスエーブル 1 イネーブル	このビットは、ADC データ・レジスタの連続読み出しを有効にします。連続読み出しを使う場合は、ADC を連続変換モードに構成する必要があります。詳細は、動作モードのセクションを参照して下さい。	0x0	RW
6	DATA_STAT	0 ディスエーブル 1 イネーブル	このビットは、変換データの読み出し時、ステータス・レジスタの内容をデータ・レジスタの内容に付加する機能をイネーブルにします。これにより、チャンネルとその状態に関する情報が、データと共に転送されます。これは、ステータス・レジスタから読み取られたチャンネルのステータス・データが、データ・レジスタ内のチャンネル・データに対応することを保証する唯一の方法です。	0x0	RW
5	REG_CHECK	0 ディスエーブル 1 イネーブル	このビットは、レジスタの一貫性チェックの機能をイネーブルにします。これにより、ユーザ・レジスタの値のすべての変化をモニタすることができます。この機能を使うには、このビットをクリアしたうえで、必要な全てのレジスタを設定します。REG_CHECK ビットを1にするため、レジスタへ書き込みを行います。もし、どこかのレジスタの内容が変化すると、ステータス・レジスタ内の REG_ERROR ビットが1にセットされます。エラー状態をクリアするには、REG_CHECK ビットに0を書き込みます。ただしインターフェース・モード・レジスタと、ADC データ・レジスタあるいはステータス・レジスタのいずれも、チェックされるレジスタに含まれていません。もしレジスタに新しい値の書き込みを行わなければならない時、最初にこのビットをクリアしてください。さもなければ、新しいレジスタ内容を書き込むときに、エラーにフラグが立てられます。	0x0	RW
4	RESERVED		0に固定。（ユーザ使用不可）	0x0	R

Bits	Bit Name	Settings	Description	Reset	Access
[3:2]	CRC_EN	00 ディスエーブル 01 レジスタの読み込みトランザクションで、XOR のチェックサムをイネーブルします。このビットの設定では、レジスタ読み込みの際は CRC を使います。 10 レジスタの読み書きトランザクションで、CRC チェックサムをイネーブルします。	レジスタの読み書きに対する CRC 保護をイネーブルにします。CRC を有効にすると、シリアル・インターフェース転送における転送バイト数が増加します。詳細については、CRC の計算セクションを参照してください。	0x00	RW
1	RESERVED		0 に固定。（ユーザ使用不可）	0x0	R
0	WL16	0 24 ビット・データ 1 16 ビット・データ	ADC のデータ・レジスタを 16 ビットに変更します。ただし ADC はインターフェース・モード・レジスタへのこの書き込みで直にはリセットされません。従って、ADC の現在の変換結果は、これらのビットが書かれた直後であっても、すぐには新しいワード長（16 ビット）に丸められることはありません。次の新しい ADC 結果が正しいワード長です。	0x0	RW

レジスタ・チェック

Address:0x03, Reset:0x000000, Name:REGCHECK

レジスタ・チェック・レジスタは、ユーザ・レジスタを排他的論理和（XOR）計算で得られた 24 ビット長のチェックサムです。この動作を行う時は、インターフェース・モード・レジスタの REG_CHECK ビットを 1 に設定しなければなりません。そうしないとレジスタ読み出し値は 0 となります。

表 29. REGCHECK の各ビットの説明

Bits	Bit Name	Settings	Description	Reset	Access
[23:0]	REGISTER_CHECK		REG_CHECK ビットがインターフェース・モード・レジスタで設定されると、このレジスタはユーザ・レジスタの 24 ビットのチェックサムがセットされます。	0x000000	R

データ・レジスタ

Address:0x04, Reset:0x000000, Name:DATA

データ・レジスタは、ADC の変換結果を格納しています。エンコーディングはオフセット・バイナリ、もしくはセットアップ・レジスタの BI_UNIPOLARx ビットの内容によってユニポーラに変換することができます。データ・レジスタを読み出すと、その時 RDY ビットと RDY が、ロー・レベルであれば、それらをハイ・レベルにします。ADC の結果は、複数回読み出すことができます。しかしながら、RDY 出力がハイ・レベルの状態を維持していると、ADC の次の結果のデータ・レジスタへの転送が差し迫っているかどうかを知ることができません。このレジスタが読み出しの状態にある間は、ADC は新しい変換結果をそのレジスタに書き込むことができます。

表 30. DATA の各ビットの説明

Bits	Bit Name	Settings	Description	Reset	Access
[23:0]	DATA		このレジスタには、ADC 変換結果が格納されます。もしインターフェース・モード・レジスタの DATA_STAT ビットが設定されると、読み出し時にステータス・レジスタのデータが付加され、32 ビットデータとなります。もしインターフェース・モード・レジスタの WL16 が設定されると、このレジスタは 16 ビット長になります。	0x000000	R

GPIO 設定レジスタ

Address:0x06, Reset:0x0800, Name:GPIOCON

GPIO 設定レジスタは、ADC の汎用 I/O ピンを制御します。

表 31.GPIOCON の各ビットの説明

Bits	Bit Name	Settings	Description	Reset	Access
[15:13]	RESERVED		0 に固定（ユーザ使用不可）	0x0	R
12	MUX_IO		このビットを設定すると、GPIO0/GPIO1 を使い、内部チャンネルのシーケンサと同期して、ADC 外部のマルチプレクサの制御が可能になります。1 つのチャンネル用に使われているアナログ入力ピンは、そのまま入力チャンネルとしてに選択します。従って、AIN0/AIN1 と AIN2/AIN3 の前段に 4 チャンネルのマルチプレクサを使うと、AD7175-2 に、トータル 8 つの差動チャンネルを持たせることができるはずですが、残念ながら、実際に一度に自動的なシーケンシングできるのは 4 チャンネルまでです。外部のマルチプレクサがスイッチングした後、遅延が挿入されます（詳細は、ADC モード・レジスタ セクションの、DELAY ビットを参照）。	0x0	RW
11	SYNC_EN	<div>0 ディスエーブル</div> <div>1 イネーブル</div>	このビットにより、 <u>SYNC/ERROR</u> ピンを 同期入力として有効にします。このピンがロー・レベルになると、 <u>SYNC/ERROR</u> ピンがハイ・レベルになるまで ADC とフィルタのリセット状態を保持します。インターフェース・モード・レジスタの ALT_SYNC を設定すると、 <u>SYNC/ERROR</u> ピンのもうひとつの機能を使う事ができます。このモードは、複数チャンネルがイネーブルになっている時のみ動作します。このような場合、 <u>SYNC/ERROR</u> ピンが、ロー・レベルであっても、フィルタと変調器のリセットを直ちに行うことはありません。そこかわり、もし <u>SYNC/ERROR</u> ピンがロー・レベルであれば、別チャンネルに切り替った時に、変換器とフィルタが新しい変換を開始しないようになっています。この状態で <u>SYNC/ERROR</u> をハイ・レベルにすると、次の変換が始まります。このオルタネート同期モードは、チャンネルのスキャンを行っている際、 <u>SYNC/ERROR</u> が使えるようになります。	0x1	RW
[10:9]	ERR_EN	<div>00 ディスエーブル</div> <div>01 <u>SYNC/ERROR</u> は、外部エラー入力です。（反転された）リードバック・ステートは、他のエラー原因と OR がとられ、ステータス・レジスタの ADC_ERROR ビットに送られ確認することができます。 <u>SYNC/ERROR</u> ピンのステートは、このレジスタの ERR_DATA から読み出すことができます。</div> <div>10 <u>SYNC/ERROR</u> は、オープン・ドレインのエラー出力になります。ステータス・レジスタのエラー・ビットは OR されて反転されたうえで、<u>SYNC/ERROR</u> ピンに出力されます。複数デバイスの <u>SYNC/ERROR</u> ピンを、共通のプルアップ抵抗で接続すると、どのデバイスでエラーが起きてもそれを検出することができます。</div> <div>11 <u>SYNC/ERROR</u> は汎用出力です。このピンのステータスは、このレジスタの ERR_DATA ビットによって制御されます。この出力は、他の汎用 I/O ピンによって使われている AVDD1 と AVSS レベル出力とは異なり、IOVDD と DGND 間の電圧を基準としています。<u>SYNC/ERROR</u> ピンは、アクティブ・プルアップです。</div>	0x0	RW	
8	ERR_DAT		このビットは、 <u>SYNC/ERROR</u> ピンが汎用出力としてイネーブルになった時、そのロジック・レベルを決定します。このビット入力として有効な場合、このビットは、このピンのリードバック・ステータスを反映します。	0x0	RW
[7:6]	RESERVED		0 に固定（ユーザ使用不可）	0x0	R
5	IP_EN1	<div>0 ディスエーブル</div> <div>1 イネーブル</div>	このビットは GPIO1 ピンを入力にします。入力は、AVDD1 と AVSS との間の電圧を基準にした値です。	0x0	RW
4	IP_EN0	<div>0 ディスエーブル</div> <div>1 イネーブル</div>	このビットは GPIO0 ピンを入力にします。入力は、AVDD1 と AVSS との間の電圧を基準にした値です。	0x0	RW
3	OP_EN1	<div>0 ディスエーブル</div> <div>1 イネーブル</div>	このビットは GPIO1 ピンを出力にします。出力は、AVDD1 と AVSS との間の電圧を基準にした値です。	0x0	RW
2	OP_EN0	<div>0 ディスエーブル</div> <div>1 イネーブル</div>	このビットは GPIO0 ピンを出力にします。出力は、AVDD1 と AVSS との間の電圧を基準にした値です。	0x0	RW
1	GP_DATA1		このビットは、GPIO1 のリードバックもしくは書き込みデータです。	0x0	RW
0	GP_DATA0		このビットは、GPIO0 のリードバックもしくは書き込みデータです。	0x0	RW

ID レジスタ

Address:0x07, Reset:0x0CDX, Name:ID

ID レジスタを読み出すと、16 ビットのこのモデル固有の ID コードを返します。AD7175-2 の場合は、0x0CDX です。

表 32.ID の各ビットの説明

Bits	Bit Name	Settings	Description	Reset	Access
[15:0]	ID	0x0CDX	ID レジスタは、この ADC モデル固有の 16 ビット ID コードを返します。 AD7175-2	0x0CDX	R

チャンネル・レジスタ 0

Address:0x10, Reset:0x8001, Name:CH0

チャンネル・レジスタは 16 ビットのレジスタで、現在アクティブなチャンネルがどれか、そしてそれぞれのチャンネルのどの入力を選択されていて、さらにそのチャンネル用の ADC 変換動作を構成するためには、どのセットアップを使うべきか、を選択するために使われます。このレジスタはチャンネル数分（4 つ）だけ存在します。

表 33.CH0 の各ビットの説明

Bits	Bit Name	Settings	Description	Reset	Access
15	CH_EN0	0 1	このビットはチャンネル 0 をイネーブルにします。1 チャンネル以上がイネーブルになっている場合は、ADC は自動的にそれらをシーケンシング（スキャン）します。 ディスエーブル イネーブル（デフォルト）	0x1	RW
14	RESERVED		0 に固定（ユーザ使用不可）	0x0	R
[13:12]	SETUP_SEL0	00 01 10 11	これらのビットは、4 つのセットアップの内、どのセットアップがこのチャンネルの AD 変換動作の設定のため適用されるか指定します。1 つのセットアップは、4 セットのレジスタで構成されています。それぞれ、セットアップ・レジスタ、フィルタ設定レジスタ、オフセット設定レジスタそしてゲイン設定レジスタです。全てのアクティブなチャンネルに同じ 2 ビットコードを適用すると、全て同じセットアップで動作します。あるいは、最大 4 チャンネルまで、異なった構成にする事もできます。	0x0	RW
[11:10]	RESERVED		0 に固定（ユーザ使用不可）	0x0	R
[9:5]	AINPOS0	00000 00001 00010 00011 00100 10001 10010 10011 10100 10101 10110	これらのビットは、どのアナログ入力ピンを、その ADC チャンネルの正側（非反転）入力に接続するかを選択します。 AIN0（デフォルト） AIN1 AIN2 AIN3 AIN4 温度センサー + 温度センサー - ((AVDD1 - AVSS)/5)+ (アナログ入力バッファを必ずイネーブルにして下さい) ((AVDD1 - AVSS)/5)- (アナログ入力バッファを必ずイネーブルにして下さい) REF + REF -	0x0	RW

Bits	Bit Name	Settings	Description	Reset	Access
[4:0]	AINNEG0		これらのビットは、どのアナログ入力ピンを、その ADC チャネルの負側（反転）入力に接続するかを選択します。	0x1	RW
		00000	AIN0		
		00001	AIN1(デフォルト)		
		00010	AIN2		
		00011	AIN3		
		00100	AIN4		
		10001	温度センサー +		
		10010	温度センサー -		
		10011	((AVDD1 - AVSS)/5)+		
		10100	((AVDD1 - AVSS)/5)-		
		10101	REF +		
		10110	REF -		

チャンネル・レジスタ 1 からチャンネル・レジスタ 3

Address:0x11 to 0x13, Reset:0x0001, Name:CH1 to CH3

残りの 3 つのチャンネル・レジスタの構成は、チャンネル・レジスタ 0 と同じです。

表 34.CH1 から CH3 のレジスタ・マップ

Reg.	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	RW
0x11	CH1	[15:8]	CH_EN1	RESERVED	SETUP_SEL1		RESERVED		AINPOS1[4:3]		0x0001	RW
		[7:0]	AINPOS1[2:0]				AINNEG1					
0x12	CH2	[15:8]	CH_EN2	RESERVED	SETUP_SEL2		RESERVED		AINPOS2[4:3]		0x0001	RW
		[7:0]	AINPOS2[2:0]				AINNEG2					
0x13	CH3	[15:8]	CH_EN3	RESERVED	SETUP_SEL3		RESERVED		AINPOS3[4:3]		0x0001	RW
		[7:0]	AINPOS3[2:0]				AINNEG3					

セットアップ・レジスタ 0

Address:0x20, Reset:0x1320, Name:SETUPCON0

セットアップ・レジスタは16ビットのレジスタで、リファレンス電圧、入力バッファ、バーンアウト電流、そしてADCの出力コーディングの構成を行います。このレジスタは、全部で4本あります。

表 35.SETUPCON0 の各ビットの説明

Bits	Bit Name	Settings	Description	Reset	Access
[15:13]	RESERVED		0に固定（ユーザ使用不可）	0x0	R
12	BI_UNIPOLAR0	0 1	このビットは、Setup 0 の ADC の出力コーディングを設定します。 ユニポーラ・コーディング出力 バイポーラ・コーディング出力（オフセット・バイナリ）	0x1	RW
11	REFBUF0+	0 1	このビットは、REF+入力バッファをイネーブル/ディスエーブルします。 REF+バッファ・ディスエーブル REF+ バッファ・イネーブル	0x0	RW
10	REFBUF0-	0 1	このビットは、REF-入力バッファをイネーブル/ディスエーブルします。 REF-バッファ・ディスエーブル REF-バッファ・ディスエーブル	0x0	RW
9	AINBUF0+	0 1	このビットは、AIN+入力バッファをイネーブル/ディスエーブルします。 AIN+バッファ・ディスエーブル AIN+バッファ・イネーブル	0x1	RW
8	AINBUF0-	0 1	このビットは、AIN-入力バッファをイネーブル/ディスエーブルします。 AIN-バッファ・ディスエーブル AIN+バッファ・イネーブル	0x1	RW
7	BURNOUT_EN0		このビットは、選択された正側（非反転）アナログ入力の10 μ A電流ソースと、選択された負側（反転）アナログ入力の10 μ A電流シンクをイネーブルします。これらのバーンアウト電流が接続されていると、配線がオープンの時ADCの結果がフルスケールになるので、断線診断時に有効です。測定中にバーンアウト電流をイネーブルすると、ADCにオフセット電圧が生じます。高精度測定を行う前後に、ある一定間隔でバーンアウト電流をターン・オンし、オフセット電圧が発生しているかどうかで断線診断を行う事は、最高の策とえます。	0x00	R
6	RESERVED		0に固定（ユーザ使用不可）	0x00	R
[5:4]	REF_SEL0	00 10 11	これらのビットは、Setup 0 における ADC 変換時のリファレンス電圧源を設定することができます。 外部リファレンス電圧 2.5 V の内部リファレンス。このリファレンス電圧を使うには、ADC モード・レジスタでこのリファレンス電圧を必ずイネーブルにして下さい。 AVDD1 – AVSS。この設定は他のリファレンス電圧値確認の為の診断としても使う事ができます。	0x2	RW
[3:0]	RESERVED		0に固定（ユーザ使用不可）	0x0	R

セットアップ・レジスタ 1 からセットアップ・レジスタ 3

Address:0x21 to 0x23, Reset:0x1320, Name:SETUPCON1 to SETUPCON3

残りの3つのセットアップ・レジスタの構成は、セットアップ・レジスタ 0 と同じです。

表 36.SETUPCON1 から SETUPCON3 レジスタまでの一覧

Reg.	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	RW
0x21	SETUPCON1	[15:8]	RESERVED			BI_UNIPOLA R1	REFBU F1+	REFBUF 1-	AINBUF1+	AINBUF1-	0x1320	RW
		[7:0]	BURNOUT_EN1	RESERVED	REF_SEL1		RESERVED					
0x22	SETUPCON2	[15:8]	RESERVED			BI_UNIPOLA R2	REFBU F2+	REFBUF 2-	AINBUF2+	AINBUF2-	0x1320	RW
		[7:0]	BURNOUT_EN2	RESERVED	REF_SEL2		RESERVED					
0x23	SETUPCON3	[15:8]	RESERVED			BI_UNIPOLA R3	REFBU F3+	REFBUF 3-	AINBUF3+	AINBUF3-	0x1320	RW
		[7:0]	BURNOUT_EN3	RESERVED	REF_SEL3		RESERVED					

フィルタ設定レジスタ 0

Address:0x28, Reset:0x0500, Name:FILTCON0

フィルタ設定レジスタは 16 ビットのレジスタで、ADC のデータレートとフィルタのオプションを構成します。これらのレジスタに書き込みをすると、アクティブな ADC による変換はリセットされ、最初のチャンネルから順番に変換を再スタートします。

表 37.FILTCON0 の各ビットの説明

Bits	Bit Name	Settings	Description	Reset	Access
15	SINC3_MAP0		このビットを変更すると、Setup 0 に対してフィルタ設定レジスタのマッピングが、Sinc3 フィルタのデシメーション・レートを直接プログラムするように変化します。他のオプションは全て消去されます。これにより、出力データレート及び特定の周波数成分を除去するフィルター・ノッチの微調整が可能になります。シングル・サイクルの設定がディスエーブル時、シングル・チャンネルのデータレートは $F_{MOD}/(32 \times FILTCON0[14:0])$ と等しくなります。	0x0	RW
[14:12]	RESERVED		0 に固定（ユーザ使用不可）	0x0	R
11	ENHFILTEN0	0 1	これらのビットは、Setup 0 に対して、50Hz/60Hz 除去用に強化された幾つかのポスト・フィルタをイネーブルします。この動作を行うには、ORDER ビットも 00 に設定し、Sinc5+Sinc1 フィルタを選択して下さい。 0 ディスエーブル 1 イネーブル	0x0	RW
[10:8]	ENHFILTO	010 011 101 110	これらのビットは、Setup 0 に対して、50Hz/60Hz 除去用に強化された幾つかのポスト・フィルタを選択します。 010 27 SPS、除去比:47 dB、セトリング時間:36.7 ms 011 25 SPS、除去比:62 dB、セトリング時間:40 ms 101 20 SPS、除去比:86 dB、セトリング時間:50 ms 110 16.67 SPS、除去比:92 dB、セトリング時間:60 ms	0x5	RW
7	RESERVED		0 に固定（ユーザ使用不可）	0x0	R
[6:5]	ORDER0	00 11	これらのビットは、変調器データを処理するデジタフ・フィルタの次数を制御します。 00 Sinc5 + Sinc1 (デフォルト) 11 Sinc3.	0x0	RW
[4:0]	ODR0	00000 00001 00010 00011 00100 00101 00110 00111 01000 01001 01010 01011 01100 01101 01110 01111 10000 10001 10010 10011 10100	これらのビットは、ADC の出力データレートを制御しますが、結果として Setup0 のセトリング時間、そしてノイズの値も変化します。Sinc5 + Sinc1 フィルタおよび Sinc3 フィルタの出力データレートについて、以下に示します。表 19～表 22 を参照してください。 250,000 125,000 62,500 50,000 31,250 25,000 15,625 10,000 5000 2500 1000 500 397.5 200 100 59.92 49.96 20 16.66 10 5	0x0	RW

フィルタ設定レジスタ 1 からフィルタ設定レジスタ 3

Address:0x29 to 0x2F, Reset:0x0500, Name:FILTCON1 to FILTCON3

残りの 3 つのフィルタ設定レジスタの構成は、フィルタ設定レジスタ 0 と同じです。

表 38.FILTCON1 から FILTCON3 のレジスタ一覧

Reg.	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	RW
0x29	FILTCON1	[15:8]	SINC3_MAP1	RESERVED			ENHFILTEN1	ENHFILT1			0x0500	RW
		[7:0]	RESERVED	ORDER1		ODR1						
0x2A	FILTCON2	[15:8]	SINC3_MAP2	RESERVED			ENHFILTEN2	ENHFILT2			0x0500	RW
		[7:0]	RESERVED	ORDER2		ODR2						
0x2B	FILTCON3	[15:8]	SINC3_MAP3	RESERVED			ENHFILTEN3	ENHFILT3			0x0500	RW
		[7:0]	RESERVED	ORDER3		ODR3						

オフセット設定レジスタ 0

Address:0x30, Reset:0x800000, Name:OFFSET0

オフセット（ゼロスケール）レジスタは 24 ビットのレジスタで、ADC もしくはシステムのオフセット・エラーを補正するために使われます。

表 39.OFFSET0 の各ビットの説明

Bits	Bit Name	Settings	Description	Reset	Access
[23:0]	OFFSET0		Setup 0 用オフセット・キャリブレーション係数	0x800000	RW

オフセット設定レジスタ 1 からオフセット設定レジスタ 3

Address:0x31 to 0x33, Reset:0x800000, Name:OFFSET1 to OFFSET3

残りの 3 つのオフセット設定レジスタの構成は、オフセット設定レジスタ 0 と同じです。

表 40.OFFSET1 から OFFSET3 の一覧

Reg.	Name	Bits		Reset	RW
0x31	OFFSET1	[23:0]	OFFSET1[23:0]	0x800000	RW
0x32	OFFSET2	[23:0]	OFFSET2[23:0]	0x800000	RW
0x33	OFFSET3	[23:0]	OFFSET3[23:0]	0x800000	RW

ゲイン設定レジスタ 0

Address:0x38, Reset:0x5XXXX0, Name:GAIN0

ゲイン（フルスケール）レジスタは 24 ビットのレジスタで、ADC やシステムのゲイン誤差を補正するために使われます。

表 41.GAIN0 の各ビットの説明

Bits	Bit Name	Settings	Description	Reset	Access
[23:0]	GAIN0		Setup 0 用ゲイン・キャリブレーション係数	0x5XXXX0	RW

ゲイン設定レジスタ 1 からゲイン設定レジスタ 3

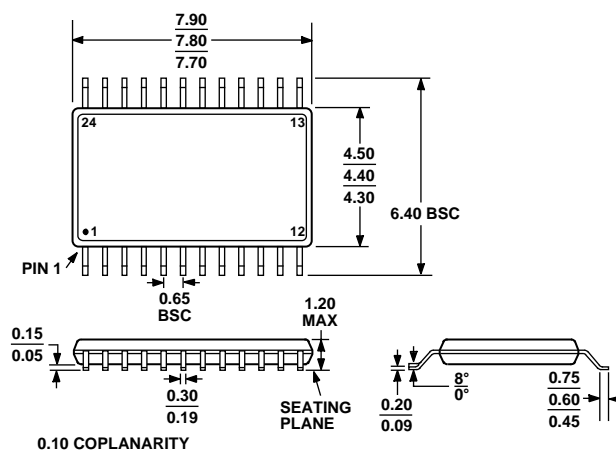
Address:0x39 to 0x3B, Reset:0x5XXXX0, Name:GAIN1 to GAIN3

残りの 3 つのゲイン設定レジスタの構成は、ゲイン設定レジスタ 0 と同じです。

表 42.GAIN1 から GAIN3 までのレジスタ・マップ

Reg.	Name	Bits		Reset	RW
0x39	GAIN1	[23:0]	GAIN1[23:0]	0x5XXXX0	RW
0x3A	GAIN2	[23:0]	GAIN2[23:0]	0x5XXXX0	RW
0x3B	GAIN3	[23:0]	GAIN3[23:0]	0x5XXXX0	RW

外形寸法



COMPLIANT TO JEDEC STANDARDS MO-153-AD

図 7524 ピン薄型シュリンク・スモール・アウトライン・パッケージ[TSSOP] (RU-24) 寸法: mm

オーダー・ガイド

モデル名 ¹	温度範囲	パッケージ	パッケージ・オプション
AD7175-2BRUZ	-40°C~+105°C	24 ピン薄型シュリンク・スモール・アウトライン・パッケージ(TSSOP)	RU-24
AD7175-2BRUZ-RL	-40°C~+105°C	24 ピン薄型シュリンク・スモール・アウトライン・パッケージ(TSSOP)	RU-24
AD7175-2BRUZ-RL7	-40°C~+105°C	24 ピン薄型シュリンク・スモール・アウトライン・パッケージ(TSSOP)	RU-24
EVAL-AD7175-2SDZ		Evaluation Board	
EVAL-SDP-CB1Z		Evaluation Controller Board	

¹ Z = RoHS 準拠製品