



真のレール to レール・バッファ内蔵、低消費電力、 24 ビット、31.25 kSPS、シグマ・デルタ (Σ - Δ) ADC

データシート

AD7172-4

特長

高速かつ柔軟な出力レート: 1.25 SPS ~ 31.25 kSPS
チャンネル・スキャン・データ・レート: 6.21 kSPS/チャンネル (セトリング時間 161 μ s)

性能仕様

ノイズ・フリー・ビット数: 31.25 kSPS で 17.2 ビット

ノイズ・フリー・ビット数: 5 SPS で 24 ビット

INL: FSR の ± 2 ppm

50 Hz と 60 Hz の除去比: 50 ms セトリングで 85 dB

入力チャンネルがユーザー設定可能

4 チャンネル完全差動または 8 チャンネル・シングルエンド
クロスポイント・マルチプレクサ

真のレール to レールのアナログ入力バッファとリファレンス
入力バッファ

内部または外部クロック

電源

AVDD1 = 3.0 V ~ 5.5 V、AVDD2 = IOVDD = 2 V ~ 5.5 V

AVDD1 および AVSS を ± 2.5 V または ± 1.65 V とする両電
源も可能

ADC 消費電流: 1.5 mA

動作温度範囲: -40°C to +105°C

3 線式または 4 線式のシリアル・デジタル・インターフェース
(シュミット・トリガー付き SCLK)

シリアル・インターフェース: (SPI)/QSPI/MICROWIRE/DSP 互
換

アプリケーション

プロセス制御: PLC/DCS モジュール

温度計測および圧力計測

医療や科学分野向けのマルチ・チャンネル計測器

クロマトグラフィ

概要

AD7172-4 は、低ノイズ、低消費電力、マルチプレクス型のシグマ・デルタ (Σ - Δ) A/D コンバータ (ADC) で、低帯域幅信号用の 4 チャンネルまたは 8 チャンネル (完全差動/シングルエンド) 入力を備えています。AD7172-4 の完全にセトリングされたデータの最大チャンネル・スキャン・データ・レートは 6.21 kSPS (161 μ s) です。出力データ・レートは 1.25 SPS ~ 31.25 kSPS の範囲です。

AD7172-4 は、主要なアナログ/デジタル信号処理ブロックを内蔵しており、ユーザーは SPI を介して使用する各アナログ入力チャンネルの構成を個別に設定することができます。アナログ入力とリファレンス入力に内蔵されている真のレール to レール・バッファにより、高インピーダンス入力の駆動が容易になっています。

デジタル・フィルタにより、27.27 SPS の出力データ・レートで 50 Hz と 60 Hz の同時除去が可能です。ユーザーは、アプリケーションの各チャンネルの要求に応じてフィルタ・オプションを切り替えたり、チャンネルごとに設定可能なオフセット・キャリブレーション・レジスタやゲイン・キャリブレーション・レジスタなどの追加のデジタル処理機能を使用できます。汎用入出力 (GPIO) は、ADC 変換タイミングと同期した状態で外部マルチプレクサを制御します。規定温度範囲は、-40°C ~ +105°C です。AD7172-4 には 5 mm \times 5 mm、32 ピン LFCSP パッケージが採用されています。

なお、このデータシートでは、複数の機能名を持つピンは、該当する名前のみを記載し、該当する機能のみを説明していることにご注意下さい。

機能ブロック図

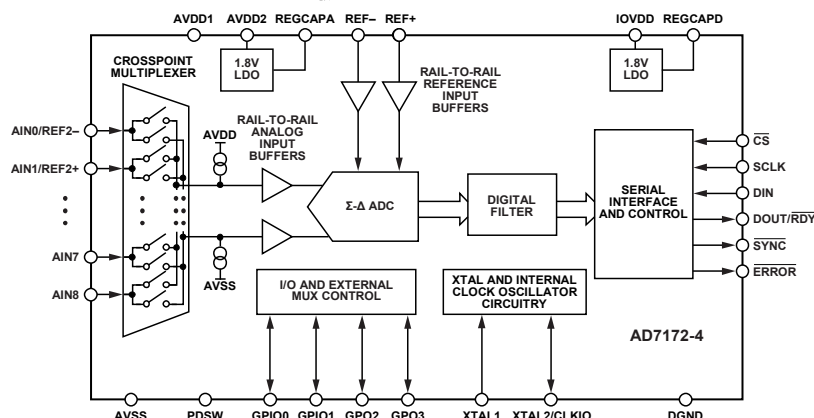


図 1.

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、それぞれの所有者の財産です。※日本語版資料は REVISION が古い場合があります。最新の内容については、英語版をご参照ください。

Rev. 0

©2015 Analog Devices, Inc. All rights reserved.

アナログ・デバイセズ株式会社

本社 / 〒105-6891 東京都港区海岸 1-16-1 ニューピア竹芝サウスタワービル
電話 03 (5402) 8200
大阪営業所 / 〒532-0003 大阪府大阪市淀川区宮原 3-5-36 新大阪トラストタワー
電話 06 (6350) 6868

目次

特長	1	CRC の計算	39
アプリケーション	1	内蔵機能	41
概要	1	汎用の入出力	41
機能ブロック図	1	外部マルチプレクサの制御	41
改訂履歴	2	遅延	41
仕様	3	16 ビット/24 ビット変換	41
タイミング特性	6	DOUT_RESET	41
タイミング図	6	同期	41
絶対最大定格	7	エラー・フラグ	42
熱抵抗	7	DATA_STAT	42
ESD に関する注意	7	IOSTRENGTH	42
ピン配置およびピン機能の説明	8	グラウンディングとレイアウト	43
代表的な性能特性	10	レジスタの一覧	44
ノイズ特性と分解能	16	レジスタの詳細	46
評価開始にあたって	17	コミュニケーション・レジスタ	46
電源	18	ステータス・レジスタ	47
デジタル通信	18	ADC モード・レジスタ	48
AD7172-4 のリセット	19	インターフェース・モード・レジスタ	49
構成概要	19	レジスタ・チェック	50
回路説明	25	データ・レジスタ	50
バッファ付きアナログ入力	25	GPIO 設定レジスタ	51
クロスポイント・マルチプレクサ	25	ID レジスタ	52
AD7172-4 リファレンス	26	チャンネル・レジスタ 0	53
バッファされたリファレンス入力	27	チャンネル・レジスタ 1～チャンネル・レジスタ 7	54
クロック源	27	セットアップ構成レジスタ 0	55
デジタル・フィルタ	28	セットアップ構成レジスタ 1～セットアップ 構成レジスタ 7	56
Sinc5 + Sinc1 フィルタ	28	フィルタ設定レジスタ 0	57
Sinc3 フィルタ	28	フィルタ設定レジスタ 1～フィルタ設定レジスタ 7	58
シングル・サイクル・セトリング	29	オフセット・レジスタ 0	58
強化された 50 Hz/60 Hz 除去フィルタ	32	オフセット・レジスタ 1～オフセット・レジスタ 7	58
動作モード	34	ゲイン・レジスタ 0	59
連続変換モード	34	ゲイン・レジスタ 1～ゲイン・レジスタ 7	59
連続読出しモード	35	外形寸法	60
シングル変換モード	36	オーダー・ガイド	60
スタンバイ・モードとパワーダウン・モード	37		
キャリブレーション	37		
デジタル・インターフェース	38		
チェックサム保護	38		

改訂履歴

5/15—Revision 0:初版

仕様

特に指定のない限り、AVDD1 = 3.0 V ~ 5.5 V、AVDD2 = IOVDD = 2 V ~ 5.5 V、AVSS = DGND = 0 V、REF+ = 2.5 V、REF- = AVSS、MCLK = 内部マスター・クロック = 2 MHz、 $T_A = T_{MIN} \sim T_{MAX}$ (-40 °C ~ +105 °C)

表 1.

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
ADC SPEED AND PERFORMANCE					
Output Data Rate (ODR)		1.25		31,250	SPS
No Missing Codes ¹	Excluding sinc3 filter ≥ 15 kSPS	24			Bits
Resolution	See Table 6 and Table 7				
Noise	See Table 6 and Table 7				
ACCURACY					
Integral Nonlinearity (INL)			± 2	± 5.2	ppm of FSR
Offset Error ²	Internal short		± 75		μV
Offset Drift	Internal short		± 230		nV/°C
Gain Error ²	AVDD1 = 5 V		± 5	± 45	ppm of FSR
Gain Drift			± 0.2	± 0.5	ppm/°C
REJECTION					
Power Supply Rejection	AVDD1, AVDD2, $V_{IN} = 1$ V		98		dB
Common-Mode Rejection	$V_{IN} = 0.1$ V				
At DC		95			dB
At 50 Hz, 60 Hz ¹	20 Hz output data rate (postfilter), 50 Hz ± 1 Hz and 60 Hz ± 1 Hz	120			dB
Normal Mode Rejection ¹	50 Hz ± 1 Hz and 60 Hz ± 1 Hz				
	Internal clock, 20 SPS ODR (postfilter)	71	90		dB
	External clock, 20 SPS ODR (postfilter)	85	90		dB
ANALOG INPUTS					
Differential Input Range	$V_{REF} = (REF+) - (REF-)$		$\pm V_{REF}$		V
Absolute Voltage Limits ¹					
Input Buffers Disabled		AVSS - 0.05		AVDD1 + 0.05	V
Input Buffers Enabled		AVSS		AVDD1	V
Analog Input Current					
Input Buffers Disabled			± 6		$\mu A/V$
Input Current			± 0.45		nA/V/°C
Input Current Drift					
Input Buffers Enabled			± 5.5		nA
Input Current			± 0.1		nA/°C
Input Current Drift					
Crosstalk	1 kHz input		-120		dB
REFERENCE INPUTS					
Differential Input Range	$V_{REF} = (REF+) - (REF-)$	1	2.5	AVDD1	V
Absolute Voltage Limits ¹					
Input Buffers Disabled		AVSS - 0.05		AVDD1 + 0.05	V
Input Buffers Enabled		AVSS		AVDD1	V
REFIN Input Current					
Input Buffers Disabled			± 9		$\mu A/V$
Input Current			± 0.75		nA/V/°C
Input Current Drift	External clock		± 1		nA/V/°C
	Internal clock				
Input Buffers Enabled			± 100		nA
Input Current			± 2.5		nA/°C
Input Current Drift					
Normal Mode Rejection ¹	See the Rejection parameter				
Common-Mode Rejection			95		dB
BURNOUT CURRENTS					
Source/Sink Current	Analog input buffers must be enabled		± 10		μA

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
GPIO (GPIO0, GPIO1)	With respect to AVSS				
Input Mode Leakage Current ¹		-10		+10	μA
Floating State Output Capacitance			5		pF
Output Voltage ¹					
High, V _{OH}	I _{SOURCE} = 200 μA	AVSS + 4			V
Low, V _{OL}	I _{SINK} = 800 μA			AVSS + 0.4	V
Input Voltage ¹					
High, V _{IH}		AVSS + 3			V
Low, V _{IL}				AVSS + 0.7	V
CLOCK					
Internal Clock					
Frequency			2		MHz
Accuracy		-2.6%		+2.5%	%
Duty Cycle			50		%
Output Voltage					
Low, V _{OL}				0.4	V
High, V _{OH}		0.8 × IOVDD			V
Crystal					
Frequency		14	16	16.384	MHz
Startup Time			10		μs
External Clock (CLKIO)			2	2.048	MHz
Duty Cycle ¹		30	50	70	%
LOGIC INPUTS					
Input Voltage ¹					
High, V _{INH}	2 V ≤ IOVDD < 2.3 V	0.65 × IOVDD			V
	2.3 V ≤ IOVDD ≤ 5.5 V	0.7 × IOVDD			V
Low, V _{INL}	2 V ≤ IOVDD < 2.3 V			0.35 × IOVDD	V
	2.3 V ≤ IOVDD ≤ 5.5 V			0.7	V
Hysteresis ¹	IOVDD ≥ 2.7 V	0.08		0.25	V
	IOVDD < 2.7 V	0.04		0.2	V
Leakage Currents		-10		+10	μA
LOGIC OUTPUT (DOUT/RDY)					
Output Voltage ¹					
High, V _{OH}	IOVDD ≥ 4.5 V, I _{SOURCE} = 1 mA	0.8 × IOVDD			V
	2.7 V ≤ IOVDD < 4.5 V, I _{SOURCE} = 500 μA	0.8 × IOVDD			V
	IOVDD < 2.7 V, I _{SOURCE} = 200 μA	0.8 × IOVDD			V
Low, V _{OL}	IOVDD ≥ 4.5 V, I _{SINK} = 2 mA			0.4	V
	2.7 V ≤ IOVDD < 4.5 V, I _{SINK} = 1 mA			0.4	V
	IOVDD < 2.7 V, I _{SINK} = 400 μA			0.4	V
Leakage Current	Floating state	-10		+10	μA
Output Capacitance	Floating state		10		pF
SYSTEM CALIBRATION¹					
Full-Scale (FS) Calibration Limit				1.05 × FS	V
Zero-Scale Calibration Limit		-1.05 × FS			V
Input Span		0.8 × FS		2.1 × FS	V
POWER REQUIREMENTS					
Power Supply Voltage					
AVDD1 to AVSS		3.0		5.5	V
AVDD2 to AVSS		2		5.5	V
AVSS to DGND		-2.75		0	V
IOVDD to DGND		2		5.5	V
IOVDD to AVSS	For AVSS < DGND			6.35	V

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
POWER SUPPLY CURRENTS					
All outputs unloaded, digital inputs connected to IOVDD or DGND					
Full Operating Mode					
AVDD1 Current					
AVDD1 = 5 V Typical, 5.5 V Maximum	AIN± and REF± buffers disabled		0.23	0.29	mA
	AIN± and REF± buffers enabled		1.7	2.15	mA
	Each buffer: AIN± and REF±		0.38		mA
AVDD1 = 3.3 V Typical, 3.6 V Maximum ¹	AIN± and REF± buffers disabled		0.15	0.2	mA
	AIN± and REF± buffers enabled		1.45	1.9	mA
	Each buffer: AIN± and REF±		0.33		mA
AVDD2 Current			1	1.1	mA
IOVDD Current	External clock		0.33	0.5	mA
	Internal clock		0.61	0.82	mA
	External crystal		0.98		mA
Standby Mode	LDO on		32		μA
Power-Down Mode	Full power-down including LDO		1	10	μA
POWER DISSIPATION					
Full Operating Mode	Unbuffered, external clock; AVDD1 = 3.3 V, AVDD2 = 2 V, IOVDD = 2 V		3.16		mW
	Unbuffered, external clock; all supplies = 5 V		7.8		mW
	Unbuffered, external clock; all supplies = 5.5 V			10.4	mW
	Fully buffered, internal clock; AVDD1 = 3.3 V, AVDD2 = 2 V, IOVDD = 2 V		8		mW
	Fully buffered, internal clock; all supplies = 5 V		16.6		mW
	Fully buffered, internal clock; all supplies = 5.5 V			22.4	mW
Standby Mode	All supplies = 5 V		160		μW
Power-Down Mode	Full power-down, all supplies = 5 V		5		μW
	Full power-down, all supplies = 5.5 V			55	μW

¹ これらの値に対する出荷テストは行われていませんが、設計および/または量産開始時の特性評価データで保証されています。

² システムまたは内蔵ゼロスケールのキャリブレーション手順に従えば、オフセット誤差は、プログラムされた出力データ・レートにおけるノイズ・レベルとほぼ同等になります。システム・フルスケール・キャリブレーションでは、プログラムされた出力データ・レートのノイズ・レベルと同等レベルにまでゲイン誤差を減少させることができます。

タイミング特性

特に指定のない限り、IOVDD = 2 V ~ 5.5 V、DGND = 0 V、Input Logic 0 = 0 V、Input Logic 1 = IOVDD、C_{LOAD} = 20 pF

表 2.

Parameter	Limit at T _{MIN} , T _{MAX}	Unit	Test Conditions/Comments ^{1, 2}
SCLK			
t ₃	25	ns min	SCLK high pulse width
t ₄	25	ns min	SCLK low pulse width
READ OPERATION			
t ₁	0	ns min	$\overline{\text{CS}}$ falling edge to DOUT/ $\overline{\text{RDY}}$ active time
	15	ns max	IOVDD = 4.75 V to 5.5 V
	40	ns max	IOVDD = 2 V to 3.6 V
t ₂ ³	0	ns min	SCLK active edge to data valid delay ⁴
	12.5	ns max	IOVDD = 4.75 V to 5.5 V
	25	ns max	IOVDD = 2 V to 3.6 V
t ₅	2.5	ns min	Bus relinquish time after $\overline{\text{CS}}$ inactive edge
	20	ns max	
t ₆	0	ns min	SCLK inactive edge to $\overline{\text{CS}}$ inactive edge
t ₇ ⁵	10	ns min	SCLK inactive edge to DOUT/ $\overline{\text{RDY}}$ high/low
WRITE OPERATION			
t ₈	0	ns min	$\overline{\text{CS}}$ falling edge to SCLK active edge setup time ⁴
t ₉	8	ns min	Data valid to SCLK edge setup time
t ₁₀	8	ns min	Data valid to SCLK edge hold time
t ₁₁	5	ns min	$\overline{\text{CS}}$ rising edge to SCLK edge hold time

¹ 初期リリース時にサンプル・テストによりコンプライアンスを保証。

² 図 2 および図 3 を参照。

³ このパラメータは、出力が V_{OL} または V_{OH} を交差するのに要する時間で定義されています。

⁴ SCLK のアクティブ・エッジとは、SCLK の立ち下がりエッジを意味します。

⁵ データ・レジスタを読み出した後、DOUT/ $\overline{\text{RDY}}$ はハイ・レベルに戻ります。シングル変換モードおよび連続変換モードで、DOUT/ $\overline{\text{RDY}}$ がハイ・レベルの間に、必要ならば、同一データを再度読み出すことができますが、2 回目以降の読み出しは次の出力更新が近いところで読み出さないように注意してください。連続読み出し機能をイネーブルにすると、デジタル・ワードは 1 回しか読み出すことができません。

タイミング図

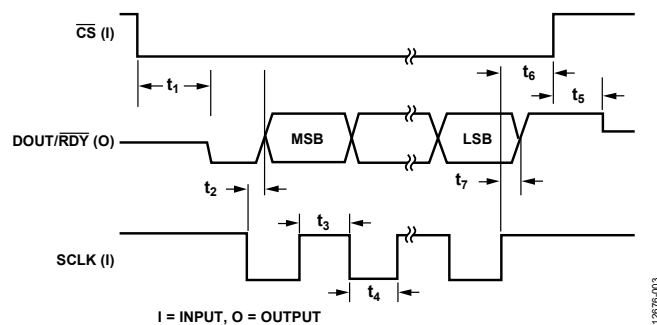


図 2. 読み出しサイクルのタイミング図

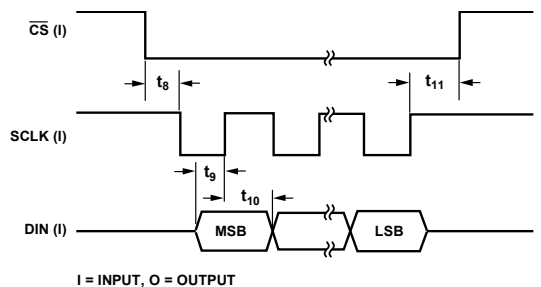


図 3. 書き込みサイクルのタイミング図

絶対最大定格

特に指定のない限り、 $T_A = 25^{\circ}\text{C}$ 。

表 3.

Parameter	Rating
AVDD1, AVDD2 to AVSS	-0.3 V to +6.5 V
AVDD1 to DGND	-0.3 V to +6.5 V
IOVDD to DGND	-0.3 V to +6.5 V
IOVDD to AVSS	-0.3 V to +7.5 V
AVSS to DGND	-3.25 V to +0.3 V
Analog Input Voltage to AVSS	-0.3 V to AVDD1 + 0.3 V
Reference Input Voltage to AVSS	-0.3 V to AVDD1 + 0.3 V
Digital Input Voltage to DGND	-0.3 V to IOVDD + 0.3 V
Digital Output Voltage to DGND	-0.3 V to IOVDD + 0.3 V
Analog Input/Digital Input Current	10 mA
Operating Temperature Range	-40°C to +105°C
Storage Temperature Range	-65°C to +150°C
Maximum Junction Temperature	150 °C
Lead Soldering, Reflow Temperature	260°C
ESD Rating (HBM)	4 kV

上記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定はストレス定格のみを指定するものであり、この仕様の動作セクションに記載する規定値以上でのデバイス動作を定めたものではありません。長時間にわたり、デバイスを絶対最大定格を超える状態に置くと、デバイスの信頼性に影響を与えます。

熱抵抗

θ_{JA} は、表面実装パッケージ用の JEDEC テスト・ボードにハンダ付けされたデバイスで仕様規定されています。

表 4. 熱抵抗

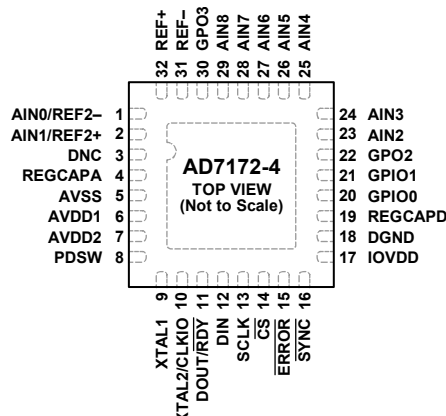
Package Type	θ_{JA}	Unit
32-Lead, 5 mm × 5 mm LFCSP		
1-Layer JEDEC Board	138	°C/W
4-Layer JEDEC Board	63	°C/W
4-Layer JEDEC Board with 9 Thermal Vias	41	°C/W

ESD に関する注意



ESD（静電放電）の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能の説明



NOTES

1. DNC = DO NOT CONNECT.

2. SOLDER THE EXPOSED PAD TO A SIMILAR PAD ON THE PCB UNDER THE EXPOSED PAD TO CONFER MECHANICAL STRENGTH TO THE PACKAGE AND FOR HEAT DISSIPATION. THE EXPOSED PAD MUST BE CONNECTED TO AVSS THROUGH THIS PAD ON THE PCB.

12876-002

図 4. ピン配置

表 5. ピン機能の説明

ピン番号	記号	タイプ ¹	説明
1	AIN0/REF2-	AI	アナログ入力 0/リファレンス 2 負入力端子。REF2+ ピンと REF2- ピンの間にリファレンスを適用できます。REF2- の電圧範囲は AVSS ~ AVDD1 - 1 V です。アナログ入力 0 は、クロスポイント・マルチプレクサを通じて選択できます。リファレンス 2 は、セットアップ構成 (SETUPCONx) レジスタの REF_SELx ビットを通じて選択できます。
2	AIN1/REF2+	AI	アナログ入力 1/リファレンス 2 正入力端子。REF2+ ピンと REF2- ピンの間にリファレンスを適用できます。REF2+ の電圧範囲は AVDD1 ~ AVSS + 1 V です。アナログ入力 1 は、クロスポイント・マルチプレクサを通じて選択できます。リファレンス 2 は、セットアップ構成 (SETUPCONx) レジスタの REF_SELx ビットを通じて選択できます。
3	DNC		接続なし。このピンは接続しないでください。
4	REGCAPA	AO	アナログ LDO レギュレータ出力です。1 μ F のコンデンサを使用して、このピンを AVSS へデカップリングします。
5	AVSS	P	負のアナログ電源。電源電圧範囲は 0 V ~ -2.75 V で、通常は 0 V に設定します。
6	AVDD1	P	アナログ電源電圧 1。この電圧範囲は、AVSS を基準にして 3.0 V (min) ~ 5.5 V (max) です。
7	AVDD2	P	アナログ電源電圧 2。この電圧範囲は、AVSS を基準にして、2 V ~ AVDD1 です。
8	PDSW	AO	AVSS に接続されたパワーダウン・スイッチ。このピンは、GPIOCON レジスタの PDSW ビットで制御されます。
9	XTAL1	AI	水晶発振器用の入力 1
10	XTAL2/CLKIO	AI/DI	水晶発振器用の入力 2/クロック入出力。詳細については、表 28 の ADCMODE レジスタの CLOCKSEL ビットの設定を参照してください。
11	DOUT/RDY	DO	シリアル・データ出力/データ・レディ出力。DOUT/RDY は 2 つの機能を備えたピンです。このピンは、ADC の出力シフト・レジスタにアクセスするためのシリアル・データ出力ピンとして機能します。出力シフト・レジスタには、内蔵のデータ・レジスタまたはコントロール・レジスタからのデータを格納できます。データワード/コントロール・ワード情報が SCLK の立ち下がりエッジで、DOUT/RDY ピンに出力され、SCLK の立ち上がりエッジで有効になります。CS がハイ・レベルの場合、DOUT/RDY 出力はトライステートになります。CS がロー・レベルの場合、DOUT/RDY は、データ・レディー・ピンとして機能し、レジスタは読み出されず、ロー・レベルへ移行することで変換の完了を示します。変換後にデータが読み出されなかった場合、このピンは次のデータ更新の直前にハイ・レベルになり、次の更新が完了するまでハイ・レベルを維持します。DOUT/RDY の立ち下がりエッジは、プロセッサに対する割込みとして使用され、有効なデータが存在することを示します。
12	DIN	DI	ADC の入力シフト・レジスタに対するシリアル・データ入力です。該当するレジスタは、コミュニケーション・レジスタのレジスタ・アドレス (RA) ビットにより指定され、ADC のコントロール・レジスタに転送されます。データは、SCLK の立ち上がりエッジに同期して入力されます。
13	SCLK	DI	シリアル・クロック入力です。このシリアル・クロック入力、ADC との双方向データ転送に使用します。SCLK ピンにはシュミット・トリガー入力が入蔵されているため、光学絶縁されたアプリケーションのインターフェースに適しています。

ピン番号	記号	タイプ ¹	説明
14	<u>CS</u>	DI	チップ・セレクト入力です。これは ADC を選択するのに使用するアクティブ・ローのロジック入力です。 <u>CS</u> を使用して、シリアル・バス上に複数のデバイスが存在するシステムで ADC を選択できます。 <u>CS</u> をロー・レベルに配線すれば、SCLK、DIN、 <u>DOUT</u> ピンをデバイスとのインターフェースに使用して ADC を 3 線式モードで動作させることができます。 <u>CS</u> がハイ・レベルの場合、 <u>DOUT</u> / <u>RDY</u> 出力はトリステートになります。
15	<u>ERROR</u>	DI/O	このピンは、次の 3 つのいずれかのモードで使用できます。 アクティブ・ローのエラー入力モード: このモードは、ステータス・レジスタの ADC_ERROR ビットで設定できます。 アクティブ・ローのオープンドレイン・エラー出力モード: ステータス・レジスタのエラー・ビットが <u>ERROR</u> ピンにマップされます。複数のデバイスの <u>ERROR</u> ピンを共通のプルアップ抵抗にまとめて接続して、あらゆるデバイスのエラーを監視できます。 汎用出力モード: このピンの状態は、GPIOCON レジスタの ERR_DAT ビットによって制御されます。ピンは、GPIO0 および GPIO1 ピンで使用される AVDD1 および AVSS レベルとは異なり、IOVDD と DGND 間の電圧を基準にしています。この場合、 <u>ERROR</u> ピンは、アクティブ・プルアップになります。
16	<u>SYNC</u>	DI	同期入力: 複数の AD7172-4 デバイスを使用している場合は、このピンによりデジタル・フィルタとアナログ変調器を同期できます。
17	IOVDD	P	デジタル入出力電源電圧。IOVDD 電圧範囲は 2 V ～ 5 V です。IOVDD は AVDD1 および AVDD2 から独立しています。例えば、AVDD1 または AVDD2 が 5 V の場合に、IOVDD は 3.3 V で動作でき、その逆も可能です。AVSS に -2.5 V をかけた場合、IOVDD にかかる電圧は 3.6 V を超えてはいけません。
18	DGND	P	デジタル・グラウンド。
19	REGCAPD	AO	デジタル LDO レギュレータ出力: このピンはデカップリング専用です。1 μ F のコンデンサを使用して、このピンを DGND へデカップリングします。
20	GPIO0	DI/O	汎用の入出力 0。このピンのロジック入出力は、AVDD1 および AVSS 電源を基準にしています。
21	GPIO1	DI/O	汎用の入出力 1。このピンのロジック入出力は、AVDD1 および AVSS 電源を基準にしています。
22	GPO2	DO	汎用出力。このピンのロジック出力は、AVDD1 および AVSS 電源を基準にしています。
23	AIN2	AI	アナログ入力 2: アナログ入力 2 は、クロスポイント・マルチプレクサから選択可能。
24	AIN3	AI	アナログ入力 3: アナログ入力 3 は、クロスポイント・マルチプレクサから選択可能。
25	AIN4	AI	アナログ入力 4: アナログ入力 4 は、クロスポイント・マルチプレクサから選択可能。
26	AIN5	AI	アナログ入力 5: アナログ入力 5 は、クロスポイント・マルチプレクサから選択可能。
27	AIN6	AI	アナログ入力 6: アナログ入力 6 は、クロスポイント・マルチプレクサから選択可能。
28	AIN7	AI	アナログ入力 7: アナログ入力 7 は、クロスポイント・マルチプレクサから選択可能。
29	AIN8	AI	アナログ入力 8: アナログ入力 8 は、クロスポイント・マルチプレクサから選択可能。
30	GPO3	DO	汎用出力。このピンのロジック出力は、AVDD1 および AVSS 電源を基準にしています。
31	REF-	AI	リファレンス 1 入力負端子。REF- の入力電圧範囲は AVSS ～ AVDD1 - 1 V です。リファレンス 1 は、セットアップ構成 (SETUPCONx) レジスタの REF_SELx ビットを通じて選択できます。
32	REF+	AI	リファレンス 1 入力正端子。REF+ と REF- の間にリファレンスを適用できます。REF+ の入力電圧範囲は AVDD1 ～ AVSS + 1 V です。リファレンス 1 は、セットアップ構成 (SETUPCONx) レジスタの REF_SELx ビットを通じて選択できます。
	EP	P	露出パッドです。露出パッドは、パッケージの機械的強度と放熱効果を高めるため、プリント基板 (PCB) と同様のパッドにはんだ付けします (露出パッドの下)。露出パッドは、PCB のこのパッドを通じて AVSS に接続する必要があります。

¹ AI = アナログ入力、AO = アナログ出力、DI = デジタル入力、DO = デジタル出力、DIO = デジタル入力／出力、P = 電源。

代表的な性能特性

特に指定のない限り、AVDD1 = 5 V、AVDD2 = 5 V、IOVDD = 3.3 V、 $T_A = 25\text{ }^{\circ}\text{C}$ 。

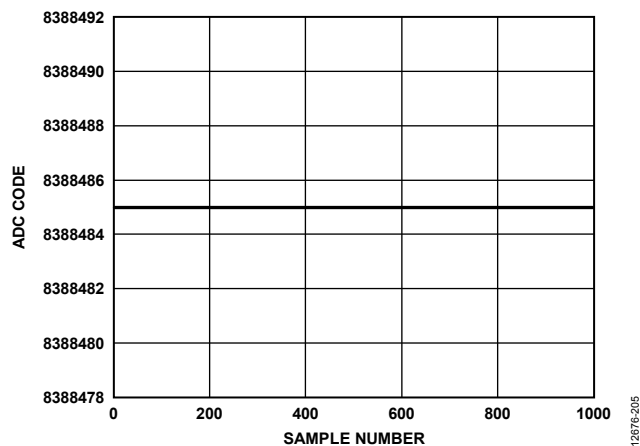


図 5. ノイズ (アナログ入力バッファはディスエーブル、 $V_{REF} = 5\text{ V}$ 、出力データ・レート = 1.25 SPS)

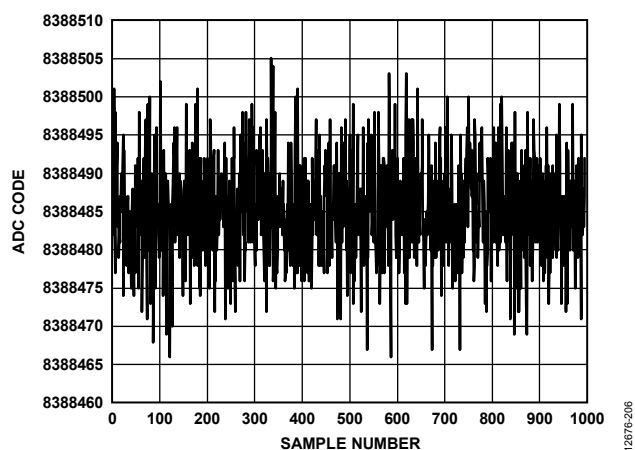


図 6. ノイズ (アナログ入力バッファはディスエーブル、 $V_{REF} = 5\text{ V}$ 、出力データ・レート = 2.6 kSPS)

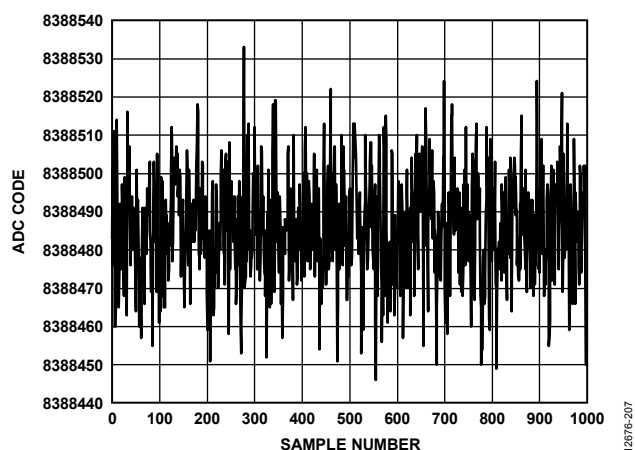


図 7. ノイズ (アナログ入力バッファはディスエーブル、 $V_{REF} = 5\text{ V}$ 、出力データ・レート = 31.25 kSPS)

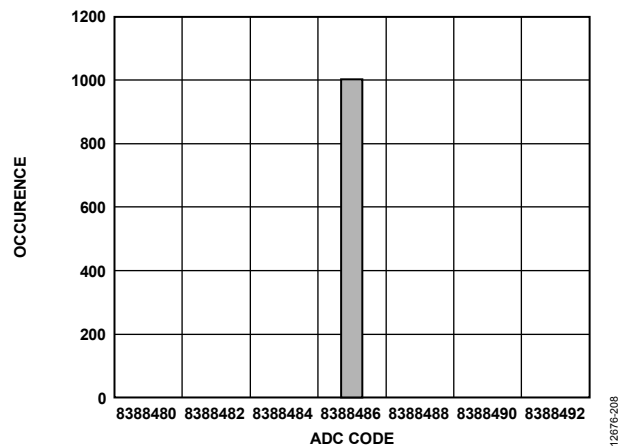


図 8. ヒストグラム (アナログ入力バッファはディスエーブル、 $V_{REF} = 5\text{ V}$ 、出力データ・レート = 1.25 SPS)

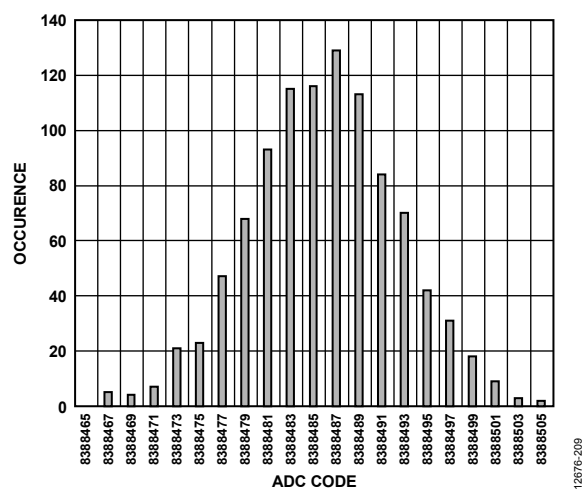


図 9. ヒストグラム (アナログ入力バッファはディスエーブル、 $V_{REF} = 5\text{ V}$ 、出力データ・レート = 2.6 kSPS)

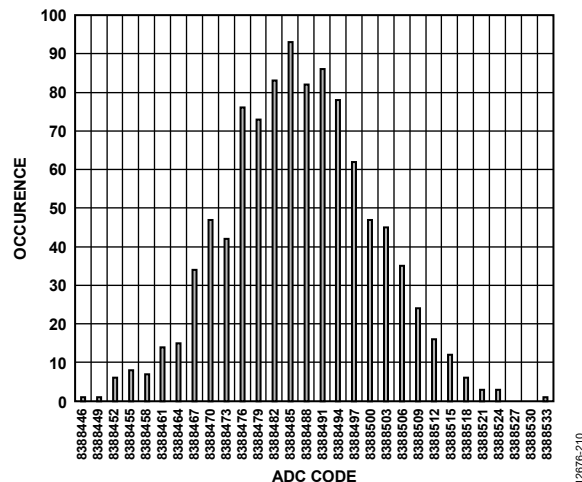


図 10. ヒストグラム (アナログ入力バッファはディスエーブル、 $V_{REF} = 5\text{ V}$ 、出力データ・レート = 31.25 kSPS)

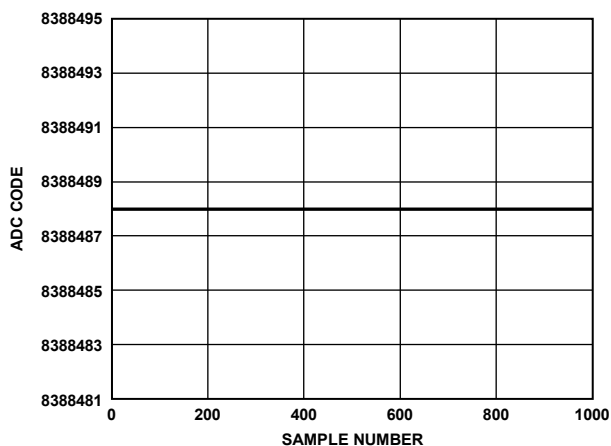


図 11. ノイズ (アナログ入力バッファはイネーブル、 $V_{REF} = 5\text{ V}$ 、出力データ・レート = 1.25 SPS)

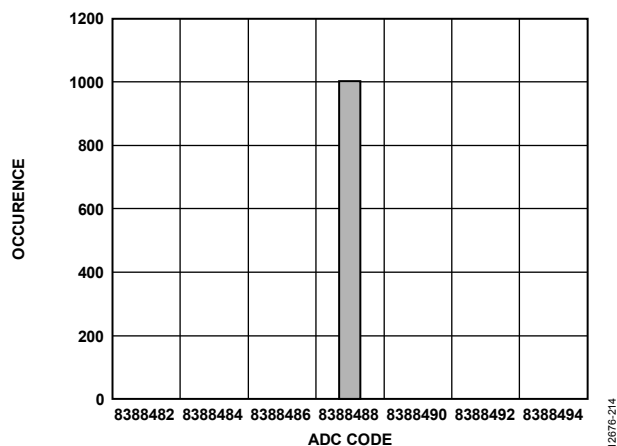


図 14. ヒストグラム (アナログ入力バッファはイネーブル、 $V_{REF} = 5\text{ V}$ 、出力データ・レート = 1.25 SPS)

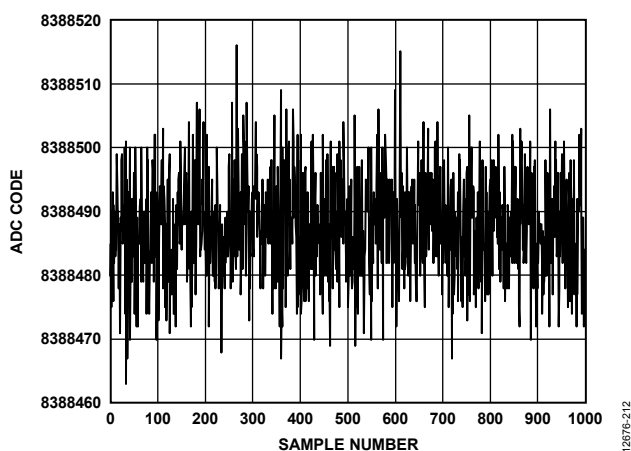


図 12. ノイズ (アナログ入力バッファはイネーブル、 $V_{REF} = 5\text{ V}$ 、出力データ・レート = 2.6 kSPS)

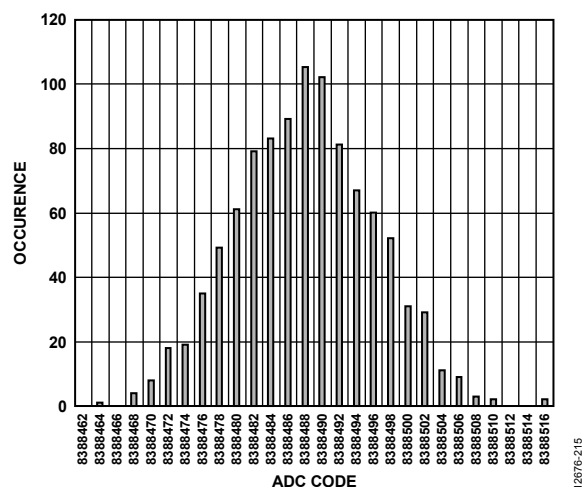


図 15. ヒストグラム (アナログ入力バッファはイネーブル、 $V_{REF} = 5\text{ V}$ 、出力データ・レート = 2.6 kSPS)

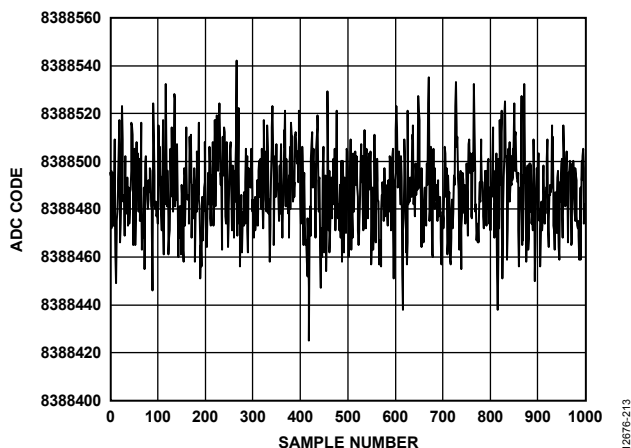


図 13. ノイズ (アナログ入力バッファはイネーブル、 $V_{REF} = 5\text{ V}$ 、出力データ・レート = 31.25 kSPS)

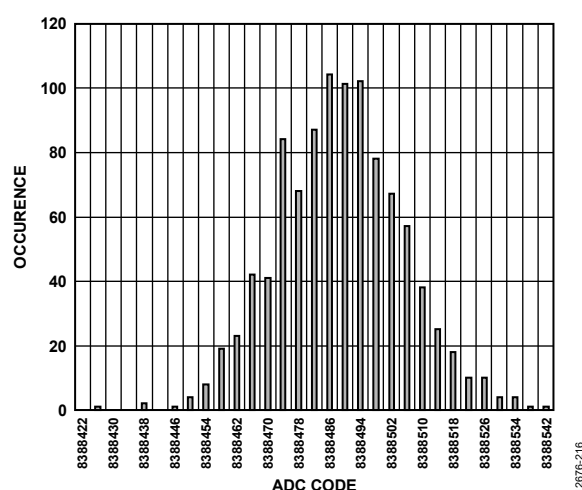


図 16. ヒストグラム (アナログ入力バッファはイネーブル、 $V_{REF} = 5\text{ V}$ 、出力データ・レート = 31.25 kSPS)

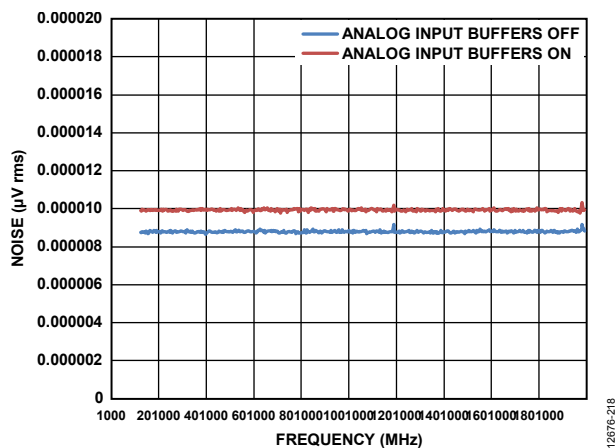


図 17. ノイズと外部マスター・クロック周波数の関係、アナログ入力バッファはオン/オフ

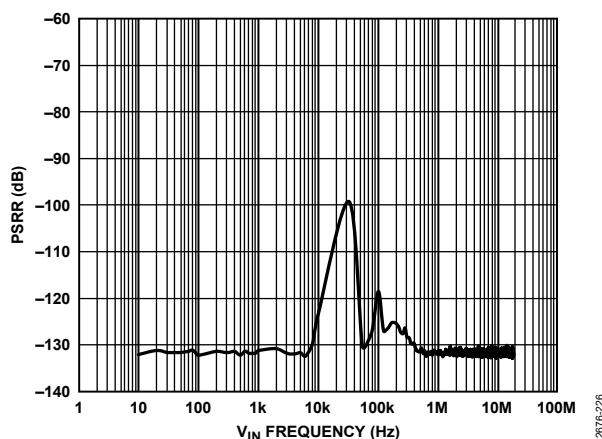


図 20. 電源電圧変動除去比 (PSRR) と V_{IN} 周波数の関係

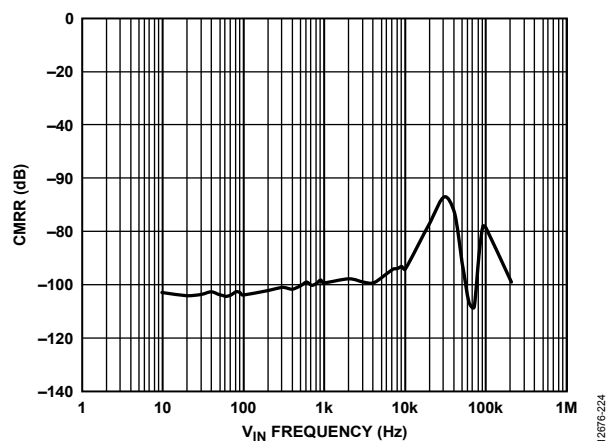


図 18. コモンモード除去比 (CMRR) と V_{IN} 周波数の関係 ($V_{IN} = 0.1 \text{ V}$ 、出力データ・レート = 31.25 kSPS)

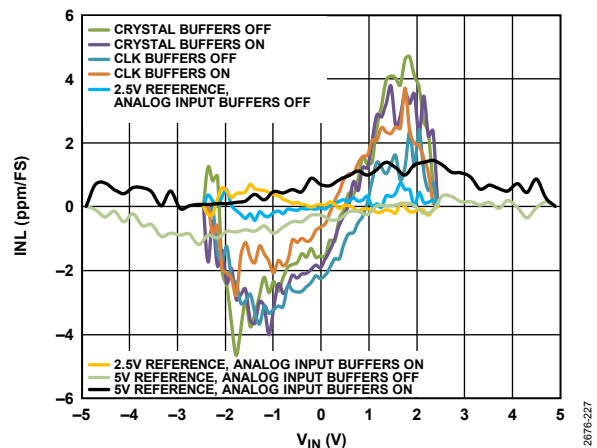


図 21. 積分非直線性 (INL) と V_{IN} (差動入力) の関係

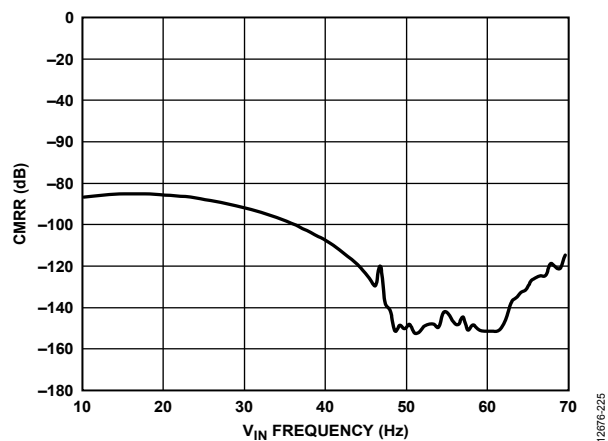


図 19. コモンモード除去比 (CMRR) と V_{IN} 周波数の関係 ($V_{IN} = 0.1 \text{ V}$ 、10 Hz ~ 70 Hz、出力データ・レート = 20 SPS 強化フィルタ)

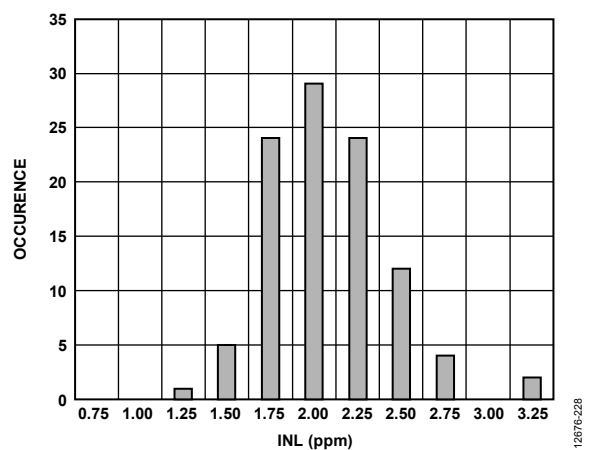


図 22. INL 分布ヒストグラム (差動入力、すべての入力バッファはイネーブル、 $V_{REF} = 2.5 \text{ V}$ 外部、100 ユニット)

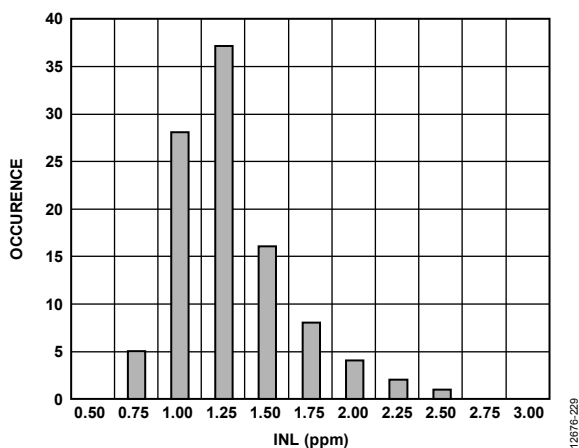


図 23. INL 分布ヒストグラム (差動入力、すべての入力バッファはディスエーブル、 $V_{REF} = 2.5\text{ V}$ 外部、100 ユニット)

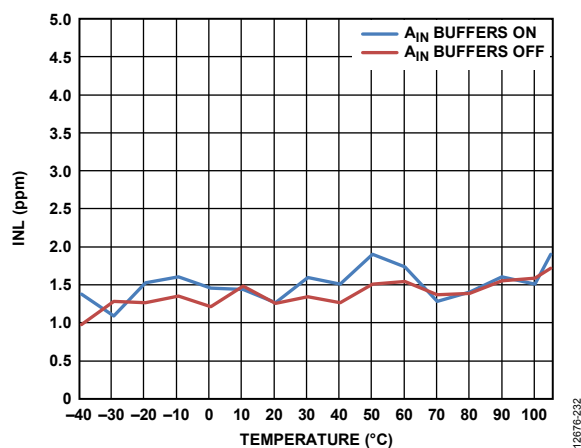


図 26. INL の温度特性 (差動入力、 $V_{REF} = 2.5\text{ V}$ 外部)

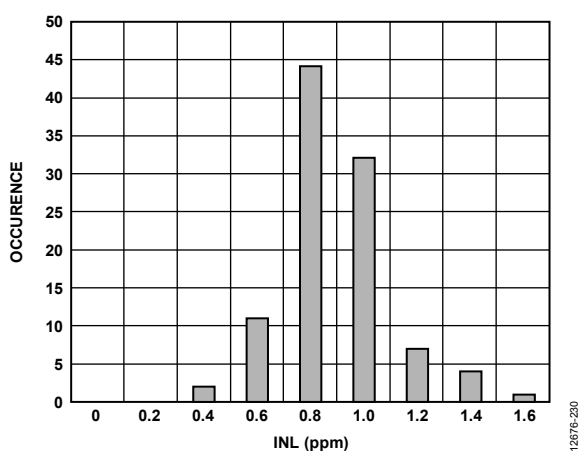


図 24. INL 分布ヒストグラム (すべての入力バッファはイネーブル、差動入力、 $V_{REF} = 5\text{ V}$ 外部、100 ユニット)

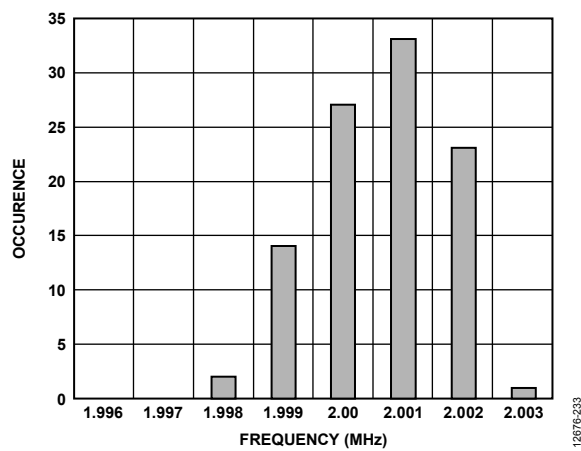


図 27. 内部発振器の周波数／精度分布ヒストグラム (100 ユニット)

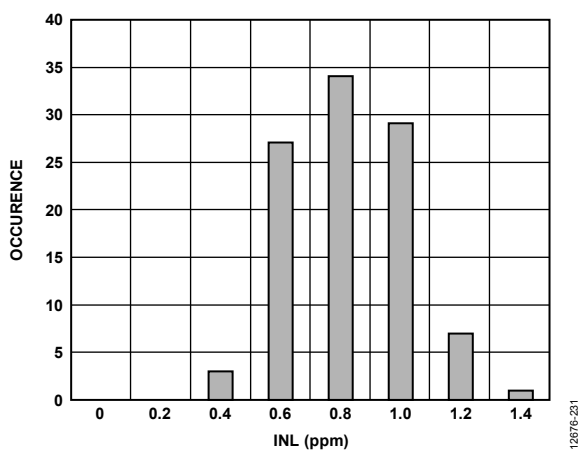


図 25. INL 分布ヒストグラム (すべてのアナログ入力バッファはディスエーブル、差動入力、 $V_{REF} = 5\text{ V}$ 外部、100 ユニット)

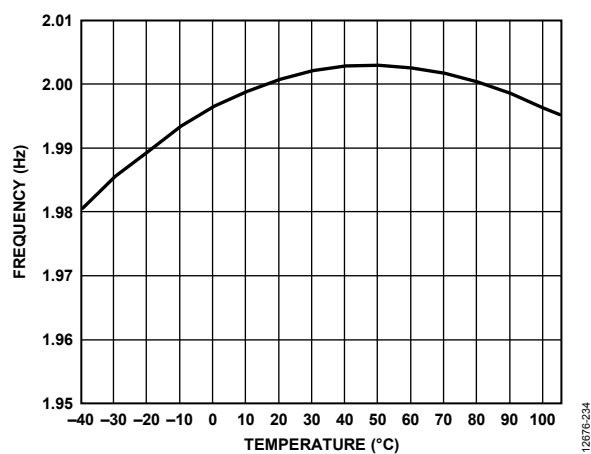


図 28. 内蔵発振器周波数と温度の関係

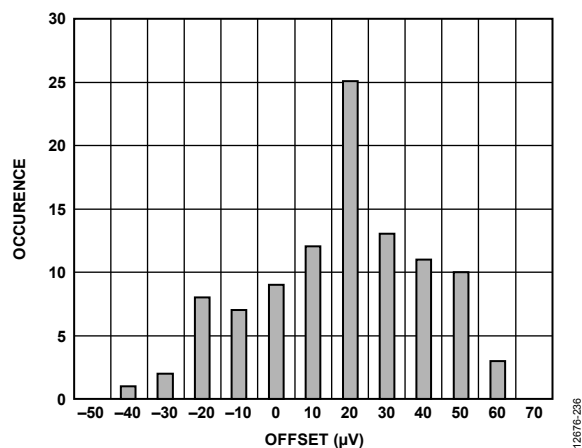


図 29. オフセット誤差分布ヒストグラム
(内部ショート、100 ユニット)

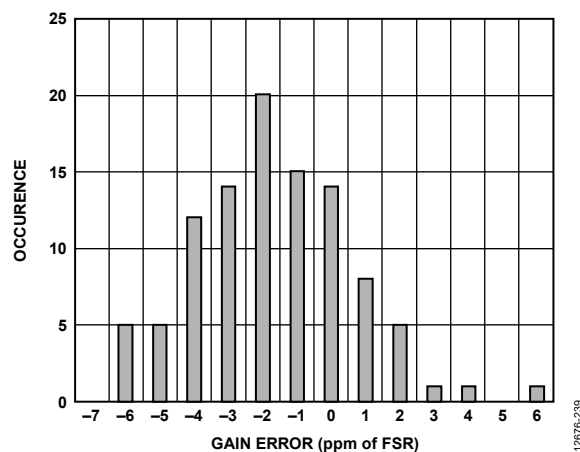


図 32. ゲイン誤差分布ヒストグラム
(すべての入力バッファはディスエーブル、100 ユニット)

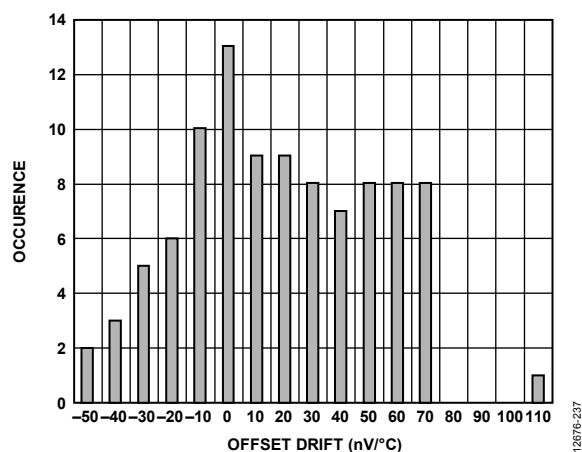


図 30. オフセット誤差ドリフト分布ヒストグラム
(内部ショート、100 ユニット)

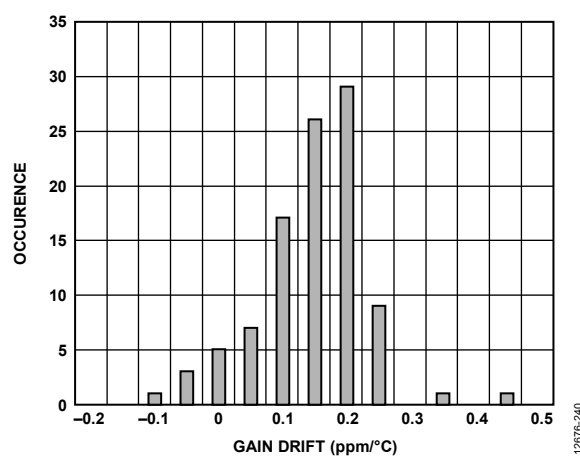


図 33. ゲイン・ドリフト分布ヒストグラム
(すべての入力バッファはイネーブル、100 ユニット)

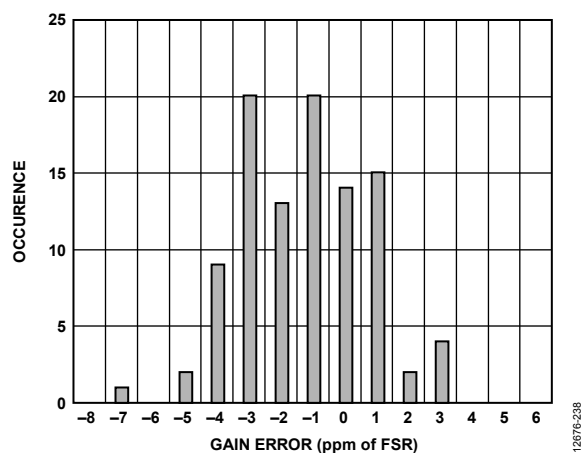


図 31. ゲイン誤差分布ヒストグラム
(すべての入力バッファはイネーブル、100 ユニット)

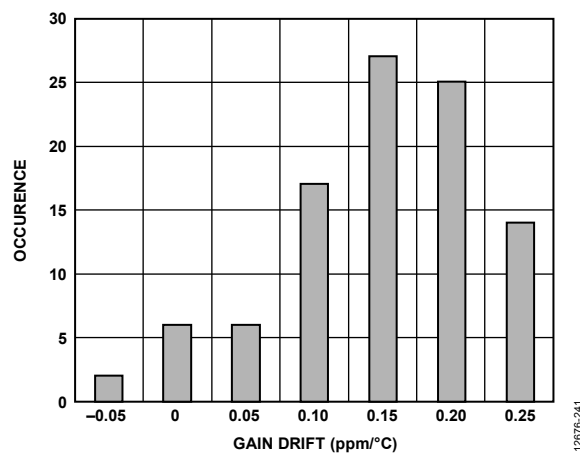


図 34. ゲイン・ドリフト分布ヒストグラム
(すべての入力バッファはディスエーブル、100 ユニット)

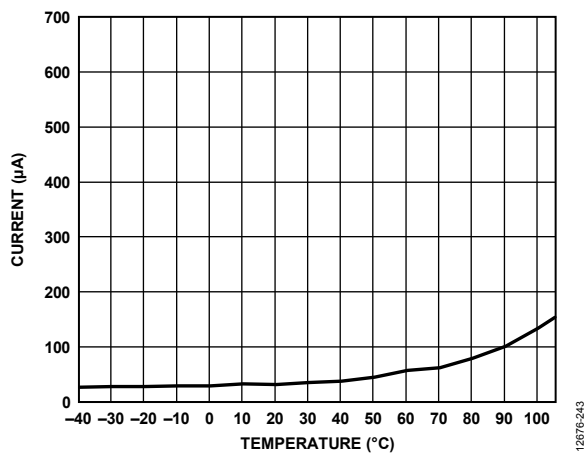


図 35. 消費電流と温度の関係 (スタンバイ・モード)

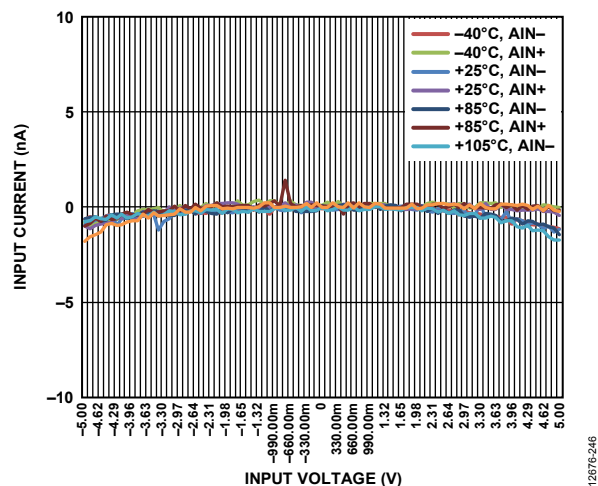


図 37. アナログ入力電流と入力電圧の関係 ($V_{\text{CM}} = 2.5 \text{ V}$)

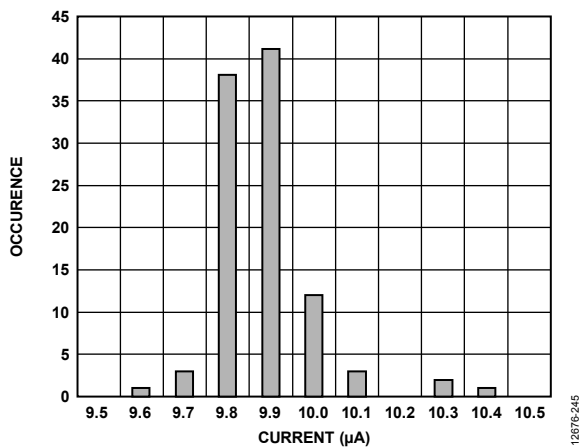


図 36. バーンアウト電流分布ヒストグラム (100 ユニット)

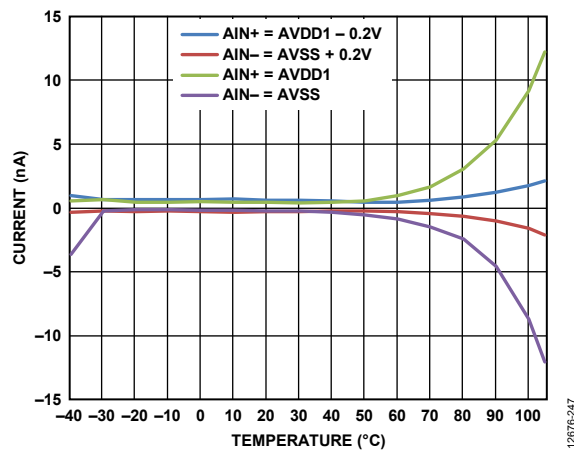


図 38. アナログ入力電流と温度の関係

ノイズ特性と分解能

表 6 と表 7 に、AD7172-4 の各種出力データ・レートとフィルタの組み合わせによる AD7172-4 の rms ノイズ、ピーク to ピーク・ノイズ、実効分解能、およびノイズ・フリー (ピーク to ピーク) 分解能を示します。ここに示している値は、5 V のリファレンス電圧を使用した場合のバイポーラ入力範囲です。これらの値は代表値であり、ADC の単一チャンネルの差動入力端子

に 0 V を入力して、連続変換しているときに生成される値です。ピーク to ピーク分解能は、ピーク to ピーク・ノイズを基に計算された値であることに注意をしてください。このピーク to ピーク分解能は、コード・フリッカが生じない分解能を示します。

表 6. 出力データ・レートと RMS ノイズおよびピーク to ピーク分解能の関係 (Sinc5 + Sinc1 フィルタ (デフォルト) を使用) ¹

Output Data Rate (SPS)	RMS Noise (μV rms)	Effective Resolution (Bits)	Peak-to-Peak Noise (μV p-p)	Peak-to-Peak Resolution (Bits)
Input Buffers Disabled				
31,250	8.2	20.2	66	17.2
15,625	7.0	20.4	52	17.5
10,417	6.0	20.7	45	17.8
1007	2.2	22.2	15	19.3
59.52	0.48	24	3.2	21.6
49.68	0.47	24	3.1	21.6
16.63	0.25	24	1.6	22.6
1.25	0.088	24	0.32	24
Input Buffers Enabled				
31,250	9.5	20	74	17
15,625	8.2	20.2	63	17.3
10,417	7.1	20.4	53	17.5
1007	2.6	21.9	16	19.3
59.52	0.62	24	3.6	21.4
49.68	0.53	24	3.3	21.5
16.63	0.32	24	1.7	22.2
1.25	0.089	24	0.35	24

¹ 選択されたレートのみ: 1000 サンプル

表 7. 出力データ・レートに対する RMS ノイズおよびピーク to ピーク分解能の関係 (Sinc3 フィルタを使用) ¹

Output Data Rate (SPS)	RMS Noise (μV rms)	Effective Resolution (Bits)	Peak-to-Peak Noise (μV p-p)	Peak-to-Peak Resolution (Bits)
Input Buffers Disabled				
31,250	211	15.5	1600	12.5
15,625	27.2	18.5	205	15.6
10,417	7.9	20.3	57	17.4
1008	1.6	22.6	11	19.8
59.98	0.38	24	2.5	21.9
50	0.35	24	2.3	22
16.67	0.21	24	1.1	23.1
1.25	0.054	24	0.27	24
Input Buffers Enabled				
31,250	212	15.5	1600	12.5
15,625	27.7	18.5	210	15.5
10,417	8.5	20.2	63	17.3
1008	1.8	22.4	13	19.6
59.98	0.45	24	2.8	21.8
50	0.44	24	2.5	22
16.67	0.24	24	1.2	23
1.25	0.073	24	0.29	24

¹ 選択されたレートのみ: 1000 サンプル

評価開始にあたって

AD7172-4 は、設定機能の優れた、高速セトリングおよび高分解能のマルチプレクス型 ADC で、次の機能を備えています。

- 4 個の完全差動入力、または 8 個のシングルエンド入力。
- 変換する入力信号としてあらゆるアナログ入力の組み合わせを選択し、それらを変調器の正入力または負入力にルーティングするクロスポイント・マルチプレクサ。
- 真のレール to レール・バッファ付きアナログ入力およびリファレンス入力。
- あらゆるアナログ入力を基準とした完全差動入力またはシングルエンド入力。
- チャンネルごとに構成可能。最大 8 個のセットアップを定義可能。各チャンネルに個別のセットアップをマップ可能。各セットアップでは、バッファのイネーブル/ディスエーブル、ゲインおよびオフセット補正、フィルタ・タイプ、出力データ・レートを設定したり、リファレンス源を選択したりできます。

AD7172-4 は、アナログおよびデジタル回路用に 2 つの個別のリニア電圧レギュレータ・ブロックを内蔵しています。アナログ LDO レギュレータは、AVDD2 電源を 1.8 V に調整して ADC コアに供給します。接続を簡単にするには、AVDD1 と AVDD2 電源を接続します。システム内に 2 V (min) ~ 5.5 V (max) のクリーンなアナログ電源レールがすでに存在する場合は、この電源を AVDD2 入力に接続して消費電力を抑えることができます。

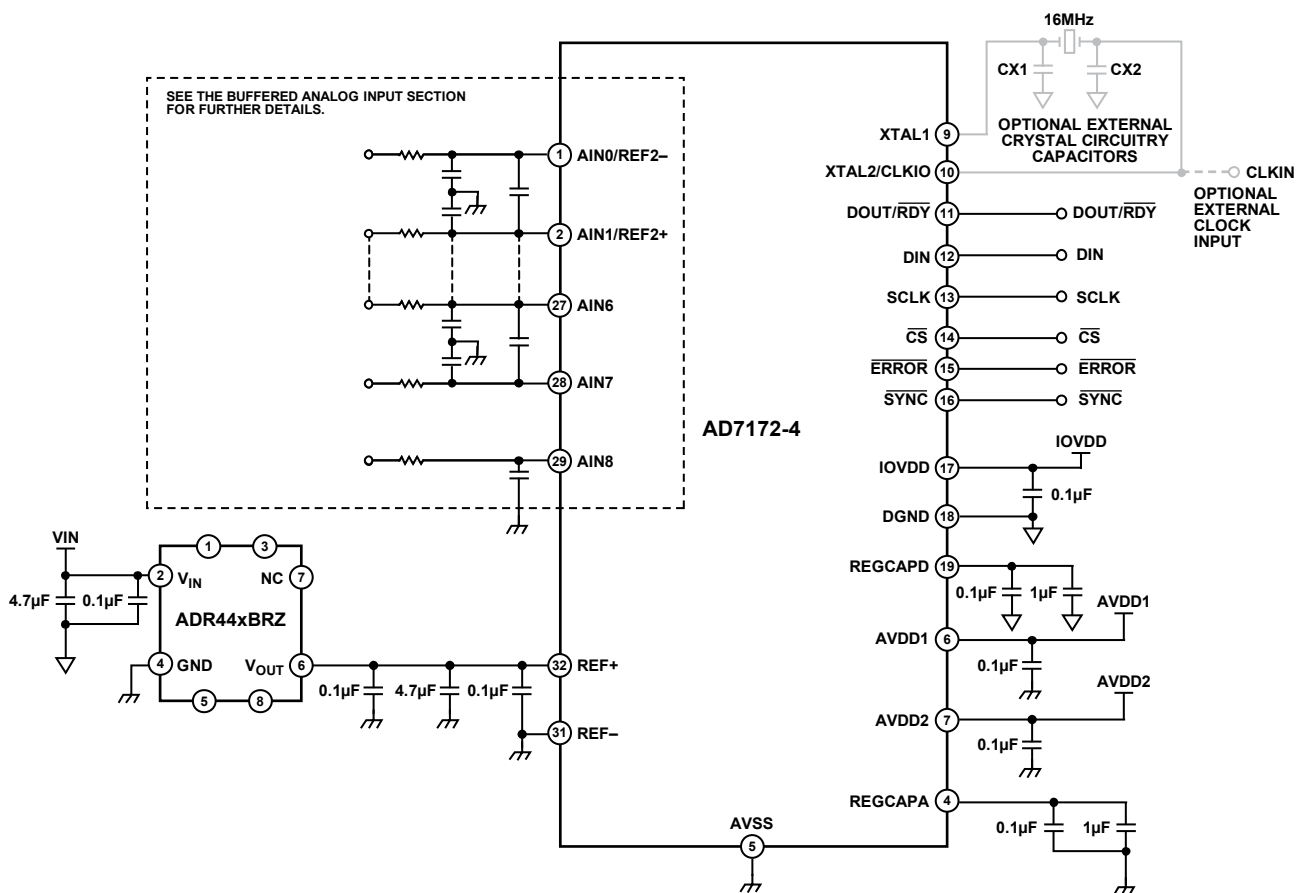


図 39. 代表的な接続図

デジタル IOVDD 電源のリニア電圧レギュレータは同様な機能を備えており、内蔵デジタル・フィルタリング用に IOVDD ピンに入力された電圧を 1.8 V に調整します。シリアル・インターフェース信号は、常にピンの IOVDD 電源で動作します。つまり、IOVDD ピンに 3.3 V が入力されている場合、インターフェース・ロジック入出力はこのレベルで動作します。

AD7172-4 は、さまざまなアプリケーションで使用でき、高い分解能と精度を提供できます。これらのアプリケーションの例を以下に示します。

- 内部マルチプレクサを使用したアナログ入力チャンネルの高速スキャンング
- GPIO からの自動制御と外部マルチプレクサを使用したアナログ入力チャンネルの高速スキャンング
- チャンネル・スキャンング・アプリケーションまたはチャンネルごとの ADC アプリケーションでの低速時の高分解能
- チャンネルごとに 1 個の ADC: 高速で低遅延の出力により、外部マイクロコントローラ、DSP、または FPGA でのアプリケーション固有のフィルタリングが可能

電源

AD7172-4 には、次の 3 つの独立した電源ピン AVDD1、AVDD2、IOVDD があります。AD7172-4 には、電源シーケンスに特定の要件はありません。すべての電源が安定したら、デバイスをリセットする必要があります。デバイスのリセット方法については、AD7172-4 のリセットのセクションを参照してください。

AVDD1 は、クロスポイント・マルチプレクサの他に、内蔵アナログ入力バッファとリファレンス入力バッファを駆動します。AVDD1 は AVSS を基準としており、 $AVDD1 - AVSS = 3.3\text{ V}$ または 5 V です。AVDD1 と AVSS には、 3.3 V または 5 V の単電源、あるいは $\pm 1.65\text{ V}$ または $\pm 2.5\text{ V}$ の分離電源を使用できます。分離電源動作により、真のバイポーラ入力が可能になります。分離電源を使用する場合は、絶対最大定格を考慮してください (絶対最大定格のセクションを参照)。

AVDD2 は、内部 1.8 V アナログ LDO レギュレータを駆動します。このレギュレータは、ADC コアも駆動します。AVDD2 は AVSS を基準としており、AVDD2 から AVSS への電圧範囲は $5.5\text{ V (max)} \sim 2\text{ V (min)}$ です。

IOVDD は、内部 1.8 V デジタル LDO レギュレータを駆動します。このレギュレータは、ADC のデジタル・ロジックも駆動します。IOVDD は、ADC の SPI インターフェースの電圧レベルを設定します。IOVDD は DGND を基準としており、IOVDD から DGND への電圧範囲は $5.5\text{ V (max)} \sim 2\text{ V (min)}$ です。

推奨リニア電圧レギュレータ

ADP7118 は正電源レールを提供し、必要な電源構成に応じて AVDD1/IOVDD 用に 5 V または 3.3 V の単電源あるいは両電源を生成します。ADP7118 は、最大 20 V の入力電圧で動作できます。

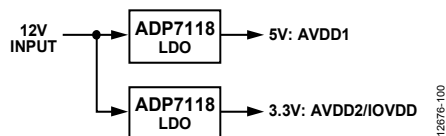


図 40. 単電源リニア電圧レギュレータ

ADM660 と ADP7182 は、バイポーラ構成での AVSS 用のクリーンな負側レールを生成し、最適なコンバータ性能を発揮します。

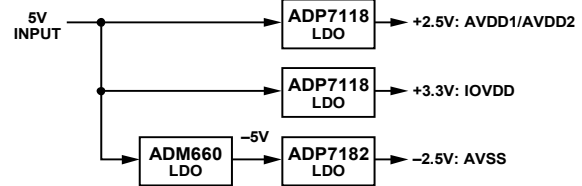


図 41. バイポーラ AD7172-4 電源レール

表 8. 推奨パワー・マネジメント・デバイス

製品	説明
ADP7118	20 V、200 mA、低ノイズ、CMOS LDO レギュレータ
ADP7182	-28 V、-200 mA、低ノイズ、リニア電圧レギュレータ
ADM660	CMOS スイッチド・キャパシタ電圧コンバータ

デジタル通信

AD7172-4 は、QSPI™、MICROWIRE、および DSP と互換性のある 3 線式または 4 線式の SPI インターフェースを備えています。このインターフェースは、SPI モード 3 で動作し、CS がロー・レベルに接続したままでも動作します。SPI モード 3 の場合、SCLK ピンはアイドル・ハイになり、SCLK の立ち下りエッジは起動エッジ、立ち上がりエッジはサンプル・エッジになります。すなわち、データは立ち下りの起動エッジに同期して出力され、立ち上りのサンプル・エッジに同期して入力されます。

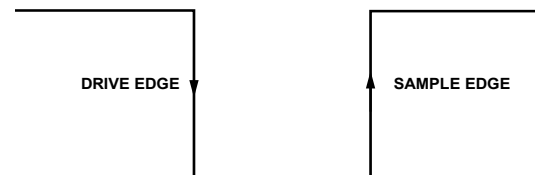


図 42. SPI モード 3 SCLK のエッジ

ADC のレジスタ・マップへのアクセス

コミュニケーション・レジスタは、ADC 内のレジスタ・マップ全体へのアクセスを制御しています。このレジスタは 8 ビットの書き込み専用レジスタです。パワーアップ時またはリセット後に、デジタル・インターフェースは、デフォルトでコミュニケーション・レジスタへの書き込み待ちの状態になります。したがって、すべての通信はコミュニケーション・レジスタへの書き込みによって開始されます。

コミュニケーション・レジスタへのデータ書き込みによって、どのレジスタにアクセスするか決定され、次の動作が書き込みまたは読出しのどちらであるかも決定されます。RA ビット (レジスタ 0x00 のビット[5:0]) により、どのレジスタに対して読出しまたは書き込みが実行されるか決まります。

選択されたレジスタへの読出し動作または書き込み動作が完了すると、インターフェースはデフォルト状態、すなわち、コミュニケーション・レジスタに対する書き込み動作待ちの状態に戻ります。

図 43 と 図 44 に、レジスタへの書き込み動作とレジスタからの読出し動作を示します。8 ビット・コマンドをコミュニケーション・レジスタに書き込んだ後に、そのレジスタのデータの書き込み／読出しを実行します。

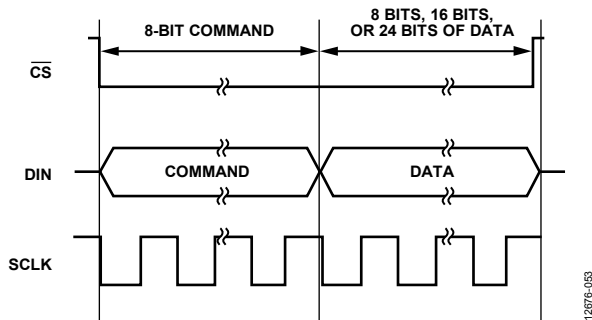


図 43. レジスタへの書き込み (レジスタ・アドレスを含む 8 ビット・コマンドを送信して 8 ビット、16 ビット、または 24 ビットのデータを書き込む。DIN のデータ長は選択されたレジスタによって異なる)

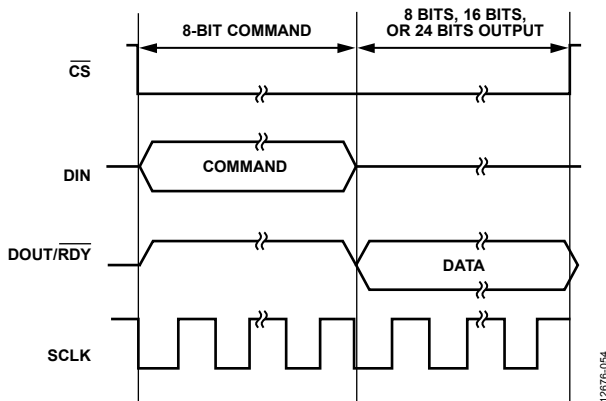


図 44. レジスタからの読出し (レジスタ・アドレスを含む 8 ビット・コマンドを送信して、8 ビット、16 ビット、または 24 ビットのデータを読み出す。DOUT/RDY のデータ長は選択されたレジスタによって異なる)

このデバイスが正常に通信しているか確認するには、ID レジスタの読出しが推奨されます。ID レジスタは読出し専用のレジスタで、AD7172-4 の値 0x205X が格納されています。コミュニケーション・レジスタと ID レジスタの詳細については、表 9 と表 10 を参照してください。

AD7172-4 のリセット

パワーアップ・サイクル後に電源が安定したら、デバイスをリセットする必要があります。インターフェースの同期が失われた場合も、デバイスをリセットする必要があります。DIN がハイ・レベルで、少なくとも 64 シリアル・クロック・サイクルの書き込み動作が実行されると、レジスタの内容を含むデバイスのすべての設定がリセットされ、ADC がデフォルト状態に戻ります。代わりに、CS をデジタル・インターフェースと一緒に使用し、CS をハイ・レベルに戻すと、デジタル・インター

フェースがデフォルト状態に設定され、すべてのシリアル・インターフェースが停止します。

構成概要

パワーオンまたはリセット後の AD7172-4 のデフォルト設定は、次のとおりです。

- チャンネル構成。CH 0 はイネーブル、AIN0 は正入力として選択されており、AIN1 は負入力として選択されている。Setup0 が選択されている。
- セットアップ構成。アナログ入力バッファとリファレンス入力バッファはディスエーブル。REF±ピンはリファレンス源として選択されている。
- フィルタ構成。sinc5 + sinc1 フィルタが選択されており、31.25 kSPS の最大出力データ・レートが選択されている。
- ADC モード。連続変換モードと内部発振器はイネーブル。
- インターフェース・モード。CRC、データ + ステータス出力はディスエーブル。

いくつかの重要なレジスタ設定オプションのみを示しました。このリストは一例であることに留意してください。レジスタの詳細については、レジスタの詳細のセクションを参照してください。

図 45 に、ADC 動作の設定を変更するときの推奨フローの概要を示します。このフローは 3 つのブロックに分割されます。

- チャンネル構成 (図 45 のボックス A を参照)
- セットアップ構成 (図 45 のボックス B を参照)
- ADC モードとインターフェース・モードの構成 (図 45 のボックス C を参照)

チャンネル構成

AD7172-4 は 8 個の独立したチャンネルと 8 個の独立したセットアップを備えています。あらゆるチャンネルで任意のアナログ入力ペアを選択でき、あらゆるチャンネルで 8 個のセットアップのうち 1 つを自由に選択できるため、チャンネル構成に関する完全な柔軟性が実現されます。また、各チャンネルに独自の専用セットアップを適用できるため、差動入力およびシングルエンド入力を使用しているときにチャンネルごとの構成も可能です。

チャンネル・レジスタ

チャンネル・レジスタでは、9 個のアナログ入力ピン (AIN0 ~ AIN8) のうち、どのピンをチャンネルの正のアナログ入力 (AIN+) または負のアナログ入力 (AIN-) として使用するか選択します。このレジスタには、チャンネルのイネーブル／ディスエーブル・ビットや、このセットアップ・チャンネルで使用するセットアップ (8 個のセットアップのいずれか) を選択するためのセットアップ選択ビットも含まれています。

複数のチャンネルがイネーブルになっている状態で AD7172-4 が動作している場合、チャンネル・シーケンスはチャンネル 0 からチャンネル 7 までイネーブル・チャンネルを順番にスキャンします。チャンネルがディスエーブルの場合、この動作はシーケンスによってスキップされます。チャンネル 0 のチャンネル・レジスタの詳細を表 11 に示します。

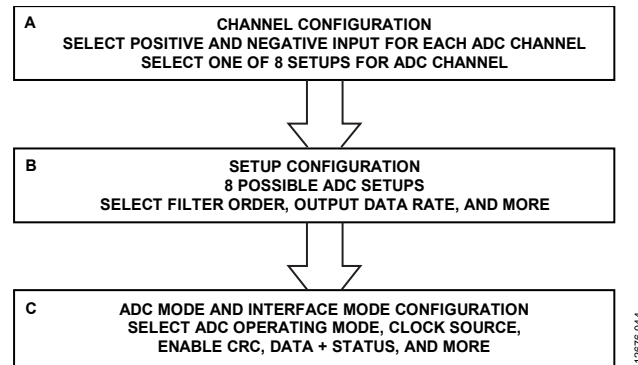


図 45. 推奨する ADC 構成時のフロー

表 9. コミュニケーション・レジスタ

Reg.	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	RW
0x00	COMMS	[7:0]	WEN	R/W	RA						0x00	W

表 10. ID レジスタ

Reg.	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	RW
0x07	ID	[15:8]	ID[15:8]								0x205X	R
		[7:0]	ID[7:0]									

表 11. チャンネル・レジスタ 0

Reg.	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	RW
0x10	CH0	[15:8]	CH_EN0	SETUP_SEL0			Reserved		AINPOS0[4:3]		0x8001	RW
		[7:0]	AINPOS0[2:0]			AINNEG0						

ADC セットアップ

AD7172-4 には、8 個の独立したセットアップがあります。各セットアップは以下の 4 つのレジスタで構成されています。

- セットアップ構成レジスタ
- フィルタ設定レジスタ
- ゲイン・レジスタ
- オフセット・レジスタ

例えば、Setup 0 は、セットアップ構成レジスタ 0、フィルタ設定レジスタ 0、ゲイン・レジスタ 0、およびオフセット・レジスタ 0 で構成されています。図 46 に、これらのレジスタのグループを示します。セットアップは、チャンネル・レジスタから選択できます (チャンネル構成のセクションを参照)。これにより、各チャンネルを 8 個の個別のセットアップのいずれかに割り当てることができます。表 12 から

表 15 に、Setup 0 に関連する 4 つのレジスタを示しています。Setup 1 から Setup 7 までは、Setup 0 と全く同じ構造です。

セットアップ構成レジスタ

セットアップ構成レジスタにより、バイポーラ・モードやユニポーラ・モードを選択して ADC の出力コーディングを選択できます。バイポーラ・モードの場合、ADC は負の差動入力電圧にも対応し、出力コーディングはオフセット・バイナリになります。ユニポーラ・モードの場合、ADC は正の差動電圧のみに対応し、コーディングはストレート・バイナリになります。どちらの場合も、入力電圧は $AVDD1/AVSS$ 電源電圧以下にする必要があります。これらのレジスタを使用してリファレンス源を選択できます。REF+ ピンと REF− ピンの間に接続されたリファレンス、REF2+ ピンと REF2− ピン間に接続されたリファレンス、または $AVDD1-AVSS$ 電圧を使用できます。これらのレジスタを使用して、アナログ入力バッファとリファレンス電圧入力バッファをイネーブルまたはディスエーブルにすることもできます。

フィルタ設定レジスタ

フィルタ設定レジスタは、ADC 変調器の出力で使用するデジタル・フィルタを選択します。フィルタの次数と出力データ・レートは、これらのレジスタのビットをセットして選択します。詳細については、デジタル・フィルタのセクションを参照してください。

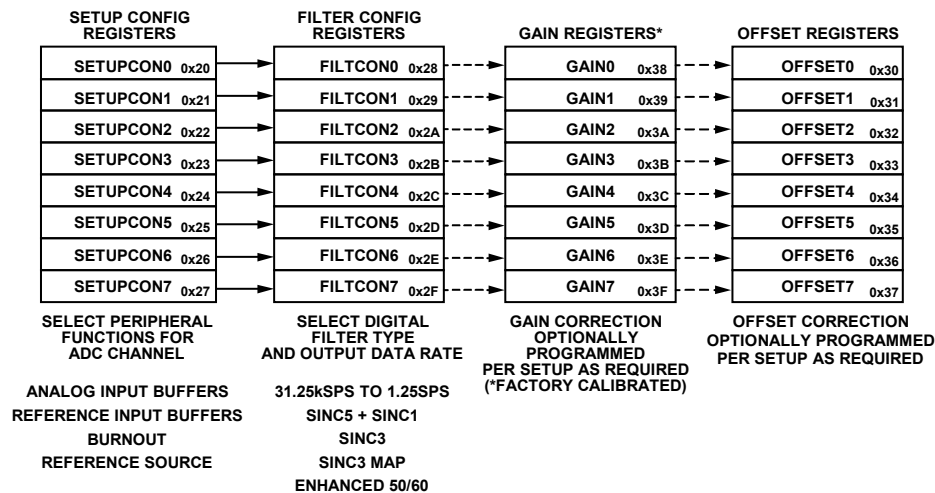


図 46. ADC セットアップ・レジスタのグループ

表 12. セットアップ構成レジスタ 0

Reg.	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	RW
0x20	SETUPCON0	[15:8]	Reserved			BI_UNIPOLAR 0	REFBUF0+	REFBUF0-	AINBUF0+	AINBUF0-	0x1000	RW
		[7:0]	BURNOUT_EN0	Reserved	REF_SEL0		Reserved					

表 13. フィルタ設定レジスタ 0

Reg.	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	RW
0x28	FILTCON0	[15:8]	SINC3_MAP0	Reserved			ENHFILTEN 0	ENHFILT0			0x0500	RW
		[7:0]	Reserved	ORDER0		ODR0						

表 14. ゲイン・レジスタ 0

Reg.	Name	Bits	Bits[23:0]								Reset	RW
0x38	GAIN0	[23:0]	GAIN0[23:0]								0x5XXXX 0	RW

表 15. オフセット・レジスタ 0

Reg.	Name	Bits	Bits[23:0]								Reset	RW
0x30	OFFSET0	[23:0]	OFFSET0[23:0]								0x800000	RW

ゲイン・レジスタ

ゲイン・レジスタは、ADC のゲイン・キャリブレーション係数を保持する 24 ビット・レジスタです。ゲイン・レジスタはリード/ライト・レジスタです。パワーオン時、これらのレジスタには工場出荷時のキャリブレーション係数が格納されます。従って、各デバイスは個別のデフォルト係数を持っています。ユーザーがシステム・フルスケール・キャリブレーションを実行した場合、またはゲイン・レジスタに書き込みを行った場合、デフォルト値は自動的に上書きされます。詳細については、動作モードのセクションを参照してください。

オフセット・レジスタ

オフセット・レジスタは、ADC のオフセット・キャリブレーション係数を保持します。オフセット・レジスタのパワーオン・リセット値は、0x800000 です。オフセット・レジスタは 24 ビットのリード/ライト・レジスタです。ユーザーが内部キャリブレーションまたはシステム・ゼロスケール・キャリブレーションを実行した場合、あるいはオフセット・レジスタに書き込みを行った場合、パワーオン・リセット値は自動的に上書きされます。

ADC モードとインターフェース・モードの構成

ADC モード・レジスタとインターフェース・モード・レジスタは、AD7172-4 によって使用される ADC コア・ペリフェラルとデジタル・インターフェースのモードを設定します。

ADC モード・レジスタ

ADC モード・レジスタでは、主に ADC の変換モードを連続変換モードまたはシングル変換モードに設定します。また、スタンバイ・モード、パワーダウン・モードの選択もできます。さらに、各種キャリブレーション・モードの選択も可能です。さらに、このレジスタにはクロック源の選択ビットも含まれています。リファレンスの選択ビットは、セットアップ構成レジスタに含まれています(詳細については、ADC セットアップのセクションを参照)。このレジスタの詳細を表 16 に示します。

インターフェース・モード・レジスタ

インターフェース・モード・レジスタは、デジタル・インターフェースの動作を設定します。このレジスタにより、データワード長、CRC イネーブル、データとステータスの読出し、および連続読出しモードを制御できます。このレジスタの詳細を表 17 に示します。詳細については、デジタル・インターフェースのセクションを参照してください。

表 16. ADC モード・レジスタ

Reg.	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	RW
0x01	ADCMODE	[15:8]	Reserved	HIDE_DELAY	SING_CYC	Reserved		Delay			0x2000	RW
		[7:0]	Reserved	Mode			CLOCKSEL		Reserved			

表 17. インターフェース・モード・レジスタ

Reg.	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	RW
0x02	IFMODE	[15:8]	Reserved			ALT_SYNC	IOSTRENGTH	Reserved		DOUT_RESET	0x0000	RW
		[7:0]	CONTREAD	DATA_STAT	REG_CHECK	Reserved	CRC_EN		Reserved	WL16		

柔軟な構成

4 個の差動入力と隣接するアナログ入力を使用して、それらすべてを同じセットアップ、ゲイン補正、およびオフセット補正レジスタで実行するには、AD7172-4 を実装するのが最も簡単な方法です。この場合、以下の組み合わせの差動入力を使用します。AIN0/AIN1、AIN2/AIN3、AIN4/AIN5、および AIN6/AIN7。図 47 に黒色の文字で示しているレジスタは、このような構成でプログラムする必要があります。灰色の文字で示されているレジスタは、この構成では設定不要です。

レジスタ・ブロック間において点線で示すように、ゲインおよびオフセット・レジスタのプログラミングは、常にオプションです。

これら 4 個の完全差動入力を実装するためのもう一つの方法として、使用可能な 8 つのセットアップの 4 つを使用する方法があります。この方法を実行するのは、各差動入力異なる速度／ノイズ要件があることや、各チャンネルで特定のオフセットまたはゲイン補正が必要なことが理由です。図 48 では、各差動入力個別のセットアップを使用する方法や、各チャンネルの設定で柔軟性を最大限に発揮する方法について示します。

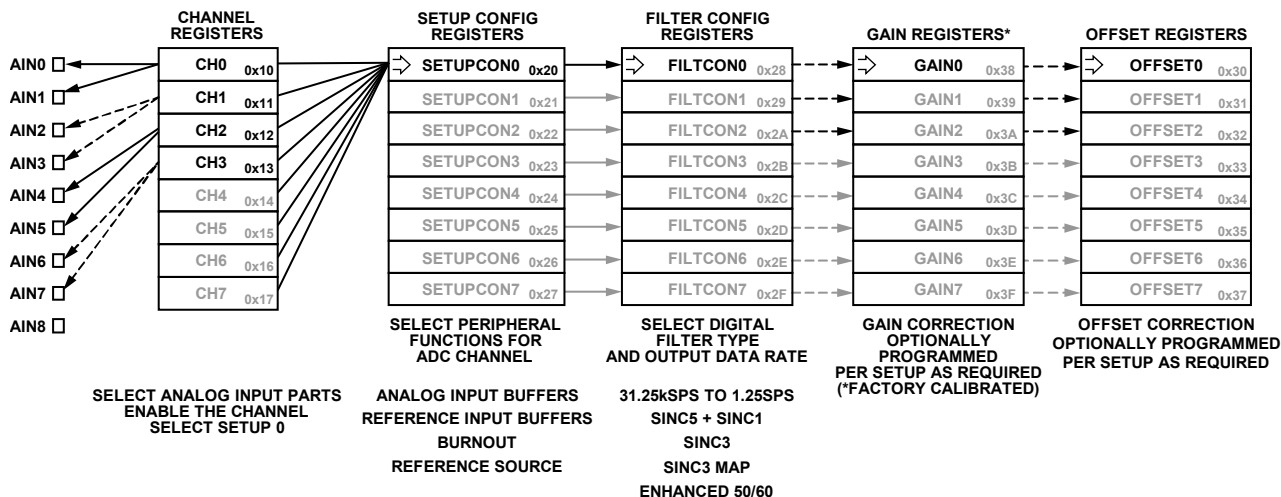


図 47. 4 個の完全差動入力すべてが 1 つのセットアップ (SETUPCON0、FILTCON0、GAIN0、OFFSET0) を使用

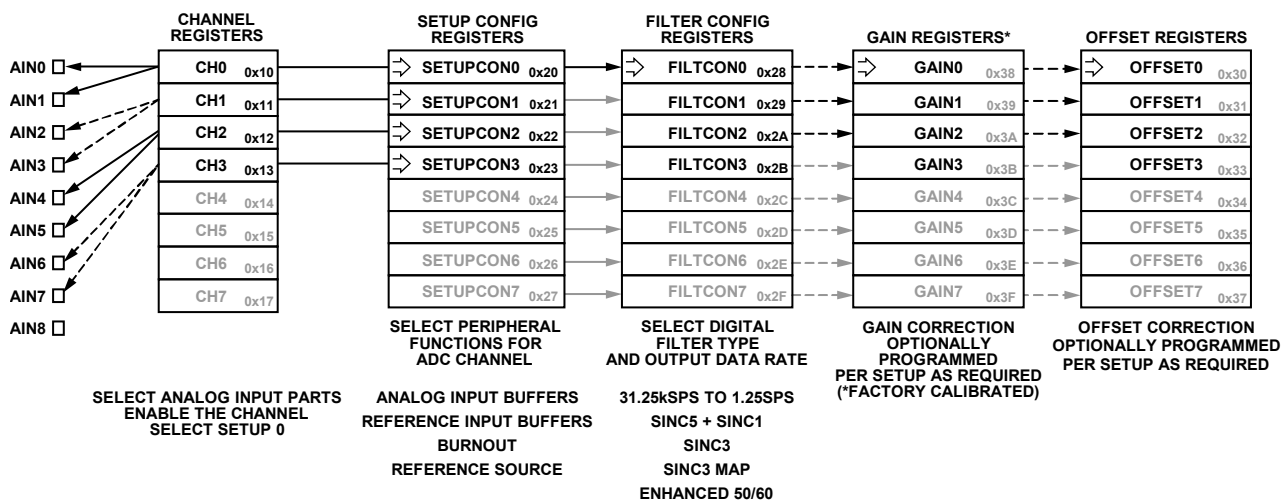


図 48. 4 個の完全差動入力チャンネルごとに 1 つのセットアップを使用

図 49 では、チャンネル・レジスタによってアナログ入力ピンとダウンストリーム側のセットアップ構成をどのように繋げて行くか例を示しています。この例では、3つの差動入力と2つのシングルエンド入力が必要です。シングルエンド入力は、AIN4/AIN8 と AIN7/AIN8 の組み合わせです。差動入力ペアは、AIN0/AIN1 と AIN2/AIN3 (両方とも Setup 0 を使用)、および AIN5/AIN6 (Setup 2 を使用) です。2つのシングルエンド入力ペアは診断としてセットアップされ、この例では Setup 1 と Setup 4 という個別のセットアップを使用しています。5つのセットアップを使用するように選択しているため、SETUPCON0 ~ SETUPCON4 レジスタを必要に応じてプログラムし、FILTCON0 ~

FILTCON4 レジスタを必要に応じてプログラムします。GAIN0、GAIN1、OFFSET0、OFFSET1 レジスタをプログラムして、オプションのゲインおよびオフセット補正もセットアップごとに適用できます。

図 49 に示している例では、CH0 ~ CH4 レジスタを使用しています。これらの各レジスタの MSB を設定すると、CH_EN0 ~ CH_EN4 ビットによりクロスポイント・マルチプレクサ経由で5つの組み合わせがイネーブルになります。AD7172-4 の変換時に、シーケンスは CH0 ~ CH4 の昇順で遷移した後、CH0 に戻ってこのシーケンスを繰り返します。

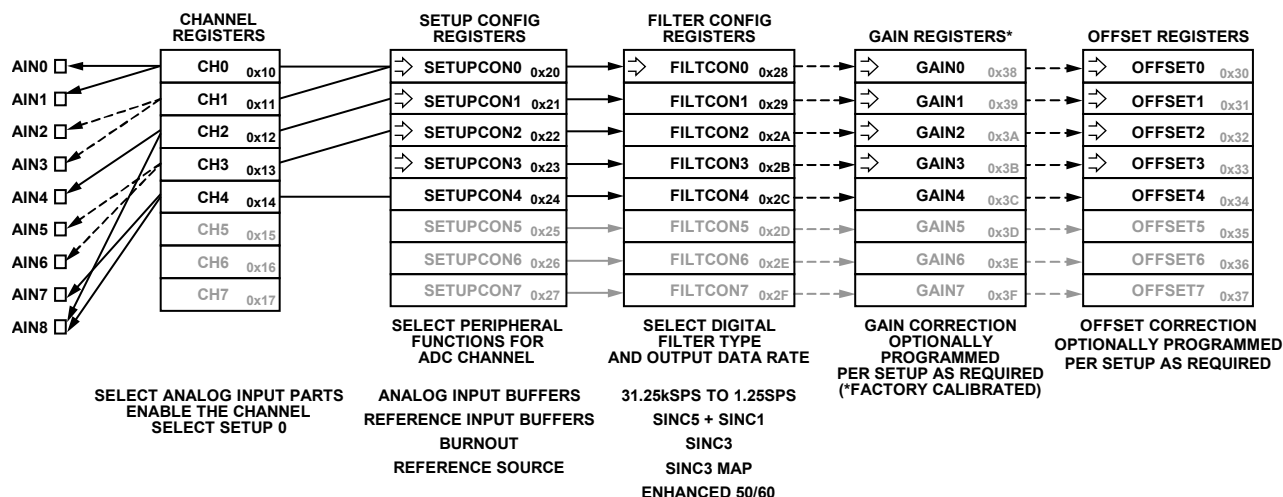


図 49. 複数の共有セットアップを使用して差動とシングルエンドを混在させる場合の構成

回路説明

バッファ付きアナログ入力

AD7172-4 は、ADC の両方のアナログ入力に、真のレール to レールの内蔵された高精度ユニティ・ゲイン・バッファを装備しています。このバッファは、わずか 5.5 nA (typ) の入力電流で高い入力インピーダンスを提供するため、高インピーダンス源をアナログ入力に直接接続できます。このバッファは、ADC コアのスイッチド・キャパシタ・サンプリング・ネットワークを十分に駆動できます。さらに、バッファごとの消費電流は公称 0.38 mA と非常に小さいため、アナログ・フロントエンド回路を簡略化できます。各アナログ入力バッファ・アンプは、完全にチョッピング方式で動作しています。これは、バッファのオフセット誤差ドリフトと $1/f$ ノイズを最小限に抑えるためです。ADC とバッファの組合わせの $1/f$ ノイズ・プロファイルを図 50 に示します。

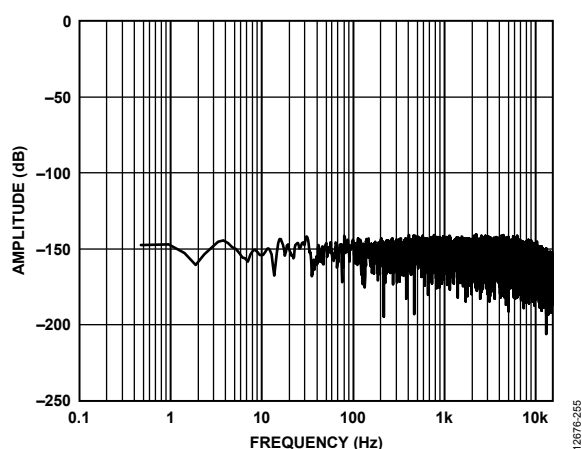


図 50. 短絡入力の高速フーリエ変換 (FFT)、アナログ入力バッファはイネーブル

このデバイスのアナログ入力バッファは、他の多くのディスクリット・アンプとは異なり、レール電圧に近い電圧が入力されても、直線性が低下することはありません。AVDD1 と AVSS レール電圧、またはその電圧近くでアナログ入力バッファが動作すると、入力電流が増加します。温度が高くなると、入力電流の増加が顕著になります。図 37 と図 38 に、さまざまな条件の入力電流を示します。アナログ入力バッファがディスエーブルの場合、AD7172-4 への平均入力電流は、差動入力電圧によって $6 \mu\text{A/V}$ の割合で直線的に変化します。

クロスポイント・マルチプレクサ

9つのアナログ入力ピン AIN0 ~ AIN8 があります。これらのピンは、それぞれ内部のクロスポイント・マルチプレクサに接続されています。クロスポイント・マルチプレクサは、これらの入力端子をイネーブルにして、シングルエンド、または完全差動の入力ペアを構成します。AD7172-4 は、最大 8 つのアクティブ・チャンネルを持つことができます。1 つ以上のチャンネルがイネーブルになっているとき、イネーブルになっている番号が小さいチャンネルから、同じくイネーブルになっている番号の大きいチャンネルへ、自動的に切り替えが行われます。マルチプレクサの出力は、真のレール to レール・バッファの内部入力に接続されます。これらのバッファをバイパスして、マルチプレクサの出力を ADC のスイッチド・キャパシタ入力に直接接続できます。簡略化されたアナログ入力回路を図 51 に示します。

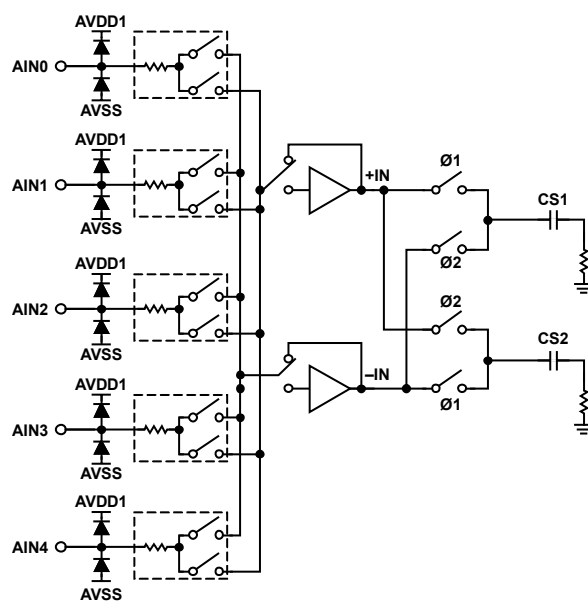


図 51. 簡略化されたアナログ入力回路

CS1 と CS2 コンデンサは、それぞれピコ・ファラッド (pF) オーダーの容量を持っています。このコンデンサの容量値は、サンプリング・コンデンサと寄生容量からなっています。

完全差動入力

AIN0 ~ AIN8 のアナログ入力はクロスポイント・マルチプレクサに接続されているため、信号のあらゆる組合わせでアナログ入力ペアを構成できます。これにより、4 個の完全差動入力または 8 個のシングルエンド入力を選択できます。

4 つの完全差動入力経路を AD7172-4 に接続する場合は、AIN2 / AIN3 など、差動入力ペアに隣接するアナログ入力を使用することを推奨します。このデバイスの AIN0 / AIN1 及び AIN2 / AIN3 ピンが、差動入力ペアとして使用するのに適したピン配置になっているからです。すべてのアナログ入力を AVSS ヘッドカップリングします。

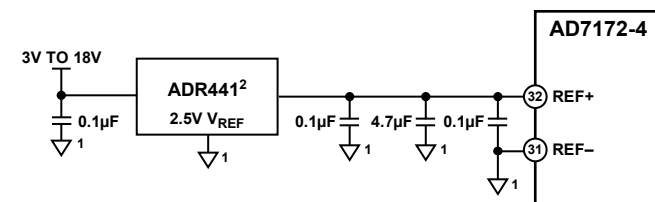
シングルエンド入力

8 個の異なるシングルエンド・アナログ入力を測定することもできます。この場合、各アナログ入力は、測定対象のシングルエンド入力と設定済みのアナログ入力コモン・ピンの間の差異として変換されます。クロスポイント・マルチプレクサがあるため、どのアナログ入力ピンでも、コモン・ピンとして設定できます。例えば、AIN4 ピンを AVSS に接続し、クロスポイント・マルチプレクサの設定時にこの入力を選択します。AD7172-4 をシングルエンド入力で使用した場合、INL が低下します。

AD7172-4 リファレンス

AD7172-4 では、デバイスの REF± ピンまたは REF2± ピンにリファレンスを供給することも、AVDD1–AVSS 電圧を使用することもできます。アナログ入力端子に対して使用したいリファレンス電源を選択するには、セットアップ構成レジスタ内の REF_SELx ビット (ビット[5:4]) を設定してください。セットアップ構成レジスタ 0 の構造を表 18 に示します。AD7172-4 は、パワーアップ時にデフォルトで REF+ および REF– リファレンス入力 (REF+, REF–) を使用します。

ADR445、ADR444、および ADR441 などの標準的な低ノイズ、低ドリフト電圧リファレンスを使用することをお勧めします。図 52 に示しているように、AD7172-4 のリファレンス・ピンにリファレンスを接続します。AVSS へのリファレンスの出力をデカップリングします。図 52 では、安定化のために、ADR441 の出力に 0.1 μ F のコンデンサを接続してデカップリングしています。また、この出力には 4.7 μ F のコンデンサが接続されていますが、このコンデンサは REF+ 入力における ADC によるダイナミックな電荷変動に対する、電荷供給源として機能します。このコンデンサは、REF+ ピンと REF– ピンのできるだけ近くに配置してください。REF– ピンは、AVSS の電位に直接接続してください。



¹ALL DECOUPLING IS TO AVSS.
²ANY OF THE ADR44x FAMILY OF REFERENCES CAN BE USED.
THE ADR441 ENABLES REUSE OF THE 3.3V ANALOG SUPPLY
NEEDED FOR AVDD1 TO POWER THE REFERENCE VIN.

12676-159

図 52. ADR441、AD7172-4 REF± ピンへの接続

表 18. セットアップ構成 0 レジスタ

Reg.	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	R W
0x20	SETUPCON0	[15:8]	Reserved			BI_UNIPOLAR 0	REFBUF0+	REFBUF0−	AINBUF0+	AINBUF0−	0x1000	RW
		[7:0]	BURNOUT EN0	Reserved	REF SEL0		Reserved					

表 19. ADC モード・レジスタ

Reg.	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	RW
0x01	ADCMODE	[15:8]	Reserved	HIDE_DELAY	SING_CYC	Reserved		Delay			0x2000	RW
		[7:0]	Reserved	Mode			CLOCKSEL		Reserved			

バッファされたリファレンス入力

AD7172-4 は、ADC の両方のリファレンス入力に、真のレール to レールの内蔵型高精度ユニティ・ゲイン・バッファを装備しています。このバッファによって高い入力インピーダンスが実現され、高い出力インピーダンスを持つ信号源をリファレンス入力に直接接続できます。内蔵リファレンス・バッファは、内部のスイッチド・キャパシタ・サンプリング・ネットワークを十分に駆動できます。さらに、バッファごとの消費電流は公称 0.38 mA と非常に小さいため、リファレンス回路を簡略化できます。各リファレンス入力バッファ・アンプは、完全にチョッピング方式で動作しています。これは、オフセット誤差ドリフトと 1/f ノイズを最小限に抑えるためです。ADR445、ADR444、または ADR441 などのリファレンスを使用する場合、これらのバッファは必要ありません。これは、適切にデカップリングした場合、これらのリファレンスはリファレンス入力を直接駆動できるためです。

クロック源

AD7172-4 は、2 MHz の公称マスター・クロックを使用します。AD7172-4 は、次の 3 つのいずれかのクロック源からサンプリング・クロックを得ることができます。

- 内部発振器
- 外部水晶発振器 (2 MHz クロックを設定するように内部で自動的に分周される 16 MHz の水晶発振器を使用)
- 外部クロック源

このデータシートに記載されている出力データ・レートは、すべてこの 2 MHz のマスター・クロック・レートを基にして作られています。外部クロック源などから得られる低いクロック周波数を使用すると、記載されているデータ・レートが比例的に変化します。指定された出力データ・レートを実現し、特に 50 Hz と 60 Hz の影響を除去するには、2 MHz のクロックを使用してください。マスター・クロック源は、ADC モード・レジスタの CLOCKSEL ビット (ビット [3:2]) をセットして選択します (表 19 を参照)。デフォルトでは、AD7172-4 はパワーアップおよびリセット時に内部発振器で動作します。低い出力データ・レートの場合、SINC3_MAPx ビットを使用して、出力データ・レートを微調整することも可能です。詳細については、Sinc3 フィルタのセクションを参照してください。

内部発振器

内部発振器は 16 MHz で動作し、変調器用に内部で 2 MHz に分周され、ADC のマスター・クロックとして使用できます。AD7172-4 のデフォルトのクロック源は内部発振器で、その精度は -2.6% ~ $+2.5\%$ に仕様規定されています。

オプションで、この内部発振器の信号を XTAL2/CLKIO ピンから出力させることもできます。クロック出力は、IOVDD のロジック・レベルで動作します。このオプションは、出力ドライバによって生じる外乱により、AD7172-4 の DC 特性に影響を与える可能性があります。DC 特性に与える影響の大きさは、IOVDD 電源の質に依存します。IOVDD 電圧が高いほど、ドライバからのロジック出力の電圧振幅が大きくなり、DC 特性に与える影響がより深刻になります。高い IOVDD レベルで IOSTRENGTH ビットをセットした場合、影響はさらに大きくなります (詳細については、表 29 を参照)。

外部水晶発振器

高精度で低ジッタのクロック源が必要な場合は、AD7172-4 で外部水晶発振器を使用してマスター・クロックを生成できます。水晶発振器は、XTAL1 と XTAL2/CLKIO ピンとの間に接続します。推奨される水晶発振器は FA-20H です。これはエプソン・トヨコム製の 16 MHz、10 ppm、9 pF の水晶発振器で、表面実装パッケージが採用されています。図 53 に示しているように、水晶発振器と XTAL1 ピンおよび XTAL2/CLKIO ピンの間に 2 つのコンデンサ (CX1 と CX2) を取り付けます。これらのコンデンサにより、回路を調整できます。これらのコンデンサは、DGND ピンに接続してください。2 つのコンデンサの容量は、水晶発振器および XTAL1 ピン、XTAL2/CLKIO ピンを接続しているパターンの長さとそのパターンによって形成される静電容量に依存します。このため、これらのコンデンサの容量は、PCB のレイアウトと採用した水晶発振器によって異なります。

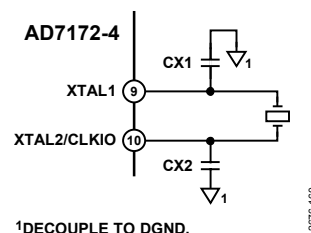


図 53. 外部水晶発振器の接続

SCLK 周波数、IOVDD 電圧、水晶発振器の回路レイアウト、および使用する水晶発振器によっては、外部水晶発振器回路は SCLK エッジの影響を受けやすくなることがあります。水晶発振回路の起動時、SCLK エッジによって引き起こされる妨害によって、水晶発振回路にダブル・エッジが入力される可能性があります。その結果、水晶発振器の出力電圧が十分に高くなって、SCLK エッジからの干渉がダブル・クロッキングを引き起こさなくなるまで、不正で無効な変換が行われます。スタートアップ後、SCLK を与える前に、水晶発振回路の出力レベルが十分に高い値になるようにしておけば、このダブル・クロッキングを避けることができます。

水晶発振器回路の性質により、最終的な PCB レイアウトと水晶発振器を使用して、要求される条件下で回路の実証テストを行って、正常に動作することを確認することをお勧めします。

外部クロック

AD7172-4 は、外部から供給されるクロックを使用することもできます。このような構成を必要とするシステムの場合、外部クロックを XTAL2/CLKIO ピンに接続してください。この構成では、XTAL2/CLKIO ピンは外部からのクロックを受け入れて、変調器に送ります。このロジック・レベルは、IOVDD ピンに入力される電圧によって決まります。

デジタル・フィルタ

AD7172-4 は、3 つの柔軟なフィルタ・オプションを備えており、ノイズ、セトリング時間、および除去を最適化できます。

- Sinc5 + Sinc1 フィルタ
- Sinc3 フィルタ
- 強化された 50 Hz/60 Hz 除去フィルタ

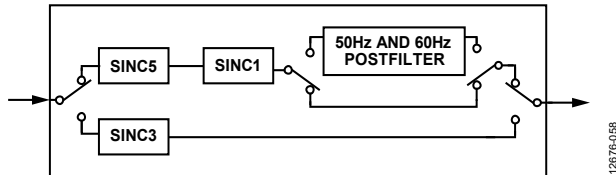


図 54. デジタル・フィルタ・ブロック図

フィルタと出力データ・レートは、選択されたセットアップに対してフィルタ構成レジスタの適切なビットをセットすることで構成されます。各チャンネルには、異なるセットアップを使用できます。従って、異なるフィルタと出力データ・レートを使用できます。詳細については、レジスタの詳細のセクションを参照してください。

SINC5 + SINC1 フィルタ

Sinc5 + Sinc1 フィルタは、マルチプレクス・アプリケーションを対象としており、2.6 kSPS 以下の出力データ・レートでシングル・サイクル・セトリングを実現します。Sinc5 ブロックの出力は 31.25 kSPS の最大レートで固定されており、Sinc1 ブロックの出力データ・レートを変更して最終 ADC 出力データ・レートを制御できます。図 55 に、50 SPS 出力データ・レートでの Sinc5 + Sinc1 フィルタの周波数領域応答を示します。Sinc5 + Sinc1 フィルタは、広い周波数にわたって緩やかなロールオフ特性を示し、狭いノッチを備えています。

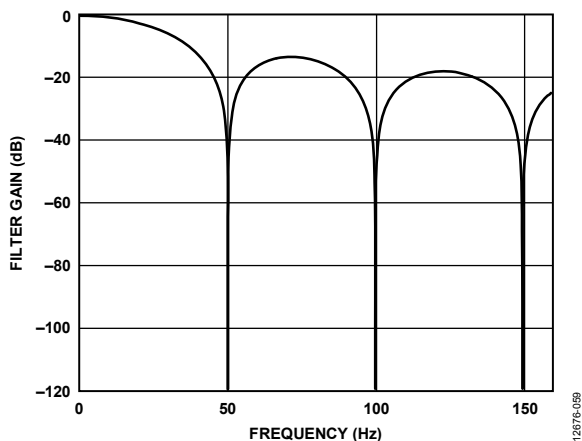


図 55. 出力データ・レート 50 SPS における Sinc5 + Sinc1 フィルタの応答

Sinc5 + Sinc1 フィルタの出力データ・レート、対応するセトリング時間および rms ノイズを表 20 と表 21 に示します。

SINC3 フィルタ

Sinc3 フィルタは、低い出力データ・レートにおいて、最良のシングルチャンネル・ノイズ特性を実現しています。このため、このフィルタはシングル・チャンネル・アプリケーションに最適です。Sinc3 フィルタのセトリング時間は、常に以下の式と等しくなります。

$$t_{\text{SETTLE}} = 3 / \text{Output Data Rate}$$

図 56 に、Sinc3 フィルタの周波数領域のフィルタ応答を示します。Sinc3 フィルタは、広い周波数にわたって良好なロールオフ特性を示し、ノッチ周波数帯域の除去に適した、広いノッチ幅を備えています。

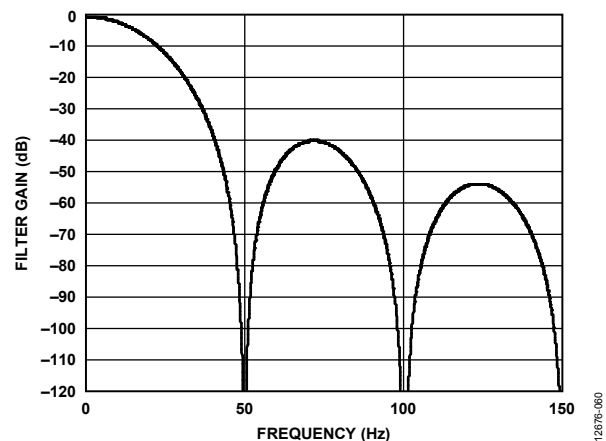


図 56. Sinc3 フィルタ応答

Sinc3 フィルタの出力データ・レート、対応するセトリング時間および rms ノイズを表 22 と表 23 に示します。フィルタ設定レジスタの SINC3_MAPx ビットをセットして、Sinc3 フィルタの出力データ・レートを微調整できます。このビットを変更すると、このフィルタ設定レジスタから反映された値で、Sinc3 フィルタのデシメーション・レートが直接変更されます。他のオプションはすべて消去されます。シングル・チャンネルのデータ・レートは、下記の式で計算できます。

$$\text{Output Data Rate} = \frac{f_{\text{MOD}}}{32 \times \text{FILTCONx}[14:0]}$$

ここで、 f_{MOD} は、変調器のレート (MCLK/2) で、1 MHz です。FILTCONx[14:0] は、MSB を除いたフィルタ設定レジスタの内容です。

例えば、FILTCONx[14:0] ビットの値を 625 に設定し、SINC3_MAPx をイネーブルにすれば、出力データ・レートとして 50 SPS が得られます。

シングル・サイクル・セトリング

AD7172-4 は、ADC モード・レジスタの SING_CYC ビットをセットして、完全にセトリングされたデータのみが出力され、ADC が効果的にシングル・サイクル・セトリング・モードになるように設定できます。このモードは、選択された出力データ・レートにおける ADC のセトリング時間に等しくなるように出力データ・レートを下げて、シングル・サイクルでのセトリングを実現しています。このビットは、Sinc5+Sinc1 フィルタを使用しており、出力データ・レートが 2.6 kSPS 未満の場合は無視されます。

図 57 に、シングル・サイクル・セトリング・モードがディスエーブルで、Sinc3 フィルタを選択した場合のアナログ入力のステップを示します。アナログ入力のステップ波形が変わっても、出力が最終セトリング値に到達するには最低でも 3 サイクル必要です。

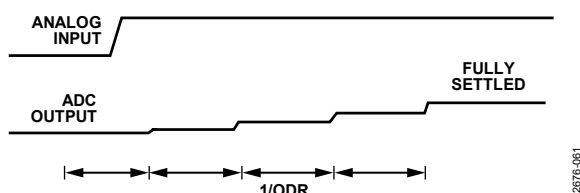


図 57. シングル・サイクル・セトリングなしでのステップ入力

図 58 に、シングル・サイクル・セトリングをイネーブルにした場合の、アナログ入力のステップを示します。出力が完全にセトリングするには、シングル・サイクルで済みます。RDY 信号によって示される出力データ・レートは、選択した出力データ・レートのフィルタのセトリング時間と同じになるように低減されます。

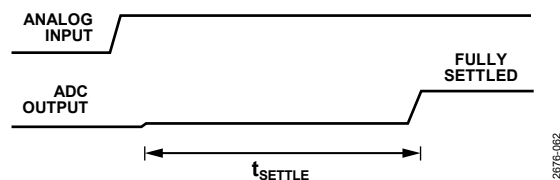


図 58. シングル・サイクル・セトリングありでのステップ入力

表 20. 出力データ・レート、セトリング時間、およびノイズ - Sinc5 + Sinc1 フィルタ使用、入力バッファはディスエーブル

Default Output Data Rate (SPS); SING_CYC = 0 and Single Channel Enabled ¹	Output Data Rate (SPS/Channel); SING_CYC = 1 or with Multiple Channels Enabled ¹	Settling Time ¹	Notch Frequency (Hz)	Noise (μV rms)	Effective Resolution with 5 V Reference (Bits)	Noise (μV p-p) ²	Peak-to-Peak Resolution with 5 V Reference (Bits)
31,250	6211	161 μs	31,250	8.2	20.2	66	17.2
15,625	5181	193 μs	15,625	7.0	20.4	52	17.5
10,417	4444	225 μs	10,417	6.0	20.7	45	17.8
5208	3115	321 μs	5208	4.5	21.1	33	18.2
2597	2597	385 μs	3906	3.9	21.3	29	18.4
1007	1007	993 μs	1157	2.2	22.2	15	19.3
503.8	503.8	1.99 ms	539	1.5	22.6	10	19.9
381	381	2.63 ms	401	1.3	22.9	9.1	20.1
200.3	200.3	4.99 ms	206	0.88	23.3	6.1	20.6
100.2	100.2	9.99 ms	102	0.64	23.8	4.2	21.2
59.52	59.52	16.8 ms	59.98	0.48	24	3.2	21.6
49.68	49.68	20.13 ms	50	0.47	24	3.1	21.6
20.01	20.01	49.98 ms	20	0.27	24	1.7	22.4
16.63	16.63	60.13 ms	16.67	0.25	24	1.6	22.6
10	10	100 ms	10	0.2	24	1.1	23.1
5	5	200 ms	5	0.14	24	0.75	24
2.5	2.5	400 ms	2.5	0.091	24	0.32	24
1.25	1.25	800 ms	1.25	0.088	24	0.32	24

¹ セトリング時間は、最寄りのマイクロ秒に丸められています。この値は、出力データ・レートとチャンネル・スイッチング・レートを反映しています。チャンネル・スイッチング・レート = 1 ÷ セトリング時間

² 1000 サンプル

表 21. 出力データ・レート、セトリング時間、およびノイズ - Sinc5 + Sinc1 フィルタ使用、入力バッファはイネーブル

Default Output Data Rate (SPS); SING_CYC = 0 and Single Channel Enabled ¹	Output Data Rate (SPS/Channel); SING_CYC = 1 or with Multiple Channels Enabled ¹	Settling Time ¹	Notch Frequency (Hz)	Noise (μV rms)	Effective Resolution with 5 V Reference (Bits)	Noise (μV p-p) ²	Peak-to-Peak Resolution with 5 V Reference (Bits)
31,250	6211	161 μs	31,250	9.5	20	74	17
15,625	5181	193 μs	15,625	8.2	20.2	63	17.3
10,417	4444	225 μs	10,417	7.1	20.4	53	17.5
5208	3115	321 μs	5208	5.3	20.9	39	18
2597	2597	385 μs	3906	4.7	21	29	18.4
1007	1007	993 μs	1157	2.6	21.9	16	19.3
503.8	503.8	1.99 ms	539	1.8	22.4	12	19.7
381	381	2.63 ms	401	1.6	22.6	11	19.8
200.3	200.3	4.99 ms	206	1.1	23.1	7.5	20.3
100.2	100.2	9.99 ms	102	0.75	23.6	5.1	21
59.52	59.52	16.8 ms	59.98	0.62	24	3.6	21.4
49.68	49.68	20.13 ms	50	0.53	24	3.3	21.5
20.01	20.01	49.98 ms	20	0.32	24	1.8	22.4
16.63	16.63	60.13 ms	16.67	0.32	24	1.7	22.5
10	10	100 ms	10	0.25	24	1.2	23
5	5	200 ms	5	0.18	24	0.83	23.5
2.5	2.5	400 ms	2.5	0.11	24	0.35	24
1.25	1.25	800 ms	1.25	0.089	24	0.35	24

¹ セトリング時間は、最寄りのマイクロ秒に丸められています。この値は、出力データ・レートとチャンネル・スイッチング・レートを反映しています。チャンネル・スイッチング・レート = 1 ÷ セトリング時間

² 1000 サンプル

表 22. 出力データ・レート、セトリング時間、およびノイズ - Sinc3 フィルタ使用、入力バッファはディスエーブル

Default Output Data Rate (SPS); SING_CYC = 0 and Single Channel Enabled ¹	Output Data Rate (SPS/Channel); SING_CYC = 1 or with Multiple Channels Enabled ¹	Settling Time ¹	Notch Frequency (Hz)	Noise (μV rms)	Effective Resolution with 5 V Reference (Bits)	Noise (μV p-p) ²	Peak-to-Peak Resolution with 5 V Reference (Bits)
31,250	10,309	97 μs	31,250	211	15.5	1600	12.5
15,625	5,181	193 μs	15,625	27.2	18.5	205	15.6
10,417	3,460	289 μs	10,417	7.9	20.3	57	17.4
5,208	1,733	577 μs	5,208	3.7	21.4	27	18.5
2,604	867.3	1.15 ms	2,604	2.5	21.9	17	19.2
1,008	335.9	2.98 ms	1,008	1.6	22.6	11	19.8
504	167.98	5.95 ms	504	1.1	23.1	7.5	20.3
400.6	133.5	7.49 ms	400.6	0.99	23.3	6.7	20.5
200.3	66.67	14.98 ms	200.3	0.68	23.7	4.6	21
100.2	33.39	29.95 ms	100.2	0.47	24	3.1	21.6
59.98	19.99	50.02 ms	59.98	0.38	24	2.5	21.9
50	16.67	60 ms	50	0.35	24	2.3	22
20.01	6.67	149.95 ms	20.01	0.21	24	1.2	23
16.67	5.56	180 ms	16.67	0.21	24	1.1	23.1
10	3.33	300 ms	10	0.18	24	0.83	23.5
5	1.67	600 ms	5	0.18	24	0.56	24
2.5	0.83	1.2 sec	2.5	0.16	24	0.41	24
1.25	0.42	2.4 sec	1.25	0.054	24	0.27	24

¹ セトリング時間は、最寄りのマイクロ秒に丸められています。この値は、出力データ・レートとチャンネル・スイッチング・レートを反映しています。チャンネル・スイッチング・レート = 1 ÷ セトリング時間

² 1000 サンプル

表 23. 出力データ・レート、セトリング時間、およびノイズ - Sinc3 フィルタ使用、入力バッファはイネーブル

Default Output Data Rate (SPS); SING_CYC = 0 and Single Channel Enabled ¹	Output Data Rate (SPS/Channel); SING_CYC = 1 or with Multiple Channels Enabled ¹	Settling Time ¹	Notch Frequency (Hz)	Noise (μV rms)	Effective Resolution with 5 V Reference (Bits)	Noise (μV p-p) ²	Peak-to-Peak Resolution with 5 V Reference (Bits)
31,250	10,309	97 μs	31,250	212	15.5	1600	12.5
15,625	5,181	193 μs	15,625	27.7	18.5	210	15.5
10,417	3,460	289 μs	10,417	8.5	20.2	63	17.3
5,208	1,733	577 μs	5,208	4.3	21.2	28	18.4
2,604	867.3	1.15 ms	2,604	3.0	21.7	20	19
1,008	335.9	2.98 ms	1,008	1.8	22.4	13	19.6
504	167.98	5.95 ms	504	1.3	22.9	8.9	20.1
400.6	133.5	7.49 ms	400.6	1.2	23	8.2	20.2
200.3	66.67	14.98 ms	200.3	0.82	23.5	5.6	20.8
100.2	33.39	29.95 ms	100.2	0.57	24	3.8	21.3
59.98	19.99	50.02 ms	59.98	0.45	24	2.8	21.8
50	16.67	60 ms	50	0.44	24	2.5	22
20.01	6.67	149.95 ms	20.01	0.26	24	1.3	22.9
16.67	5.56	180 ms	16.67	0.24	24	1.2	23
10	3.33	300 ms	10	0.19	24	0.91	23.4
5	1.67	600 ms	5	0.12	24	0.62	24
2.5	0.83	1.2 sec	2.5	0.098	24	0.45	24
1.25	0.42	2.4 sec	1.25	0.073	24	0.29	24

¹ セトリング時間は、最寄りのマイクロ秒に丸められています。この値は、出力データ・レートとチャンネル・スイッチング・レートを反映しています。チャンネル・スイッチング・レート = 1 ÷ セトリング時間

² 1000 サンプル

強化された 50 Hz/60 Hz 除去フィルタ

強化されたフィルタは 50 Hz と 60 Hz を同時に除去することができ、セトリング・タイムと除去比のトレード・オフが可能です。これらのフィルタは、27.27 SPS まで動作可能で、50 Hz \pm 1 Hz と 60 Hz \pm 1 Hz における干渉信号を最大 90 dB で除去できます。これらのフィルタは、Sinc5 + Sinc1 フィルタの出力をポスト・フィルタすることで動作します。このため、この強化

されたフィルタの定格セトリング時間とノイズ性能を達成するには、Sinc5 + Sinc1 フィルタを必ず選択してください。表 24 に、出力データ・レート、対応するセトリング・タイム、除去、および rms ノイズを示します。図 59 ~ 図 66 に、強化されたフィルタの応答の周波数領域プロットを示します。

表 24. 出力データ・レート、ノイズ、セトリング時間、および除去特性 - 強化されたフィルタ使用

Output Data Rate (SPS)	Settling Time (ms)	Simultaneous Rejection of 50 Hz \pm 1 Hz and 60 Hz \pm 1 Hz (dB) ¹	Noise (μ V rms)	Peak-to-Peak Resolution (Bits)	Comments
27.27	36.67	47	0.45	21.4	See Figure 59 and Figure 62
25	40.0	62	0.44	21.4	See Figure 60 and Figure 63
20	50.0	85	0.41	21.7	See Figure 61 and Figure 64
16.667	60.0	90	0.417	21.7	See Figure 65 and Figure 66

¹ マスター・クロック = 2.00 MHz

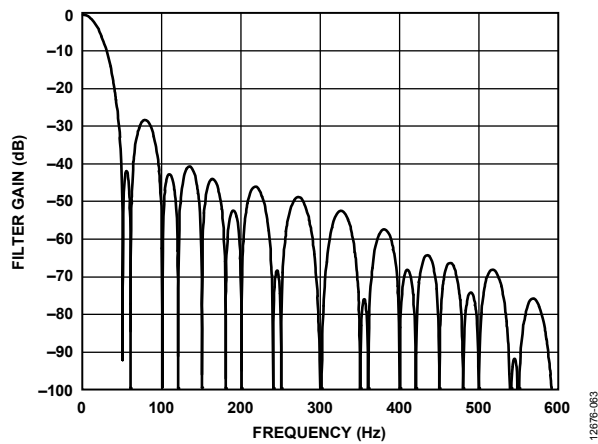


図 59. 27.27 SPS ODR、36.67 ms セトリング時間

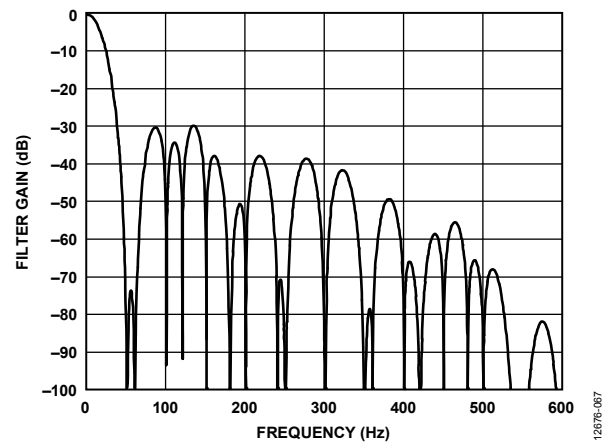


図 61. 20 SPS ODR、50 ms セトリング時間

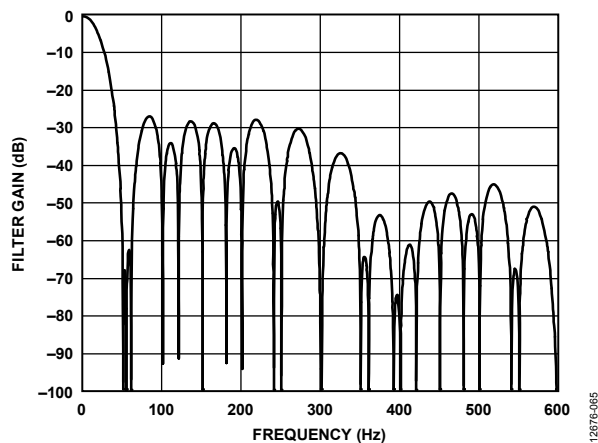
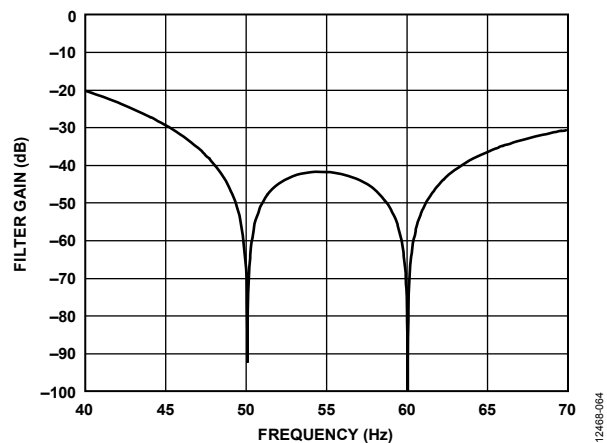


図 60. 25 SPS ODR、40 ms セトリング時間

図 62. 27.27 SPS ODR、36.67 ms セトリング時間
(40 Hz ~ 70 Hz)

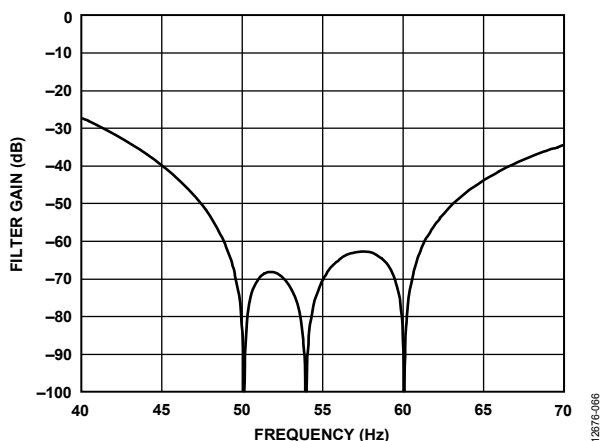


図 63. 25 SPS ODR、40 ms セトリング時間 (40 Hz ~ 70 Hz)

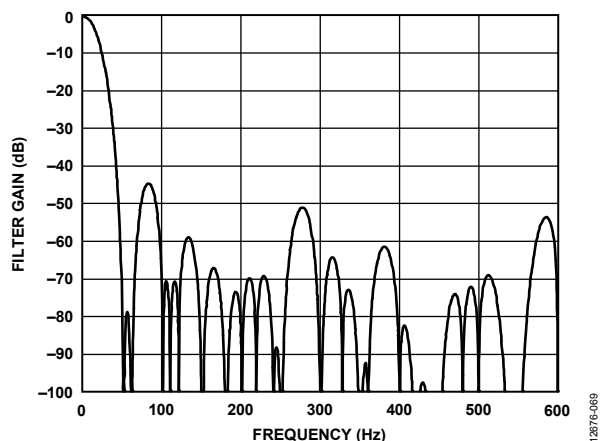


図 65. 16.667 SPS ODR、60 ms セトリング時間

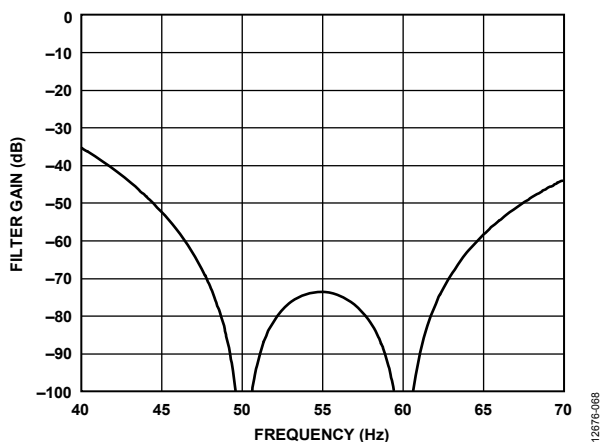


図 64. 20 SPS ODR、50 ms セトリング時間 (40 Hz ~ 70 Hz)

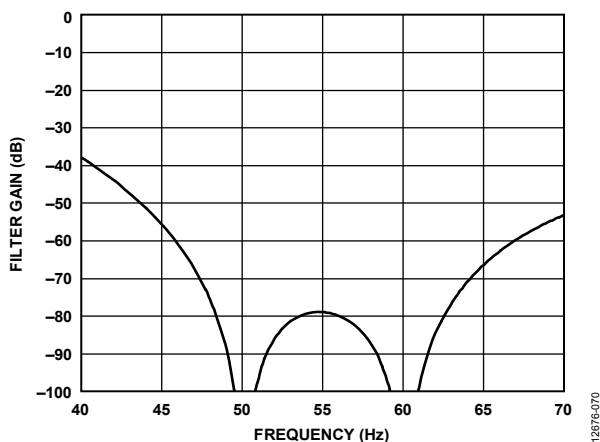


図 66. 16.667 SPS ODR、60 ms セトリング時間
(40 Hz ~ 70 Hz)

動作モード

AD7172-4 は、ADC モード・レジスタとインターフェース・モード・レジスタで設定可能な、数種類の動作モードを備えています(表 28 および表 29 を参照)。これらのモードは次のとおりです。これらについては、後続のセクションで説明します。

- 連続変換モード
- 連続読出しモード
- シングル変換モード
- スタンバイ・モード
- パワーダウン・モード
- 3 種類のキャリブレーション・モード

連続変換モード

連続変換モードは、パワーアップ時のデフォルト・モードです。AD7172-4 は連続的に変換を実行し、変換が完了するたびに、ステータス・レジスタの RDY ビットがロー・レベルに移行します。CS がロー・レベルの場合、変換が完了すると、RDY 出力もロー・レベルに移行します。変換結果を読み出すには、コミュニケーション・レジスタに書き込みを行って、次の動作がデータ・レジスタからの読出しであることを示します。データ・レジスタからデータワードを読み出すと、DOUT/RDY ピンが

ハイ・レベルに移行します。このレジスタの内容は、必要に応じて何回も読み出すことが可能です。ただし、次の変換の完了時に、データ・レジスタへのアクセスを防止する必要があります。そうしないと、新しい変換ワードが失われます。

複数のチャンネルがイネーブルになると、ADC はイネーブル状態にあるチャンネルを自動的にスキャンし、各チャンネルのデータ変換を実行します。全チャンネルの変換が完了すると、最初のチャンネルに戻って、シーケンスが再度開始されます。チャンネルのデータ変換は、最も番号の小さいチャンネルから、最も番号の大きいチャンネルへ順番に行われます。データ・レジスタは、各変換が可能な状態になると、直ちに更新されます。RDY 出力は、新しい変換結果が得られるたびに、ロー・レベルに移行します。ADC がイネーブル状態にある次のチャンネルを変換している間に、変換結果を読み出してください。

インターフェース・モード・レジスタの DATA_STAT ビットが 1 に設定されている場合、データ・レジスタを読み出す度に、変換されたデータがステータス・レジスタの内容に付加されて一緒に出力されます。ステータス・レジスタには、変換を実行したチャンネルの情報が表示されます。

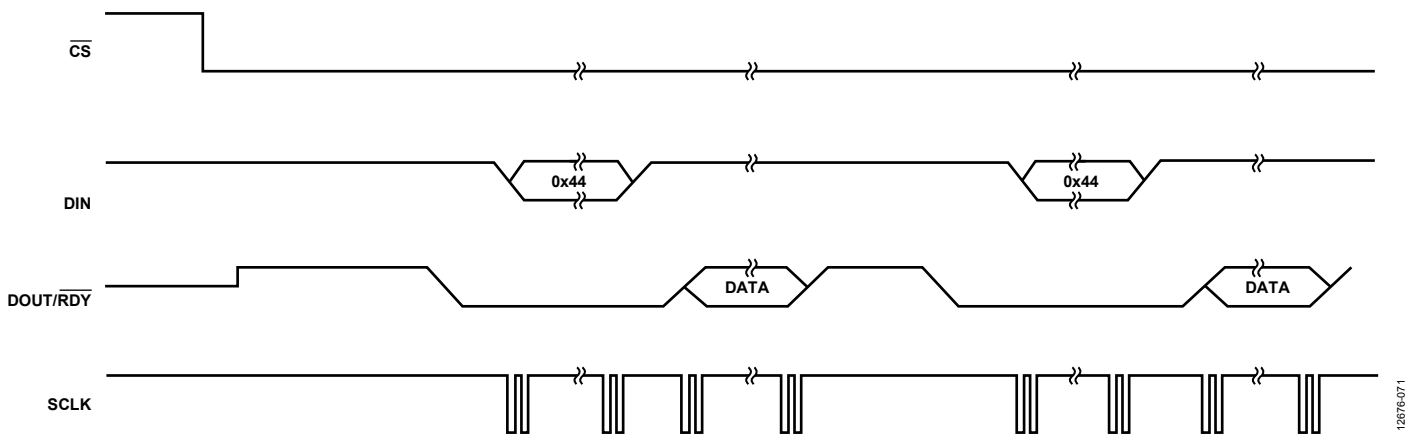


図 67. 連続変換モード

12676-07 1

連続読出しモード

連続読出しモードでは、ADC データを読み出す前にコミュニケーション・レジスタに書き込む必要はありません。 $\overline{\text{RDY}}$ 出力がロー・レベルに移行した後に、必要な数の SCLK を適用して変換が終了したことを示します。変換結果を読み出すと、 $\overline{\text{RDY}}$ 出力はハイ・レベルに戻り、次の変換結果が得られるまでハイ・レベルを維持します。このモードでは、一度の変換で 1 回しかデータを読み出すことができません。次の変換が完了する前に、必ずデータワードを読み出してください。次の変換が完了する前に変換結果を読み出さなかった場合、またはデータワードを読み出すのに十分なシリアル・クロックが AD7172-4 に適用されていない場合は、次の変換の完了直前にシリアル出力レジスタがリセットされ、新しい変換結果が出力シリアル・レジスタに格納されます。連続読出しモードを使用するには、ADC を連続変換モードに設定する必要があります。

連続読出しモードをイネーブルにするには、インターフェース・モード・レジスタの CONTREAD ビットを設定します。このビットがセットされると、使用可能なシリアル・インターフェースの機能は、データ・レジスタからのデータの読出しのみになります。連続読出しモードを終了するには、 $\overline{\text{RDY}}$ 出力がロー・レベルになっているときに ADC データ・レジスタのダミー読出しコマンド (0x44) を発行します。あるいは、 $\overline{\text{CS}}=0$ かつ $\text{DIN}=1$ のとき、64 個の SCLK を送信して、ソフトウェア・リセットを実行してください。この動作で、ADC とすべてのレジスタの内容がリセットされます。これらは、インターフェースが連続読出しモードになった後、認識できる唯一のコマンドです。したがって、命令がデバイスに書き込まれるまで、連続読出しモードでは DIN をロー・レベルに維持しておく必要があります。

複数の ADC チャンネルがイネーブルで、インターフェース・モード・レジスタの DATA_STAT ビットがセットされている場合、データにステータス・ビットが付加された状態で各チャンネルが順番に出力されます。ステータス・レジスタには、変換を実行したチャンネルの情報が表示されます。

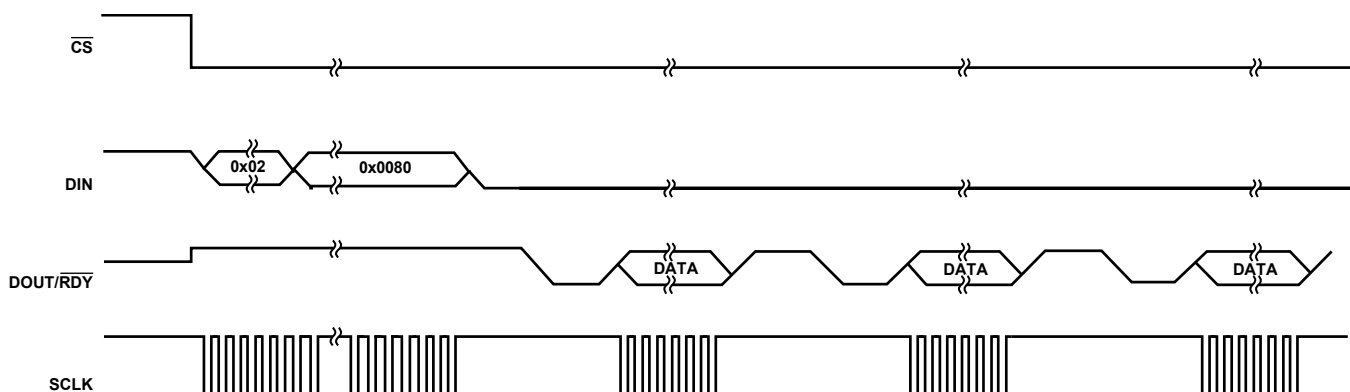


図 68. 連続読出しモード

シングル変換モード

シングル変換モードでは、AD7172-4 は、一度だけ変換を行い、変換が終了するとスタンバイ・モードに移行します。RDY 出力はロー・レベルに移行して変換が完了したことを示します。データ・レジスタからデータワードを読み出すと、RDY 出力がハイ・レベルに移行します。RDY 出力がハイ・レベルに移行しても、必要に応じてデータ・レジスタを複数回読み出すことができます。

複数のチャンネルがイネーブルになっていれば、ADC はイネーブル状態にあるチャンネルを自動的にスキャンし、各チャンネルもデータ変換動作を実行します。変換が開始されると、RDY 出力はハイ・レベルに移行し、有効な変換結果が得られて CS が

ロー・レベルになるまでハイ・レベルを維持します。変換結果が得られると、RDY 出力がロー・レベルに移行します。続いて、ADC は次のチャンネルを選択して、変換を開始します。この変換データは、次の変換を実行している間に、必ず読み出してください。次の変換が完了すると、データ・レジスタが更新されます。したがって、変換データを読み出せる期間は限られています。ADC は、選択されたチャンネルのシングル変換を行った後、スタンバイ・モードに戻ります。

インターフェース・モード・レジスタの DATA_STAT ビットが 1 にセットされた場合、データ・レジスタが読み出されるたびに、ステータス・レジスタの内容が変換結果と一緒に出力されます。ステータス・レジスタの下位 LSB4 ビットは、変換を行ったチャンネルを表示します。

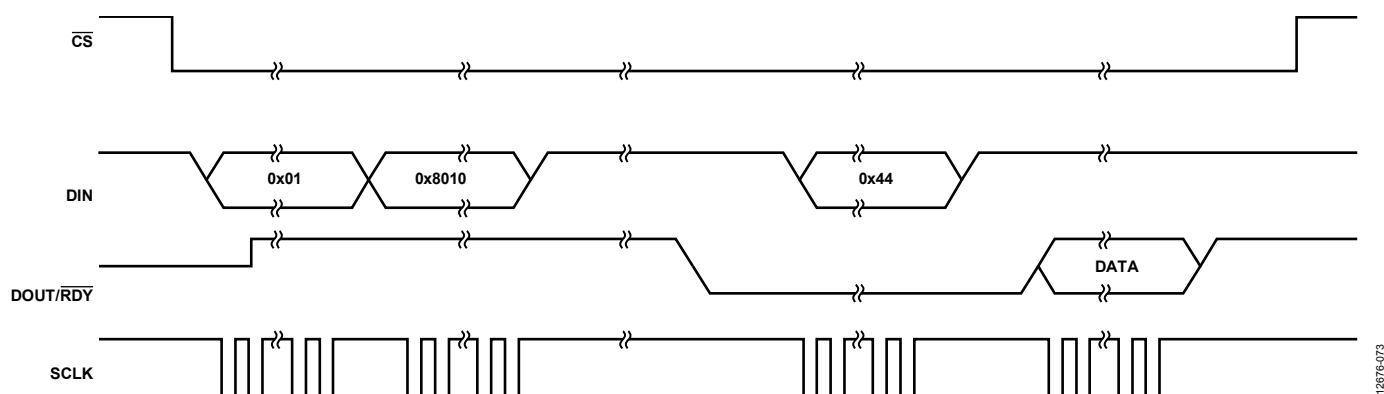


図 69. シングル変換モード

スタンバイ・モードとパワーダウン・モード

スタンバイ・モードでは、ほとんどのブロックへの電力供給が停止します。しかし、LDO レギュレータはレジスタの内容を保持するため、動作状態を維持します。水晶発振器は、選択されている場合はアクティブのままになります。スタンバイ・モードでクロックをパワーダウンするには、ADC モード・レジスタのCLOCKSEL ビットを00(内蔵発振器モード)に設定します。

パワーダウン・モードでは、LDO レギュレータを含むすべてのブロックへの電力供給が停止します。この時、すべてのレジスタの内容が失われ、GPIO 出力はスリーステートになります。偶発的にパワーダウン・モードに入らないようにするため、最初にADCがスタンバイ・モードになるようにしてください。パワーダウン・モードを終了するには、 $\overline{CS}=0$ 、 $DIN=1$ (シリアル・インターフェース・リセット)の状態では64 SCLK が必要です。LDO レギュレータがパワーアップするまでの待機時間として、後続のシリアル・インターフェース・コマンドの発行を500 μ s 遅延させることをお勧めします。

キャリブレーション

AD7172-4 では、2 ポイント・キャリブレーションを実行して、あらゆるオフセットおよびゲイン誤差を排除できます。セットアップごとのオフセットとゲイン誤差を除去するため、以下の3つのキャリブレーション・モードが提供されています。

- 内部ゼロスケール・キャリブレーション・モード
- システム・ゼロスケール・キャリブレーション・モード
- システム・フルスケール・キャリブレーション・モード

生産時に工場でキャリブレーションされているため、内部フルスケール・キャリブレーション・モードはありません。

キャリブレーション中は、1チャンネルのみアクティブになります。各変換後、ADC の変換結果は、データ・レジスタを書き込む前にADC キャリブレーション・レジスタのデータを使用して補正されます。

オフセット・レジスタのデフォルト値は0x800000で、ゲイン・レジスタの公称値は0x555555です。ADC ゲインのキャリブレーション範囲は、 $0.4 \times V_{REF}$ から $1.05 \times V_{REF}$ です。この計算には、以下の式が使用されます。ユニポーラ・モードにおいて、ADC ゲイン誤差とオフセット誤差を考慮しない場合、データとゲイン・オフセットとの理想的な関係式は以下のようになります。

$$Data = \left[\frac{0.75 \times V_{IN}}{V_{REF}} \times 2^{23} - (Offset - 0x800000) \right] \times \frac{Gain}{0x400000} \times 2$$

バイポーラ・モードにおいて、ADC ゲイン誤差とオフセット誤差を考慮しない場合、データとゲイン・オフセットとの理想的な関係式は以下のようになります。

$$Data = \left[\frac{0.75 \times V_{IN}}{V_{REF}} \times 2^{23} - (Offset - 0x800000) \right] \times \frac{Gain}{0x400000} + 0x800000$$

キャリブレーションを開始するには、ADC モード・レジスタにある、MODE ビットにそれぞれのキャリブレーション・モードに対応する値を書き込みます。キャリブレーションを起動すると、DOUT/RDY ピンと、ステータス・レジスタのRDY ビットがハイ・レベルになります。キャリブレーションが完了すると、対応するオフセットまたはゲイン・レジスタの内容が更新され、ステータス・レジスタのRDY ビットがリセットされ、RDY 出力ピンがロー・レベルに戻り(\overline{CS} がロー・レベルの場合)、AD7172-4 がスタンバイ・モードに復帰します。

内部オフセット・キャリブレーション中、選択された正側アナログ入力ピンは切り離され、AD 変調器入力と選択された負側アナログ入力ピンとが内部で短絡されます。このため、選択した負のアナログ入力ピンの電圧が許容値を超えず、過度なノイズや干渉がないことを確認する必要があります。

ただし、システム・キャリブレーションでは、キャリブレーション・モードを開始する前に、システム・ゼロスケール電圧(オフセット)とシステム・フルスケール電圧(ゲイン)をADC ピンに入力する必要があります。この結果、ADC に対する外部誤差を排除できます。

動作の観点から、キャリブレーションはADC 変換と同等に扱う必要があります。必要に応じて、オフセット・キャリブレーションは、常にフルスケール・キャリブレーションの前に行うようにして下さい。ステータス・レジスタのRDY ビットまたはRDY 出力をモニタするようにシステム・ソフトウェアを設定して、ポーリング・シーケンスまたは割込みによるルーチンによってキャリブレーションが終了したことを判断します。どのキャリブレーションにも、選択されたフィルタのセトリング時間とデータ出力が完了する時間を合わせた時間がかかります。

内部オフセット・キャリブレーション、システム・ゼロ・キャリブレーション、およびシステム・フルスケール・キャリブレーションは、どの出力データ・レートでも実行できます。出力データ・レートを低くしてキャリブレーションを行うと、精度の高いキャリブレーション結果が得られ、すべての出力データ・レートに対して高精度のキャリブレーション・データが得られます。あるチャンネルのリファレンス電圧が変更された場合、新たなオフセット・キャリブレーションが必要です。

オフセット誤差は、代表値で $\pm 75 \mu$ Vであり、オフセット・キャリブレーションを行うと、ノイズと同等レベルにまで減少させることができます。ゲイン誤差は、工場出荷時に周囲温度でキャリブレーションされています。工場出荷時のキャリブレーションによるゲイン誤差は、代表値でFSR の ± 5 ppmです。

AD7172-4 では、ユーザーが内蔵キャリブレーション・レジスタにアクセスできるため、マイクロプロセッサでデバイスのキャリブレーション係数を読み出し、独自のキャリブレーション係数を書き込むことができます。内部キャリブレーションまたはセルフキャリブレーション時以外は、オフセット設定レジスタとゲイン設定レジスタの読み書きはいつでも行えます。

デジタル・インターフェース

AD7172-4 のプログラマブル機能は、SPI 経由で制御します。AD7172-4 のシリアル・インターフェースは $\overline{\text{CS}}$ 、DIN、SCLK、および DOUT/RDY の 4 つの信号で構成されています。DIN 入力には内蔵レジスタにデータを転送し、DOUT 出力は内蔵レジスタのデータにアクセスします。SCLK はデバイスのシリアル・クロック入力であり、すべてのデータ転送 (DIN 入力または DOUT 出力上での転送) は、この SCLK 信号を基準として実行されます。

DOUT/RDY ピンはデータ・レディ信号としても機能し、新しいデータワードがデータ・レジスタから読出し可能になったときに $\overline{\text{CS}}$ がロー・レベルであると、出力はロー・レベルになります。データ・レジスタからの読出し動作が完了すると、RDY 出力はハイ・レベルに戻ります。RDY 出力はデータ・レジスタの更新前にもハイ・レベルになり、デバイスからの読出しが実行できないことを示し、レジスタの更新中にデータが読み出されることを防止します。RDY 出力がロー・レベルになりそうなときに、データ・レジスタからの読出しが行われないようにしてください。常に RDY 出力を監視するのが、データ読出しを防止するのに最良の方法です。RDY 出力がロー・レベルになったら直ちにデータ・レジスタの読出しを開始し、次の変換結果の前に読出しが完了するのに十分な SCLK レートであることを確認します。 $\overline{\text{CS}}$ はデバイスを選択するときに使用します。シリアル・バスに複数のコンポーネントが接続されているシステムでは、 $\overline{\text{CS}}$ を使用して AD7172-4 をデコードできます。

図 2 と図 3 に、デバイスのデコードに $\overline{\text{CS}}$ を使用した AD7172-4 に対するインターフェースのタイミング図を示します。図 2 に AD7172-4 からの読出し動作のタイミング図を示し、図 3 に AD7172-4 への書き込み動作のタイミング図を示します。最初の読出し動作の後に、RDY 出力がハイ・レベルに戻った後でも、データ・レジスタから複数回読み出すことができます。ただし、次の出力更新が開始される前に、読出し動作が完了するようにしてください。連続読出しモードでは、データ・レジスタは 1 変換につき 1 回しか読み出すことができません。

シリアル・インターフェースを 3 線式モードで動作させるには、 $\overline{\text{CS}}$ をロー・レベルに固定します。この場合、SCLK、DIN、および DOUT/RDY ピンを使用して AD7172-4 と通信します。変換の終了は、ステータス・レジスタの RDY ビットを使用して監視することもできます。

AD7172-4 は、 $\overline{\text{CS}} = 0$ および $\text{DIN} = 1$ で 64 SCLK を書き込むことでリセットできます。リセットにより、インターフェースをコミュニケーション・レジスタに対する書き込み動作待ちの状態に戻します。この動作により、すべてのレジスタ値が対応するパワーオン時の値にリセットされます。リセット後、シリアル・インターフェースに書き込む前に、500 μs の待ち時間が必要です。

チェックサム保護

AD7172-4 には、インターフェースの信頼性を向上できるチェックサム・モードがあります。チェックサムを使用すると、レジスタには有効なデータのみが書き込まれ、検証済みのレジスタからのデータ読み出しが可能になります。レジスタへの書き込み時にエラーが発生すると、ステータス・レジスタ内の CRC_ERROR ビットがセットされます。ただし、レジスタ・データのリードバックを実行し、チェックサムの確認を行って、レジスタへの書き込みが正常に行われたことを確認してください。

データ書き込み時の CRC チェックサムの計算には、以下の多項式を使用します。

$$x^8 + x^2 + x + 1$$

データ読出し時には、この多項式を使用して、より簡単な排他的論理和 (XOR) 関数を選択することができます。XOR 関数を使用したチェックサムは、多項式ベースのチェックサムに比べると、ホスト・マイクロコントローラ上での処理時間が短いです。インターフェース・モード・レジスタ内の CRC_EN ビットで、チェックサムを有効または無効にし、有効の場合は多項式によるエラー・チェックを使用するか、XOR によるシンプルなエラー・チェックを使用するか選択できます。

チェックサムは、読出しと書き込みの各データ交換トランザクションの最後に付加されます。書き込みトランザクションのチェックサム計算は、8 ビット・コマンド・ワードと 8 ~ 24 ビットのデータを使用して計算されます。読出しトランザクションは、8 ビットのコマンド・ワードと 8 ~ 32 ビットのデータ出力を使用して計算されます。図 70 と図 71 に、SPI での読出しおよび書き込みトランザクションを示します。

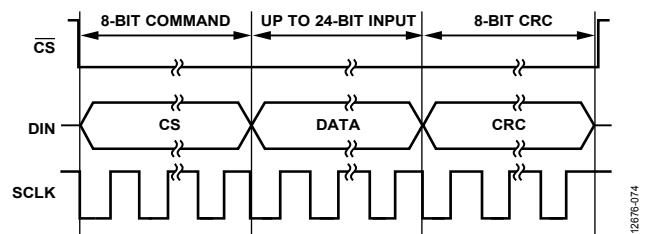


図 70. CRC 付き SPI 書き込みトランザクション

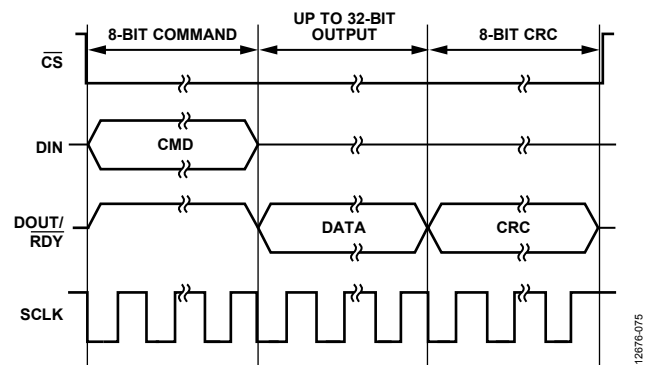


図 71. CRC 付き SPI 読出しトランザクション

連続読出しモードがアクティブで、チェックサム保護がイネーブルであれば、データ転送ごとに、暗黙のデータ読み込みコマンド 0x44 が存在します。従って、チェックサムの計算時に、このコマンドを必ず考慮しなければなりません。これにより、ADC のデータが 0x000000 であっても、チェックサム値がゼロにならないことが保証されます。

CRC の計算

多項式

8 ビット幅のチェックサムは、以下の多項式で生成します。

$$x^8 + x^2 + x + 1$$

チェックサムを生成するため、データは 8 ビットごとに左側にシフトされ、8 ビットのロジック 0 で終わる数値を生成します。

多項式の MSB が、データの左端にあるロジック 1 と整列するように、多項式の位置を調整します。XOR 関数をデータに適用して、短い数値を新規生成します。多項式の MSB が、得られたデータの左端にあるロジック 1 と整列するよう、多項式の位置を再度調整します。このプロセスは、元データが多項式の値よりも小さくなるまで繰り返されます。これが 8 ビットのチェックサムです。

24 ビット・ワードに対する多項式による CRC 計算例:0x654321 (8 ビット・コマンドと 16 ビット・データ)

この例では、多項式ベースのチェックサムを使用して、8 ビットのチェックサムを計算します。

初期値	011001010100001100100001	
	01100101010000110010000100000000	8 ビット左にシフト
$x^8 + x^2 + x + 1$	=	100000111 多項式
100100100000110010000100000000		XOR の結果
100000111		多項式
1000110001100100001000000000		XOR の結果
100000111		多項式
111111100100001000000000		XOR の結果
100000111		多項式の値
111110111000010000000000		XOR の結果
100000111		多項式の値
1111000000001000000000		XOR の結果
100000111		多項式の値
1110011100010000000000		XOR の結果
100000111		多項式の値
11001001001000000000		XOR の結果
100000111		多項式の値
10010101010000000000		XOR の結果
100000111		多項式の値
1011011000000000		XOR の結果
100000111		多項式の値
11010110000000		XOR の結果
100000111		多項式の値
101010110000		XOR の結果
100000111		多項式の値
1010001000		XOR の結果
100000111		多項式の値
10000110		XOR の結果
		チェックサム = 0x86

排他的論理和 (XOR) の計算

元データをバイトごとに分離して、それぞれのバイトに XOR 演算を行って、8 ビット幅のチェックサムを生成します。

XOR 計算例 - 24 ビット・ワード:0x654321 (8 ビット・コマンドと 16 ビット・データ)

前の例を 3 つのバイト 0x65、0x43、0x21 に分割したものを以下に示します。

01100101	0x65
01000011	0x43
00100110	XOR の結果
00100001	0x21
00000111	CRC

内蔵機能

AD7172-4 は、数多くのアプリケーションの有用性を向上させる機能を内蔵しているとともに、安全性が重要なアプリケーションで診断機能を提供します。

汎用の入出力

AD7172-4 は 2 つの汎用デジタル入出力ピン (GPIO0 と GPIO1) と、2 つの汎用デジタル出力 (GPO2 と GPO3) を備えています。名前が示しているように GPIO0 ピンと GPIO1 ピンは入力または出力として構成できますが、GPO2 ピンと GPO3 ピンは出力としてのみ構成できます。GPIOx ピンと GPOx ピンは、GPIOCON レジスタの次のビットを使用してイネーブルします。GPIO0 ピンと GPIO1 ピンは IP_EN0、IP_EN1 (または OP_EN0、OP_EN1)、GPO2 ピンと GPO3 ピンは OP_EN2_3。

GPIO0 ピンまたは GPIO1 ピンが入力としてイネーブルになっている場合、GP_DATA0 ビットまたは GP_DATA1 ビットにピンのロジック・レベルが格納されます。GPIO0、GPIO1、GPO2、または GPO3 ピンが出力としてイネーブルになっている場合、GP_DATA0、GP_DATA1、GP_DATA2、または GP_DATA3 ビットはピンのロジック・レベル出力を決定します。これらのピンのロジック・レベルは、AVDD1 および AVSS を基準としています。

また、ERROR ピンを汎用出力として使用することもできます。GPIOCON レジスタの ERR_EN ビットが 1 にセットされている場合、ERROR ピンは汎用出力として動作します。この構成では、GPIOCON レジスタの ERR_DAT ビットが、ピンの出力ロジック・レベルを決めます。ピンのロジック・レベルは、IOVDD および DGND を基準としています。

すべての汎用出力にアクティブ・プルアップがあります。

外部マルチプレクサの制御

チャンネル数を増やすために外部マルチプレクサを使用する場合、AD7172-4 の GPIOx ピンを介してマルチプレクサのロジック・ピンを制御できます。MUX_IO ビットにより、GPIOx のタイミングは ADC によって制御されます。このため、チャンネルの変更が ADC と同期され、外部同期機能が不要になります。

遅延

AD7172-4 がサンプリングを行う前に、プログラマブルな遅延を挿入することが可能です。この遅延により、外部アンプやマルチプレクサの出力がセトリングするまで待つことができ、外部アンプやマルチプレクサの仕様要件を緩和することもできます。0 μ s から 8 ms の範囲で 8 つのプログラマブルな遅延を設定できます。この設定には、ADC モード・レジスタ (アドレス 0x01、ビット[10:8]) を使用します。

遅延時間に 0 μ s より大きい値を指定し、ADC モード・レジスタの HIDE_DELAY ビットを 0 にセットした場合、選択した出力データ・レートに関わらず、この遅延時間は変換時間に加算されます。

Sinc5 + Sinc1 フィルタを使用すると、この遅延を隠す (内包させる) ことができます。つまり、遅延を有効にしても、出力データ・レートに変化はありません。IHIDE_DELAY ビットが 1 に設定され、選択された遅延時間が、変換時間の半分よりも短い場合、デジタル・フィルタが実行する平均の回数を減らすことによって、この遅延時間は、変換時間の中に内包されます。これにより、変換時間は変わりませんが、ノイズ特性に影響を与える恐れがあります。

このノイズ特性への影響は、変換時間と比較した遅延時間の長さに依存します。遅延時間を吸収できるのは、出力データ・レートが、2.6 kSPS 以下の場合のみです。ただし、例外があって、

以下の 4 つのレートでは、遅延時間を全く吸収できません。
381 SPS、59.92 SPS、49.96 SPS、16.66 SPS。

16 ビット/24 ビット変換

デフォルトでは、AD7172-4 は 24 ビット変換を生成します。しかしながら、データ幅を 16 ビットに減らして出力させることもできます。インターフェース・モード・レジスタの WL16 ビットを 1 にセットすると、すべての変換データは、16 ビットに丸められます。24 ビット幅でデータを出力させるには、このビットをクリアしてください。

DOUT_RESET

シリアル・インターフェースは、共有の DOUT/RDY ピンを使用します。デフォルトでは、このピンは RDY 信号を出力します。データ読み出し期間中、このピンは指定されたレジスタを出力します。読み出し完了後、一定時間 (t_r) が経過した後に、ピンは RDY 信号の出力を開始します。ただし、この時間は一部のマイクロコントローラにとって短すぎることがあります。この時間は、インターフェース・モード・レジスタの DOUT_RESET ビットに 1 をセットして、CS ピンがハイ・レベルになるまで延長することができます。この設定は、CS が各読み出し動作をフレームして、シリアル・インターフェースのトランザクションを完了する必要があることを意味します。

同期

ノーマル同期

GPIOCON レジスタの ERR_EN ビットが 1 にセットされている場合、SYNC ピンは同期入力として機能します。SYNC 入力により、デバイス内のセットアップ状態に一切影響を与えることなく、変調器とデジタル・フィルタをリセットできます。この機能により、既知の時点、すなわち SYNC 入力の立ち上がりエッジから、アナログ入力のサンプル取得を開始できます。同期を確実に実行するには、SYNC 入力を少なくとも 1 マスター・クロック・サイクルの間、ロー・レベルに維持する必要があります。

複数の AD7172-4 デバイスが共通のマスター・クロックで動作する場合、アナログ入力と同時にサンプリングされるようにこれらのデバイスを同期させることができます。通常、各 AD7172-4 デバイスがキャリブレーションを実行した後、またはキャリブレーション係数をキャリブレーション・レジスタへロードした後、この同期が完了します。SYNC 入力の立ち下がりエッジで、デジタル・フィルタとアナログ変調器がリセットされ、AD7172-4 は一貫した既知の状態になります。SYNC 入力がロー・レベルの間、AD7172-4 はこの状態を維持します。SYNC 入力の立ち上がりエッジで、変調器とフィルタはこのリセット状態から抜け出します。デバイスは、次のマスター・クロック・エッジで入力サンプルの収集を再開します。

このデバイスは、SYNC 入力がロー・レベルからハイ・レベルに移った後のマスター・クロックの立ち下がりエッジでリセット状態から抜け出します。このため、複数のデバイスを同期する場合、マスター・クロックの立ち上がりエッジで SYNC 入力をハイ・レベルに設定し、すべてのデバイスがマスター・クロックの立ち下がりエッジでリリースされるように設定する必要があります。SYNC 入力を十分な時間ハイ・レベルにしないと、デバイス間で 1 マスター・クロック・サイクルの差が生じることがあります。つまり、変換結果が得られるタイミングが、デバイスによって最大で 1 マスター・クロック・サイクル異なる場合があります。

SYNC 入力、ノーマル同期モードでの1つのチャンネルの変換開始コマンドとして使用することもできます。このモードでは、SYNC 入力の立ち上がりエッジにより変換が開始され、RDY 出力の立ち下がりエッジにより変換が完了したタイミングが示されます。フィルタのセトリング時間は、各データ・レジスタの更新ごとに必要です。変換完了後、次の変換開始信号の準備のために SYNC 入力をロー・レベルにしてください。

オルタネート同期

オルタネート同期モードでは、AD7172-4 の複数のチャンネルがイネーブルになっている場合、SYNC 入力は変換開始コマンドとして機能します。インターフェース・モード・レジスタの ALT_SYNC ビットを1に設定すると、オルタネート同期方式がイネーブルになります。SYNC 入力がロー・レベルになると、ADC は現在のチャンネルでの変換を完了し、シーケンス内の次のチャンネルを選択して、SYNC 入力がハイ・レベルになって変換が開始されるまで待機します。RDY 出力は、現在のチャンネルで変換が完了するとロー・レベルになり、対応する変換でデータ・レジスタが更新されます。このため、SYNC 入力は、現在選択されているチャンネルでのサンプリングを妨げることはなく、ユーザーはシーケンス内の次のチャンネルで変換が行われるタイミングを制御することができます。

オルタネート同期は、いくつかのチャンネルがイネーブルになっている場合のみ、使用できます。1つのチャンネルのみイネーブルになっている場合は、このモードの使用は推奨されません。

エラー・フラグ

ステータス・レジスタには、ADC 変換エラー、CRC チェック・エラー、レジスタの変更によって発生したエラーをフラグする3つのエラー・ビット (ADC_ERROR、CRC_ERROR、REG_ERROR)があります。また、ERROR 出力は、エラーが発生したことを示すことができます。

ADC_ERROR

変換プロセス中にエラーが発生した場合、ステータス・レジスタの ADC_ERROR ビットにフラグが立ちます。このフラグは、ADC の出力で、オーバーレンジまたはアンダーレンジを検出したときセットされます。アンダーレンジやオーバーレンジが発生すると、ADC の出力はそれぞれ、オール0またはオール1になります。このフラグは、オーバーレンジまたはアンダーレンジが解消したときのみ、リセットされます。このフラグは、データ・レジスタの読出しによってリセットされません。

CRC_ERROR

書き込み動作時に付加された CRC の値が、送られた情報と一致しなかった場合、CRC_ERROR フラグがセットされます。このフラグは、ステータス・レジスタが明示的に読み出されたときにリセットされます。

REG_ERROR

REG_ERROR フラグは、インターフェース・モード・レジスタの REG_CHECK ビットとともに使用します。REG_CHECK ビッ

トがセットされると、AD7172-4 は、ビットが変化すると、REG_ERROR ビットに1がセットされます。このため、内蔵レジスタへの書き込みを行うには、REG_CHECK ビットを0にセットします。レジスタ書き込みで更新されると、REG_CHECK ビットを1に設定できます。AD7172-4 は、内蔵レジスタのチェックサムを計算します。いずれかのレジスタ値が変化すると、REG_ERROR ビットが1にセットされます。エラーが検出されたら、ステータス・レジスタの REG_ERROR ビットをクリアするため、REG_CHECK ビットを必ず0にセットしてください。なお、このレジスタ・チェック機能はデータ・レジスタ、ステータス・レジスタ、インターフェース・モード・レジスタを監視していません。

ERROR 入力／出力

ERROR ピンは、エラー入力／出力ピン、または汎用出力ピンとして機能します。GPIOCON レジスタの ERR_EN ビットが、このピンの機能を決めます。

ERR_EN を10にセットした場合、ERROR ピンはオープンドレイン・エラー出力として機能します。ステータス・レジスタの3つのエラー・ビット (ADC_ERROR、CRC_ERROR、REG_ERROR) は、論理和がとられ、反転されて、ERROR 出力にマップされます。このため、ERROR 出力はエラーが発生したことを示します。エラーの原因を特定するには、ステータス・レジスタを読み出す必要があります。

ERR_EN を01にセットした場合、ERROR ピンはエラー入力として機能します。他のコンポーネントのエラー出力を AD7172-4 ERROR の入力に接続すれば、AD7172-4 または外部コンポーネントでエラーが発生したときにエラーを示すことができます。ERROR 入力の値が反転され、ADC 変換からのエラーと論理和がとられ、ステータス・レジスタの ADC_ERROR ビットを介して結果が示されます。ERROR 入力の値は、GPIO 設定レジスタの ERR_DAT ビットに反映されます。

ERROR 入力／出力は、ERR_EN が00にセットされるとディスエーブルになります。ERR_EN ビットが11にセットされると、ERROR ピンは汎用出力として動作します。

DATA_STAT

IFMODE レジスタの DATA_STAT ビットを使用して、ステータス・レジスタの内容を AD7172-4 の各変換結果に付加できます。これは、複数のチャンネルがイネーブルになっている場合に便利な機能です。変換データが出力されるごとに、ステータス・レジスタの内容が付加されます。ステータス・レジスタの下位2ビットは、どのチャンネルを変換したかを表示します。さらに、エラー・ビットによってフラグ付けされたエラーがあれば、そのエラーを特定できます。

IOSTRENGTH

シリアル・インターフェースは、電源電圧が2Vに低下しても動作します。ただし、基板に中程度の寄生容量が存在する場合、または SCLK 周波数が高い場合、この低電圧では DOUT／RDY ピンの駆動能力が十分ではないことがあります。インターフェース・モード・レジスタの IOSTRENGTH ビットは、DOUT／RDY ピンの駆動能力を高めます。

グラウンディングとレイアウト

アナログ入力とリファレンス電圧入力は差動であるため、アナログ変調器内の多くの電圧はコモンモード電圧です。このデバイスの優れたコモンモード除去比により、これらの入力でのコモンモード・ノイズが除去されます。AD7172-4 のアナログ電源とデジタル電源は独立しており、デバイスのアナログ部とデジタル部のカップリングを最小限に抑えるように個別のピンに接続されています。デジタル・フィルタは、マスター・クロック周波数の整数倍の周波数以外の広帯域電源ノイズを除去します。

また、ノイズ源がアナログ変調器を飽和させない限り、デジタル・フィルタはアナログ入力とリファレンス電圧入力のノイズも除去します。このため、AD7172-4 は従来の高分解能コンバータよりも優れた耐ノイズ干渉性を発揮します。ただし、AD7172-4 の分解能が高く、コンバータのノイズ・レベルが非常に低いいため、グラウンディングとレイアウトについては注意が必要です。

ADC を実装するプリント回路ボード (PCB) は、アナログ部とデジタル部を分離して、ボードの特定領域にまとめて配置するようにデザインする必要があります。一般に、エッチング部分を最小限に抑えると、最適なシールド効果を発揮できるため、この方法はグラウンド・プレーンに最適です。

レイアウトの種類に関係なく、システム内における電流の流れには十分注意を払い、すべてのリターン電流用の経路と目的場所まで電流を流す経路をできるだけ近づけて配置するよう心がけて下さい。

チップにノイズが混入するため、デバイスの下にデジタル・ラインを配置しないでください。AD7172-4 の下にアナログ・グラウンド・プレーンを配置してノイズの混入を防止してください。低インピーダンス経路を確保し、電源ラインのグリッチを軽減できるように、AD7172-4 への電源ラインには可能な限り

幅広いパターンを使用してください。クロックなどの高速なスイッチング信号は、デジタル・グラウンドでシールドしてボードの他の部分に対するノイズの放射を防止します。また、クロック信号がアナログ入力の近くを通過しないようにします。デジタル信号とアナログ信号のクロスオーバーは回避する必要があります。デジタル信号とアナログ信号のパターンは、ボードの反対側で、互いに直角になるように配置してください。これにより、基板上のフィードスルー効果を軽減できます。マイクロストリップ技術を使用すれば最善の結果が得られますが、両面ボードでは常に使用できるとは限りません。

高分解能 ADC を使用する場合は、デカップリングが重要になります。AD7172-4 には、次の3つの独立した電源ピン AVDD1、AVDD2、IOVDD があります。AVDD1 と AVDD2 ピンは、AVSS を基準としています。一方、IOVDD ピンは、DGND を基準としています。AVDD1 と AVDD2 は、10 μF のコンデンサと 0.1 μF のコンデンサを並列に接続したうえで、それぞれ AVSS にデカップリングします。0.1 μF のコンデンサは、デバイスの各電源ピンのできるだけ近くに配置します。理想的には、デバイスの隣に配置する必要があります。IOVDD は、10 μF のコンデンサと 0.1 μF のコンデンサとを並列接続して、DGND へデカップリングします。すべてのアナログ入力を AVSS へデカップリングします。REF \pm ピンと REF2 \pm ピンを AVSS へデカップリングします。

AD7172-4 は、AVDD2 電源および IOVDD 電源を調整する2つのオンボード LDO レギュレータも備えています。REGCAPA ピンは、1 μF と 0.1 μF のコンデンサを使用して AVSS に接続します。同様に REGCAPD ピンは、1 μF と 0.1 μF のコンデンサを使用して DGND に接続します。

AD7172-4 を分離電源動作で使用する場合は、AVSS に分離プレーンを使用する必要があります。

レジスタの一覧

表 25. レジスタの一覧

Reg.	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	RW	
0x00	COMMS	[7:0]	WEN	R/W	RA						0x00	W	
0x00	STATUS	[7:0]	RDY	ADC_ERROR	CRC_ERROR	REG_ERROR	RESERVED	CHANNEL			0x80	R	
0x01	ADCMODE	[15:8]	RESERVED	HIDE_DELAY	SING_CYC	RESERVED		DELAY			0x2000	RW	
		[7:0]	RESERVED	MODE			CLOCKSEL		RESERVED				
0x02	IFMODE	[15:8]	RESERVED			ALT_SYNC	IOSTRENGT H	RESERVED		DOUT_RESET	0x0000	RW	
		[7:0]	CONTREAD	DATA_STAT	REG_CHECK	RESERVED	CRC_EN		RESERVED	WL16			
0x03	REGCHECK	[23:0]	REGISTER_CHECK[23:0]									0x000000	R
0x04	DATA	[23:0]	DATA[23:0]									0x000000	R
0x06	GPIOCON	[15:8]	RESERVED	PDSW	OP_EN2_3	MUX_IO	SYNC_EN	ERR_EN		ERR_DAT	0x0800	RW	
		[7:0]	GP_DATA3	GPDATA2	IP_EN1	IP_EN0	OP_EN1	OP_EN0	GP_DATA1	GP_DATA0			
0x07	ID	[15:8]	ID[15:8]									0x205X	R
		[7:0]	ID[7:0]										
0x10	CH0	[15:8]	CH_EN0	SETUP_SEL0			RESERVED		AINPOS0[4:3]		0x8001	RW	
		[7:0]	AINPOS0[2:0]			AINNEG0							
0x11	CH1	[15:8]	CH_EN1	SETUP_SEL1			RESERVED		AINPOS1[4:3]		0x0001	RW	
		[7:0]	AINPOS1[2:0]			AINNEG1							
0x12	CH2	[15:8]	CH_EN2	SETUP_SEL2			RESERVED		AINPOS2[4:3]		0x0001	RW	
		[7:0]	AINPOS2[2:0]			AINNEG2							
0x13	CH3	[15:8]	CH_EN3	SETUP_SEL3			RESERVED		AINPOS3[4:3]		0x0001	RW	
		[7:0]	AINPOS3[2:0]			AINNEG3							
0x14	CH4	[15:8]	CH_EN4	SETUP_SEL4			RESERVED		AINPOS4[4:3]		0x0001	RW	
		[7:0]	AINPOS4[2:0]			AINNEG4							
0x15	CH5	[15:8]	CH_EN5	SETUP_SEL5			RESERVED		AINPOS5[4:3]		0x0001	RW	
		[7:0]	AINPOS5[2:0]			AINNEG5							
0x16	CH6	[15:8]	CH_EN6	SETUP_SEL6			RESERVED		AINPOS6[4:3]		0x0001	RW	
		[7:0]	AINPOS6[2:0]			AINNEG6							
0x17	CH7	[15:8]	CH_EN7	SETUP_SEL7			RESERVED		AINPOS7[4:3]		0x0001	RW	
		[7:0]	AINPOS7[2:0]			AINNEG7							
0x20	SETUPCON0	[15:8]	RESERVED			BI_UNIPOLAR 0	REFBUF0+	REFBUF0-	AINBUF0+	AINBUF0-	0x1000	RW	
		[7:0]	BURNOUT_ EN0	RESERVED	REF_SEL0		RESERVED						
0x21	SETUPCON1	[15:8]	RESERVED			BI_UNIPOLAR 1	REFBUF1+	REFBUF1-	AINBUF1+	AINBUF1-	0x1000	RW	
		[7:0]	BURNOUT_ EN1	RESERVED	REF_SEL1		RESERVED						
0x22	SETUPCON2	[15:8]	RESERVED			BI_UNIPOLAR 2	REFBUF2+	REFBUF2-	AINBUF2+	AINBUF2-	0x1000	RW	
		[7:0]	BURNOUT_ EN2	RESERVED	REF_SEL2		RESERVED						
0x23	SETUPCON3	[15:8]	RESERVED			BI_UNIPOLAR 3	REFBUF3+	REFBUF3-	AINBUF3+	AINBUF3-	0x1000	RW	
		[7:0]	BURNOUT_ EN3	RESERVED	REF_SEL3		RESERVED						
0x24	SETUPCON4	[15:8]	RESERVED			BI_UNIPOLAR 4	REFBUF4+	REFBUF4-	AINBUF4+	AINBUF4-	0x1000	RW	
		[7:0]	BURNOUT_ EN4	RESERVED	REF_SEL4		RESERVED						
0x25	SETUPCON5	[15:8]	RESERVED			BI_UNIPOLAR 5	REFBUF5+	REFBUF5-	AINBUF5+	AINBUF5-	0x1000	RW	
		[7:0]	BURNOUT_ EN5	RESERVED	REF_SEL5		RESERVED						
0x26	SETUPCON6	[15:8]	RESERVED			BI_UNIPOLAR 6	REFBUF6+	REFBUF6-	AINBUF6+	AINBUF6-	0x1000	RW	
		[7:0]	BURNOUT_ EN6	RESERVED	REF_SEL6		RESERVED						
0x27	SETUPCON7	[15:8]	RESERVED			BI_UNIPOLAR 7	REFBUF7+	REFBUF7-	AINBUF7+	AINBUF7-	0x1000	RW	
		[7:0]	BURNOUT_ EN7	RESERVED	REF_SEL7		RESERVED						
0x28	FILTCON0	[15:8]	SINC3_MAP0	RESERVED			ENHFILTEN 0	ENHFILT0			0x0500	RW	
		[7:0]	RESERVED	ORDER0			ODR0						
0x29	FILTCON1	[15:8]	SINC3_MAP1	RESERVED			ENHFILTEN 1	ENHFILT1			0x0500	RW	
		[7:0]	RESERVED	ORDER1			ODR1						

Reg.	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	RW	
0x2A	FILTCON2	[15:8]	SINC3_MAP2	RESERVED			ENHFILTEN2	ENHFILT2			0x0500	RW	
		[7:0]	RESERVED	ORDER2		ODR2							
0x2B	FILTCON3	[15:8]	SINC3_MAP3	RESERVED			ENHFILTEN3	ENHFILT3			0x0500	RW	
		[7:0]	RESERVED	ORDER3		ODR3							
0x2C	FILTCON4	[15:8]	SINC3_MAP3	RESERVED			ENHFILTEN4	ENHFILT4			0x0500	RW	
		[7:0]	RESERVED	ORDER4		ODR4							
0x2D	FILTCON5	[15:8]	SINC3_MAP3	RESERVED			ENHFILTEN5	ENHFILT5			0x0500	RW	
		[7:0]	RESERVED	ORDER5		ODR5							
0x2E	FILTCON6	[15:8]	SINC3_MAP3	RESERVED			ENHFILTEN6	ENHFILT6			0x0500	RW	
		[7:0]	RESERVED	ORDER6		ODR6							
0x2F	FILTCON7	[15:8]	SINC3_MAP3	RESERVED			ENHFILTEN7	ENHFILT7			0x0500	RW	
		[7:0]	RESERVED	ORDER7		ODR7							
0x30	OFFSET0	[23:0]	OFFSET0[23:0]									0x800000	RW
0x31	OFFSET1	[23:0]	OFFSET1[23:0]									0x800000	RW
0x32	OFFSET2	[23:0]	OFFSET2[23:0]									0x800000	RW
0x33	OFFSET3	[23:0]	OFFSET3[23:0]									0x800000	RW
0x34	OFFSET4	[23:0]	OFFSET5[23:0]									0x800000	RW
0x35	OFFSET5	[23:0]	OFFSET6[23:0]									0x800000	RW
0x36	OFFSET6	[23:0]	OFFSET6[23:0]									0x800000	RW
0x37	OFFSET7	[23:0]	OFFSET7[23:0]									0x800000	RW
0x38	GAIN0	[23:0]	GAIN0[23:0]									0x5XXXX0	RW
0x39	GAIN1	[23:0]	GAIN1[23:0]									0x5XXXX0	RW
0x3A	GAIN2	[23:0]	GAIN2[23:0]									0x5XXXX0	RW
0x3B	GAIN3	[23:0]	GAIN3[23:0]									0x5XXXX0	RW
0x3C	GAIN4	[23:0]	GAIN4[23:0]									0x5XXXX0	RW
0x3D	GAIN5	[23:0]	GAIN5[23:0]									0x5XXXX0	RW
0x3E	GAIN6	[23:0]	GAIN6[23:0]									0x5XXXX0	RW
0x3F	GAIN7	[23:0]	GAIN7[23:0]									0x5XXXX0	RW

レジスタの詳細

コミュニケーション・レジスタ

Address:0x00, Reset:0x00, Name:COMMS

内蔵のレジスタへのアクセスは、すべてコミュニケーション・レジスタに対する書き込み動作で開始されます。この書き込みにより、次にアクセスされるレジスタが指定され、書き込みまたは読み出し動作であるか決まります。

表 26. COMMS のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
7	WEN		このビットは、ADC との通信を開始するときにロー・レベルにする必要があります。	0x0	W
6	R/W	0 1	このビットで、コマンドが読み出しであるか書き込みであるかを指定します。 書き込みコマンド 読み出しコマンド	0x0	W
[5:0]	RA	000000 000001 000010 000011 000100 000110 000111 010000 010001 010010 010011 010100 010101 010110 010111 100000 100001 100010 100011 100100 100101 100110 100111 101000 101001 101010 101011 101100 101101 101110 101111 110000 110001 110010 110011 110100 110101 110110 110111 111000 111001 111010 111011 111100 111101 111110 111111	このレジスタ・アドレス・ビットで、どのレジスタに対してアクセスするかを指定します。 ステータス・レジスタ ADC モード・レジスタ インターフェース・モード・レジスタ レジスタ・チェック・レジスタ データ・レジスタ GPIO 設定レジスタ ID レジスタ チャンネル・レジスタ 0 チャンネル・レジスタ 1 チャンネル・レジスタ 2 チャンネル・レジスタ 3 チャンネル・レジスタ 4 チャンネル・レジスタ 5 チャンネル・レジスタ 6 チャンネル・レジスタ 7 セットアップ構成レジスタ 0 セットアップ構成レジスタ 1 セットアップ構成レジスタ 2 セットアップ構成レジスタ 3 セットアップ構成レジスタ 4 セットアップ構成レジスタ 5 セットアップ構成レジスタ 6 セットアップ構成レジスタ 7 フィルタ設定レジスタ 0 フィルタ設定レジスタ 1 フィルタ設定レジスタ 2 フィルタ設定レジスタ 3 フィルタ設定レジスタ 4 フィルタ設定レジスタ 5 フィルタ設定レジスタ 6 フィルタ設定レジスタ 7 オフセット・レジスタ 0 オフセット・レジスタ 1 オフセット・レジスタ 2 オフセット・レジスタ 3 オフセット・レジスタ 4 オフセット・レジスタ 5 オフセット・レジスタ 6 オフセット・レジスタ 7 ゲイン・レジスタ 0 ゲイン・レジスタ 1 ゲイン・レジスタ 2 ゲイン・レジスタ 3 ゲイン・レジスタ 4 ゲイン・レジスタ 5 ゲイン・レジスタ 6 ゲイン・レジスタ 7	0x00	W

ステータス・レジスタ

Address:0x00, Reset:0x80, Name:STATUS

ステータス・レジスタは8ビットのレジスタで、ADC とシリアル・インターフェースのステータスに関する情報が格納されています。インターフェース・モード・レジスタの DATA_STAT ビットをセットすることで、このレジスタの内容をデータ・レジスタへ付加することもできます。

表 27. STATUS のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
7	RDY	0 1	CS がロー・レベルで、レジスタが読み出されていない場合は、常に $\overline{\text{RDY}}$ のステータスが DOUT/ $\overline{\text{RDY}}$ ピンに出力されます。ADC がデータ・レジスタに新しい結果を書き込むと、このビットはロー・レベルになります。ADC のキャリブレーション・モードでは、ADC がキャリブレーションの結果を書き込むと、このビットはロー・レベルになります。 $\overline{\text{RDY}}$ は、データ・レジスタの読出しによって自動的にハイ・レベルになります。 新しいデータが読み出し可能 新しいデータ結果の待ち状態	0x1	R
6	ADC_ERROR	0 1	このビットの機能は、デフォルトで ADC がオーバーレンジまたはアンダーレンジになったことを表示します。ADC の変換結果は、オーバーレンジ・エラーの場合は 0xFFFFF でクランプされ、アンダーレンジ・エラーの場合は 0x000000 でクランプされます。このビットは、ADC の変換結果を書き込むと更新され、オーバーレンジまたはアンダーレンジ状態が解消された後の更新時にクリアされます。 エラーなし エラーあり	0x0	R
5	CRC_ERROR	0 1	このビットは、レジスタの書き込み時に、CRC エラーが発生したことを表示します。ホスト・マイクロコントローラがこのレジスタを読み出して、CRC エラーが発生しているかどうかを判断します。このレジスタを読み出すと、このビットはクリアされます。 エラーなし CRC エラー	0x0	R
4	REG_ERROR	0 1	レジスタの整合性チェックが作動しているとき、このビットは、内部レジスタの値が1つでも計算値から変化したかどうかを表示します。このレジスタの整合性チェックは、インターフェース・モード・レジスタの REG_CHEK ビットをセットすると作動します。このビットをクリアするには、REG_CHECK ビットをクリアします。 エラーなし エラーあり	0x0	R
3	RESERVED		これらのビットは予約済み。	0x0	R
[2:0]	CHANNEL	000 001 010 011 100 101 110 111	これらのビットは、どのチャンネルの ADC 変換がアクティブで、現在どのチャンネルの結果がデータ・レジスタに格納されているかを示します。このビットで表示されるチャンネルは、現在変換を行っているチャンネルとは異なる場合がありますので注意してください。このビットは、チャンネル・レジスタに直接マッピングされています。従って、チャンネル 0 の場合は 0x0 になり、チャンネル 7 の場合は 0x7 になります。 チャンネル 0 チャンネル 1 チャンネル 2 チャンネル 3 チャンネル 4 チャンネル 5 チャンネル 6 チャンネル 7	0x0	R

ADC モード・レジスタ

Address:0x01, Reset:0x2000, Name:ADCMODE

ADC モード・レジスタはADCの動作モードとマスター・クロックの選択を制御します。ADC モード・レジスタへの書込みによって、フィルタとRDYビットがリセットされ、新しい変換またはキャリブレーションが開始されます。

表 28. ADCMODE のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
15	RESERVED		予約済み	0x0	RW
14	HIDE_DELAY	0 1	DELAY ビットを使用してプログラマブルな遅延をセットする場合、このビットと Sinc5 + Sinc1 フィルタにより、選択したデータ・レートの変換時間に遅延時間が吸収されるので、遅延を隠すことができます。詳細については、遅延のセクションを参照してください。 イネーブル ディスエーブル	0x0	RW
13	SING_CYC	0 1	1 チャンネルのみがアクティブで、固定のフィルタ・データ・レートのみで出力するように ADC を設定する場合に、このビットを使用できます。 ディスエーブル イネーブル	0x1	RW
[12:11]	RESERVED		0 に固定 (ユーザー使用不可)	0x0	R
[10:8]	DELAY	000 001 010 011 100 101 110 111	これらのビットは、プログラマブルな遅延の設定に使用します。この遅延はチャンネル・スイッチの後に付加され、ADC が入力を処理する前に、外部回路のセリングに対する時間的な余裕を持たせます。 0 μs 32 μs 128 μs 320 μs 800 μs 1.6 ms 4 ms 8 ms	0x0	RW
7	RESERVED		0 に固定 (ユーザー使用不可)	0x0	R
[6:4]	MODE	000 001 010 011 100 110 111	これらのビットは、ADC の動作モードを制御します。詳細については、動作モードのセクションを参照してください。 連続変換モード シングル変換モード スタンバイ・モード パワーダウン・モード 内部オフセットのキャリブレーション システム・オフセットのキャリブレーション システム・ゲインのキャリブレーション	0x0	RW
[3:2]	CLOCKSEL	00 01 10 11	このビットは、ADC クロック源の選択に使用します。内部発振器を選択すると、内部発振器もイネーブルになります。 内部発振器 内部発振器の出力 (XTAL2/CLKIO ピン) 外部クロックの入力 (XTAL2/CLKIO ピン) 外部水晶発振器 (XTAL1 および XTAL2/CLKIO ピン)	0x0	RW
[1:0]	RESERVED		0 に固定 (ユーザー使用不可)	0x0	R

インターフェース・モード・レジスタ

Address:0x02, Reset:0x0000, Name:IFMODE

インターフェース・モード・レジスタは、様々なシリアル・インターフェース・オプションの構成に使用します。

表 29. IFMODE のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[15:13]	RESERVED		0 に固定 (ユーザー使用不可)	0x0	R
12	ALT_SYNC	0 ディスエーブル 1 イネーブル	このビットにより、 <u>SYNC</u> ピンの動作を変更して、チャンネル切替え時の変換制御に <u>SYNC</u> を使用できます (詳細については、GPIO 設定レジスタのセクションを参照)。	0x0	RW
11	IOSTRENGTH	0 ディスエーブル (デフォルト) 1 イネーブル	このビットは、 <u>DOUT</u> / <u>RDY</u> ピンの駆動能力を制御します。IOVDD の電圧が低く、容量が中程度で、高速ビット・レートでシリアル・インターフェースを使用する場合、このビットをセットします。	0x0	RW
[10:9]	RESERVED		0 に固定 (ユーザー使用不可)	0x0	R
8	DOUT_RESET	0 ディスエーブル 1 イネーブル	詳細については、 <u>DOUT_RESET</u> のセクションを参照してください。	0x0	RW
7	CONTREAD	0 ディスエーブル 1 イネーブル	ADC データ・レジスタの連続読出しを行えるようになります。連続読出しを使用する場合は、ADC を連続変換モードに構成する必要があります。詳細については、動作モードのセクションを参照してください。	0x0	RW
6	DATA_STAT	0 ディスエーブル 1 イネーブル	読出し時にステータス・レジスタをデータ・レジスタに付加すると、チャンネルとステータス情報がデータとともに転送されるようになります。これは、ステータス・レジスタから読み出されたチャンネル・ビットが、データ・レジスタ内のデータに対応することを保証する唯一の方法です。	0x0	RW
5	REG_CHECK	0 ディスエーブル 1 イネーブル	このビットは、レジスタの整合性チェック機能をイネーブルにします。これにより、ユーザー・レジスタ内の値の変化をすべて監視できます。この機能を使用するには、このビットをクリアしたうえで、必要なレジスタをすべてセットします。このレジスタに書き込み、 <u>REG_CHECK</u> ビットを 1 にセットします。あるレジスタの内容が変化すると、ステータス・レジスタ内の <u>REG_ERROR</u> ビットが 1 にセットされます。エラー状態をクリアするには、 <u>REG_CHECK</u> ビットを 0 にセットします。ただし、インターフェース・モード・レジスタ、ADC データ・レジスタまたはステータス・レジスタのいずれも、チェック対象のレジスタには含まれていません。レジスタに新しい値を書き込む必要がある場合、最初にこのビットをクリアしてください。そうしないと、新しいレジスタ内容を書き込むときに、エラーのフラグが立てられます。	0x0	RW
4	RESERVED		0 に固定 (ユーザー使用不可)	0x0	R
[3:2]	CRC_EN	00 ディスエーブル 01 レジスタの読み込みトランザクションで、XOR のチェックサムをイネーブルします。これらのビットの設定では、レジスタの書き込み時に CRC が使用されます。 10 レジスタの読み書きトランザクションで、CRC チェックサムをイネーブルします。	レジスタの読み書きに対する CRC 保護をイネーブルにします。CRC を有効にすると、シリアル・インターフェース転送における転送バイト数が 1 つ増加します。詳細については、CRC の計算のセクションを参照してください。	0x00	RW
1	RESERVED		0 に固定 (ユーザー使用不可)	0x0	R

ビット	ビット名	設定	説明	リセット	アクセス
0	WL16		ADC のデータ・レジスタを 16 ビットに変更します。インターフェース・モード・レジスタへの書き込みで ADC はリセットされません。このため、このビットへの書き込み直後に、ADC の結果が正しいワード長に丸められることはありません。次の新しい ADC 結果が正しいワード長です。	0x0	RW
		0	24 ビット・データ		
		1	16 ビット・データ		

レジスタ・チェック

Address:0x03, Reset:0x000000, Name:レジスタ・チェック

レジスタ・チェック・レジスタは、ユーザー・レジスタの排他的論理和 (XOR) 計算で得られた 24 ビット長のチェックサムです。このレジスタを動作させるには、インターフェース・モード・レジスタ内の REG_CHECK ビットをセットする必要があります。このビットをセットしないと、レジスタは 0 を読み出します。

表 30. REGCHECK のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[23:0]	REGISTER_CHECK		インターフェース・モード・レジスタ内で REG_CHECK ビットをセットすると、ユーザー・レジスタの 24 ビットのチェックサムが生成されます。	0x000000	R

データ・レジスタ

Address:0x04, Reset:0x000000, Name:DATA

データ・レジスタは、ADC の変換結果を格納しています。エンコーディングはオフセット・バイナリです。または、セットアップ構成レジスタの BI_UNIPOLARx ビットによってユニポーラに変更できます。RDY ビットと $\overline{\text{RDY}}$ 出力がロー・レベルの場合、データ・レジスタを読み出すと、これらのビットはハイ・レベルになります。ADC の結果は、複数回読み出すことができます。ただし、RDY 出力がハイ・レベルになっているため、ADC の別の結果が差し迫っているかどうかを知ることはできません。このレジスタが読出しの状態にある間、ADC は新しい変換結果をレジスタに書き込みません。

表 31. DATA のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[23:0]	DATA		このレジスタには、ADC 変換結果が格納されます。インターフェース・モード・レジスタの DATA_STAT ビットがセットされると、読出し時にステータス・レジスタのデータが付加され、32 ビット・レジスタになります。インターフェース・モード・レジスタの WL16 が設定されると、このレジスタは 16 ビット長に短縮されます。	0x000000	R

GPIO 設定レジスタ

Address:0x06, Reset:0x0800, Name:GPIOCON

GPIO 設定レジスタは、ADC の汎用入出力ピンを制御します。

表 32. GPIOCON のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
15	RESERVED		0 に固定 (ユーザー使用不可)	0x0	R
14	PDSW		パワーダウン・スイッチ機能をイネーブル/ディスエーブルにするには、このビットを使用します。このビットをセットすると、ピンが電流をシンクできるようになります。この機能は、ブリッジのパワーアップ/パワーダウンをスイッチで制御するブリッジ・センサー・アプリケーションで使用できます。	0x0	RW
13	OP_EN2_3		このビットは GPO2 ピンと GPO3 ピンをイネーブルします。出力は、AVDD1 と AVSS との間の電圧を基準にした値です。	0x0	RW
12	MUX_IO		このビットにより、ADC は内部チャンネルのシーケンスに GPIO0/GPIO1/GPO2 を使用して、外部マルチプレクサを制御できるようになります。1 つのチャンネルに使用されるアナログ入力ピンは、そのまま入力チャンネルとして選択します。したがって、各アナログ入力ペア (AIN0/AIN1 ~ AIN6/AIN7) の前に 8 チャンネルのマルチプレクサを配置すれば、合計 32 個の差動チャンネルに設定できます。ただし、自動的にスキャンされるのは一度に 8 個のチャンネルのみです。8 個のチャンネルのシーケンスが終了したら、外部マルチプレクサによって供給される次の 8 個のチャンネルのシーケンスが開始される前に、SPI コマンドを使用して選択したアナログ入力ペアを変更する必要があります。 外部マルチプレクサからの切替え時に、アナログ入力がセトリングされるまでの時間を設定する遅延機能があります (ADC モード・レジスタセクションの DELAY ビットを参照)。	0x0	RW
11	SYNC_EN	0 1	このビットにより、SYNC ピンを同期入力として使用できるようになります。このピンがロー・レベルの場合は、SYNC ピンがハイ・レベルになるまで、このビットは ADC とフィルタをリセット状態に保持します。インターフェース・モード・レジスタ内の ALT_SYNC をセットすれば、SYNC ピンの動作を変更できます。このモードは、複数チャンネルがイネーブルになっている場合のみ動作します。この場合、SYNC ピンがロー・レベルになっても、フィルタと変調器は直ちにリセットされません。その代わりに、チャンネルが切り替わろうとするときに SYNC ピンがロー・レベルになると、変換器とフィルタで新しい変換が開始されなくなります。SYNC をハイ・レベルにすると、次の変換が開始されます。この代替同期モードにより、チャンネルの切替え時に SYNC を使用できるようになります。	0x1	RW
[10:9]	ERR_EN	00 01 10 11	これらのビットにより、ERROR ピンをエラー入出力として使用できるようになります。 00 ディスエーブル。 01 ERROR は、エラー入力。(反転された) リードバックの状態は、他のエラー原因との論理和 (OR) がとられ、ステータス・レジスタの ADC_ERROR ビットに送られ、確認することができます。ERROR ピンの状態は、このレジスタの ERR_DAT ビットから読み出すこともできます。 10 ERROR は、オープンドレインのエラー出力。ステータス・レジスタのエラー・ビットは、論理和 (OR) がとられ、反転されて、ERROR ピンにマップされます。複数のデバイスの ERROR ピンを共通のプルアップ抵抗にまとめて接続して、あらゆるデバイスのエラーを監視できます。 11 ERROR は汎用出力。このピンのステータスは、このレジスタの ERR_DAT ビットによって制御されます。この出力は、GPIO0 ピンで使われる AVDD1 および AVSS レベルとは異なり、IOVDD と DGND 間の電圧を基準にしています。この場合、ERROR ピンは、アクティブ・プルアップになります。	0x0	RW
8	ERR_DAT		ERROR ピンが汎用出力としてイネーブルになっている場合、このビットがピンでのロジック・レベルを決定します。このビットが入力としてイネーブルになっている場合、このビットは、このピンのリードバック・ステータスを反映します。	0x0	RW
7	GP_DATA3		このビットは、GPO3 の書込みデータ。	0x0	W
6	GP_DATA2		このビットは、GPO2 の書込みデータ。	0x0	W
5	IP_EN1	0	このビットは GPIO1 ピンを入力にします。入力、AVDD1 と AVSS との間の電圧を基準にした値です。 0 ディスエーブル。	0x0	RW

ビット	ビット名	設定	説明	リセット	アクセス
		1	イネーブル。		
4	IP_EN0	0 1	このビットは GPIO0 ピンを入力にします。入力、AVDD1 と AVSS との間 の電圧を基準にした値です。 ディスエーブル。 イネーブル。	0x0	RW
3	OP_EN1	0 1	このビットは GPIO1 ピンを出力にします。出力は、AVDD1 と AVSS との間 の電圧を基準にした値です。 ディスエーブル。 イネーブル。	0x0	RW
2	OP_EN0	0 1	このビットは GPIO0 ピンを出力にします。出力は、AVDD1 と AVSS との間 の電圧を基準にした値です。 ディスエーブル。 イネーブル。	0x0	RW
1	GP_DATA1		このビットは、GPIO1 のリードバックまたは書き込みデータです。	0x0	RW
0	GP_DATA0		このビットは、GPIO0 のリードバックまたは書き込みデータです。	0x0	RW

ID レジスタ

Address:0x07, Reset:0x205X, Name:ID

ID レジスタを読み出すと、16 ビットの ID コードが返されます。AD7172-4 では、この ID は 0x205X です。

表 33. ID のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[15:0]	ID	0x205X	ID レジスタは、この ADC 固有の 16 ビットの ID コードを返します。 AD7172-4	0x205X	R

チャンネル・レジスタ 0

Address:0x10, Reset:0x8001, Name:CH0

チャンネル・レジスタは 16 ビットのレジスタです。現在アクティブなチャンネル、各チャンネルの入力、チャンネル用の ADC の設定に使用するセットアップを選択するには、このレジスタを使用します。

表 34. CH0 のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
15	CH_EN0	0 1	このビットはチャンネル 0 をイネーブルにします。複数のチャンネルがイネーブルになっている場合、ADC はこれらのチャンネルを自動的にスキャンします。 ディスエーブル イネーブル (デフォルト)	0x1	RW
[14:12]	SETUP_SEL0	000 001 010 011 100 101 110 111	これらのビットは、このチャンネル用の ADC の設定に使用するセットアップ (8 個のセットアップのいずれか) を特定します。セットアップは、セットアップ構成レジスタ、フィルタ設定レジスタ、オフセット・レジスタ、ゲイン・レジスタの 4 つのレジスタで構成されています。すべてのチャンネルで同じセットアップを使用するように設定できます。この場合、すべてのアクティブなチャンネルのこれらのビットに同じ 2 ビット値を書き込む必要があります。または、最大 8 つのチャンネルを異なる設定にすることができます。 セットアップ 0 セットアップ 1 セットアップ 2 セットアップ 3 セットアップ 4 セットアップ 5 セットアップ 6 セットアップ 7	0x0	RW
[11:10]	RESERVED		0 に固定 (ユーザー使用不可)	0x0	R
[9:5]	AINPOS0	00000 00001 00010 00011 00100 00101 00110 00111 01000 10011 10100 10101 10110	ADC チャンネルの正側 (非反転) 入力にどのアナログ入力ピンを接続するか選択するには、これらのビットを使用します。 AIN0 (デフォルト) AIN1 AIN2 AIN3 AIN4 AIN5 AIN6 AIN7 AIN8 $((AVDD1 - AVSS)/5) +$ (アナログ入力バッファを必ずイネーブルにしてください) $((AVDD1 - AVSS)/5) -$ (アナログ入力バッファを必ずイネーブルにしてください) REF+ REF-	0x0	RW
[4:0]	AINNEG0	00000 00001 00010 00011 00100 00101 00110 00111 01000 10011 10100 10101 10110	ADC チャンネルの負側 (反転) 入力にどのアナログ入力ピンを接続するか選択するには、これらのビットを使用します。 AIN0 AIN1 (デフォルト) AIN2 AIN3 AIN4 AIN5 AIN6 AIN7 AIN8 $((AVDD1 - AVSS)/5) +$ $((AVDD1 - AVSS)/5) -$ REF+ REF-	0x1	RW

チャンネル・レジスタ 1 ～ チャンネル・レジスタ 7

Address:0x11 to 0x17, Reset:0x0001, Name:CH1 to CH7

残り 7 つのチャンネル・レジスタは、チャンネル・レジスタ 0 と同じレイアウトです。

表 35. CH1 ～ CH7 レジスタ・マップ

Reg.	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	RW
0x11	CH1	[15:8]	CH_EN1	SETUP_SEL1			RESERVED		AINPOS1[4:3]		0x0001	RW
		[7:0]	AINPOS1[2:0]			AINNEG1						
0x12	CH2	[15:8]	CH_EN2	SETUP_SEL2			RESERVED		AINPOS2[4:3]		0x0001	RW
		[7:0]	AINPOS2[2:0]			AINNEG2						
0x13	CH3	[15:8]	CH_EN3	SETUP_SEL3			RESERVED		AINPOS3[4:3]		0x0001	RW
		[7:0]	AINPOS3[2:0]			AINNEG3						
0x14	CH4	[15:8]	CH_EN4	SETUP_SEL4			RESERVED		AINPOS4[4:3]		0x0001	RW
		[7:0]	AINPOS4[2:0]			AINNEG4						
0x15	CH5	[15:8]	CH_EN5	SETUP_SEL5			RESERVED		AINPOS5[4:3]		0x0001	RW
		[7:0]	AINPOS5[2:0]			AINNEG5						
0x16	CH6	[15:8]	CH_EN6	SETUP_SEL6			RESERVED		AINPOS6[4:3]		0x0001	RW
		[7:0]	AINPOS6[2:0]			AINNEG6						
0x17	CH7	[15:8]	CH_EN7	SETUP_SEL7			RESERVED		AINPOS7[4:3]		0x0001	RW
		[7:0]	AINPOS7[2:0]			AINNEG7						

セットアップ構成レジスタ 0

Address:0x20, Reset:0x1000, Name:SETUPCON0

セットアップ構成レジスタは 16 ビットのレジスタで、リファレンス電圧、入力バッファ、バーンアウト電流、および ADC の出力コーディングの構成に使用します。

表 36. SETUPCON0 のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[15:13]	RESERVED		0 に固定 (ユーザー使用不可)	0x0	R
12	BI_UNIPOLAR0	0 ユニポーラ・コーディング出力 1 バイポーラ・コーディング出力 (オフセット・バイナリ)	Setup 0 の ADC の出力コーディングを設定するには、このビットを使用します。	0x1	RW
11	REFBUF0+	0 REF+ バッファはディセーブル 1 REF+ バッファはイネーブル	REF+ 入力バッファをイネーブル/ディセーブルにするには、このビットを使用します。	0x0	RW
10	REFBUF0-	0 REF- バッファはディセーブル 1 REF- バッファはイネーブル	REF- 入力バッファをイネーブル/ディセーブルにするには、このビットを使用します。	0x0	RW
9	AINBUF0+	0 AIN+ バッファはディセーブル 1 AIN+ バッファはイネーブル	AIN+ 入力バッファをイネーブル/ディセーブルにするには、このビットを使用します。	0x0	RW
8	AINBUF0-	0 AIN- バッファはディセーブル 1 AIN- バッファはイネーブル	AIN- 入力バッファをイネーブル/ディセーブルにするには、このビットを使用します。	0x0	RW
7	BURNOUT_EN0		選択された正側 (非反転) アナログ入力の 10 μ A 電流ソースと、選択された負側 (反転) アナログ入力の 10 μ A 電流シンクをイネーブルにするには、このビットを使用します。これらのバーンアウト電流が接続されていると、配線がオープンなとき、ADC の結果がフル・スケールになるので、断線の診断に有用です。測定中にバーンアウト電流をイネーブルすると、ADC にオフセット電圧が生じます。高精度な測定の前後にバーンアウト電流を断続的にオンにするのが、断線の診断に最適です。	0x00	R
6	RESERVED		0 に固定 (ユーザー使用不可)	0x00	R
[5:4]	REF_SEL0	00 REF+ ピンと REF- ピンに供給される外部リファレンス。 01 AIN1/REF2+ ピンと AIN0/REF2- ピンに供給される外部リファレンス 2。 11 AVDD1 - AVSS。これは、他のリファレンス値を検証するための診断機能として使用できます。	これらのビットにより、Setup 0 で ADC 変換のリファレンス電源を選択できます。	0x0	RW
[3:0]	RESERVED		0 に固定 (ユーザー使用不可)	0x0	R

セットアップ構成レジスタ 1 ～ セットアップ構成レジスタ 7

Address:0x21 to 0x27, Reset:0x1000, Name:SETUPCON1 to SETUPCON7

残り 7 つのセットアップ構成レジスタは、セットアップ構成レジスタ 0 と同じレイアウトです。

表 37. SETUPCON1 ～ SETUPCON7 レジスタ・マップ

Reg.	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	RW
0x21	SETUPCON1	[15:8]	RESERVED			BI_UNIPOLAR1	REFBUF1+	REFBUF1-	AINBUF1+	AINBUF1-	0x1000	RW
		[7:0]	BURNOUT_EN1	RESERVED		REF_SEL1	RESERVED					
0x22	SETUPCON2	[15:8]	RESERVED			BI_UNIPOLAR2	REFBUF2+	REFBUF2-	AINBUF2+	AINBUF2-	0x1000	RW
		[7:0]	BURNOUT_EN2	RESERVED		REF_SEL2	RESERVED					
0x23	SETUPCON3	[15:8]	RESERVED			BI_UNIPOLAR3	REFBUF3+	REFBUF3-	AINBUF3+	AINBUF3-	0x1000	RW
		[7:0]	BURNOUT_EN3	RESERVED		REF_SEL3	RESERVED					
0x24	SETUPCON4	[15:8]	RESERVED			BI_UNIPOLAR4	REFBUF4+	REFBUF4-	AINBUF4+	AINBUF4-	0x1000	RW
		[7:0]	BURNOUT_EN4	RESERVED		REF_SEL4	RESERVED					
0x25	SETUPCON5	[15:8]	RESERVED			BI_UNIPOLAR5	REFBUF5+	REFBUF5-	AINBUF5+	AINBUF5-	0x1000	RW
		[7:0]	BURNOUT_EN5	RESERVED		REF_SEL5	RESERVED					
0x26	SETUPCON6	[15:8]	RESERVED			BI_UNIPOLAR6	REFBUF6+	REFBUF6-	AINBUF6+	AINBUF6-	0x1000	RW
		[7:0]	BURNOUT_EN6	RESERVED		REF_SEL6	RESERVED					
0x27	SETUPCON7	[15:8]	RESERVED			BI_UNIPOLAR7	REFBUF7+	REFBUF7-	AINBUF7+	AINBUF7-	0x1000	RW
		[7:0]	BURNOUT_EN7	RESERVED		REF_SEL7	RESERVED					

フィルタ設定レジスタ 0

Address:0x28, Reset:0x0500, Name:FILTCON0

フィルタ設定レジスタは 16 ビットのレジスタで、ADC のデータ・レートとフィルタ・オプションの構成に使用します。これらのレジスタに書き込むと、アクティブな ADC による変換はすべてリセットされ、最初のチャンネルから順番に変換が再スタートします。

表 38. FILTCON0 のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
15	SINC3_MAP0		このビットを変更すると、Sinc3 フィルタのデシメーション・レートを直接プログラムするように Setup 0 に対するフィルタ設定レジスタのマッピングが変化します。他のオプションはすべて消去されます。これにより、出力データ・レートおよび特定の周波数成分を除去するフィルタ・ノッチの微調整が可能になります。シングル・チャンネルのデータ・レートは $f_{MOD}/(32 \times FILTCON0[14:0])$ と等しくなります。	0x0	RW
[14:12]	RESERVED		0 に固定 (ユーザー使用不可)	0x0	R
11	ENHFILTEN0	0 1	このビットにより、Setup 0 に対して 50 Hz/60 Hz の強化された除去用の各種ポストフィルタがイネーブルになります。この機能を有効にするには、ORDER ビットも 00 に設定し、Sinc5 + Sinc1 フィルタを選択する必要があります。 0 ディスエーブル 1 イネーブル	0x0	RW
[10:8]	ENHFILT0	010 011 101 110	Setup 0 に対して 50 Hz/60 Hz の強化された除去用の各種ポストフィルタを選択するには、このビットを選択します。 010 27 SPS、除去比: 47 dB、セトリング時間: 36.7 ms 011 21.25 SPS、除去比: 62 dB、セトリング時間: 40 ms 101 20 SPS、除去比: 86 dB、セトリング時間: 50 ms 110 16.67 SPS、除去比: 92 dB、セトリング時間: 60 ms	0x5	RW
7	RESERVED		0 に固定 (ユーザー使用不可)	0x0	R
[6:5]	ORDER0	00 11	変調器データを処理するデジタフ・フィルタの次数を制御するには、これらのビットを使用します。 00 Sinc5 + sinc1 (デフォルト) 11 Sinc3	0x0	RW
[4:0]	ODR0	00000 00001 00010 00011 00100 00101 00110 00111 01000 01001 01010 01011 01100 01101 01110 01111 10000 10001 10010 10011 10100 10101 10110	これらのビットを使用して、ADC の出力データ・レートを制御しますが、結果として Setup 0 のセトリング時間とノイズの値も変化します。記載のレートは、Sinc5 + Sinc1 フィルタのものです。表 20 ~ 表 23 を参照してください。 31,250 31,250 31,250 31,250 31,250 31,250 15,625 10,417 5208 2597 1007 503.8 381 200.3 100.2 59.52 49.68 20.01 16.63 10 5 2.5 1.25	0x0	RW

フィルタ設定レジスタ 1 ～ フィルタ設定レジスタ 7

Address:0x29 to 0x2F, Reset:0x0500, Name:FILTCON1 to FILTCON7

残り 7 つのフィルタ設定レジスタは、フィルタ設定レジスタ 0 と同じレイアウトです。

表 39. FILTCON1 ～ FILTCON7 レジスタ・マップ

Reg.	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	RW
0x29	FILTCON1	[15:8]	SINC3_MAP1	RESERVED			ENHFILTEN1	ENHFILT1			0x0500	RW
		[7:0]	RESERVED	ORDER1		ODR1						
0x2A	FILTCON2	[15:8]	SINC3_MAP2	RESERVED			ENHFILTEN2	ENHFILT2			0x0500	RW
		[7:0]	RESERVED	ORDER2		ODR2						
0x2B	FILTCON3	[15:8]	SINC3_MAP3	RESERVED			ENHFILTEN3	ENHFILT3			0x0500	RW
		[7:0]	RESERVED	ORDER3		ODR3						
0x2C	FILTCON4	[15:8]	SINC3_MAP4	RESERVED			ENHFILTEN4	ENHFILT4			0x0500	RW
		[7:0]	RESERVED	ORDER4		ODR4						
0x2D	FILTCON5	[15:8]	SINC3_MAP5	RESERVED			ENHFILTEN5	ENHFILT5			0x0500	RW
		[7:0]	RESERVED	ORDER5		ODR5						
0x2E	FILTCON6	[15:8]	SINC3_MAP6	RESERVED			ENHFILTEN6	ENHFILT6			0x0500	RW
		[7:0]	RESERVED	ORDER6		ODR6						
0x2F	FILTCON7	[15:8]	SINC3_MAP7	RESERVED			ENHFILTEN7	ENHFILT7			0x0500	RW
		[7:0]	RESERVED	ORDER7		ODR7						

オフセット・レジスタ 0

Address:0x30, Reset:0x800000, Name:OFFSET0

オフセット (ゼロスケール) レジスタは、ADC またはシステムのオフセット誤差を補正するための 24 ビットのレジスタです。

表 40. OFFSET0 のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[23:0]	OFFSET0		Setup 0 用のオフセット・キャリブレーション係数	0x800000	RW

オフセット・レジスタ 1 ～ オフセット・レジスタ 7

Address:0x31 to 0x33, Reset:0x800000, Name:OFFSET1 to OFFSET7

残り 7 つのオフセット・レジスタは、オフセット・レジスタ 0 と同じレイアウトです。

表 41. OFFSET1 ～ OFFSET7 レジスタ・マップ

Reg.	Name	Bits	Reset	RW
0x31	OFFSET1	[23:0]	OFFSET1[23:0]	RW
0x32	OFFSET2	[23:0]	OFFSET2[23:0]	RW
0x33	OFFSET3	[23:0]	OFFSET3[23:0]	RW
0x34	OFFSET4	[23:0]	OFFSET4[23:0]	RW
0x35	OFFSET5	[23:0]	OFFSET5[23:0]	RW
0x36	OFFSET6	[23:0]	OFFSET6[23:0]	RW
0x37	OFFSET7	[23:0]	OFFSET7[23:0]	RW

ゲイン・レジスタ 0

Address:0x38, Reset:0x5XXXX0, Name:GAIN0

ゲイン (フルスケール) レジスタは、ADC またはシステムのゲイン誤差を補正するための 24 ビットのレジスタです。

表 42. GAIN0 のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[23:0]	GAIN0		Setup 0 のゲイン・キャリブレーション係数。	0x5XXXX0	RW

ゲイン・レジスタ 1 ～ ゲイン・レジスタ 7

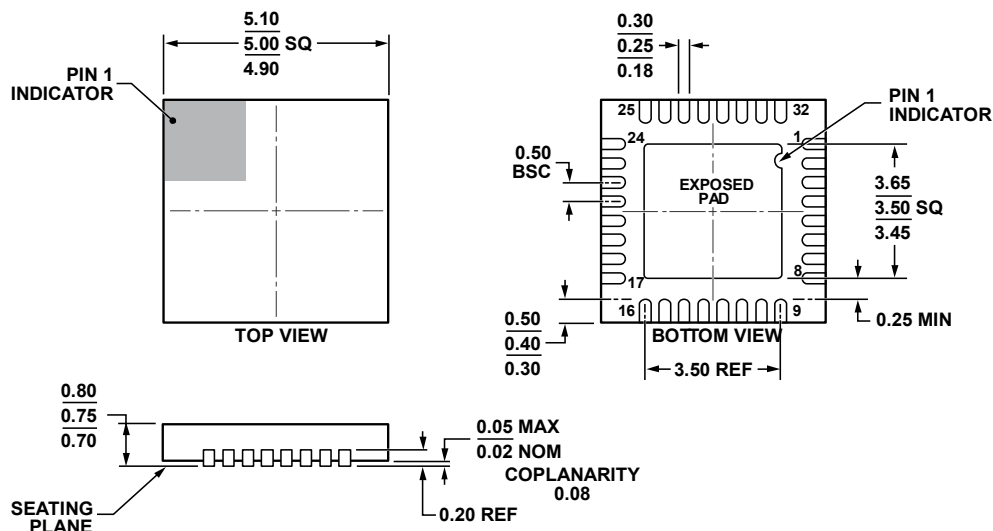
Address:0x39 to 0x3F, Reset:0x5XXXX0, Name:GAIN1 to GAIN7

残り 7 つのゲイン・レジスタは、ゲイン・レジスタ 0 と同じレイアウトです。

表 43. GAIN1 ～ GAIN7 レジスタ・マップ

Reg.	Name	Bits		Reset	RW
0x39	GAIN1	[23:0]	GAIN1[23:0]	0x5XXXX0	RW
0x3A	GAIN2	[23:0]	GAIN2[23:0]	0x5XXXX0	RW
0x3B	GAIN3	[23:0]	GAIN3[23:0]	0x5XXXX0	RW
0x3C	GAIN4	[23:0]	GAIN4[23:0]	0x5XXXX0	RW
0x3D	GAIN5	[23:0]	GAIN5[23:0]	0x5XXXX0	RW
0x3E	GAIN6	[23:0]	GAIN6[23:0]	0x5XXXX0	RW
0x3F	GAIN7	[23:0]	GAIN7[23:0]	0x5XXXX0	RW

外形寸法



COMPLIANT TO JEDEC STANDARDS MO-220-WHHD.

図 72.32 ピンのリード・フレーム・チップ・スケール・パッケージ[LFCSP_VQ]
 5 mm × 5 mm ボディ、極薄クワッド
 (CP-32-11)
 寸法 (ミリ単位)

04-02-2012-A

オーダー・ガイド

Models ¹	Temperature Range	Package Description	Package Option
AD7172-4BCPZ	-40°C to +105°C	32 ピンのリード・フレーム・チップ・スケール・パッケージ [LFCSP_VQ]	CP-32- 11
AD7172-4BCPZ-RL	-40°C to +105°C	32 ピンのリード・フレーム・チップ・スケール・パッケージ [LFCSP_VQ]	CP-32- 11
AD7172-4BCPZ-RL7	-40°C to +105°C	32 ピンのリード・フレーム・チップ・スケール・パッケージ [LFCSP_VQ]	CP-32- 11

¹ Z = RoHS 準拠製品