

特長

電流シンク: 120 mA
2線式(I²C 互換) 1.8 V シリアル・インターフェースを内蔵
10 ビット分解能
電流検出抵抗を内蔵
電源: 2.7 V~5.5 V
すべてのコードで単調性を保証
パワーダウン電流: 0.5 μ A (typ)
リファレンス電圧を内蔵
超ローノイズのプリアンプを内蔵
パワーダウン機能
パワーオン・リセット
3 × 3 アレイのWLCSP パッケージを採用

アプリケーション

民生用
レンズ・オートフォーカス
手振れ補正
光学ズーム
シャッタ
絞り/露光
ニュートラル・フィルタ
レンズ・カバー
カメラ付き携帯電話
デジタル静止画カメラ
カメラ・モジュール
デジタル・ビデオ・カメラ/ビデオ・カメラ
カメラ付きデバイス
セキュリティ・カメラ
Web/PC カメラ

工業用

ヒーター制御
ファン制御
クーラー(ペルチェ)制御
ソレノイド・コントロール
バルブ制御
リニア・アクチュエータ制御
光制御
電流ループ制御

概要

AD5398A は、電流シンク出力能力 120 mA の 10 ビット・シングル D/A コンバータ(DAC)です。リファレンス電圧を内蔵し、2.7 V~5.5 V の単電源で動作します。この DAC は、最大 400 kHz のクロック・レートで動作する 2 線式(1.8 V, I²C®互換)シリアル・インターフェースを経由して制御されます。

AD5398A はパワーオン・リセット回路を採用しているため、DAC 出力をゼロにしてパワーアップし、有効な書き込みがあるまでこの出力状態を維持します。また、デバイスの消費電流を 0.5 μ A (typ)に削減するパワーダウン機能も内蔵しています。

AD5398A は、カメラ付き携帯電話、デジタル静止画カメラ、ビデオ・カメラでのオートフォーカス、手振れ補正、光ズーム・アプリケーション向けにデザインされています。また、AD5398A は、温度、光、移動を-30°C~+85°C の温度範囲で性能低下なしで制御するなどの、多くの工業用アプリケーションにも適しています。AD5398A の I²C アドレス範囲は 0x18~0x1F です。

機能ブロック図

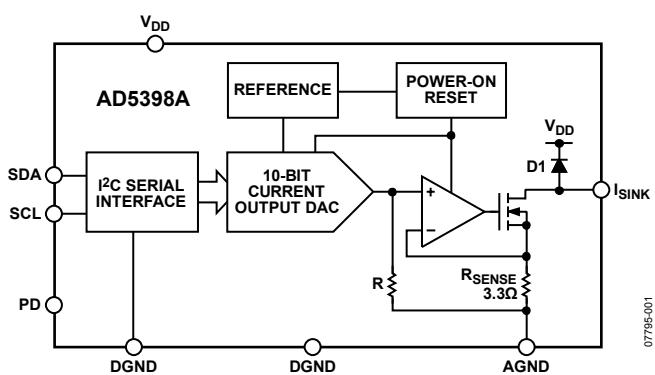


図1.

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、各社の所有に属します。
※日本語データシートは REVISION が古い場合があります。最新の内容については、英語版をご参照ください。

目次

特長	1	代表的な性能特性	7
アプリケーション	1	用語	9
概要	1	動作原理	10
機能ブロック図	1	シリアル・インターフェース	10
改訂履歴	2	I ² Cバスの動作	10
仕様	3	データ・フォーマット	11
AC仕様	4	電源のバイパスとグラウンド接続	12
タイミング仕様	4	アプリケーション情報	13
絶対最大定格	5	外形寸法	14
ESDの注意	5	オーダー・ガイド	14
ピン配置およびピン機能説明	6		

改訂履歴

10/08—Revision 0: Initial Version

仕様

特に指定がない限り、 $V_{DD} = 2.7\text{ V} \sim 5.5\text{ V}$ 、 $AGND = DGND = 0\text{ V}$ 、負荷抵抗(R_L) = 25Ω (V_{DD} へ接続)、すべての仕様は $T_{MIN} \sim T_{MAX}$ 。

表1.

Parameter	Min	B Version ¹ Typ	Max	Unit	Test Conditions/Comments
DC PERFORMANCE					
Resolution		10		Bits	$V_{DD} = 3.6\text{ V}$ to 4.5 V ; device operates over 2.7 V to 5.5 V with reduced performance
Relative Accuracy ²		± 1.5	± 4	LSB	$117\text{ }\mu\text{A}/\text{LSB}$
Differential Nonlinearity ^{2, 3}			± 1	LSB	Guaranteed monotonic over all codes
Zero Code Error ^{2, 4}	0	0.5	1	mA	All 0s loaded to DAC
Offset Error @ Code 16 ²		0.5		mA	
Gain Error ²			± 0.6	% of FSR	at 25°C
Offset Error Drift ^{2, 4, 5}		10		$\mu\text{A}/^\circ\text{C}$	
Gain Error Drift ^{2, 5}		± 0.2	± 0.5	LSB/ $^\circ\text{C}$	
OUTPUT CHARACTERISTICS					
Minimum Sink Current ⁴		3		mA	
Maximum Sink Current		120		mA	$V_{DD} = 3.6\text{ V}$ to 4.5 V ; device operates over 2.7 V to 5.5 V ; specified maximum sink current may not be achieved
Output Current During PD ⁵		80		nA	PD = 1
Output Compliance ⁵	0.6		V_{DD}	V	Output voltage range over which maximum 120 mA sink current is available
Output Compliance ⁵	0.48		V_{DD}	V	Output voltage range over which 90 mA sink current is available
Power-Up Time ⁵		20		μs	To 10% of FS, coming out of power-down mode; $V_{DD} = 5\text{ V}$
LOGIC INPUT (PD) ⁵					
Input Current			± 1	μA	
Input Low Voltage, V_{INL}			0.54	V	$V_{DD} = 2.7\text{ V}$ to 5.5 V
Input High Voltage, V_{INH}	1.26			V	$V_{DD} = 2.7\text{ V}$ to 5.5 V
Pin Capacitance		3		pF	
LOGIC INPUTS (SCL, SDA) ⁵					
Input Low Voltage, V_{INL}	-0.3		+0.54	V	$V_{DD} = 2.7\text{ V}$ to 3.6 V
Input High Voltage, V_{INH}	1.26		$V_{DD} + 0.3$	V	$V_{DD} = 2.7\text{ V}$ to 3.6 V
Input Low Voltage, V_{INL}	-0.3		+0.54	V	$V_{DD} = 3.6\text{ V}$ to 5.5 V
Input High Voltage, V_{INH}	1.4		$V_{DD} + 0.3$	V	$V_{DD} = 3.6\text{ V}$ to 5.5 V
Input Leakage Current, I_{IN}			± 1	μA	$V_{IN} = 0\text{ V}$ to V_{DD}
Input Hysteresis, V_{HYST}	0.05 V_{DD}			V	
Digital Input Capacitance, C_{IN}		6		pF	
Glitch Rejection ⁶			50	ns	Pulse width of spike suppressed
POWER REQUIREMENTS					
V_{DD}	2.7		5.5	V	
I_{DD} (Normal Mode)		0.5	1	mA	I_{DD} specification is valid for all DAC codes; $V_{IH} = V_{DD}$, $V_{IL} = GND$, $V_{DD} = 5.5\text{ V}$
I_{DD} (Power-Down Mode) ⁷		0.5		μA	$V_{IH} = V_{DD}$, $V_{IL} = GND$, $V_{DD} = 3\text{ V}$

¹ B バージョンの温度範囲は $-30^\circ\text{C} \sim +85^\circ\text{C}$ 。

² 用語のセクション参照。

³ 直線性はコード範囲を縮小してテスト(コード 32~1023)。

⁴ ゼロに近い出力電流を実現するときは、パワーダウン機能を使ってください。

⁵ デザインとキャラクタライゼーションにより保証しますが、出荷テストは行いません。VS はアクティブ・ハイ。SDA と SCL のプルアップ抵抗は 1.8 V に接続されています。

⁶ SCL と SDA の入力フィルタリングにより、ノイズ・スパイクを 50 ns 以下に抑圧。

⁷ PD はアクティブ・ハイ。PD をハイ・レベルにすると、AD5398A はパワーダウン・モードになります。

AC 仕様

特に指定がない限り、 $V_{DD} = 2.7 \text{ V} \sim 5.5 \text{ V}$ 、AGND = DGND = 0 V、 $R_L = 25 \Omega$ (V_{DD} へ接続)。

表2.

Parameter	B Version ^{1,2}			Unit	Test Conditions/Comments
	Min	Typ	Max		
Output Current Settling Time	250			μs	$V_{DD} = 5 \text{ V}$, $R_L = 25 \Omega$, $L_L = 680 \mu\text{H}$ ¼ scale to ¾ scale change (0x100 to 0x300)
Slew Rate	0.3			mA/μs	
Major Code Change Glitch Impulse	0.15			nA-sec	1 LSB change around major carry
Digital Feedthrough ³	0.06			nA-sec	

¹ B バージョンの温度範囲は-30°C～+85°C。

² デザインとキャラクタライゼーションにより保証しますが、出荷テストは行いません。

³ 用語のセクション参照。

タイミング仕様

$V_{DD} = 2.7 \text{ V} \sim 5.5 \text{ V}$ 。特に指定がない限り、すべての仕様は $T_{MIN} \sim T_{MAX}$ で規定。

表3.

Parameter ¹	B Version		Unit	Description
	Limit at T_{MIN} , T_{MAX}			
f_{SCL}	400		kHz max	SCL clock frequency
t_1	2.5		μs min	SCL cycle time
t_2	0.6		μs min	t_{HIGH} , SCL high time
t_3	1.3		μs min	t_{LOW} , SCL low time
t_4	0.6		μs min	$t_{HD, STA}$, start/repeated start condition hold time
t_5	100		ns min	$t_{SU, DAT}$, data setup time
t_6 ²	0.9		μs max	$t_{HD, DAT}$, data hold time
	0		μs min	
t_7	0.6		μs min	$t_{SU, STA}$, setup time for repeated start
t_8	0.6		μs min	$t_{SU, STO}$, stop condition setup time
t_9	1.3		μs min	t_{BUF} , bus free time between a stop condition and a start condition
t_{10}	300		ns max	t_R , rise time of both SCL and SDA when receiving
	0		ns min	Can be CMOS driven
t_{11}	250		ns max	t_F , fall time of SDA when receiving
	300		ns max	t_F , fall time of both SCL and SDA when transmitting
C_b	$20 + 0.1 C_b$ ³		ns min	
	400		pF max	Capacitive load for each bus line

¹ デザインとキャラクタライゼーションにより保証しますが、出荷テストは行いません。

² SCL の立ち下がりエッジの不定領域を避けるため、マスター・デバイスは、SDA 信号に対して最小 300 ns のホールド・タイムを保証する必要があります (SCL 信号の $V_{IH MIN}$ を基準として)。

³ C_b は 1 本のバス・ラインの合計容量(pF)です。 t_R と t_F は、0.3V_{DD} と 0.7V_{DD} との間で測定。

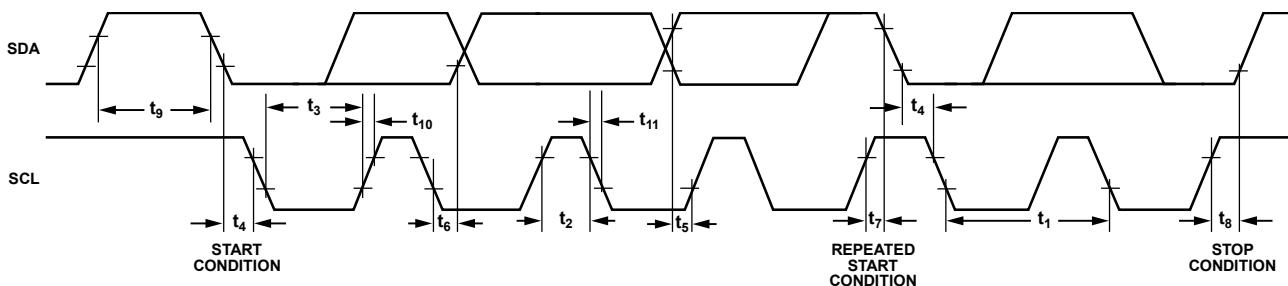


図2.2 線式シリアル・インターフェースのタイミング図

絶対最大定格

特に指定がない限り、 $T_A = 25^\circ\text{C}$ ¹。

表4.

Parameter	Rating
V_{DD} to AGND	-0.3 V to +7 V
V_{DD} to DGND	-0.3 V to $V_{DD} + 0.3$ V
AGND to DGND	-0.3 V to +0.3 V
SCL, SDA to DGND	-0.3 V to $V_{DD} + 0.3$ V
PD to DGND	-0.3 V to $V_{DD} + 0.3$ V
I_{SINK} to AGND	-0.3 V to $V_{DD} + 0.3$ V
Operating Temperature Range	
Industrial (B Version)	-40°C to +85°C
Storage Temperature Range	-65°C to +150°C
Junction Temperature (T_J max)	150°C
θ_{JA} Thermal Impedance ²	
Mounted on 2-Layer Board	84°C/W
Mounted on 4-Layer Board	48°C/W
Lead Temperature, Soldering	
Maximum Peak Reflow Temperature ³	260°C ($\pm 5^\circ\text{C}$)

¹最大 100 mA までの過渡電流では SCR ラッチ・アップは生じません。

²最適 θ_{JA} を実現するためには、AD5398A を 4 層ボードにハンダ付けすることが推奨されます。

³J-STD-020C に準拠。

上記の絶対最大定格を超えるストレスを加えるとデバイスに恒久的な損傷を与えることがあります。この規定はストレス定格の規定のみを目的とするものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くとデバイスの信頼性に影響を与えます。同時に複数の絶対最大定格条件を適用することはできません。

ESD の注意

	<p>ESD (静電放電) の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵していますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。</p>
---	---

ピン配置およびピン機能説明

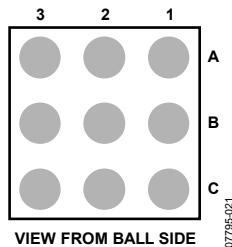


図3.9 ボール WLCSP のピン配置

表5.9 ボール WLCSP のピン機能説明

ピン番号	記号	説明
A1	I_{SINK}	出力電流シンク。
A2	NC	未接続。
A3	PD	パワーダウン。非同期パワーダウン信号。
B1	AGND	アナログ・グラウンド・ピン。
B2	DGND	デジタル・グラウンド・ピン。
B3	SDA	I ² C インターフェース信号。
C1	DGND	デジタル・グラウンド・ピン。
C2	V_{DD}	デジタル電源電圧。
C3	SCL	I ² C インターフェース信号。

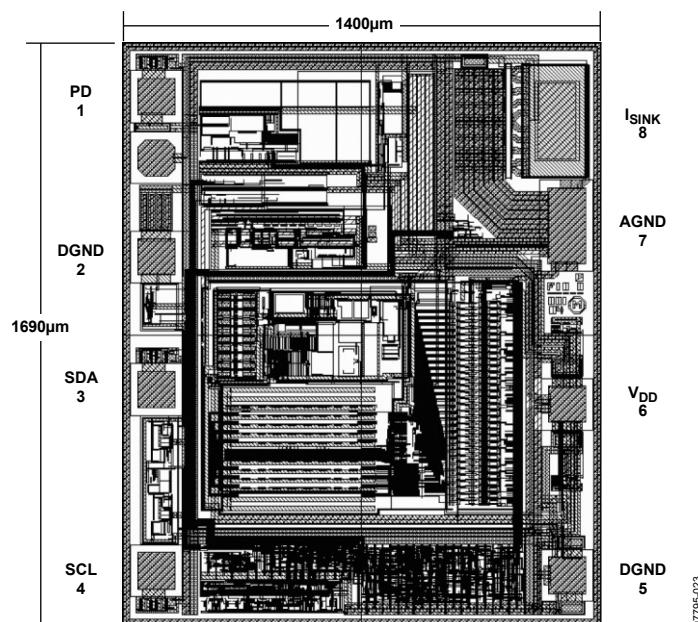


図4.メタル配線の写真
寸法: μm
最新寸法については当社にお尋ねください

代表的な性能特性

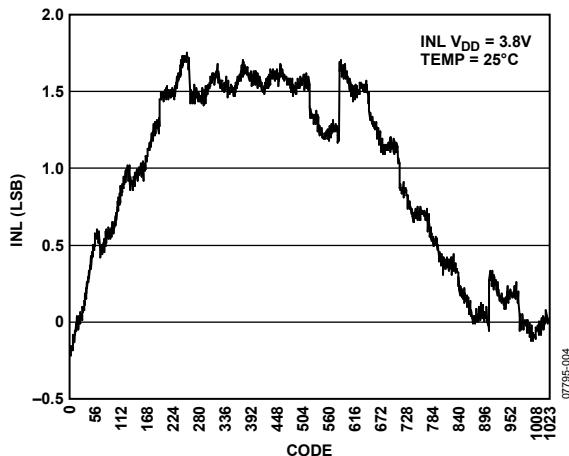


図5. INL (typ)対コードのプロット

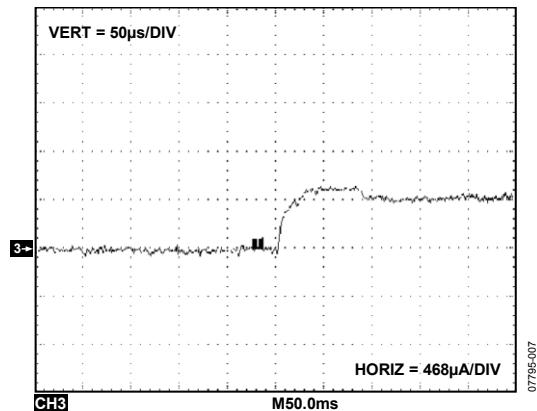
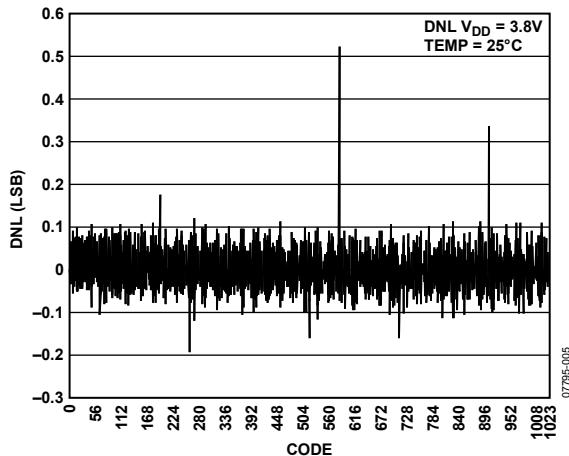
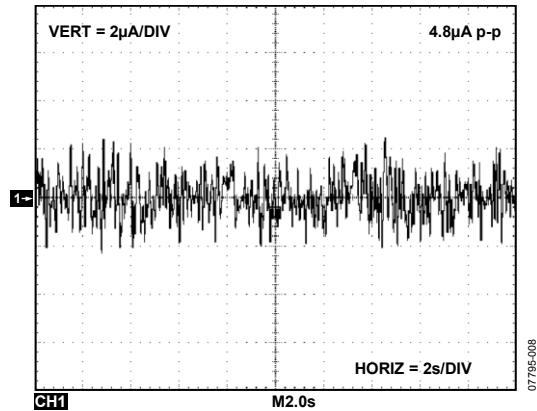
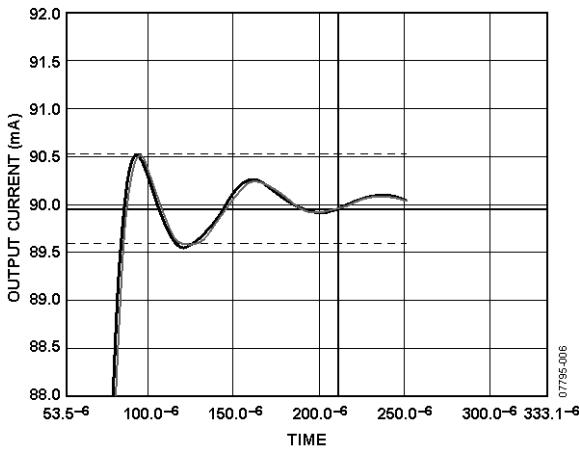
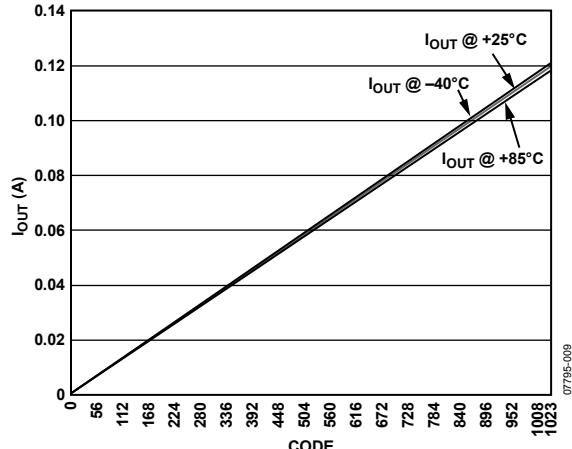
図8. 4LSB ステップに対するセッティング・タイム($V_{DD} = 3.6$ V)

図6.DNL (typ)対コードのプロット

図9.0.1 Hz~10 Hz のノイズ・プロット($V_{DD} = 3.6$ V)図7.1/4から3/4スケールへのセッティング・タイム($V_{DD} = 3.6$ V)図10.シンク電流対コード対温度($V_{DD} = 3.6$ V)

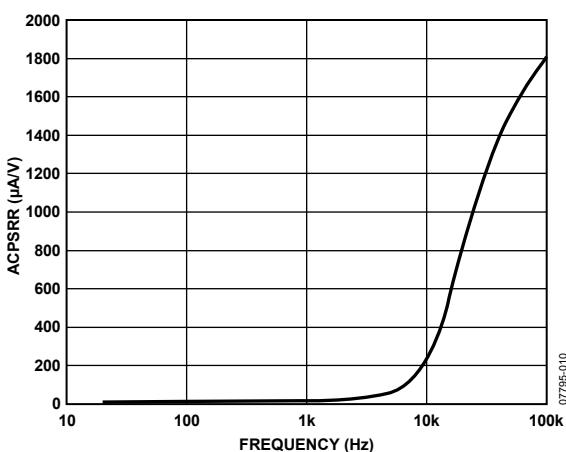
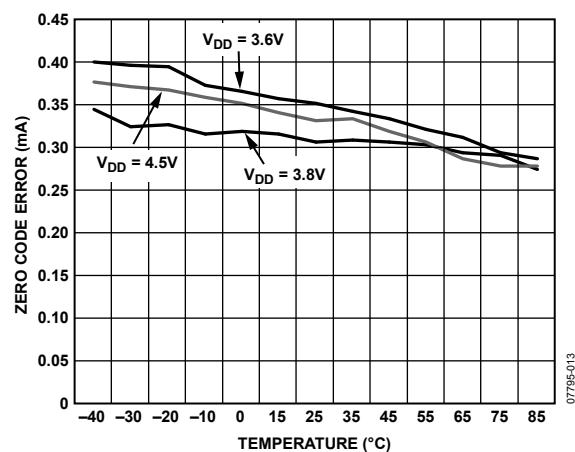
図11.AC 電源除去比($V_{DD} = 3.6$ V)

図14.ゼロ・コード誤差対温度対電源電圧

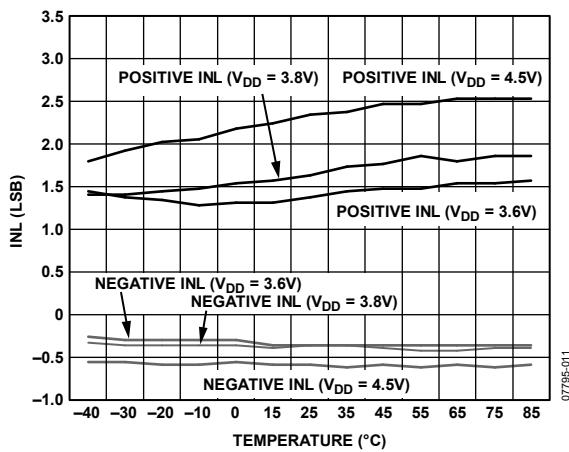


図12.INL 対温度対電源電圧

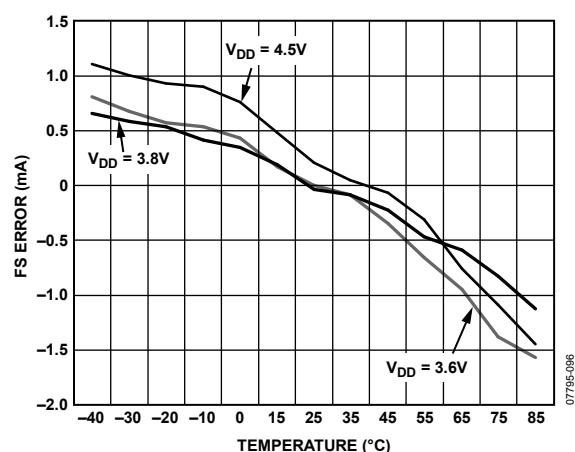


図15.フル・スケール誤差対温度対電源電圧

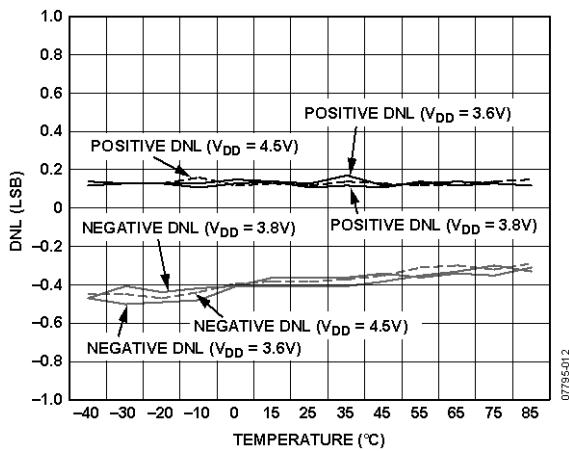


図13.DNL 対温度対電源電圧

用語

相対精度

DAC の場合、相対精度すなわち積分非直線性は、DAC 伝達関数の上下両端を結ぶ直線からの最大乖離(LSB 数で表示)を表します。INL(typ)対コードのプロットを図 5に示します。

微分非直線性(DNL)

微分非直線性(DNL)は、隣接する 2 つのコードの間における測定された変化と理論的な 1 LSB 変化との差をいいます。最大 1 LSB の微分非直線性の仕様は、単調性を保証するものです。この DAC はデザインにより単調性を保証しています。DNL(typ)対コードのプロットを図 6に示します。

ゼロ・コード誤差

ゼロ・コード誤差は、ゼロ・コード(0x0000)を DAC レジスタにロードしたときの出力として測定されます。理論的には出力は 0 mA です。AD5398A では DAC 出力が 0 mA を下回ることができないため、ゼロ・コード誤差は常に正です。これは、DAC と出力アンプのオフセット誤差の組み合わせによりゼロ・コード誤差が発生するためです。ゼロ・コード誤差は mA で表します。

ゲイン誤差

ゲイン誤差は、DAC 振幅誤差の測定値です。理論値からの実際の DAC 伝達特性の傾きの差をフル・スケール範囲のパーセント値で表したものです。

ゲイン誤差ドリフト

ゲイン誤差ドリフトは、温度変化によるゲイン誤差の変化を表し、 $\mu\text{V}/^\circ\text{C}$ で表されます。

デジタルからアナログへのグリッチ・インパルス

デジタルからアナログへのグリッチ・インパルスは、DAC レジスタ内の入力コードが変化したときに、アナログ出力に混入するインパルスを表します。通常、 $\text{nA}\cdot\text{sec}$ で表すグリッチの面積として規定され、主要キャリ変化時に、デジタル・コードが 1 LSB だけ変化したときに測定されます。

デジタル・フィードスルー

デジタル・フィードスルーは、DAC 出力の更新が行われていないときに、DAC のデジタル入力から DAC のアナログ出力に注入されるインパルスを表します。 $\text{nA}\cdot\text{sec}$ で規定され、データ・バス上でのフル・スケール変化時、すなわち全ビット 0 から全ビット 1 への変化、またはその逆の変化のときに測定されます。

オフセット誤差

オフセット誤差は、伝達関数の直線領域での I_{SINK} (実測値)と I_{OUT} (理論値)の差を表し、mAで表示されます。オフセット誤差は、AD5398AのDACレジスタにコード16をロードして測定されています。

オフセット誤差ドリフト

オフセット誤差の温度変化を表し、 $\mu\text{V}/^\circ\text{C}$ で表されます。

動作原理

AD5398A は 120 mA 出力電流シンク能力を持つ 10 ビット DAC であり、レンズのオートフォーカス、手振れ補正、光ズームのようなアプリケーションでボイス・コイル・アクチュエータを駆動することを目的としています。回路図を図 16 に示します。10 ビットの電流出力 DAC と抵抗 R の組み合わせにより、オペアンプの非反転入力を駆動する電圧を発生します。また、この電圧は R_{SENSE} 抵抗の両端にも現れて、ボイス・コイルの駆動に必要なシンク電流も発生します。

R と R_{SENSE} は、インターリープされているため互いに一致しています。このため、温度係数と非直線性は全温度で一致し、温度に対する出力ドリフトは最小になっています。ダイオード D1 は出力保護ダイオードです。

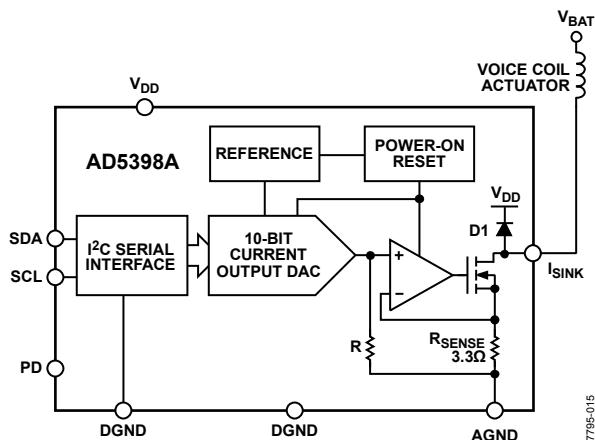


図16.ボイス・コイルへの接続を示す回路図

シリアル・インターフェース

AD5398A は、業界標準の I²C 2 線式シリアル・プロトコルを使って制御されます。DAC に対するデータの読み書きは、最大 400 kHz のデータ・レートで行うことができます。読み出し動作の後、入力レジスタ値は全ビット 0 にリセットされます。

I²C バスの動作

I²C バスは、シリアル・クロック(SCL)を発生する 1 個以上のマスター・デバイスと接続して動作し、AD5398A のようなスレーブ・デバイスに対して、シリアル・データ・ライン(SDA)を使ってデータを読み書きします。I²C バス上のすべてのデバイスでは、SCL ピンを SCL ラインに、SDA ピンを SDA ラインに、それぞれ接続します。I²C デバイスではバス・ラインをロー・レベルすることだけが可能ですが、ハイ・レベルはプルアップ抵抗 R_P によるプルアップで実現されます。 R_P の値は、データ・レート、バス容量、I²C デバイスがシンクできる最大負荷電流(標準デバイスでは 3 mA)に依存します。

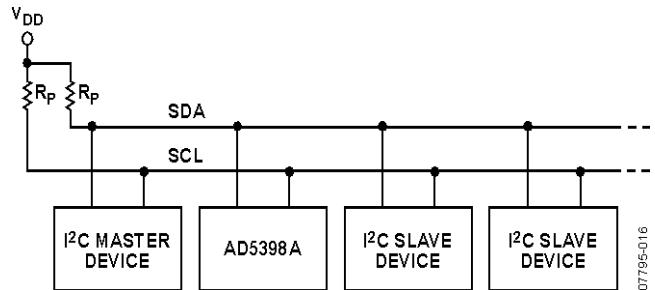


図17.一般的な I²C バス

バスがアイドル状態のとき、SCL と SDA はハイ・レベルです。マスターはスタート条件を設定してデータ転送を開始します。このスタート条件は、SCL がハイ・レベルの間の、SDA 上のハイ・レベルからロー・レベルへの変化として定義されています。バスに接続されているすべてのスレーブ・デバイスはスタート条件に応答して、シリアル・クロックを使って次の 8 ビットのデータをシフト入力します。これらの 8 データ・ビットは、7 ビットのアドレスとリード/ライト・ビットから構成されています。リード/ライト・ビットは、デバイスへのデータの書き込みでは 0 に、デバイスからのデータの読み出しでは 1 に、それぞれ設定されます。I²C バス上の各スレーブ・デバイスは、独自のアドレスを使って識別されます。AD5398A のアドレスは 0001100 ですが、最後の 2 ビットが未使用/don't care であるため、0001101、0001110、0001111 もデバイスのアドレスに使うことができます(図 18 と図 19 参照)。アドレスと R/W ビットの組み合わせとデータは常に 8 ビット長であるため、見方を変えると、AD5398A の書き込みアドレスは 00011000 (0x18)、読み出しアドレスは 00011001 (0x19)になります。この場合も、アドレスのビット 6 とビット 7 は未使用であるため、書き込みアドレスを 0x1A、0x1C、0x1E とすることもでき、読み出しアドレスを 0x1B、0x1D、0x1F とすることもできます(図 18 と図 19 参照)。

アドレス・データの終わりに(R/W ビットの後ろ)、自分のアドレスを検出したスレーブ・デバイスは、アクノリッジ(ACK)条件を発生して応答します。この ACK は、SCL のロー・レベル中に 9 番目のクロック・パルスの前にスレーブ・デバイスが SDA をロー・レベルにし、9 番目のクロック・パルス中そのロー・レベルを維持することとして定義されます。マスター・デバイスは ACK を受信すると、書き込み動作ではクロックを出力してデータを AD5398A に書き込むことができ、読み出し動作ではクロックを出力してデータを読み出すことができます。前述のようにハイ・レベル区間での SDA 変化は既にスタート条件の定義に使用されているため、データはクロックのロー・レベル区間に、またはストップ条件時に変化する必要があります。

I²C データは 8 ビットのブロックに分割されるため、スレーブは各ブロックの終わりで ACK を発生します。AD5398A は 10 ビットのデータを必要とするため、書き込み動作では 2 データ・ワードを書き込み、読み出し動作では 2 データ・ワードを読み出す必要があります。読み出し動作または書き込み動作の終わりに、AD5398A は 2 番目のデータ・バイトをアクノリッジします。マスターはストップ条件を発生します。ストップ条件は、SCL のハイ・レベル中の、SDA のロー・レベルからハイ・レベルへの変化として定義され、トランザクションを終了させます。

データ・フォーマット

データは上位バイト先頭(MSB ファースト)で AD5398A に書き込まれ、16 ビット入力レジスタにシフト入力されます。すべてのデータがシフト入力されると、データは入力レジスタから DAC レジスタへ転送されます。

DAC は 10 ビットのデータだけを必要とするため、入力レジスタ・データのすべてのビットを使いません。MSB は、アクティ

ブ・ハイのソフトウェア制御パワーダウン機能として予約されています。

データ・フォーマットを表 6に示します。この表では、ビット 14 が未使用、ビット 13～ビット 4 は DAC データ・ビット(D9～D0)に対応、ビット 3～ビット 0 は未使用であることに注意してください。

読み出し動作では、データは同じビット順で読み出されます。

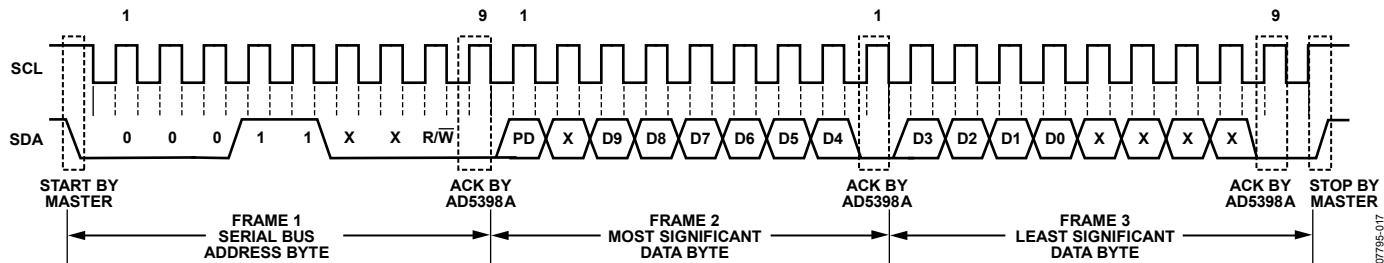


図18.書き込み動作

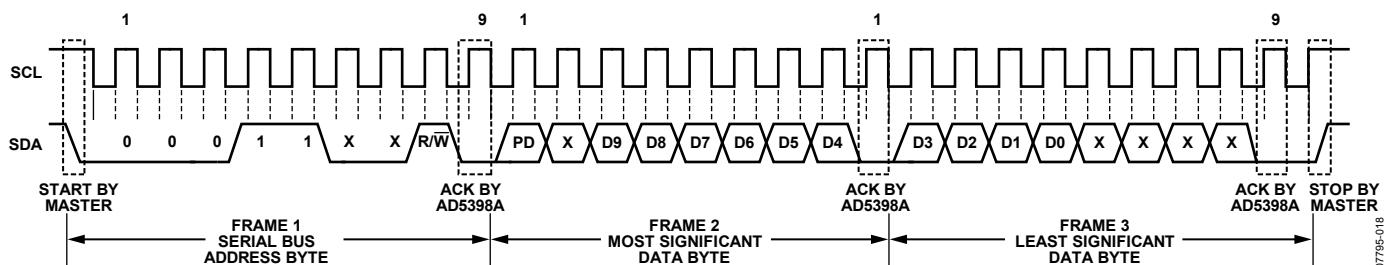


図19.読み出し動作

表6.データ・フォーマット

Serial Data-Words	High Byte								Low Byte							
	Bit 15	Bit 14	Bit 13	Bit 12	Bit 11	Bit 10	Bit 9	Bit 8	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
Serial Data Bits	SD7	SD6	SD5	SD4	SD3	SD2	SD1	SD0	SD7	SD6	SD5	SD4	SD3	SD2	SD1	SD0
Input Register	R15	R14	R13	R12	R11	R10	R9	R8	R7	R6	R5	R4	R3	R2	R1	R0
Function ¹	PD	X	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0	X	X	X	X

¹ PD = ソフト・パワーダウン、X = 未使用/don't care、D9～D0 = DAC データ。

電源のバイパスとグラウンド接続

高精度が重要な回路では、PCB 上の電源とグラウンド・リターンのレイアウトを注意深く行なうことが役立ちます。AD5398A を実装する PCB は、アナログ部とデジタル部を分離する必要があります。AGND と DGND が共用される場合には、グラウンドの接続は AD5398A にできるだけ近い 1 カ所で行なう必要があります。

AGND のリターン・パスのレイアウトには特に注意し、これをボイス・コイル・モーターと I_{SINK} との間に配置して、直列抵抗を小さくする必要があります。図20に、AD5398A の出力電流シンクを示し、AGND の実効直列インピーダンスおよびモーターと I_{SINK} との間のパターン抵抗を小さくすることの重要性を示します。ボイス・コイルは、インダクタ L_c と抵抗 R_c としてモデル化してあります。ボイス・コイルを流れる電流は実質的に DC 電流であり、AD5398A が電流をシンクするとき電圧降下 V_c を発生させます。このため直列インダクタの影響は小さくなっています。 R_{SENSE} に許容できる最大電圧降下は 400 mV であり、Q1 のドレインソース間最小電圧は 200 mV です。これは、AD5398A 出力が 600 mV のコンプライアンス電圧を持つことを意味します。 V_{DROP} が 600 mV を下回ると、出力トランジスタ Q1 は正常に動作できなくなるため、 I_{SINK} を一定に維持できなくなります。

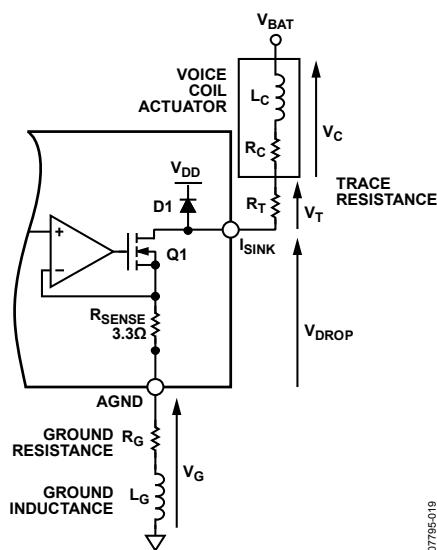


図20.PCB のパターン抵抗とインダクタンスの影響

ボイス・コイルの電流が増えると、 V_c が上昇し V_{DROP} が低下するため、最終的に 600 mV の最小規定コンプライアンス電圧に到達します。グラウンド・リターン・パスは、 R_G と L_G でモデル化します。ボイス・コイルと AD5398A との間のパターン抵抗は、 R_T でモデル化します。 L_G の誘導性効果は R_{SENSE} と R_c に

等しく影響を与え、電流が一定に維持されるため、グラウンド・リターン・パスの純抵抗成分ほど重要ではありません。

最大シンク電流がモーターに流れるとき、抵抗成分 R_T と R_G が Q1 の電圧ヘッドルームに影響を与えます。このため、電圧コンプライアンスの理由で、 R_c の最大値が制限されることがあります。たとえば、

$$V_{BAT} = 3.6 \text{ V}$$

$$R_G = 0.5 \Omega$$

$$R_T = 0.5 \Omega$$

$$I_{SINK} = 120 \text{ mA}$$

$$V_{DROP} = 600 \text{ mV} \text{ (コンプライアンス電圧)}$$

の場合、ボイス・コイルの最大抵抗値 R_c は、

$$R_c = \frac{V_{BAT} - [V_{DROP} + (I_{SINK} \times R_T) + (I_{SINK} \times R_G)]}{I_{SINK}} =$$

$$\frac{3.6 \text{ V} - [600 \text{ mV} + 2 \times (120 \text{ mA} \times 0.5 \Omega)]}{120 \text{ mA}} = 24 \Omega$$

この理由のため、AD5398A とモーターとの間のグラウンド・リターン・パスと相互接続の直列インピーダンスを小さくすることが重要です。

AD5398A の電源は、0.1 μF と 10 μF のコンデンサでデカップリングする必要があります。これらのコンデンサはできるだけ近くに配置し、0.1 μF のコンデンサは局所的なバイパス・コンデンサとして使用するため、できるだけ V_{DD} ピンの近くに配置する必要があります。10 μF のコンデンサはタンタル・ビーズ・タイプを使用し、0.1 μF のコンデンサは、実効直列抵抗と実効直列インダクタンスが小さいセラミックにする必要があります。0.1 μF のコンデンサは、大きな過渡電流に対してグラウンドへの低インピーダンス・パスを提供します。

電源ラインはできるだけ太いパターンにしてインピーダンスを小さくし、電源ライン上のグリッチによる影響を軽減するようにします。クロックとその他の高速スイッチング・デジタル信号は、デジタル・グラウンドを使ってボード上の他の部分からシールドする必要があります。デジタル信号とアナログ信号の交差は、できるだけ回避する必要があります。

ボードの反対側のパターンは、互いに右角度となるように配置してボードを通過するフィードスルー効果を減少させます。最適なボード・レイアウト技術は、多層ボードの使用であり、ボードの部品側をグラウンド・プレーン専用として使い、信号パターンはハンダ面に配置します。2層ボードでは常に可能とは限りません。

アプリケーション情報

AD5398A は、レンズ・オートフォーカス、手振れ補正、または光ズームのようなアプリケーションで使用されるスプリング付きまたはスプリングのないリニア・モーターを駆動するためにデザインされています。スプリング付きモーターの動作原理は、ボイス・コイルとスプリングのバランスによりレンズ位置が制御されることです。図 21に、オートフォーカス用の代表的なスプリング付きリニア・モーターの伝達カーブを示します。この伝達関数の要点は変位すなわちストロークであり、実際のレンズ移動距離を mm で表したもので、モーターを流れる電流は mA で表します。

スタート電流はスプリング付きリニア・モーターに固有であり、レンズが移動したとき超える必要のあるスレッショールド電流になります。スタート電流は通常20 mA以上であり、定格ストロークすなわち変位は通常0.25 mm~0.4 mmで、伝達カーブの傾きは約10 $\mu\text{m}/\text{mA}$ 以下です。

AD5398A は最大 120 mA をシンクするようにデザインされており、市販のリニア・モーターまたはボイス・コイルには十分な能力です。これらのアプリケーションに対して AD5398A を最適なソリューションにしているもう 1 つの要因は、デバイスの単調性であり、与えられたデジタル・ワードに対してレンズ位置の再現性が保証されることです。

図 22 に、AD5398A の一般的なアプリケーション回路を示します。

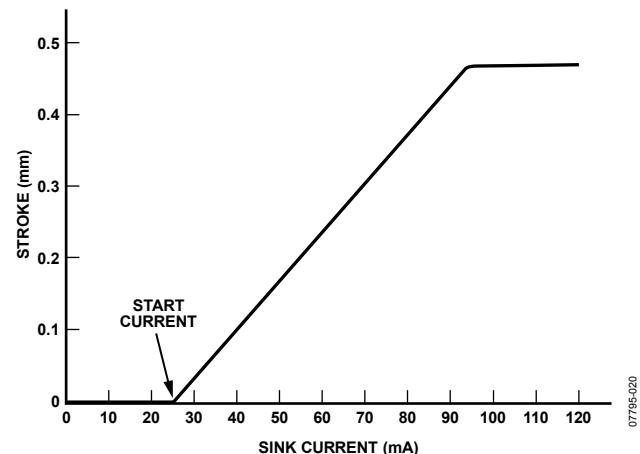


図21.スプリング付きボイス・コイルのストローク対シンク電流

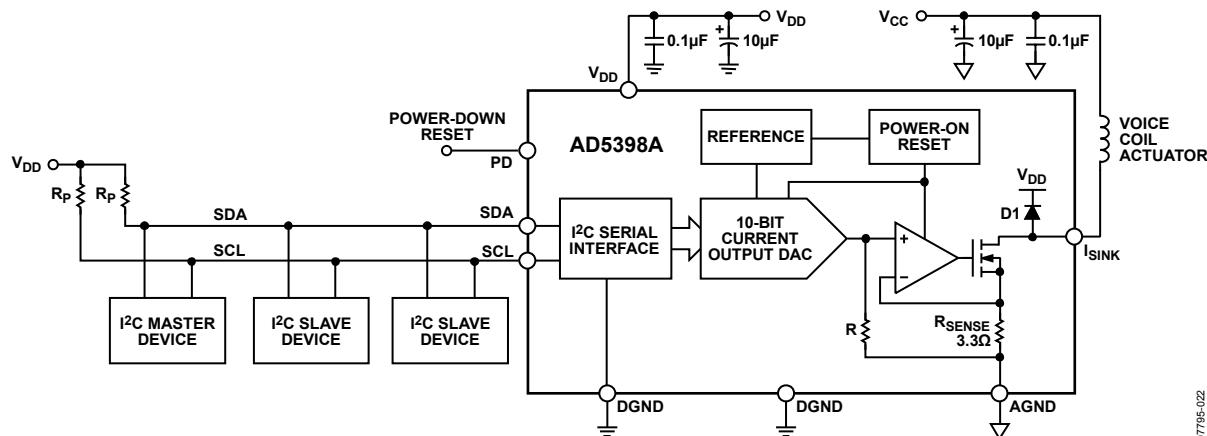
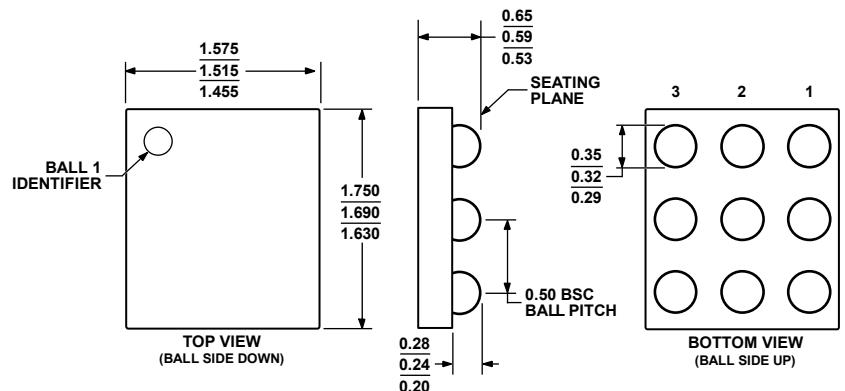


図22.代表的なアプリケーション回路

外形寸法



091306-B

図23.9 ポール・ウェハー・レベル・チップ・スケール・パッケージ[WLCSP]
(CB-9-1)
寸法: mm

オーダー・ガイド

Model	Temperature Range	Package Description	Package Option	Branding
AD5398ABCBZ-REEL ¹	-30°C to +85°C	9-Ball Wafer Level Chip Scale (WLCSP)	CB-9-1	1Z
AD5398ABCBZ-REEL ¹	-30°C to +85°C	9-Ball Wafer Level Chip Scale (WLCSP)	CB-9-1	1Z
AD5398A-WAFER	-40°C to +85°C	Bare Die Wafer		
EVAL-AD5398AEBZ ¹		Evaluation Board		

¹ Z = RoHS 準拠製品