



# 1チャンネル、128/256ポジション、I<sup>2</sup>C/SPI 不揮発性デジタル・ポテンショメータ

## データシート

## AD5121/AD5141

### 特長

- 10 kΩ および 100 kΩ の抵抗オプション
- 抵抗許容誤差: 最大 8%
- ワイパー電流: ±6 mA
- 小さい温度係数: 35 ppm/°C
- 広い帯域幅: 3 MHz
- 高速なスタートアップ・タイム: 75 μs 以下
- リニア・ゲイン設定モード
- 単電源動作と両電源動作が可能
- 独立したロジック電源: 1.8 V~5.5 V
- 広い動作温度: -40°C~+125°C
- 3 mm × 3 mm の LFCSP パッケージを採用
- ESD 保護: 4 kV

### アプリケーション

- ポータブル機器のレベル調整
- LCD パネルの輝度とコントラストの制御
- プログラマブルなフィルタ、遅延、時定数
- プログラマブルな電源

### 概要

**AD5121/AD5141** ポテンショメータは、128/256 ポジションの調整を必要とするアプリケーションに対して不揮発性ソリューションを提供します。±8%の低抵抗許容誤差および A ピン、B ピン、W ピンで最大±6 mA の電流密度を保証しています。低い抵抗許容誤差、低い公称温度係数、広い帯域幅を持つため、オープン・ループ・アプリケーションおよび許容誤差のマッチングが必要なアプリケーションが簡素化されます。リニア・ゲイン設定モードを使うと、ストリング抵抗 ( $R_{AW}$  および  $R_{WB}$ ) を使ってデジタル・ポテンショメータ・ピン間の抵抗を独立に設定できるため、非常に正確に抵抗を一致させることができます。広い帯域幅と低い総合高調波歪み (THD) を持つため、AC 信号に対して最適性能を提供するので、フィルタ・デザインに適しています。抵抗アレイ両端のワイパー抵抗が 40 Ω と小さいため、ピン-ピン間の接続が可能です。ワイパー設定は SPI/I<sup>2</sup>C 互換デジタル・インターフェースを經由して制御することができ、このインターフェースはワイパー・レジスタ値と EEPROM 値のリードバックにも使用することができます。**AD5121/AD5141** は、3 mm × 3 mm の小型 16 ピン LFCSP パッケージを採用しています。これらのデバイスの動作は、工業用拡張温度範囲 -40°C~+125°C で保証しています。

### 機能ブロック図

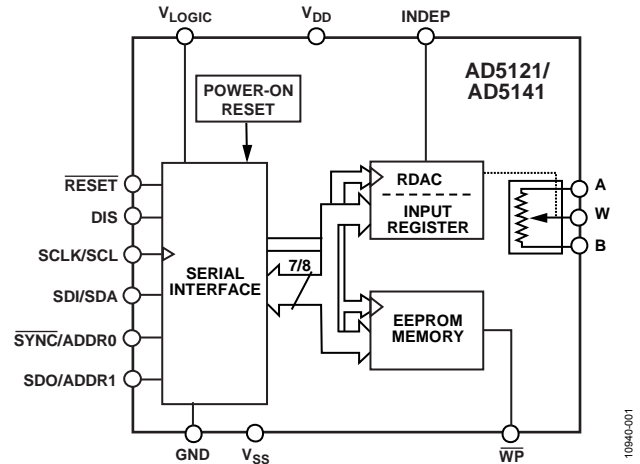


図 1.

表 1. ファミリー・モデル

Model	Channel	Position	Interface	Package
AD5123 <sup>1</sup>	Quad	128	I <sup>2</sup> C	LFCSP
AD5124	Quad	128	SPI/I <sup>2</sup> C	LFCSP
AD5124	Quad	128	SPI	TSSOP
AD5143 <sup>1</sup>	Quad	256	I <sup>2</sup> C	LFCSP
AD5144	Quad	256	SPI/I <sup>2</sup> C	LFCSP
AD5144	Quad	256	SPI	TSSOP
AD5144A	Quad	256	I <sup>2</sup> C	TSSOP
AD5122	Dual	128	SPI	LFCSP/TSSOP
AD5122A	Dual	128	I <sup>2</sup> C	LFCSP/TSSOP
AD5142	Dual	256	SPI	LFCSP/TSSOP
AD5142A	Dual	256	I <sup>2</sup> C	LFCSP/TSSOP
AD5121	Single	128	SPI/I <sup>2</sup> C	LFCSP
AD5141	Single	256	SPI/I <sup>2</sup> C	LFCSP

<sup>1</sup> 2 個のポテンショメータと 2 個の可変抵抗器。

## 目次

特長 .....	1	RDAC レジスタと EEPROM .....	20
アプリケーション .....	1	入力シフトレジスタ .....	20
概要 .....	1	シリアル・データ・デジタル・インターフェース・セレクト ション、DIS .....	20
機能ブロック図 .....	1	SPI シリアル・データ・インターフェース .....	20
改訂履歴 .....	2	I <sup>2</sup> C シリアル・データ・インターフェース .....	22
仕様 .....	3	I <sup>2</sup> C アドレス .....	22
電気的特性—AD5121 .....	3	高度な制御モード .....	23
電気的特性—AD5141 .....	6	EEPROM または RDAC レジスタの保護 .....	24
インターフェース・タイミング仕様 .....	9	RDAC 入力レジスタのロード (LRDAC) .....	24
シフトレジスタとタイミング図 .....	10	INDEP ピン .....	24
絶対最大定格 .....	12	RDAC アーキテクチャ .....	27
熱抵抗 .....	12	可変抵抗器のプログラミング .....	27
ESD の注意 .....	12	ポテンショメータ分圧器のプログラミング .....	28
ピン配置およびピン機能説明 .....	13	ピン電圧の動作範囲 .....	29
代表的な性能特性 .....	14	パワーアップ・シーケンス .....	29
テスト回路 .....	19	レイアウトと電源のバイパス .....	29
動作原理 .....	20	外形寸法 .....	30
		オーダー・ガイド .....	30

## 改訂履歴

12/12—Rev. 0 to Rev. A	
Changes to Table 10 .....	22
10/12—Revision 0: Initial Version	

## 仕様

### 電気的特性—AD5121

特に指定がない限り、 $V_{DD} = 2.3\text{ V} \sim 5.5\text{ V}$ 、 $V_{SS} = 0\text{ V}$ ； $V_{DD} = 2.25\text{ V} \sim 2.75\text{ V}$ 、 $V_{SS} = -2.25\text{ V} \sim -2.75\text{ V}$ ； $V_{LOGIC} = 1.8\text{ V} \sim 5.5\text{ V}$ 、 $-40^\circ\text{C} < T_A < +125^\circ\text{C}$ 。

表 2.

Parameter	Symbol	Test Conditions/Comments	Min	Typ <sup>1</sup>	Max	Unit
DC CHARACTERISTICS—RHEOSTAT MODE (ALL RDACs)						
Resolution	N		7			Bits
Resistor Integral Nonlinearity <sup>2</sup>	R-INL	$R_{AB} = 10\text{ k}\Omega$ $V_{DD} \geq 2.7\text{ V}$	-1	$\pm 0.1$	+1	LSB
		$V_{DD} < 2.7\text{ V}$ $R_{AB} = 100\text{ k}\Omega$ $V_{DD} \geq 2.7\text{ V}$ $V_{DD} < 2.7\text{ V}$	-2.5	$\pm 1$	+2.5	LSB
Resistor Differential Nonlinearity <sup>2</sup>	R-DNL		-0.5	$\pm 0.1$	+0.5	LSB
Nominal Resistor Tolerance	$\Delta R_{AB}/R_{AB}$		-1	$\pm 0.25$	+1	LSB
Resistance Temperature Coefficient <sup>3</sup>	$(\Delta R_{AB}/R_{AB})/\Delta T \times 10^6$	Code = full scale	-8	$\pm 1$	+8	%
Wiper Resistance <sup>3</sup>	$R_W$	Code = zero scale $R_{AB} = 10\text{ k}\Omega$		35		ppm/ $^\circ\text{C}$
		$R_{AB} = 100\text{ k}\Omega$				
Bottom Scale or Top Scale	$R_{BS}$ or $R_{TS}$	$R_{AB} = 10\text{ k}\Omega$		55	125	$\Omega$
		$R_{AB} = 100\text{ k}\Omega$		130	400	$\Omega$
		$R_{AB} = 10\text{ k}\Omega$		40	80	$\Omega$
		$R_{AB} = 100\text{ k}\Omega$		60	230	$\Omega$
DC CHARACTERISTICS—POTENTIOMETER DIVIDER MODE (ALL RDACs)						
Integral Nonlinearity <sup>4</sup>	INL	$R_{AB} = 10\text{ k}\Omega$ $R_{AB} = 100\text{ k}\Omega$	-0.5	$\pm 0.1$	+0.5	LSB
Differential Nonlinearity <sup>4</sup>	DNL		-0.25	$\pm 0.1$	+0.25	LSB
Full-Scale Error	$V_{WFSE}$	$R_{AB} = 10\text{ k}\Omega$	-0.25	$\pm 0.1$	+0.25	LSB
		$R_{AB} = 100\text{ k}\Omega$	-1.5	-0.1		LSB
Zero-Scale Error	$V_{WZSE}$	$R_{AB} = 10\text{ k}\Omega$	-0.5	$\pm 0.1$	+0.5	LSB
		$R_{AB} = 100\text{ k}\Omega$		1	1.5	LSB
Voltage Divider Temperature Coefficient <sup>3</sup>	$(\Delta V_W/V_W)/\Delta T \times 10^6$	Code = half scale $R_{AB} = 10\text{ k}\Omega$		0.25	0.5	LSB
		$R_{AB} = 100\text{ k}\Omega$		$\pm 5$		ppm/ $^\circ\text{C}$

Parameter	Symbol	Test Conditions/Comments	Min	Typ <sup>1</sup>	Max	Unit
<b>RESISTOR TERMINALS</b>						
Maximum Continuous Current	$I_A, I_B, \text{ and } I_W$	$R_{AB} = 10 \text{ k}\Omega$ $R_{AB} = 100 \text{ k}\Omega$	-6 -1.5		+6 +1.5	mA mA
Terminal Voltage Range <sup>5</sup>			$V_{SS}$		$V_{DD}$	V
Capacitance A, Capacitance B <sup>3</sup>	$C_A, C_B$	$f = 1 \text{ MHz}$ , measured to GND, code = half scale $R_{AB} = 10 \text{ k}\Omega$ $R_{AB} = 100 \text{ k}\Omega$		25 12		pF pF
Capacitance W <sup>3</sup>	$C_W$	$f = 1 \text{ MHz}$ , measured to GND, code = half scale $R_{AB} = 10 \text{ k}\Omega$ $R_{AB} = 100 \text{ k}\Omega$		12 5		pF pF
Common-Mode Leakage Current <sup>3</sup>		$V_A = V_W = V_B$	-500	$\pm 15$	+500	nA
<b>DIGITAL INPUTS</b>						
Input Logic <sup>3</sup>						
High	$V_{INH}$	$V_{LOGIC} = 1.8 \text{ V to } 2.3 \text{ V}$ $V_{LOGIC} = 2.3 \text{ V to } 5.5 \text{ V}$	$0.8 \times V_{LOGIC}$ $0.7 \times V_{LOGIC}$			V V
Low	$V_{INL}$				$0.2 \times V_{LOGIC}$	V
Input Hysteresis <sup>3</sup>	$V_{HYST}$		$0.1 \times V_{LOGIC}$			V
Input Current <sup>3</sup>	$I_{IN}$				$\pm 1$	$\mu\text{A}$
Input Capacitance <sup>3</sup>	$C_{IN}$			5		pF
<b>DIGITAL OUTPUTS</b>						
Output High Voltage <sup>3</sup>	$V_{OH}$	$R_{PULL-UP} = 2.2 \text{ k}\Omega \text{ to } V_{LOGIC}$		$V_{LOGIC}$		V
Output Low Voltage <sup>3</sup>	$V_{OL}$	$I_{SINK} = 3 \text{ mA}$ $I_{SINK} = 6 \text{ mA}, V_{LOGIC} > 2.3 \text{ V}$			0.4 0.6	V V
Three-State Leakage Current			-1		+1	$\mu\text{A}$
Three-State Output Capacitance				2		pF
<b>POWER SUPPLIES</b>						
Single-Supply Power Range		$V_{SS} = \text{GND}$	2.3		5.5	V
Dual-Supply Power Range			$\pm 2.25$		$\pm 2.75$	V
Logic Supply Range		Single supply, $V_{SS} = \text{GND}$ Dual supply, $V_{SS} < \text{GND}$	1.8 2.25		$V_{DD}$ $V_{DD}$	V V
Positive Supply Current	$I_{DD}$	$V_{IH} = V_{LOGIC}$ or $V_{IL} = \text{GND}$ $V_{DD} = 5.5 \text{ V}$ $V_{DD} = 2.3 \text{ V}$		0.7 400	5.5	$\mu\text{A}$ nA
Negative Supply Current	$I_{SS}$	$V_{IH} = V_{LOGIC}$ or $V_{IL} = \text{GND}$	-5.5	-0.7		$\mu\text{A}$
EEPROM Store Current <sup>3,6</sup>	$I_{DD\_EEPROM\_STORE}$	$V_{IH} = V_{LOGIC}$ or $V_{IL} = \text{GND}$		2		mA
EEPROM Read Current <sup>3,7</sup>	$I_{DD\_EEPROM\_READ}$	$V_{IH} = V_{LOGIC}$ or $V_{IL} = \text{GND}$		320		$\mu\text{A}$
Logic Supply Current	$I_{LOGIC}$	$V_{IH} = V_{LOGIC}$ or $V_{IL} = \text{GND}$		1	120	nA
Power Dissipation <sup>8</sup>	$P_{DISS}$	$V_{IH} = V_{LOGIC}$ or $V_{IL} = \text{GND}$		3.5		$\mu\text{W}$
Power Supply Rejection Ratio	PSRR	$\Delta V_{DD}/\Delta V_{SS} = V_{DD} \pm 10\%$ , code = full scale		-66	-60	dB

Parameter	Symbol	Test Conditions/Comments	Min	Typ <sup>1</sup>	Max	Unit
DYNAMIC CHARACTERISTICS <sup>9</sup>						
Bandwidth	BW	-3 dB				
		$R_{AB} = 10\text{ k}\Omega$		3		MHz
Total Harmonic Distortion	THD	$R_{AB} = 100\text{ k}\Omega$		0.43		MHz
		$V_{DD}/V_{SS} = \pm 2.5\text{ V}$ , $V_A = 1\text{ V rms}$ , $V_B = 0\text{ V}$ , $f = 1\text{ kHz}$				
Resistor Noise Density	$e_{N\_WB}$	$R_{AB} = 10\text{ k}\Omega$		-80		dB
		$R_{AB} = 100\text{ k}\Omega$		-90		dB
$V_W$ Settling Time	$t_S$	Code = half scale, $T_A = 25^\circ\text{C}$ , $f = 10\text{ kHz}$				
		$R_{AB} = 10\text{ k}\Omega$		7		nV/ $\sqrt{\text{Hz}}$
Endurance <sup>10</sup>		$R_{AB} = 100\text{ k}\Omega$		20		nV/ $\sqrt{\text{Hz}}$
		$V_A = 5\text{ V}$ , $V_B = 0\text{ V}$ , from zero scale to full scale, $\pm 0.5\text{ LSB error band}$				
Data Retention <sup>11</sup>		$R_{AB} = 10\text{ k}\Omega$		2		$\mu\text{s}$
		$R_{AB} = 100\text{ k}\Omega$		12		$\mu\text{s}$
		$T_A = 25^\circ\text{C}$		1		Mcycles
			100			kcycles
				50		Years

<sup>1</sup> Typ 値は、 $25^\circ\text{C}$  および  $V_{DD} = 5\text{ V}$ 、 $V_{SS} = 0\text{ V}$ 、 $V_{LOGIC} = 5\text{ V}$  での平均測定値。

<sup>2</sup> 抵抗積分非直線性誤差(R-INL)は、最大抵抗ワイパー・ポジションと最小抵抗ワイパー・ポジションとの間で測定された理論値からの差を表します。R-DNL は、連続タップ・ポジション間での理論値からの相対的ステップ変化を表します。最大ワイパー電流は $(0.7 \times V_{DD})/R_{AB}$  に制限されています。

<sup>3</sup> 設計およびキャラクタライゼーションで保証しますが、出荷テストは行いません。

<sup>4</sup> INL と DNL は、RDAC を電圧出力 D/A コンバータと同様のポテンショメータ分圧器として設定して、 $V_{WB}$  で測定。 $V_A = V_{DD}$  かつ  $V_B = 0\text{ V}$ 。最大 $\pm 1\text{ LSB}$  の DNL 仕様規定値は単調動作状態を保証。

<sup>5</sup> 抵抗ピン A、抵抗ピン B、抵抗ピン W の極性は相対的に制約されません。両電源動作では、グラウンドを基準としたバイポーラ信号の調整が可能です。

<sup>6</sup> 動作電流とは異なり、EEPROM 書込みの電源電流は約  $30\text{ ms}$  継続します。

<sup>7</sup> 動作電流とは異なり、EEPROM 読出しの電源電流は約  $20\text{ }\mu\text{s}$  継続します。

<sup>8</sup>  $P_{DISS}$  は  $(I_{DD} \times V_{DD}) + (I_{LOGIC} \times V_{LOGIC})$  で計算されます。

<sup>9</sup> すべての動特性では、 $V_{DD}/V_{SS} = \pm 2.5\text{ V}$ 、かつ  $V_{LOGIC} = 2.5\text{ V}$  を使用。

<sup>10</sup> 書込み可能回数は、JEDEC Std.22 メソッド A117 に基づき  $100,000$  サイクルで評価し、 $-40^\circ\text{C} \sim +125^\circ\text{C}$  で測定。

<sup>11</sup> JEDEC Std. 22、メソッド A117 に基づくジャンクション温度( $T_J$ ) =  $125^\circ\text{C}$  と等価。活性エネルギー  $1\text{ eV}$  に基づくデータ保持寿命は、フラッシュ/EE メモリではジャンクション温度が上昇すると短くなります。

## 電气的特性—AD5141

特に指定がない限り、 $V_{DD} = 2.3\text{ V} \sim 5.5\text{ V}$ 、 $V_{SS} = 0\text{ V}$ ； $V_{DD} = 2.25\text{ V} \sim 2.75\text{ V}$ 、 $V_{SS} = -2.25\text{ V} \sim -2.75\text{ V}$ ； $V_{LOGIC} = 1.8\text{ V} \sim 5.5\text{ V}$ 、 $-40^\circ\text{C} < T_A < +125^\circ\text{C}$ 。

表 3.

Parameter	Symbol	Test Conditions/Comments	Min	Typ <sup>1</sup>	Max	Unit
DC CHARACTERISTICS—RHEOSTAT MODE (ALL RDACs)						
Resolution	N		8			Bits
Resistor Integral Nonlinearity <sup>2</sup>	R-INL	$R_{AB} = 10\text{ k}\Omega$ $V_{DD} \geq 2.7\text{ V}$	-2	$\pm 0.2$	+2	LSB
		$V_{DD} < 2.7\text{ V}$ $R_{AB} = 100\text{ k}\Omega$ $V_{DD} \geq 2.7\text{ V}$	-5	$\pm 1.5$	+5	LSB
		$V_{DD} < 2.7\text{ V}$	-1	$\pm 0.1$	+1	LSB
Resistor Differential Nonlinearity <sup>2</sup>	R-DNL	$V_{DD} \geq 2.7\text{ V}$ $V_{DD} < 2.7\text{ V}$	-2	$\pm 0.5$	+2	LSB
Nominal Resistor Tolerance	$\Delta R_{AB}/R_{AB}$		-8	$\pm 1$	+8	%
Resistance Temperature Coefficient <sup>3</sup>	$(\Delta R_{AB}/R_{AB})/\Delta T \times 10^6$	Code = full scale		35		ppm/ $^\circ\text{C}$
Wiper Resistance <sup>3</sup>	$R_W$	Code = zero scale $R_{AB} = 10\text{ k}\Omega$		55	125	$\Omega$
		$R_{AB} = 100\text{ k}\Omega$		130	400	$\Omega$
Bottom Scale or Top Scale	$R_{BS}$ or $R_{TS}$	$R_{AB} = 10\text{ k}\Omega$		40	80	$\Omega$
		$R_{AB} = 100\text{ k}\Omega$		60	230	$\Omega$
DC CHARACTERISTICS—POTENTIOMETER DIVIDER MODE (ALL RDACs)						
Integral Nonlinearity <sup>4</sup>	INL	$R_{AB} = 10\text{ k}\Omega$ $R_{AB} = 100\text{ k}\Omega$	-1	$\pm 0.2$	+1	LSB
Differential Nonlinearity <sup>4</sup>	DNL		-0.5	$\pm 0.1$	+0.5	LSB
Full-Scale Error	$V_{WFSE}$	$R_{AB} = 10\text{ k}\Omega$	-0.5	$\pm 0.2$	+0.5	LSB
		$R_{AB} = 100\text{ k}\Omega$	-2.5	-0.1		LSB
Zero-Scale Error	$V_{WZSE}$	$R_{AB} = 10\text{ k}\Omega$	-1	$\pm 0.2$	+1	LSB
		$R_{AB} = 100\text{ k}\Omega$				LSB
Voltage Divider Temperature Coefficient <sup>3</sup>	$(\Delta V_W/V_W)/\Delta T \times 10^6$	Code = half scale $R_{AB} = 10\text{ k}\Omega$		1.2	3	LSB
		$R_{AB} = 100\text{ k}\Omega$		0.5	1	LSB
		Code = half scale		$\pm 5$		ppm/ $^\circ\text{C}$

Parameter	Symbol	Test Conditions/Comments	Min	Typ <sup>1</sup>	Max	Unit
<b>RESISTOR TERMINALS</b>						
Maximum Continuous Current	$I_A, I_B,$ and $I_W$	$R_{AB} = 10\text{ k}\Omega$ $R_{AB} = 100\text{ k}\Omega$	-6 -1.5		+6 +1.5	mA mA
Terminal Voltage Range <sup>5</sup>			$V_{SS}$		$V_{DD}$	V
Capacitance A, Capacitance B <sup>3</sup>	$C_A, C_B$	$f = 1\text{ MHz}$ , measured to GND, code = half scale $R_{AB} = 10\text{ k}\Omega$ $R_{AB} = 100\text{ k}\Omega$		25 12		pF pF
Capacitance W <sup>3</sup>	$C_W$	$f = 1\text{ MHz}$ , measured to GND, code = half scale $R_{AB} = 10\text{ k}\Omega$ $R_{AB} = 100\text{ k}\Omega$		12 5		pF pF
Common-Mode Leakage Current <sup>3</sup>		$V_A = V_W = V_B$	-500	$\pm 15$	+500	nA
<b>DIGITAL INPUTS</b>						
Input Logic <sup>3</sup>						
High	$V_{INH}$	$V_{LOGIC} = 1.8\text{ V to } 2.3\text{ V}$ $V_{LOGIC} = 2.3\text{ V to } 5.5\text{ V}$	$0.8 \times V_{LOGIC}$ $0.7 \times V_{LOGIC}$			V V
Low	$V_{INL}$				$0.2 \times V_{LOGIC}$	V
Input Hysteresis <sup>3</sup>	$V_{HYST}$		$0.1 \times V_{LOGIC}$			V
Input Current <sup>3</sup>	$I_{IN}$				$\pm 1$	$\mu\text{A}$
Input Capacitance <sup>3</sup>	$C_{IN}$			5		pF
<b>DIGITAL OUTPUTS</b>						
Output High Voltage <sup>3</sup>	$V_{OH}$	$R_{PULL-UP} = 2.2\text{ k}\Omega$ to $V_{LOGIC}$		$V_{LOGIC}$		V
Output Low Voltage <sup>3</sup>	$V_{OL}$	$I_{SINK} = 3\text{ mA}$ $I_{SINK} = 6\text{ mA}, V_{LOGIC} > 2.3\text{ V}$			0.4 0.6	V V
Three-State Leakage Current			-1		+1	$\mu\text{A}$
Three-State Output Capacitance				2		pF
<b>POWER SUPPLIES</b>						
Single-Supply Power Range		$V_{SS} = \text{GND}$	2.3		5.5	V
Dual-Supply Power Range			$\pm 2.25$		$\pm 2.75$	V
Logic Supply Range		Single supply, $V_{SS} = \text{GND}$ Dual supply, $V_{SS} < \text{GND}$	1.8 2.25		$V_{DD}$ $V_{DD}$	V V
Positive Supply Current	$I_{DD}$	$V_{IH} = V_{LOGIC}$ or $V_{IL} = \text{GND}$ $V_{DD} = 5.5\text{ V}$ $V_{DD} = 2.3\text{ V}$		0.7 400	5.5	$\mu\text{A}$ nA
Negative Supply Current	$I_{SS}$	$V_{IH} = V_{LOGIC}$ or $V_{IL} = \text{GND}$	-5.5	-0.7		$\mu\text{A}$
EEPROM Store Current <sup>3,6</sup>	$I_{DD\_EEPROM\_STORE}$	$V_{IH} = V_{LOGIC}$ or $V_{IL} = \text{GND}$		2		mA
EEPROM Read Current <sup>3,7</sup>	$I_{DD\_EEPROM\_READ}$	$V_{IH} = V_{LOGIC}$ or $V_{IL} = \text{GND}$		320		$\mu\text{A}$
Logic Supply Current	$I_{LOGIC}$	$V_{IH} = V_{LOGIC}$ or $V_{IL} = \text{GND}$		1	120	nA
Power Dissipation <sup>8</sup>	$P_{DISS}$	$V_{IH} = V_{LOGIC}$ or $V_{IL} = \text{GND}$		3.5		$\mu\text{W}$
Power Supply Rejection Ratio	PSR	$\Delta V_{DD}/\Delta V_{SS} = V_{DD} \pm 10\%$ , code = full scale		-66	-60	dB

Parameter	Symbol	Test Conditions/Comments	Min	Typ <sup>1</sup>	Max	Unit
DYNAMIC CHARACTERISTICS <sup>9</sup>						
Bandwidth	BW	-3 dB R <sub>AB</sub> = 10 kΩ R <sub>AB</sub> = 100 kΩ		3 0.43		MHz MHz
Total Harmonic Distortion	THD	V <sub>DD</sub> /V <sub>SS</sub> = ±2.5 V, V <sub>A</sub> = 1 V rms, V <sub>B</sub> = 0 V, f = 1 kHz R <sub>AB</sub> = 10 kΩ R <sub>AB</sub> = 100 kΩ		-80 -90		dB dB
Resistor Noise Density	e <sub>N_WB</sub>	Code = half scale, T <sub>A</sub> = 25°C, f = 10 kHz R <sub>AB</sub> = 10 kΩ R <sub>AB</sub> = 100 kΩ		7 20		nV/√Hz nV/√Hz
V <sub>W</sub> Settling Time	t <sub>s</sub>	V <sub>A</sub> = 5 V, V <sub>B</sub> = 0 V, from zero scale to full scale, ±0.5 LSB error band R <sub>AB</sub> = 10 kΩ R <sub>AB</sub> = 100 kΩ		2 12		μs μs
Endurance <sup>10</sup>		T <sub>A</sub> = 25°C	100	1		Mcycles kcycles
Data Retention <sup>11</sup>				50		Years

<sup>1</sup> Typ 値は、25°C および V<sub>DD</sub> = 5 V、V<sub>SS</sub> = 0 V、V<sub>LOGIC</sub> = 5 V での平均測定値。

<sup>2</sup> 抵抗積分非直線性誤差(R-INL)は、最大抵抗ワイパー・ポジションと最小抵抗ワイパー・ポジションとの間で測定された理論値からの差を表します。R-DNL は、連続タップ・ポジション間での理論値からの相対的ステップ変化を表します。最大ワイパー電流は(0.7 × V<sub>DD</sub>)/R<sub>AB</sub> に制限されています。

<sup>3</sup> 設計およびキャラクタライゼーションで保証しますが、出荷テストは行いません。

<sup>4</sup> INL と DNL は、RDAC を電圧出力 D/A コンバータと同様のポテンショメータ分圧器として設定して、V<sub>WB</sub> で測定。V<sub>A</sub> = V<sub>DD</sub> かつ V<sub>B</sub> = 0 V。最大±1 LSB の DNL 仕様規定値は単調動作状態を保証。

<sup>5</sup> 抵抗ピン A、抵抗ピン B、抵抗ピン W の極性は相対的に制約されません。両電源動作では、グラウンドを基準としたバイポーラ信号の調整が可能です。

<sup>6</sup> 動作電流とは異なり、EEPROM 書込みの電源電流は約 30 ms 継続します。

<sup>7</sup> 動作電流とは異なり、EEPROM 読出しの電源電流は約 20 μs 継続します。

<sup>8</sup> P<sub>DISS</sub> は (I<sub>DD</sub> × V<sub>DD</sub>) + (I<sub>LOGIC</sub> × V<sub>LOGIC</sub>) で計算されます。

<sup>9</sup> すべての動特性では、V<sub>DD</sub>/V<sub>SS</sub> = ±2.5 V、かつ V<sub>LOGIC</sub> = 2.5 V を使用。

<sup>10</sup> 書込み可能回数は、JEDEC Std.22 メソッド A117 に基づき 100,000 サイクルで評価し、-40 °C ~ +125°C で測定。

<sup>11</sup> JEDEC Std. 22、メソッド A117 に基づくジャンクション温度(T<sub>J</sub>) = 125°C と等価。活性エネルギー 1 eV に基づくデータ保持寿命は、フラッシュ/EE メモリではジャンクション温度が上昇すると短くなります。



インターフェース・タイミング仕様

特に指定のない限り、 $V_{\text{LOGIC}} = 1.8 \sim 5.5 \text{ V}$ 、すべての仕様は  $T_{\text{MIN}} \sim T_{\text{MAX}}$  で規定。

表 4. SPI インターフェース

Parameter <sup>1</sup>	Test Conditions/Comments	Min	Typ	Max	Unit	Description
$t_1$	$V_{\text{LOGIC}} > 1.8 \text{ V}$	20			ns	SCLK cycle time
	$V_{\text{LOGIC}} = 1.8 \text{ V}$	30			ns	
$t_2$	$V_{\text{LOGIC}} > 1.8 \text{ V}$	10			ns	SCLK high time
	$V_{\text{LOGIC}} = 1.8 \text{ V}$	15			ns	
$t_3$	$V_{\text{LOGIC}} > 1.8 \text{ V}$	10			ns	SCLK low time
	$V_{\text{LOGIC}} = 1.8 \text{ V}$	15			ns	
$t_4$		10			ns	$\overline{\text{SYNC}}$ -to-SCLK falling edge setup time
$t_5$		5			ns	Data setup time
$t_6$		5			ns	Data hold time
$t_7$		10			ns	$\overline{\text{SYNC}}$ rising edge to next SCLK fall ignored
$t_8^2$		20			ns	Minimum $\overline{\text{SYNC}}$ high time
$t_9^3$			50		ns	SCLK rising edge to SDO valid
$t_{10}$				500	ns	$\overline{\text{SYNC}}$ rising edge to SDO pin disable

<sup>1</sup> すべての入力信号は  $t_r = t_f = 1 \text{ ns/V}$  ( $V_{\text{DD}}$  の 10% から 90%) で規定し、 $(V_{\text{IL}} + V_{\text{IH}})/2$  の電圧レベルからの時間とします。

<sup>2</sup> メモリ・コマンド動作については、 $t_{\text{EEPROM\_PROGRAM}}$  と  $t_{\text{EEPROM\_READBACK}}$  を参照してください(表 6 参照)。

<sup>3</sup>  $R_{\text{PULL\_UP}} = 2.2 \text{ k}\Omega$  ( $V_{\text{DD}}$  へ接続)、容量負荷 = 168 pF。

表 5. I<sup>2</sup>C インターフェース

Parameter <sup>1</sup>	Test Conditions/Comments	Min	Typ	Max	Unit	Description
$f_{\text{SCL}}^2$	Standard mode			100	kHz	Serial clock frequency
	Fast mode			400	kHz	
$t_1$	Standard mode	4.0			$\mu\text{s}$	SCL high time, $t_{\text{HIGH}}$
	Fast mode	0.6			$\mu\text{s}$	
$t_2$	Standard mode	4.7			$\mu\text{s}$	SCL low time, $t_{\text{LOW}}$
	Fast mode	1.3			$\mu\text{s}$	
$t_3$	Standard mode	250			ns	Data setup time, $t_{\text{SU: DAT}}$
	Fast mode	100			ns	
$t_4$	Standard mode	0		3.45	$\mu\text{s}$	Data hold time, $t_{\text{HD: DAT}}$
	Fast mode	0		0.9	$\mu\text{s}$	
$t_5$	Standard mode	4.7			$\mu\text{s}$	Setup time for a repeated start condition, $t_{\text{SU: STA}}$
	Fast mode	0.6			$\mu\text{s}$	
$t_6$	Standard mode	4			$\mu\text{s}$	Hold time (repeated) for a start condition, $t_{\text{HD: STA}}$
	Fast mode	0.6			$\mu\text{s}$	
$t_7$	Standard mode	4.7			$\mu\text{s}$	Bus free time between a stop and a start condition, $t_{\text{BUF}}$
	Fast mode	1.3			$\mu\text{s}$	
$t_8$	Standard mode	4			$\mu\text{s}$	Setup time for a stop condition, $t_{\text{SU: STO}}$
	Fast mode	0.6			$\mu\text{s}$	
$t_9$	Standard mode			1000	ns	Rise time of SDA signal, $t_{\text{RDA}}$
	Fast mode	$20 + 0.1 C_L$		300	ns	
$t_{10}$	Standard mode			300	ns	Fall time of SDA signal, $t_{\text{FDA}}$
	Fast mode	$20 + 0.1 C_L$		300	ns	
$t_{11}$	Standard mode			1000	ns	Rise time of SCL signal, $t_{\text{RCL}}$
	Fast mode	$20 + 0.1 C_L$		300	ns	
$t_{11A}$	Standard mode			1000	ns	Rise time of SCL signal after a repeated start condition and after an acknowledge bit, $t_{\text{RCL1}}$ (not shown in Figure 3)
	Fast mode	$20 + 0.1 C_L$		300	ns	

Parameter <sup>1</sup>	Test Conditions/Comments	Min	Typ	Max	Unit	Description
$t_{12}$	Standard mode			300	ns	Fall time of SCL signal, $t_{FCL}$
	Fast mode	$20 + 0.1 C_L$		300	ns	
$t_{SP}$ <sup>3</sup>	Fast mode	0		50	ns	Pulse width of suppressed spike (not shown in Figure 3)

<sup>1</sup> 最大バス容量は 400 pF に制限されています。

<sup>2</sup> SDA と SCL のタイミングは、入力フィルタをイネーブルして測定。入力フィルタを切り離すと、転送レートは向上しますが、デバイスの EMC 動作に悪影響があります。

<sup>3</sup> SCL と SDA の入力フィルタリングにより、高速モードでノイズ・スパイクを 50 ns 以下に抑圧。

表 6. コントロール・ピン

Parameter	Min	Typ	Max	Unit	Description
$t_1$	1			$\mu$ s	End command to $\overline{LRDAC}$ falling edge
$t_2$	50			ns	Minimum $\overline{LRDAC}$ low time
$t_3$	0.1		10	$\mu$ s	RESET low time
$t_{EEPROM\_PROGRAM}$ <sup>1</sup>		15	50	ms	Memory program time (not shown in Figure 6)
$t_{EEPROM\_READBACK}$		7	30	$\mu$ s	Memory readback time (not shown in Figure 6)
$t_{POWER\_UP}$ <sup>2</sup>			75	$\mu$ s	Power-on EEPROM restore time (not shown in Figure 6)
$t_{RESET}$		30		$\mu$ s	Reset EEPROM restore time (not shown in Figure 6)

<sup>1</sup> EEPROM 書込時間は、温度と EEPROM 書込みサイクル数に依存します。低温と長い書込みサイクルではタイミングが長くなると予測されます。

<sup>2</sup>  $V_{DD} - V_{SS}$  が 2.3 V に等しくなった後の最大時間。

## シフトレジスタとタイミング図

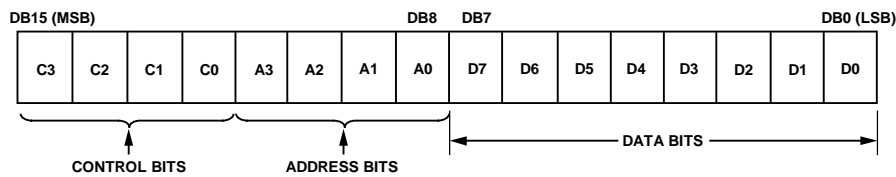


図 2. 入力シフトレジスタ値

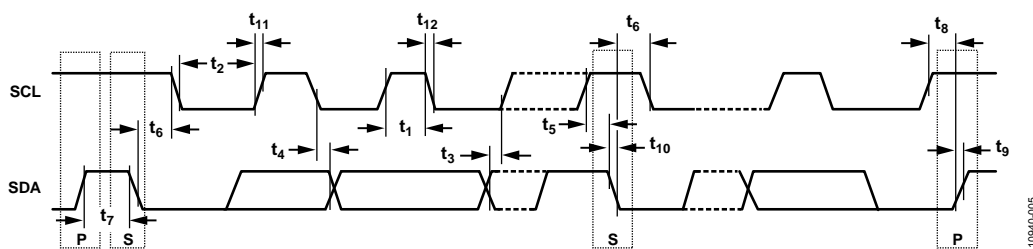


図 3. I<sup>2</sup>C シリアル・インターフェースのタイミング図 (代表的な書込シーケンス)

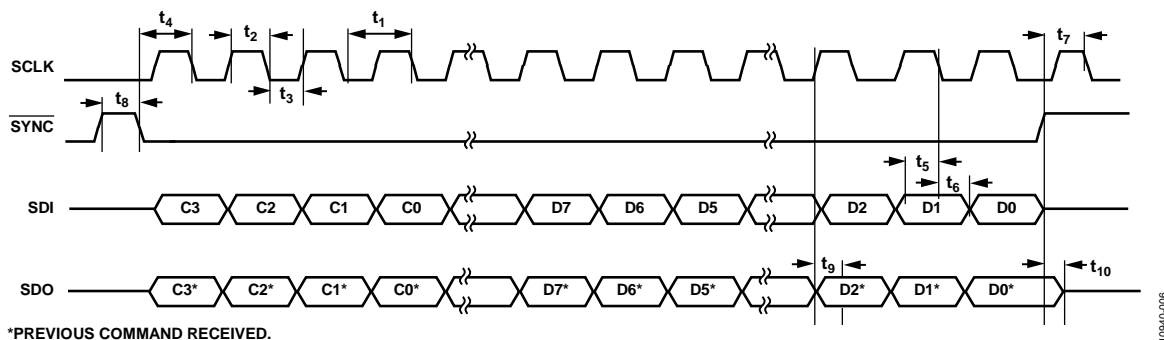


図 4. SPI シリアル・インターフェースのタイミング図、CPOL = 0、CPHA = 1

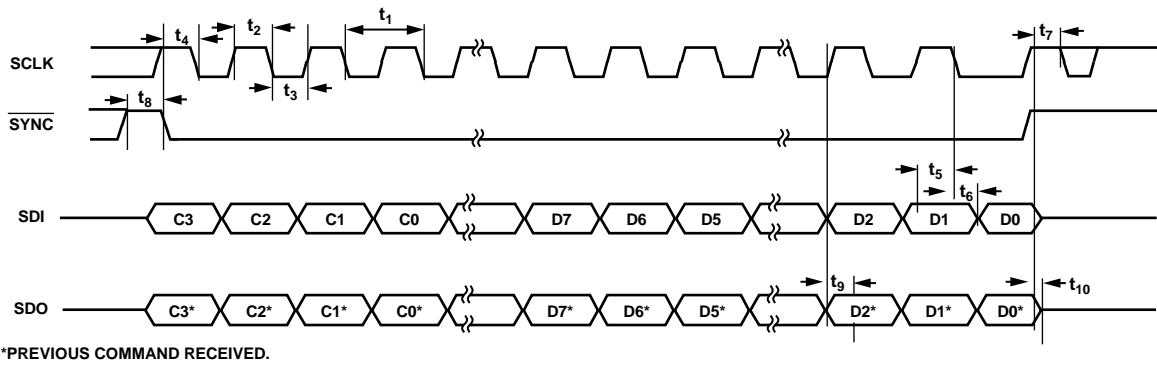


図 5.SPI シリアル・インターフェースのタイミング図、CPOL = 1、CPHA = 0



図 6.コントロール・ピンのタイミング図

## 絶対最大定格

特に指定のない限り、 $T_A = 25^\circ\text{C}$ 。

表 7.

Parameter	Rating
$V_{DD}$ to GND	-0.3 V to +7.0 V
$V_{SS}$ to GND	+0.3 V to -7.0 V
$V_{DD}$ to $V_{SS}$	7 V
$V_{LOGIC}$ to GND	-0.3 V to $V_{DD} + 0.3$ V or +7.0 V (whichever is less)
$V_A$ , $V_W$ , $V_B$ to GND	$V_{SS} - 0.3$ V, $V_{DD} + 0.3$ V or +7.0 V (whichever is less)
$I_A$ , $I_W$ , $I_B$	
Pulsed <sup>1</sup>	
Frequency > 10 kHz	
$R_{AW} = 10$ k $\Omega$	$\pm 6$ mA/d <sup>2</sup>
$R_{AW} = 100$ k $\Omega$	$\pm 1.5$ mA/d <sup>2</sup>
Frequency $\leq 10$ kHz	
$R_{AW} = 10$ k $\Omega$	$\pm 6$ mA/ $\sqrt{d^2}$
$R_{AW} = 100$ k $\Omega$	$\pm 1.5$ mA/ $\sqrt{d^2}$
Digital Inputs	-0.3 V to $V_{LOGIC} + 0.3$ V or +7 V (whichever is less)
Operating Temperature Range, $T_A$ <sup>3</sup>	-40°C to +125°C
Maximum Junction Temperature, $T_J$ Maximum	150°C
Storage Temperature Range	-65°C to +150°C
Reflow Soldering	
Peak Temperature	260°C
Time at Peak Temperature	20 sec to 40 sec
Package Power Dissipation	$(T_J \text{ max} - T_A)/\theta_{JA}$

上記の絶対最大定格を超えるストレスを加えるとデバイスに恒久的な損傷を与えることがあります。この規定はストレス定格の規定のみを目的とするものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くとデバイスの信頼性に影響を与えます。

## 熱抵抗

$\theta_{JA}$  は JEDEC JESD51 規格により定義され、値はテスト・ボードとテスト環境に依存します。

表 8.熱抵抗

Package Type	$\theta_{JA}$	$\theta_{JC}$	Unit
16-Lead LFCSP	89.5 <sup>1</sup>	3	°C/W

<sup>1</sup> JEDEC 2S2P テスト・ボード、自然空冷(0 m/sec の空気流)。

## ESD の注意



ESD (静電放電) の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

<sup>1</sup> 最大ピン電流は、スイッチの最大処理電流、パッケージ最大消費電力、A ピン、B ピン、W ピン内の任意の 2 ピン間の、設定された抵抗での最大入力電圧により制約されます。

<sup>2</sup> d = パルス・デューティ係数。

<sup>3</sup> EEPROM メモリの書き込みを含みます。

## ピン配置およびピン機能説明

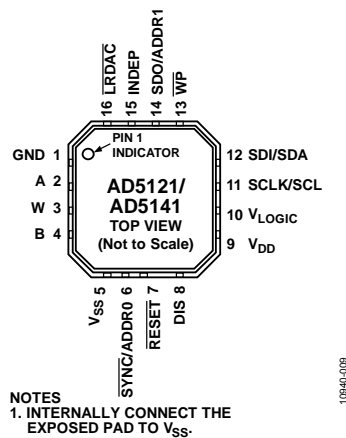


図 7. ピン配置

表 9. ピン機能の説明

ピン番号	記号	説明
1	GND	グラウンド・ピン、ロジック・グラウンド基準。
2	A	RDAC の A ピン $V_{SS} \leq V_A \leq V_{DD}$ 。
3	W	RDAC のワイパー・ピン。 $V_{SS} \leq V_W \leq V_{DD}$ 。
4	B	RDAC の B ピン。 $V_{SS} \leq V_B \leq V_{DD}$ 。
5	V <sub>SS</sub>	負の電源。このピンは、0.1 μF のセラミック・コンデンサと 10 μF のコンデンサでデカップリングする必要があります。
6	SYNC /ADDR0	複数のパッケージをデコード(DIS = 1)するためのプログラマブルなアドレス・ビット(ADDR0)。  アクティブ・ローの同期データ入力。SYNC がハイ・レベルに戻るとき、データがRDAC レジスタへロードされます、DIS = 0。
7	RESET	ハードウェア・リセット・ピン。RDAC レジスタにEEPROMの値が設定されます。RESETはロー・レベルで開始されます。このピンを使用しない場合は、RESETをV <sub>LOGIC</sub> へ接続してください。
8	DIS	デジタル・インターフェース・セレクト(SPI/I <sup>2</sup> C セレクト)。DIS = 0 (GND)のとき SPI が、DIS = 1 (V <sub>LOGIC</sub> )のとき I <sup>2</sup> C が、それぞれ選択されます。このピンをフローティングのままにしておくことはできません。
9	V <sub>DD</sub>	正の電源。このピンは、0.1 μF のセラミック・コンデンサと 10 μF のコンデンサでデカップリングする必要があります。
10	V <sub>LOGIC</sub>	1.8 V ~ V <sub>DD</sub> のロジック電源。このピンは、0.1 μF のセラミック・コンデンサと 10 μF のコンデンサでデカップリングする必要があります。
11	SCLK/SCL	SPI シリアル・クロック・ライン(SCLK)。データは、立下がり変化で入力されます。 I <sup>2</sup> C シリアル・クロック・ライン(SCL)。データは、立下がり変化で入力されます。
12	SDI/SDA	DIS = 1 のとき、シリアル・データ入力/出力(SDA)になり、 DIS = 0 のときシリアル・データ入力(SDI)になります。
13	WP	オプションの書き込み保護。EEPROMの値をRDAC レジスタへ再ロードする場合を除いて、このピンはRDACとEEPROMの現在値の変更を防止します。WPはアクティブ・ロー入力です。このピンを使用しない場合は、WPをV <sub>LOGIC</sub> へ接続してください。
14	SDO/ADD R1	複数のパッケージをデコード(DIS = 1)するためのプログラマブルなアドレス・ビット(ADDR1)。  シリアル・データ出力(SDO)。このピンはオープン・ドレイン出力ピンであるため、DIS = 0 の場合、外付けプルアップ抵抗が必要です。
15	INDEP	パワーアップ時のリニア・ゲイン設定モード。各ストリング抵抗は、対応するメモリ・ロケーションからロードされます。INDEPがイネーブルされると、ソフトウェアからディスエーブルすることはできません。
16	LRDAC	ロードRDAC。入力レジスタ値をRDAC レジスタへ転送します。この入力を使うとRDACの非同期更新が可能になります。LRDACはアクティブ・ロー入力です。このピンを使用しない場合は、LRDACをV <sub>LOGIC</sub> へ接続してください。エクスポーズド・パッドは内部でV <sub>SS</sub> へ接続されています。
	EPAD	

代表的な性能特性

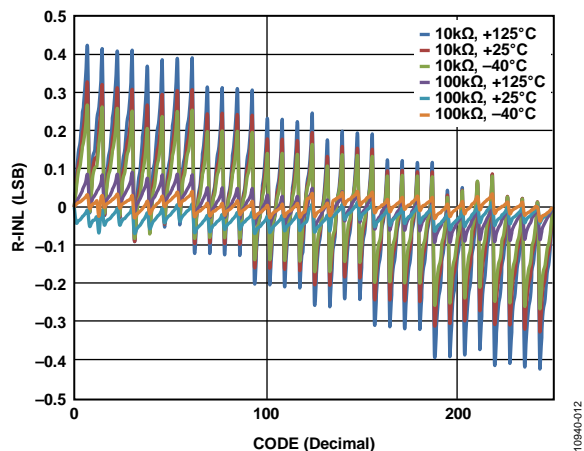


図 8.コード対 R-INL (AD5141)

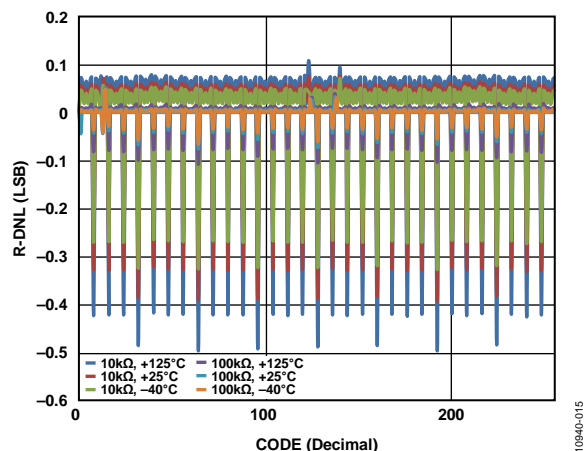


図 11.コード対 R-DNL (AD5141)

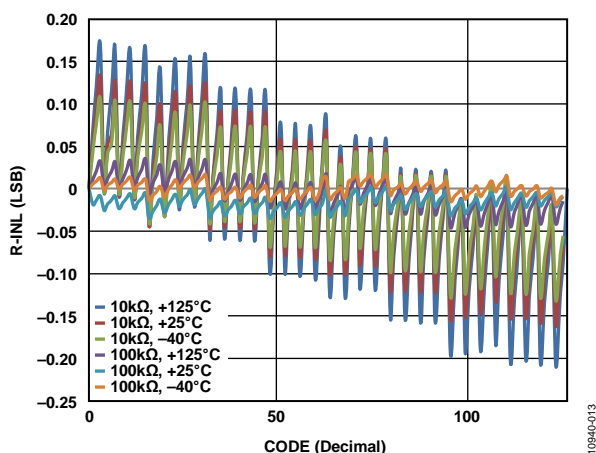


図 9.コード対 R-INL (AD5121)

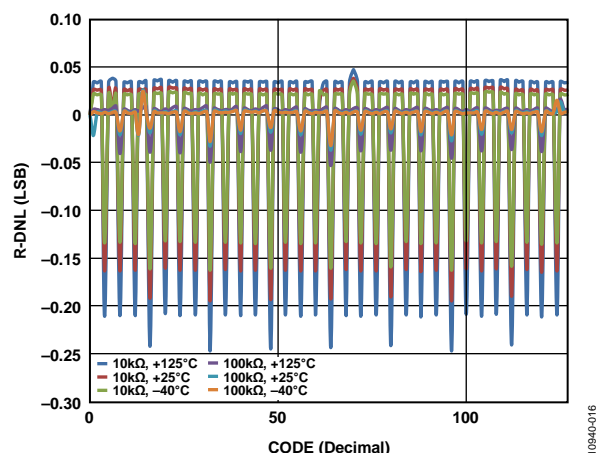


図 12.コード対 R-DNL (AD5121)

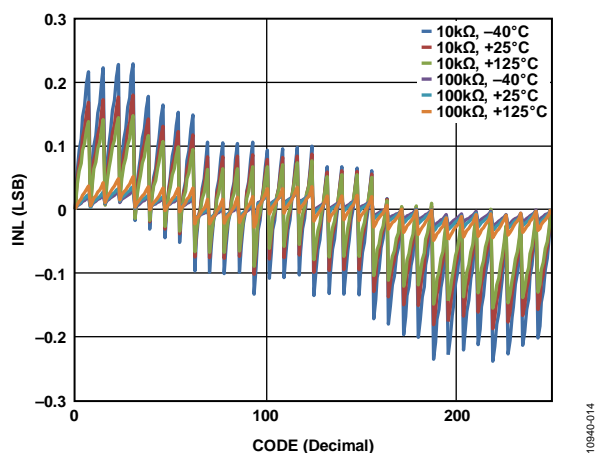


図 10.コード対 INL (AD5141)

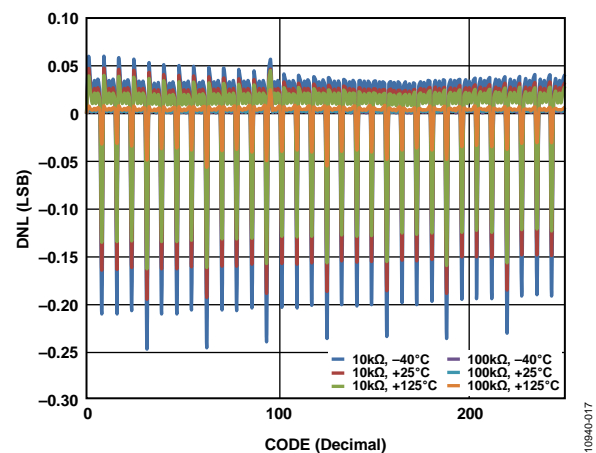


図 13.コード対 DNL (AD5141)

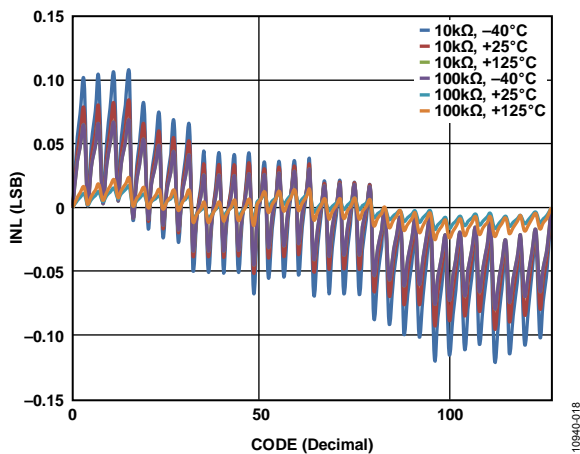


図 14.コード対 INL (AD5121)

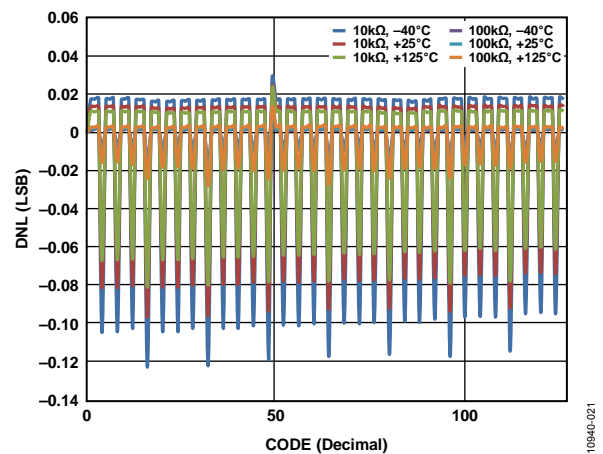


図 17.コード対 DNL (AD5121)

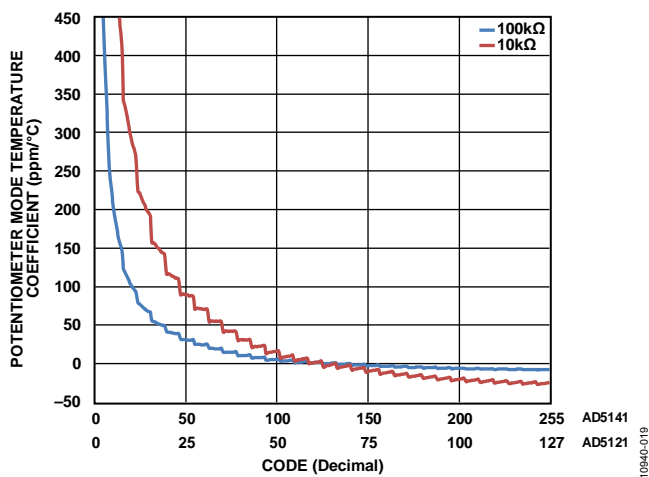


図 15.コード対ポテンショメータ・モード温度係数  $((\Delta V_w/V_w)/\Delta T \times 10^6)$

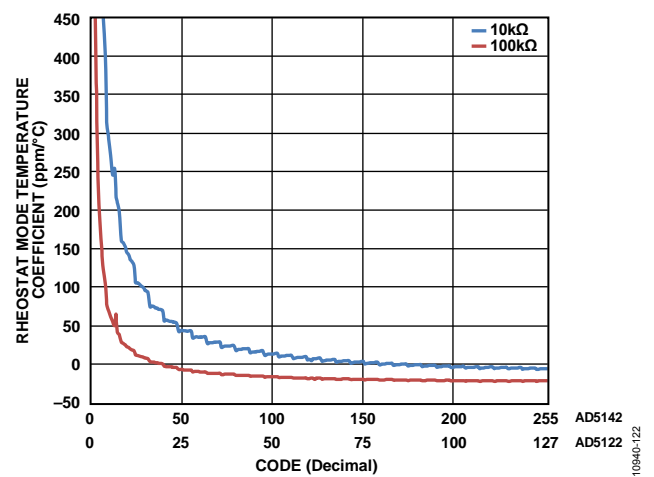


図 18.コード対可変抵抗器モード温度係数  $((\Delta R_{WB}/R_{WB})/\Delta T \times 10^6)$

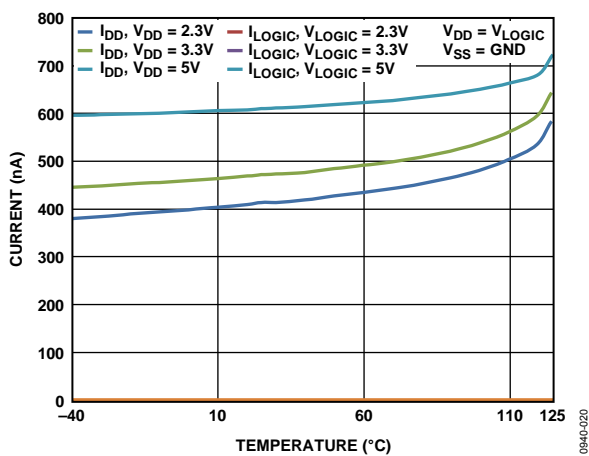


図 16.電源電流の温度特性

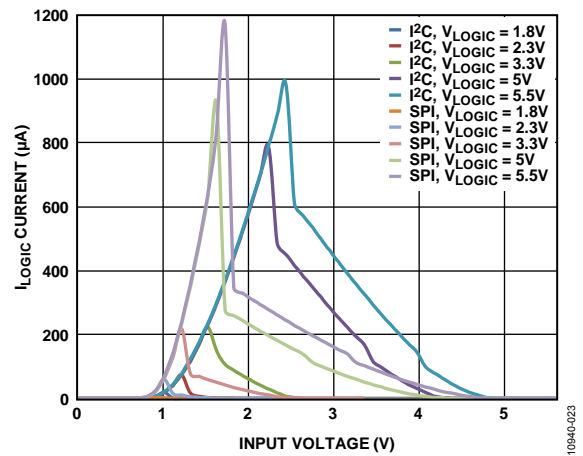


図 19.デジタル入力電圧対 ILogic 電流

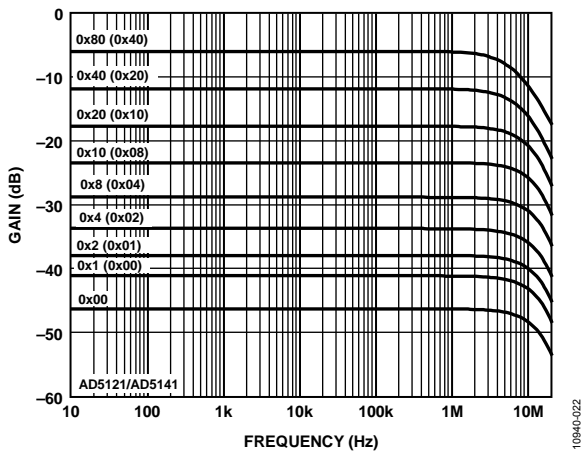


図 20.周波数対コード対 10 kΩ ゲイン

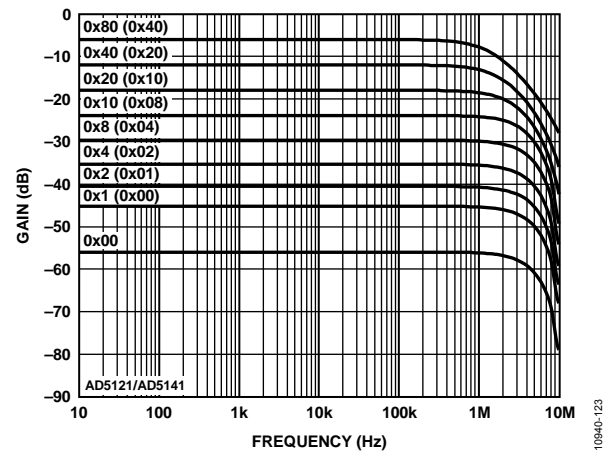


図 23.周波数対コード対 100 kΩ ゲイン

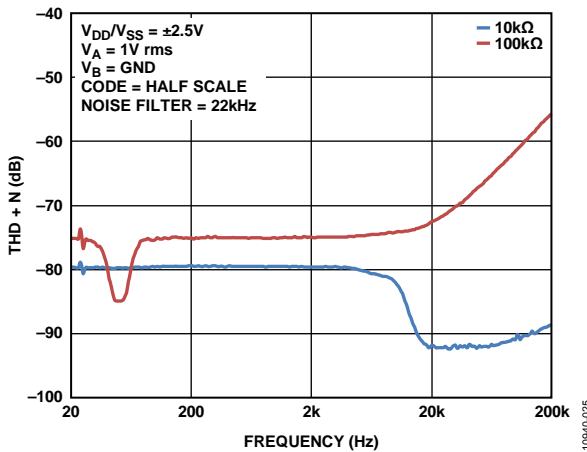


図 21.総合高調波歪み + ノイズ (THD + N)の周波数特性

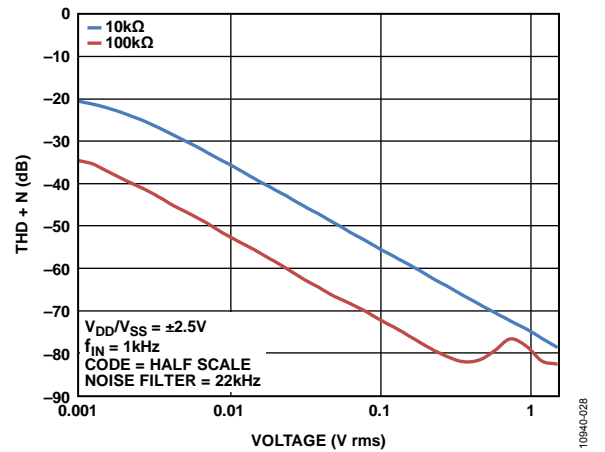


図 24.振幅対総合高調波歪み + ノイズ (THD + N)

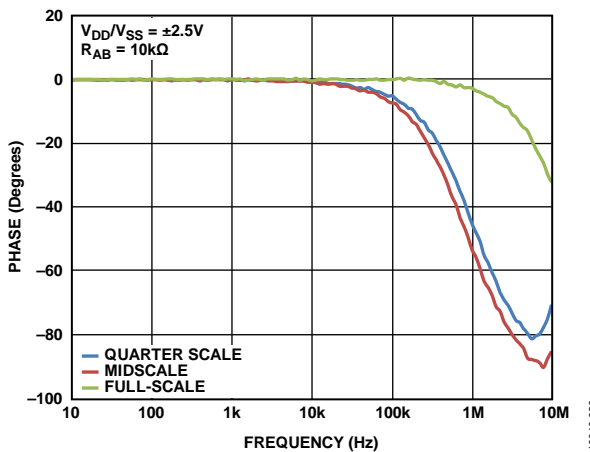


図 22.正規化位相平坦性の周波数特性、 $R_{AB} = 10\text{ k}\Omega$

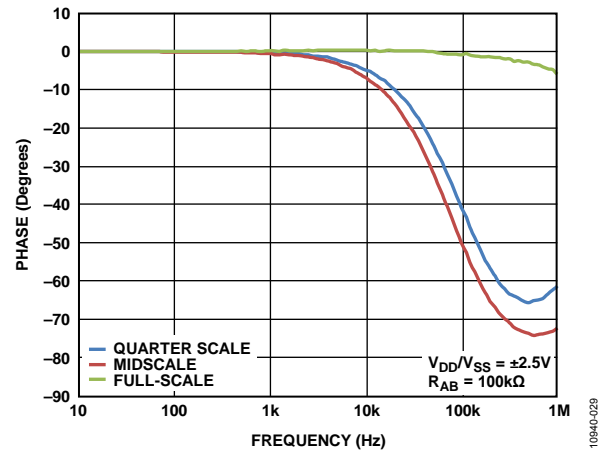


図 25.正規化位相平坦性の周波数特性、 $R_{AB} = 100\text{ k}\Omega$



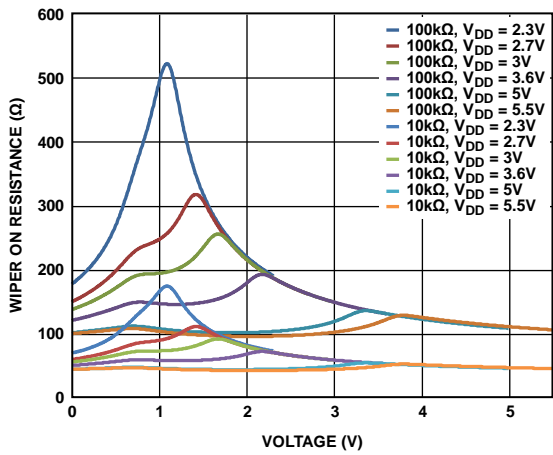


図 26. V<sub>DD</sub> 対インクリメンタル・ワイパーオン抵抗

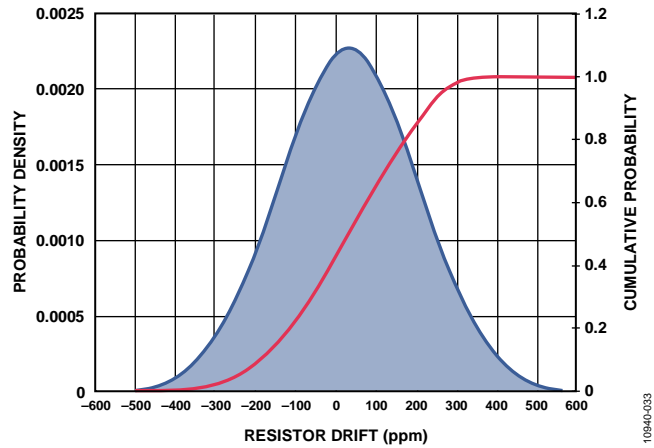


図 29. 抵抗寿命ドリフト

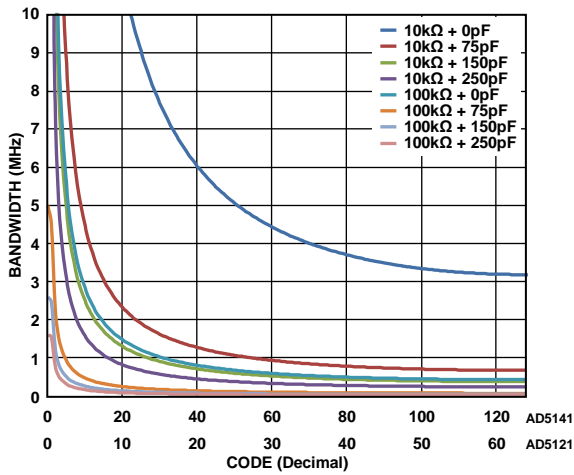


図 27. 最大帯域幅対コード対容量

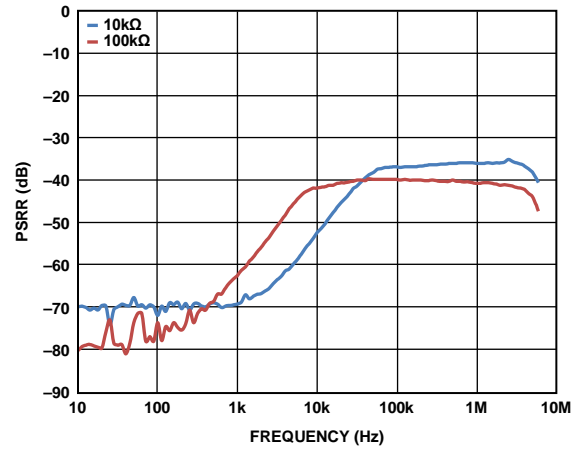


図 30. 電源除去比(PSRR)の周波数特性

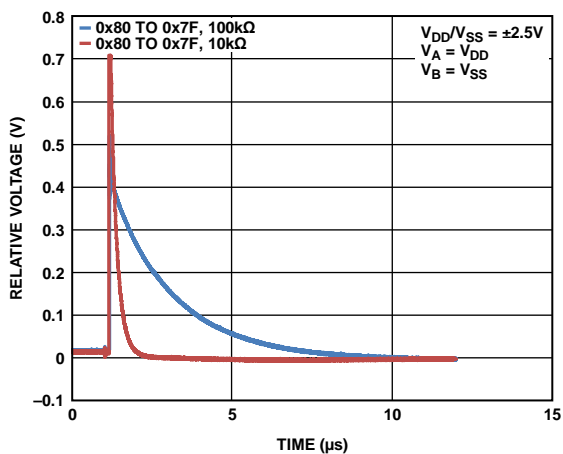


図 28. 変化時最大グリッチ

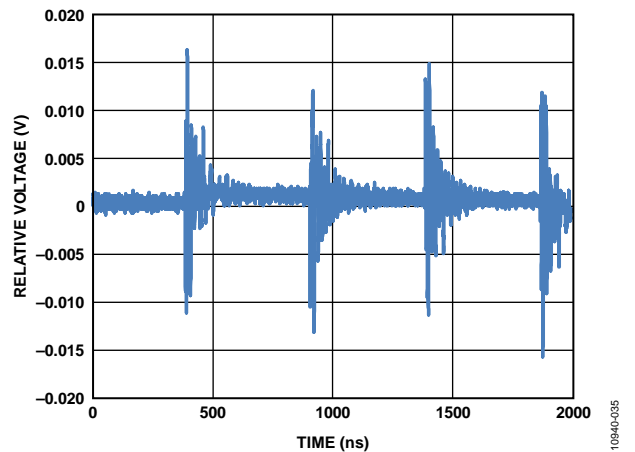


図 31. デジタル・フィードスルー

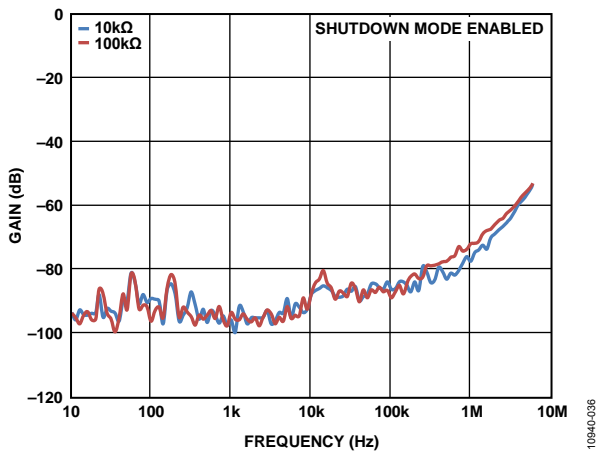


図 32. シャットダウン・アイソレーションの周波数特性

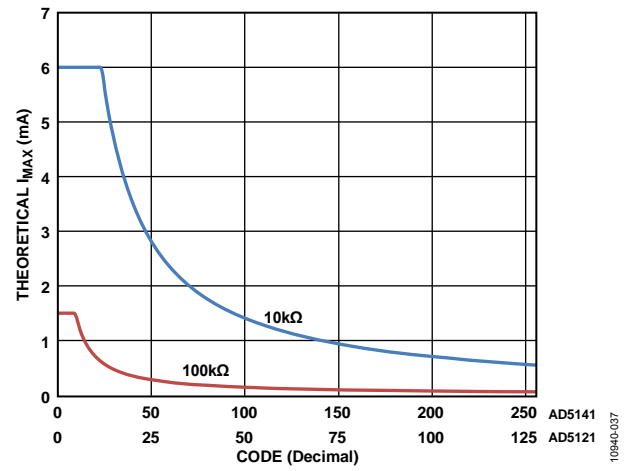


図 33. コード対理論最大電流

## テスト回路

図 34 ~ 図 38 に、仕様のセクションで使用したテスト条件を示します。

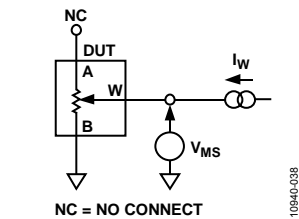


図 34. 抵抗積分非直線性誤差 (可変抵抗器動作; R-INL、R-DNL)

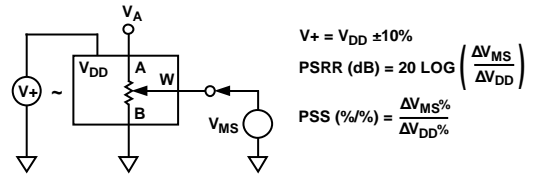


図 37. 電源感度と電源除去比 (PSS および PSRR)

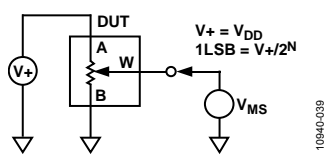


図 35. ポテンショメータ分圧器の非直線性誤差 (INL、DNL)

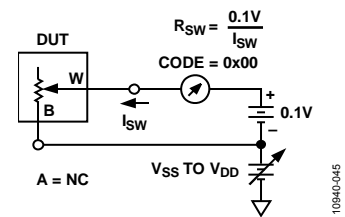


図 38. インクリメンタル・オン抵抗

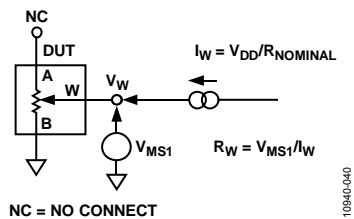


図 36. ワイパー抵抗

## 動作原理

**AD5121/AD5141** デジタル・プログラマブル・ポテンショメータは、 $V_{SS} < V_{TERM} < V_{DD}$  のピン電圧範囲内のアナログ信号に対して真の可変抵抗として動作するようにデザインされています。抵抗のワイパー・ポジションは、RDAC レジスタの値により決定されます。RDAC レジスタはスクラッチパッド・レジスタのように動作するため、抵抗設定値の変更回数には制限がありません。2つ目のレジスタ(入力レジスタ)は、RDAC レジスタ・データを予めロードしておくために使うことができます。

RDAC レジスタには、 $I^2C$  または SPI インターフェース(モデルによります)を介して任意のポジション設定値を書込むことができます。目的のワイパー・ポジションが見つかった後に、この値を EEPROM メモリに保存することができます。その後、ワイパー・ポジションは、後続パワーアップで常にそのポジションに回復されます。EEPROM データの保存には約 18 ms 要し、この間デバイスがロックされて、新しいコマンドをアクノリッジしないため、値の変更が防止されます。

### RDAC レジスタと EEPROM

RDAC レジスタは、デジタル・ポテンショメータのワイパー・ポジションを直接制御します。例えば、RDAC レジスタに 0x80 をロードすると(**AD5141**、256 タップ)、ワイパーは可変抵抗の 1/2 スケールに接続されます。RDAC レジスタは標準のロジック・レジスタであるため、許容変更回数には制限がありません。デジタル・インターフェース(表 16 参照)を使って RDAC レジスタの書込みと読み出しを行うことができます。

RDAC レジスタ値は、コマンド 9 を使って EEPROM へ保存することができます(表 16 参照)。その後、RDAC レジスタは、その後の ON-OFF-ON 電源シーケンスでそのポジションに常に設定されます。EEPROM に保存されたデータはコマンド 3 を使ってリードバックすることができます(表 16 参照)。

あるいは、コマンド 1 を使って EEPROM へ独立に書込むことができます(表 16 参照)。

### 入力シフトレジスタ

**AD5121/AD5141** の入力シフトレジスタは、図 2 に示すように 16 ビット幅です。各 16 ビット・ワードは、4 ビットのコントロール・ビットとその後ろに続く 4 ビットのアドレス・ビットと 8 ビットのデータビットにより構成されます。

**AD5121** の RDAC または EEPROM レジスタに対して書込/読出を行う場合、最下位ビット(ビット 0)は無視されます。

データは MSB(ビット 15)ファーストでロードされます。表 11 と表 16 に示すように、4 ビットのコントロール・ビットにより、ソフトウェア・コマンドの機能が指定されます。

### シリアル・データ・デジタル・インターフェース・セレクション、DIS

**AD5121/AD5141** LFSCP では、インターフェースを選択できる柔軟性を提供します。デジタル・インターフェース・セレクト(DIS) ピンをロー・レベルに接続すると、SPI モードが選択されます。DIS ピンをハイ・レベルに接続すると、 $I^2C$  モードが選択されます。

### SPI シリアル・データ・インターフェース

**AD5121/AD5141** は、4 線式の SPI 互換デジタル・インターフェース(SDI、SYNC、SDO、SCLK)を内蔵しています。SYNC ラインをロー・レベルにすると、書込みシーケンスが開始されます。データ・ワード全体が SDI ピンから入力されるまで、SYNC ピンをロー・レベルに維持する必要があります。データは、SCLK の立下がりエッジ変化でロードされます(図 4 参照)。SYNC がハイ・レベルに戻ると、シリアル・データ・ワードが表 16 の命令に従ってデコードされます。

SYNC がハイ・レベルの場合、**AD5121/AD5141** は連続 SCLK を必要としません。デバイスのイネーブル中、デジタル入力バッファの消費電力を小さくするため、すべてのシリアル・インターフェース・ピンを  $V_{Logic}$  電源レール近くで動作させてください。

#### SYNC 割込み

**AD5121/AD5141** のスタンドアロン書込みシーケンスでは、SYNC ラインは SCLK の 16 個の立下がりエッジの間ロー・レベルに維持され、命令は SYNC がハイ・レベルの間にデコードされますが、SYNC ラインのロー・レベル時間が 16 個の SCLK 立下がりエッジより短いと、入力シフトレジスタ値は無視され、この書込みシーケンスは無効と見なされます。

#### SDO ピン

シリアル・データ出力ピン(SDO)には、コマンド 3 を使ってコントロール・レジスタ、EEPROM レジスタ、RDAC レジスタ、入力レジスタの値をリードバックすること(表 11 および表 16 参照)と、**AD5121/AD5141** をディジーチェーン・モードで接続することの 2 つの機能があります。

SDO ピンはオープン・ドレイン出力であり、プルアップ抵抗が必要です。SYNC がロー・レベルのとき SDO ピンがイネーブルされ、データは SCLK の立上がりエッジで SDO から出力されます。

デジチェーン接続

デジチェーン接続は、最小のポート・ピン数でICの制御を可能にします。図 39 に示すように、前のパッケージのSDOピンを次のパッケージのSDIピンに接続する必要があります。後続デバイス間のライン伝搬遅延のため、クロック周期を大きくする必要があります。2 個のAD5121/ AD5141 デバイスをデジチェーン接続すると、32 ビットのデータが必要になります。先頭の 16 ビットがU2 に、次の 16 ビットがU1 にそれぞれ行きます(図 40 参照)。32 ビットがすべてそれぞれのシリアル・レジスタに入力されるまで、SYNCピンをロー・レベルに維持してお

く必要があります。SYNCをハイ・レベルにすると、動作が完了します。代表的な接続を図 39 に示します。データがミスロックされるのを防止するため(例えばノイズのため)、デバイスには内部カウンタがあります。クロックの立下がりエッジ数が 8 の倍数でない場合、デバイスはコマンドを無視します。有効なクロック数は 16、24、32 です。SYNC がハイ・レベルに戻ると、このカウンタはリセットされます。

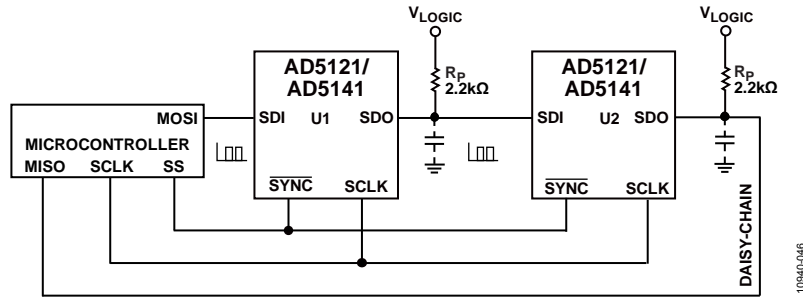


図 39.デジチェーン構成

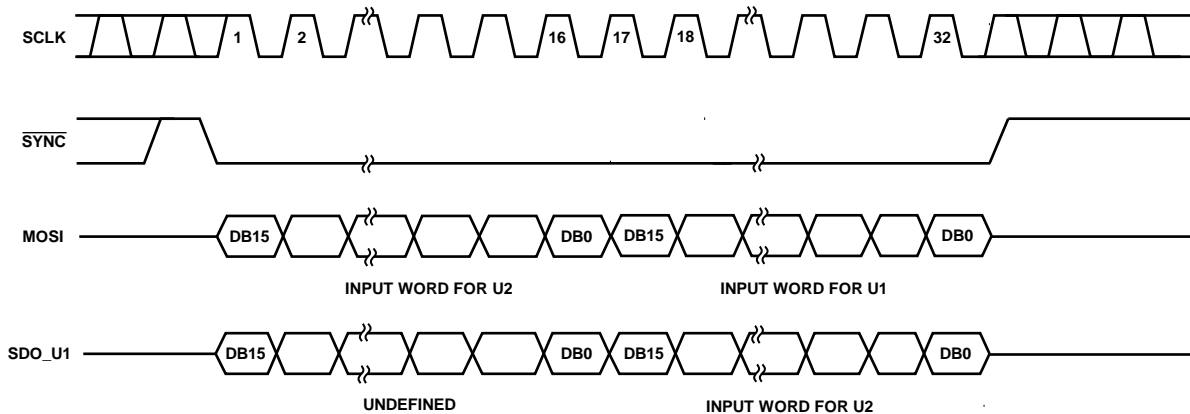


図 40.デジチェーンのタイミング

## I<sup>2</sup>C シリアル・データ・インターフェース

AD5141 は、2 線式の I<sup>2</sup>C 互換シリアル・インターフェースを内蔵しています。これらのデバイスは、マスター・デバイスから制御されるスレーブ・デバイスとして I<sup>2</sup>C バスに接続することができます。図 3 に、代表的な書込みシーケンスのタイミング図を示します。

AD5141 は、標準(100 kHz)と高速(400 kHz)のデータ転送モードをサポートしています。10 ビット・アドレッシングとジェネラル・コール・アドレッシングはサポートされていません。

2 線式シリアル・バス・プロトコルは、次のように動作します。

1. マスターはスタート条件を設定してデータ転送を開始します。このスタート条件は、SCLがハイ・レベルの間にSDAラインがハイ・レベルからロー・レベルへ変化することと定義されます。次のバイトはアドレス・バイトで、7 ビットのスレーブ・アドレスとR/W ビットから構成されています。送信されたアドレスに該当するスレーブ・デバイスは 9 番目のクロック・パルスで、SDAラインをロー・レベルにして応答します(これはアクノリッジ・ビットと呼ばれます)。選択されたデバイスがシフトレジスタに読み書きするデータを待つ間、バス上の他の全デバイスはアイドル状態を維持します。  
R/Wビットがハイ・レベルの場合は、マスターがスレーブ・デバイスから読出しを行います。R/Wビットがロー・レベルの場合は、マスターがスレーブ・デバイスに対して書込みを行います。
2. データは、9 個のクロック・パルスで 8 ビットのデータとそれに続くアクノリッジ・ビットの順にシリアル・バス上を伝送します。SDA ラインは SCL のロー・レベル区間で変化して、SCL のハイ・レベル区間で安定に維持されている必要があります。

表 11. シンプル・コマンド動作の真理値表

Command Number	Control Bits[DB15:DB12]				Address Bits[DB11:DB8] <sup>1</sup>				Data Bits[DB7:DB0] <sup>1</sup>								Operation		
	C3	C2	C1	C0	A3	A2	A1	A0	D7	D6	D5	D4	D3	D2	D1	D0			
0	0	0	0	0	X	X	X	X	X	X	X	X	X	X	X	X	NOP: do nothing		
1	0	0	0	1	0	0	0	0	D7	D6	D5	D4	D3	D2	D1	D0	Write contents of serial register data to RDAC		
2	0	0	1	0	0	0	0	0	D7	D6	D5	D4	D3	D2	D1	D0	Write contents of serial register data to input register		
3	0	0	1	1	X	0	0	0	X	X	X	X	X	X	D1	D0	Read back contents		
																	D1	D0	Data
																	0	1	EEPROM
																	RDAC		
9	0	1	1	1	X	X	0	0	X	X	X	X	X	X	X	1	Copy RDAC register to EEPROM		
10	0	1	1	1	X	X	0	0	X	X	X	X	X	X	X	0	Copy EEPROM into RDAC		
14	1	0	1	1	X	X	X	X	X	X	X	X	X	X	X	X	Software reset		
15	1	1	0	0	0	0	0	0	X	X	X	X	X	X	X	D0	Software shutdown		
																	D0	Condition	
																	0	Normal mode	
																	Shutdown mode		

<sup>1</sup> X = don't care

3. 全データビットの読出しまたは書込みが終了すると、ストップ条件が設定されます。書込みモードでは、マスターが 10 番目のクロック・パルスで SDA ラインをハイ・レベルにプルアップして、ストップ状態を設定します。読出しモードでは、マスターは 9 番目のクロック・パルスでアクノリッジを発行しません(SDA ラインがハイ・レベルを維持)。この後、マスターは SDA ラインをロー・レベルにして、10 番目のクロック・パルスが再度ハイ・レベルになるときストップ条件を設定します。

## I<sup>2</sup>C アドレス

AD5141 には表 10 に示すように、2 種類のピン・アドレス・オプションがあります。

表 10.24 ピン LFCSP デバイスのアドレス・セレクション

ADDR0 Pin	ADDR1 Pin	7-Bit I <sup>2</sup> C Device Address
V <sub>LOGIC</sub>	V <sub>LOGIC</sub>	0100000
No connect <sup>1</sup>	V <sub>LOGIC</sub>	0100010
GND	V <sub>LOGIC</sub>	0100011
V <sub>LOGIC</sub>	No connect <sup>1</sup>	0101000
No connect <sup>1</sup>	No connect <sup>1</sup>	0101010
GND	No connect <sup>1</sup>	0101011
V <sub>LOGIC</sub>	GND	0101100
No connect <sup>1</sup>	GND	0101110
GND	GND	0101111

<sup>1</sup> バイポーラ・モード (V<sub>SS</sub> < 0 V) または低電圧モード (V<sub>LOGIC</sub> = 1.8 V) では使用できません。

## 高度な制御モード

AD5121/AD5141 デジタル・ポテンショメータは、これらの汎用的な調整デバイスで使用可能な広範囲なアプリケーションに対応できるユーザー・プログラミング機能のセットを内蔵しています(表 16 と表 18 参照)。

主要なプログラミング機能としては次の内容が含まれます。

- 入力レジスタ
- リニア・ゲイン設定モード
- 低ワイパー抵抗機能
- リニア・インクリメントおよびデクリメント命令
- $\pm 6$  dB のインクリメントおよびデクリメント命令
- バースト・モード (I<sup>2</sup>C の場合)
- リセット
- シャットダウン・モード

### 入力レジスタ

AD5121/AD5141 は、RDAC レジスタごとに 1 個の入力レジスタを持っています。このレジスタを使うと、対応する RDAC レジスタの値を予めロードしておくことができます。

この機能を使うと、1 個またはすべての RDAC レジスタを同時に同期または非同期で更新することができます。

これらのレジスタに対しては、コマンド 2 を使って書込ができ、コマンド 3 を使ってリードバックすることができます(表 16 参照)。

入力レジスタから RDAC レジスタへの転送は、LRDAC ピンを使うと非同期的に、コマンド 8 を使うと同期的に、それぞれ行うことができます(表 16 参照)。

新しいデータを RDAC レジスタへロードすると、この RDAC レジスタは自動的に対応する入力レジスタを上書きします。

### リニア・ゲイン設定モード

AD5121/AD5141 の特許取得済みのアーキテクチャにより、各ストリング抵抗  $R_{AW}$  と  $R_{WB}$  の独立な制御が可能です。この機能をイネーブルするときは、コマンド 16 (表 16 参照) を使って、コントロール・レジスタのビット D2 をセットします(表 18 参照)。

この動作モードでは、一点 W ピンで接続された 2 個の独立な可変抵抗器としてポテンショメータを制御することができます。これに対して、ポテンショメータ・モードでは各抵抗は  $R_{AW} = R_{AB} - R_{WB}$  として相補的になります。

この機能では、チャンネルごとに 2 つ目の入力と RDAC レジスタが可能になりますが(表 16 参照)、実際の RDAC 値は不変に維持されます。同じ動作が、ポテンショメータ・モードとリニア・ゲイン設定モードで可能です。

INDEP ピンをハイ・レベルにすると、デバイスはリニア・ゲイン設定モードでパワーアップし、各チャンネルの対応するメモリ・ロケーションに格納されている値がロードされます(表 17 参照)。INDEP ピンと D2 ビットは内部で論理和ゲートに接続されているため、一方または両方が 1 の場合、デバイスはポテンショメータ・モードで動作することはできません。

### 低ワイパー抵抗機能

AD5121/AD5141 には、フルスケールまたはゼロスケールを実現するときピン間のワイパー抵抗を小さくする 2 つのコマンドがあります。これらの追加ポジションは、ボトムスケール BS とトップスケール TS と呼ばれます。トップスケールでのピン A とピン W の間の抵抗は  $R_{TS}$  で規定されます。同様に、ピン B とピン W の間のボトムスケール抵抗は  $R_{BS}$  で規定されます。

RDAC レジスタ値は、これらのポジションになっても変化しません。トップスケールとボトムスケールから抜け出す方法は 2 つあります。1 つ目はコマンド 12 またはコマンド 13 を使う方法です(表 16 参照)。2 つ目は新しいデータを RDAC レジスタへロードする方法で、インクリメント/デクリメント動作とシャットダウン・コマンドを使います。

表 12 と表 13 に、リニア・ゲイン設定モードをイネーブルしたときの、それぞれトップスケール・ポジションとボトムスケール・ポジションの真理値表を示します。

表 12. トップスケールの真理値表

Linear Gain Setting Mode		Potentiometer Mode	
$R_{AW}$	$R_{WB}$	$R_{AW}$	$R_{WB}$
$R_{AB}$	$R_{AB}$	$R_{TS}$	$R_{AB}$

表 13. ボトムスケールの真理値表

Linear Gain Setting Mode		Potentiometer Mode	
$R_{AW}$	$R_{WB}$	$R_{AW}$	$R_{WB}$
$R_{TS}$	$R_{BS}$	$R_{AB}$	$R_{BS}$

### 連続なインクリメント命令とデクリメント命令

インクリメント・コマンドとデクリメント・コマンド(表 16 のコマンド 4 とコマンド 5)は、連続なステップ調整アプリケーションに便利です。これらのコマンドは、デバイスに対してインクリメントまたはデクリメント・コマンドをコントローラから送信させるだけで済むため、マイクロコントローラのソフトウェア・コーディングが簡単になります。調整は個々のポテンショメータごとに、または両ワイパー・ポジションを同時に変更するポテンショメータ・グループで行うことができます。

インクリメント・コマンドの場合、コマンド 4 を実行すると、ワイパーが自動的に次の抵抗セグメント・ポジションに移動します。このコマンドは、シングル・チャンネルまたは複数チャンネルで実行することができます。

### $\pm 6$ dB のインクリメントおよびデクリメント命令

2 種類のプログラミング命令により、ワイパー・ポジション制御の対数傾きインクリメントと対数傾きデクリメントを、個別ポテンショメータごとに、または全 RDAC レジスタ・ポジションを同時に変更するポテンショメータ・グループごとに行います。 $+6$  dB インクリメントはコマンド 6 により、 $-6$  dB デクリメントはコマンド 7 により、それぞれ実行されます(表 16 参照)。例えば、ゼロスケール・ポジションから初めて、コマンド 6 を 10 回実行すると、6 dB ステップでワイパーがフルスケール・ポジションまで移動します。ワイパー・ポジションが最大設定値に近づくと、最後の 6 dB インクリメント命令でワイパーがフルスケール・ポジションに移動します(表 14 参照)。



ワイパー・ポジションを+6 dBだけインクリメントすると、RDACレジスタ値が2倍にされます。-6 dBだけデクリメントすると、レジスタ値が1/2倍されます。内部的には、AD5121/AD5141はシフトレジスタを使って、ビットを左と右にシフトして±6 dBのインクリメントまたはデクリメントを実現します。これらの機能は、様々なオーディオ/ビデオ・レベルの調節や、特に小さな調節より大きな調節に敏感な人の視覚応答での白色LED輝度の設定に便利です。

表 14. ±6dB ステップ・インクリメントとデクリメントの詳しい左および右シフト機能

Left Shift (+6 dB/Step)	Right Shift (-6 dB/Step)
0000 0000	1111 1111
0000 0001	0111 1111
0000 0010	0011 1111
0000 0100	0001 1111
0000 1000	0000 1111
0001 0000	0000 0111
0010 0000	0000 0011
0100 0000	0000 0001
1000 0000	0000 0000
1111 1111	0000 0000

### バースト・モード (I<sup>2</sup>C の場合)

バースト・モードをイネーブルすると、複数のデータバイトを連続的にデバイスへ送ることができます。コマンド・バイトの後ろの連続バイトは、最初のコマンドのデータバイトとして解釈されます。

新しいコマンドは、繰り返しスタートを発生するか、またはストップおよびスタート条件によって送信することができます。バースト・モードは、コントロール・レジスタのビット D3 をセットすることにより開始し (表 18 参照)、リセットまたはパワーダウンを実行すると、自動的にリセットされます。

### リセット

AD5121/AD5141 は、コマンド 14 を実行してソフトウェアから (表 16 参照)、または RESET ピンにロー・パルスを入力してハードウェアからリセットすることができます。リセット・コマンドは、EEPROM 値を RDAC レジスタへロードし、約 30 μs を要します。EEPROM には出荷時にミッドスケールがロードされているため、初期パワーアップ時はミッドスケールになります。使用しない場合は、RESET を V<sub>DD</sub> に接続してください。

### シャットダウン・モード

AD5121/AD5141 は、ソフトウェア・シャットダウン・コマンド (コマンド 15) を実行し、さらに LSB (D0) に 1 を設定して、シャットダウン・モードにすることができます (表 16 参照)。この機能により RDAC は特別な状態に置かれます。RDAC レジスタ値はシャットダウン・モードになっても変化しませんが、シャットダウン・モードでは表 16 に示すすべてのコマンドがサポートされています。シャットダウン・モードを終了するときは、コマンド 15 (表 16 参照) を実行して、さらに LSB (D0) に 0 を設定します。

表 15. シャットダウン・モードの真値表

A2	Linear Gain Setting Mode		Potentiometer Mode	
	AW	WB	AW	WB
0	N/A <sup>1</sup>	Open	Open	R <sub>BS</sub>
1	Open	N/A <sup>1</sup>	N/A <sup>1</sup>	N/A <sup>1</sup>

<sup>1</sup> N/A = 該当しません。

### EEPROM または RDAC レジスタの保護

これらのレジスタの更新をディスエーブルすることにより EEPROM と RDAC レジスタを保護することができます。これはソフトウェアまたはハードウェアにより行うことができます。ソフトウェアからこれらのレジスタを保護する場合は、ビット D0 および/またはビット D1 (表 18 参照) をセットします。これにより、RDAC レジスタと EEPROM レジスタが独立に保護されます。

ハードウェアでレジスタを保護する場合は、 $\overline{\text{WP}}$  ピンをロー・レベルにします。デバイスがコマンドを実行しているときに  $\overline{\text{WP}}$  ピンをロー・レベルにすると、コマンドが完了するまで保護が有効になりません。

RDAC 保護中に可能な唯一の動作は、EEPROM を RDAC レジスタへコピーすることだけです。

### RDAC 入力レジスタのロード (LRDAC)

LRDAC ソフトウェアまたはハードウェアでは、データが入力レジスタから RDAC レジスタへ転送されます (したがって、ワイパー・ポジションが更新されます)。デフォルトでは、入力レジスタは RDAC レジスタと同じ値を持っているため、コマンド 2 を使って更新された入力レジスタのみが更新されます。ソフトウェア LRDAC (コマンド 8) を使うと、シングル RDAC レジスタまたは全チャンネルを 1 回で更新することができます (表 16 参照)。これは同期更新です。

ハードウェア LRDAC は完全に非同期であり、すべての入力レジスタの値を対応する RDAC レジスタへコピーします。コマンドが実行されると、データ破壊を防止するため、LRDAC ピンの変化は無視されます。

### INDEP ピン

パワーアップ時に INDEP ピンをハイ・レベルにすると、デバイスはリニア・ゲイン設定モードで動作し、各ストリング抵抗 R<sub>AW</sub> と R<sub>WB</sub> に EEPROM に格納されている値をロードします (表 17 参照)。このピンをロー・レベルにすると、デバイスはポテンシオメータ・モードでパワーアップします。

INDEP ピンと D2 ビットは内部で論理和ゲートに接続されているため、一方または両方が 1 の場合、デバイスはポテンシオメータ・モードで動作することはできません (表 18 参照)。



表 16. 高度なコマンド動作の真理値表

Command Number	Control Bits[DB15:DB12]				Address Bits[DB11:DB8] <sup>1</sup>				Data Bits[DB7:DB0] <sup>1</sup>								Operation		
	C3	C2	C1	C0	A3	A2	A1	A0	D7	D6	D5	D4	D3	D2	D1	D0			
0	0	0	0	0	X	X	X	X	X	X	X	X	X	X	X	X	NOP: do nothing		
1	0	0	0	1	0	A2	0	A0	D7	D6	D5	D4	D3	D2	D1	D0	Write contents of serial register data to RDAC		
2	0	0	1	0	0	A2	0	A0	D7	D6	D5	D4	D3	D2	D1	D0	Write contents of serial register data to input register		
3	0	0	1	1	X	A2	A1	A0	X	X	X	X	X	X	D1	D0	Read back contents		
																	<b>D1</b>	<b>D0</b>	<b>Data</b>
																	0	0	Input register
																	0	1	EEPROM
1	0	Control register																	
1	1	1	RDAC																
4	0	1	0	0	A3	A2	0	A0	X	X	X	X	X	X	X	1	Linear RDAC increment		
5	0	1	0	0	A3	A2	0	A0	X	X	X	X	X	X	X	0	Linear RDAC decrement		
6	0	1	0	1	A3	A2	0	A0	X	X	X	X	X	X	X	1	+6 dB RDAC increment		
7	0	1	0	1	A3	A2	0	A0	X	X	X	X	X	X	X	0	-6 dB RDAC decrement		
8	0	1	1	0	A3	A2	0	A0	X	X	X	X	X	X	X	X	Copy input register to RDAC (software LRDAC)		
9	0	1	1	1	0	A2	0	A0	X	X	X	X	X	X	X	1	Copy RDAC register to EEPROM		
10	0	1	1	1	0	A2	0	A0	X	X	X	X	X	X	X	0	Copy EEPROM into RDAC		
11	1	0	0	0	0	A2	0	A0	D7	D6	D5	D4	D3	D2	D1	D0	Write contents of serial register data to EEPROM		
12	1	0	0	1	A3	A2	0	A0	1	X	X	X	X	X	X	D0	Top scale D0 = 0; normal mode D0 = 1; shutdown mode		
13	1	0	0	1	A3	A2	0	A0	0	X	X	X	X	X	X	D0	Bottom scale D0 = 1; enter D0 = 0; exit		
14	1	0	1	1	X	X	X	X	X	X	X	X	X	X	X	X	Software reset		
15	1	1	0	0	A3	A2	0	A0	X	X	X	X	X	X	X	D0	Software shutdown D0 = 0; normal mode D0 = 1; device placed in shutdown mode		
16	1	1	0	1	X	X	X	X	X	X	X	D3	D2	D1	D0	Copy serial register data to control register			

<sup>1</sup> X = don't care

表 17. アドレス・ビット

A3	A2	A1	A0	Potentiometer Mode		Linear Gain Setting Mode		Stored RDAC Memory
				Input Register	RDAC Register	Input Register	RDAC Register	
1	X <sup>1</sup>	X <sup>1</sup>	X <sup>1</sup>	All channels	All channels	All channels	All channels	Not applicable
0	0	0	0	RDAC	RDAC	R <sub>WB</sub>	R <sub>WB</sub>	RDAC/R <sub>WB</sub>
0	1	0	0	Not applicable	Not applicable	R <sub>AW</sub>	R <sub>AW</sub>	Not applicable
0	0	0	1	Not applicable	Not applicable	Not applicable	Not applicable	R <sub>AW</sub>
0	0	1	0	Not applicable	Not applicable	Not applicable	Not applicable	MSB tolerance
0	0	1	1	Not applicable	Not applicable	Not applicable	Not applicable	LSB tolerance

<sup>1</sup> X = don't care

表 18. コントロール・レジスタ・ビットの説明

Bit Name	Description
D0	RDAC register write protect 0 = wiper position frozen to value in EEPROM memory 1 = allows update of wiper position through digital interface (default)
D1	EEPROM program enable 0 = EEPROM program disabled 1 = enables device for EEPROM program (default)
D2	Linear setting mode/potentiometer mode 0 = potentiometer mode (default) 1 = linear gain setting mode
D3	Burst mode (I <sup>2</sup> C only) 0 = disabled (default) 1 = enabled (no disable after stop or repeat start condition)

RDAC アーキテクチャ

最適性能を実現するため、アナログ・デバイセズはすべてのデジタル・ポテンショメータに対して特許取得済みの RDAC セグメント化アーキテクチャを採用しています。特に、AD5121/AD5141 では 3 ステージ・セグメント化を採用しています(図 41 参照)。AD5121/AD5141 ワイパー・スイッチは、トランスミッション・ゲート CMOS 回路を採用してデザインされており、ゲート電圧は  $V_{DD}$  と  $V_{SS}$  から発生しています。

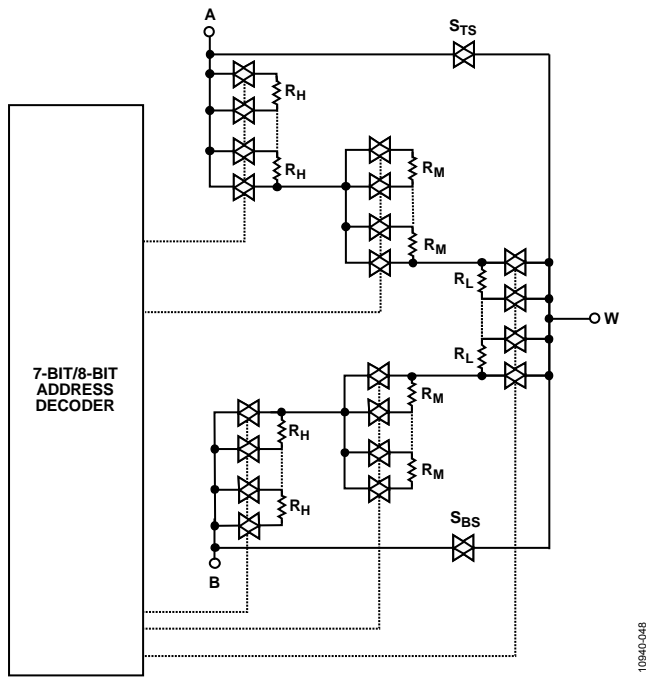


図 41. AD5121/AD5141 の簡略化した RDAC 回路

トップスケール/ボトムスケール・アーキテクチャ

さらに、AD5121/AD5141 はピン間の抵抗を小さくする新しいポジションを持っています。これらの追加ポジションは、ボトムスケールおよびトップスケールと呼ばれます。ボトムスケールでは、ワイパー抵抗(typ)は  $130\ \Omega$  から  $60\ \Omega$  へ減少しています ( $R_{AB} = 100\ \text{k}\Omega$ )。トップスケールでは、ピン A とピン W の間の抵抗は 1 LSB 減少して、合計抵抗は  $60\ \Omega$  に減少しています ( $R_{AB} = 100\ \text{k}\Omega$ )。

可変抵抗器のプログラミング

可変抵抗器動作  $\pm 8\%$  抵抗許容誤差

2本のピンを1つの可変抵抗として使用すると、AD5121/AD5141 は可変抵抗器モードで動作します。未使用ピンはフローティングのままか、ピン W へ接続しておくことができます(図 42 参照)。

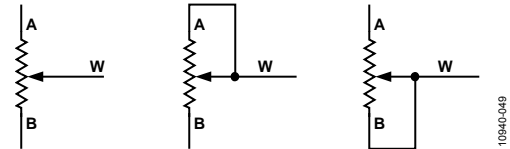


図 42. 可変抵抗器モードの構成

ピン A とピン B の間の公称抵抗  $R_{AB}$  は  $10\ \text{k}\Omega$  または  $100\ \text{k}\Omega$  で、ワイパー・ピンからアクセスされる 128/256 個のタップ・ポイントを持っています。RDAC ラッチ内の 7/8 ビット・データがデコードされて、128/256 通りのワイパー設定値を選択します。デジタル的にプログラムしたピン W とピン B の間の出力抵抗を決定する一般式は、次のようになります。

AD5121:

$$R_{WB}(D) = \frac{D}{128} \times R_{AB} + R_W \quad 0x00 \sim 0x7F \quad (1)$$

AD5141:

$$R_{WB}(D) = \frac{D}{256} \times R_{AB} + R_W \quad 0x00 \sim 0xFF \quad (2)$$

ここで、 $D$  は、7/8 ビット RDAC レジスタにロードされるバイナリ・コード・データの 10 進数表示。 $R_{AB}$  はピン間抵抗。 $R_W$  はワイパー抵抗。

ポテンショメータ・モードでは、機械的ポテンショメータと同様に、ピン W とピン A の間の RDAC 抵抗もデジタル的に制御された相補抵抗  $R_{WA}$  として発生されます。 $R_{WA}$  でも最大絶対抵抗誤差は 8% です。 $R_{WA}$  は最大抵抗値から開始して、ラッチにロードされるデータが大きくなると減少します。この動作の一般式は次のようになります。

AD5121:

$$R_{AW}(D) = \frac{128 - D}{128} \times R_{AB} + R_W \quad 0x00 \sim 0x7F \quad (3)$$

AD5141:

$$R_{AW}(D) = \frac{256 - D}{256} \times R_{AB} + R_W \quad 0x00 \sim 0xFF \quad (4)$$

ここで、 $D$  は、7/8 ビット RDAC レジスタにロードされるバイナリ・コード・データの 10 進数表示。 $R_{AB}$  はピン間抵抗。 $R_W$  はワイパー抵抗。

デバイスがリニア・ゲイン設定モードに設定されると、ピン W とピン A の間の抵抗は、対応する RDAC レジスタにロードされたコードに比例します。この動作の一般式は次のようになります。

AD5121:

$$R_{AW}(D) = \frac{D}{128} \times R_{AB} + R_W \quad 0x00 \sim 0x7F \quad (5)$$

AD5141:

$$R_{AW}(D) = \frac{D}{256} \times R_{AB} + R_W \quad 0x00 \sim 0xFF \quad (6)$$

ここで、 $D$  は、7/8 ビット RDAC レジスタにロードされるバイナリ・コード・データの 10 進数表示。

$R_{AB}$  はピン間抵抗。

$R_W$  はワイパー抵抗。

ボトムスケール状態またはトップスケール状態では、有限な合計ワイパー抵抗が  $40 \Omega$  になります。デバイスが動作している設定値に無関係に、ピン A とピン B 間、ピン W とピン A 間、ピン W とピン B 間の電流を  $\pm 6 \text{ mA}$  の最大連続電流に、または表 7 に規定するパルス電流に、制限するように注意してください。そうしないと、内部スイッチ・コンタクトの性能低下または破壊が生ずる恐れがあります。

### 実際のピン間抵抗の計算

抵抗許容誤差は工場出荷テスト時に内部メモリに保存されます。このため、実際のピン間抵抗を計算することができ、これはキャリブレーション、許容誤差の一致、高精度アプリケーションで役立ちます。

パーセント抵抗許容誤差は、固定小数点フォーマットにより 16 ビット符号付きバイナリで保存されています。符号ビット(0 = 負、1 = 正)と整数部分はアドレス  $0x02$  に配置されています(表 19 参照)。アドレス  $0x03$  には、非整数部分が格納されています(表 19 参照)。

すなわち、アドレス  $0x02$  から読出したデータが  $00000010$  で、かつアドレス  $0x03$  から読出したデータが  $10110000$  の場合、ピン間抵抗は次のように計算されます。

表 19. ピン間抵抗の各バイト

Memory Map Address	Data Byte							
	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
0x02	Sign	$2^6$	$2^5$	$2^4$	$2^3$	$2^2$	$2^1$	$2^0$
0x03	$2^{-1}$	$2^{-2}$	$2^{-3}$	$2^{-4}$	$2^{-5}$	$2^{-6}$	$2^{-7}$	$2^{-8}$

メモリ・マップ・アドレス  $0x02$  については、 $DB[7] = 0 = \text{負}$ 、かつ  $DB[6:0] = 0000010 = 2$  です。  
メモリ・マップ・アドレス  $0x03$  については、 $DB[7:0] = 10110000 = 176 \times 2^{-8} = 0.6875$ 、したがって、偏差 =  $-2.6875\%$ 、かつ  $R_{AB} = 9.731 \text{ k}\Omega$  です。

## ポテンショメータ分圧器のプログラミング

### 電圧出力動作

デジタル・ポテンショメータは、A—B 間の入力電圧に比例した分圧電圧を W—B 間および W—A 間に容易に発生することができます(図 43 参照)。

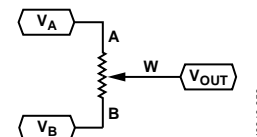


図 43. ポテンショメータ・モード構成

ピン A を  $5 \text{ V}$  へ、ピン B をグラウンドへ、それぞれ接続すると、ワイパー W とピン B の間に  $0 \text{ V} \sim 5 \text{ V}$  の範囲の出力電圧が得られます。ピン A とピン B に与えられる有効な入力電圧に対する出力電圧  $V_W$ (グラウンド基準)を求める一般式は次のようになります。

$$V_W(D) = \frac{R_{WB}(D)}{R_{AB}} \times V_A + \frac{R_{AW}(D)}{R_{AB}} \times V_B \quad (7)$$

ここで、

$R_{WB}(D)$  は式 1 と式 2 から求めることができます。

$R_{AW}(D)$  は式 3 と式 4 から求めることができます。

分圧器モードでのデジタル・ポテンショメータの動作は、温度に対して正確な動作になります。可変抵抗器モードと異なり、出力電圧は絶対値ではなく内部抵抗  $R_{AW}$  と  $R_{WB}$  の比に依存します。したがって、温度ドリフトは  $5 \text{ ppm}/^\circ\text{C}$  に減少します。

## ピン電圧の動作範囲

AD5121/AD5141 は、内蔵保護 ESD ダイオードを使ってデザインされています。これらのダイオードも、ピン動作電圧の範囲を決定しています。A、B、W の各ピンで正信号が  $V_{DD}$  を超えると、順方向にバイアスされたダイオードによりクランプされます。 $V_A$ 、 $V_W$ 、 $V_B$  の間には極性の制約はありませんが、これらの電圧は  $V_{DD}$  を上回ることはできません。

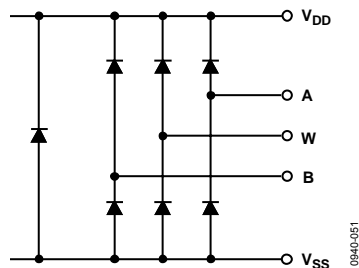


図 44.  $V_{DD}$  と  $V_{SS}$  により設定される最大ピン電圧

## パワーアップ・シーケンス

ピン A、ピン B、ピン W での電圧コンプライアンスを制限するダイオードが内蔵されているため(図 44)、ピン A、ピン B、ピン W に電圧を加える前に先に  $V_{DD}$  を加えることが重要です。そうしないと、ダイオードが順方向バイアスされて、意図せずに  $V_{DD}$  に電源が接続されてしまいます。最適なパワーアップ・シーケンスは、 $V_{SS}$ 、 $V_{DD}$ 、 $V_{LOGIC}$ 、デジタル入力、 $V_A$ 、 $V_B$ 、 $V_W$  の順序です。 $V_A$ 、 $V_B$ 、 $V_W$ 、デジタル入力の電源投入順は、 $V_{SS}$ 、 $V_{DD}$ 、 $V_{LOGIC}$  の投入後であれば、重要ではありません。パワーアップ・シーケンスと電源のランプ・レートに無関係に、 $V_{LOGIC}$  が投入されると、パワーオン・プリセットが起動し、EEPROM に格納された値が RDAC レジスタへ転送されます。

## レイアウトと電源のバイパス

小型で最短の線によるレイアウト・デザインは重要です。入力までの線は、最小の導体長で可能な限り真っ直ぐにします。グラウンド・パスの抵抗とインダクタンスは小さくする必要があります。高品質のコンデンサを使って電源をバイパスすることも重要です。ESR の小さい  $1\ \mu\text{F}$ ~ $10\ \mu\text{F}$  のタンタル・コンデンサまたは電解コンデンサも電源に接続して、過渡電圧を抑え、かつ低周波リップルを除去する必要があります。図 45 に、AD5121/AD5141 に対する基本的な電源バイパス構成を示します。

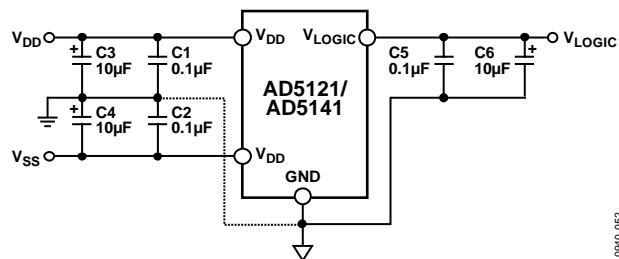
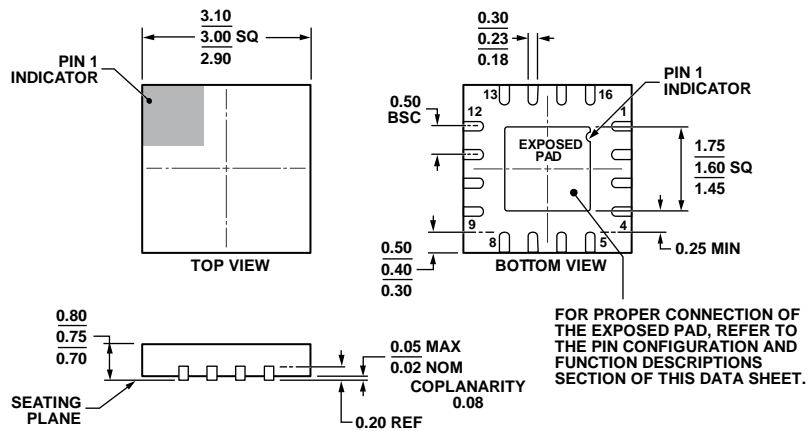


図 45. 電源のバイパス

外形寸法



COMPLIANT TO JEDEC STANDARDS MO-220-WEED-6.

08-16-2010E

図 46.16 ピン・リードフレーム・チップ・スケール・パッケージ[LFCSP\_WQ]  
3 mm x 3 mm ボディ、極薄クワッド  
(CP-16-22)  
寸法: mm

オーダー・ガイド

Model <sup>1,2</sup>	R <sub>AB</sub> (kΩ)	Resolution	Interface	Temperature Range	Package Description	Package Option	Branding
AD5121BCPZ10-RL7	10	128	SPI/I <sup>2</sup> C	-40°C to +125°C	16-Lead LFCSP_WQ	CP-16-22	DHE
AD5121BCPZ100-RL7	100	128	SPI/I <sup>2</sup> C	-40°C to +125°C	16-Lead LFCSP_WQ	CP-16-22	DHF
AD5141BCPZ10-RL7	10	256	SPI/I <sup>2</sup> C	-40°C to +125°C	16-Lead LFCSP_WQ	CP-16-22	DHC
AD5141BCPZ100-RL7	100	256	SPI/I <sup>2</sup> C	-40°C to +125°C	16-Lead LFCSP_WQ	CP-16-22	DHD
EVAL-AD5141DBZ					Evaluation Board		

<sup>1</sup> Z = RoHS 準拠製品。

<sup>2</sup> 評価用ボードは 10 kΩ R<sub>AB</sub> の抵抗オプションで出荷されますが、ボードは使用可能な両抵抗値オプションと互換性があります。