

AD5025/AD5045/AD5065

特長

低消費電力のデュアル 12/14/16 ビット DAC、 ± 1 LSB INL
個別にリファレンス電圧ピンを装備
レール to レール動作
電源電圧: 4.5 V~5.5 V
パワーオン・リセットでゼロ・スケールまたはミッド・スケールを出力
5 V で 400 nA にパワーダウン
3 種類のパワーダウン機能を装備
チャンネルごとにパワーダウン
パワーアップ時に低グリッチ
ハードウェアによるパワーダウン・ロックアウト機能
ハードウェアLDAC (ソフトウェアLDACが優先)
プログラマブルなコードへのCLR機能
オプションの SDO デジチェーン接続機能
14 ピン TSSOP を採用

アプリケーション

プロセス制御
データ・アキュイジション・システム
携帯型バッテリー駆動の計装機器
ゲインとオフセットのデジタル調整
プログラマブルな電圧源と電流源
プログラマブルな減衰器

概要

AD5025/AD5045/AD5065 は、 ± 1 LSB INL の相対精度仕様で個別リファレンス・ピンを持ち、4.5 V~5.5 V の単電源で動作できる低消費電力 12/14/16 ビット・バッファ付き電圧出力デュアル nanoDAC[®] DAC です。また、AD5025/AD5045/AD5065 の差動精度仕様は ± 1 LSB です。このデバイスは、最大 50 MHz のクロック・レートで動作し、かつ SPI[®]、QSPI[™]、MICROWIRE[™]、DSP の各インターフェース規格と互換性を持つ多機能の 3 線式低消費電力シュミット・トリガ・シリアル・インターフェースを内蔵しています。AD5025/AD5045/AD5065 のリファレンス電圧は外部ピンから供給し、リファレンス・バッファが付いています。AD5025/AD5045/AD5065 は、パワーアップ時にデバイスに

対する有効な書き込みが行われるまで DAC 出力を 0 V に維持するパワーオン・リセット回路を内蔵しています。AD5025/AD5045/AD5065 には、消費電流を 5 V で 400 μ A (typ) まで削減するパワーダウン機能があり、パワーダウン・モードでの出力負荷をソフトウェアから選択することができます。このデバイスはシリアル・インターフェースを使ってパワーダウン・モードに設定することができます。総合未調整誤差は 2.5 mV 以下です。このデバイスのパワーアップ時のグリッチは非常に小さくなっています。すべての DAC 出力は、LDAC 機能を使い同時に更新することができ、さらに同時更新する DAC チャンネルを選択することができます。また、ソフトウェアから選択可能なコード(0 V、ミッド・スケール、またはフルスケール)へすべての DAC を非同期にクリアする CLR ピンも持っています。このデバイスにはパワーダウン・ロックアウト・ピン PDL があり、このピンを使うと、DAC がシリアル・インターフェースを介してパワーダウンしないように設定することができます。

製品のハイライト

1. 14 ピン TSSOP パッケージを採用した 2 チャンネル構成で、かつリファレンス電圧ピンを個別に装備。
2. 12/14/16 ビット精度、 ± 1 LSB INL。
3. パワーアップ時のグリッチが小さい。
4. 最大 50 MHz のクロック速度を持つ高速シリアル・インターフェースを内蔵。
5. 3 種類のパワーダウン・モードが使用可能。
6. 既知出力電圧(ゼロ・スケールまたはミッド・スケール)へリセット。
7. パワーダウン・ロックアウト機能を装備。

表 1. 関連デバイス

Part No.	Description
AD5666	Quad, 16-bit buffered DAC, 16 LSB INL, TSSOP
AD5024/AD5044/AD5064	Quad 16-bit nanoDAC, 1 LSB INL, TSSOP
AD5062/AD5063	16-bit nanoDAC, 1 LSB INL, MSOP
AD5061	16-bit nanoDAC, 4 LSB INL, SOT-23
AD5040/AD5060	14-/16-bit nanoDAC, 1 LSB INL, SOT-23

機能ブロック図

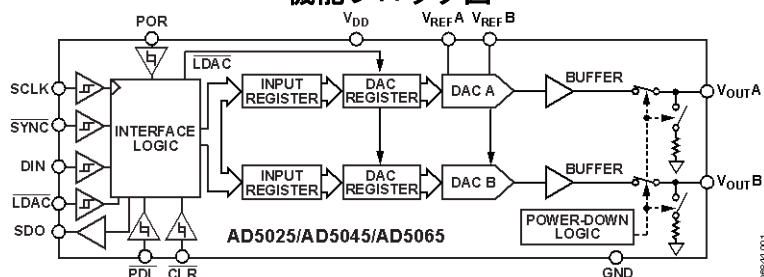


図 1.

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、各社の所有に属します。
※日本語データシートは REVISION が古い場合があります。最新の内容については、英語版をご参照ください。
©2008 Analog Devices, Inc. All rights reserved.

Rev. 0

目次

特長.....	1	入力レジスタ.....	17
アプリケーション.....	1	スタンダアロン・モード.....	19
概要.....	1	<u>SYNC</u> 割り込み.....	19
製品のハイライト.....	1	ディジーチェーン接続.....	19
機能ブロック図.....	1	パワーオン・リセットとソフトウェア・リセット.....	20
改訂履歴.....	2	パワーダウン・モード.....	20
仕様.....	3	クリア・コード・レジスタ.....	21
AC 特性.....	5	<u>LDAC</u> 機能.....	21
タイミング特性.....	6	パワーダウン・ロックアウト.....	22
絶対最大定格.....	8	電源のバイパスとグラウンド接続.....	22
ESD の注意.....	8	マイクロプロセッサ・インターフェース.....	23
ピン配置およびピン機能説明.....	9	アプリケーション情報.....	24
代表的な性能特性.....	10	AD5025/AD5045/AD5065 の電源としてのリファレンス電圧の 使用.....	24
用語.....	16	AD5025/AD5045/AD5065 を使用したバイポーラ動作.....	24
動作原理.....	17	AD5025/AD5045/AD5065 の電流絶縁インターフェースでの使 用.....	24
D/A コンバータ.....	17	外形寸法.....	25
DAC アーキテクチャ.....	17	オーダー・ガイド.....	25
リファレンス・バッファ.....	17		
出力アンプ.....	17		
シリアル・インターフェース.....	17		

改訂履歴

10/08—Revision 0: Initial Version

仕様

特に指定がない限り、 $V_{DD} = 4.5\text{ V} \sim 5.5\text{ V}$ 、 $R_L = 5\text{ k}\Omega$ (GNDへ接続)、 $C_L = 200\text{ pF}$ (GNDへ接続)、 $2.5\text{ V} \leq V_{REFIN} \leq V_{DD}$ 。特に指定のない限り、すべての仕様は $T_{MIN} \sim T_{MAX}$ で規定。

表 2.

Parameter	B Grade ¹			A Grade ^{1, 2}			Unit	Conditions/Comments
	Min	Typ	Max	Min	Typ	Max		
STATIC PERFORMANCE ³								
Resolution	16 14 12			16			Bits	
AD5065								
AD5045								
AD5025								
Relative Accuracy								
AD5065		±0.4	±1		±0.5	±4	LSB	T _A = −40°C to +105°C
AD5065		+0.4	±2		±0.5	±4		T _A = −40°C to +125°C
AD5045		±0.1	±0.5				LSB	T _A = −40°C to +105°C
AD5045		±0.1	±1					T _A = −40°C to +125°C
AD5025		±0.05	±0.25				LSB	T _A = −40°C to +105°C
AD5025		±0.05	±0.5					T _A = −40°C to +125°C
Differential Nonlinearity		±0.2	±1		±0.2	±1	LSB	
Total Unadjusted Error		±0.2	±2.5		±0.2	±2.5	mV	V _{REF} = 2.5 V; V _{DD} = 5.5 V
Offset Error		±0.2	±1.8		±0.2	±1.8	mV	Code 512 (AD5065), Code 128 (AD5045), Code 32 (AD5025) loaded to DAC register
Offset Error Drift ⁴		±2			±2		μV/°C	
Full-Scale Error		±0.01	±0.07		±0.0 1	±0.07	% FSR	All 1s loaded to DAC register, V _{REF} < V _{DD}
Gain Error		±0.00 5	±0.05		±0.0 05	±0.05	% FSR	
Gain Temperature Coefficient ⁴		±1			±1		ppm	Of FSR/°C
DC Crosstalk ⁴			40			40	μV	Due to single channel full-scale output change, R _L = 5 kΩ to GND or V _{DD}
			40			40	μV/mA	Due to load current change
			40			40	μV	Due to powering down (per channel)
OUTPUT CHARACTERISTICS ⁴								
Output Voltage Range	0		V _{DD}	0		V _{DD}	V	
Capacitive Load Stability			1			1	nF	R _L = 5 kΩ, R _L = 100 kΩ, and R _L = ∞
DC Output Impedance								
Normal Mode		0.5			0.5		Ω	
Power-Down Mode								
Output Connected to 100 kΩ Network		100			100		kΩ	Output impedance tolerance ± 400 Ω
Output Connected to 1 kΩ Network		1			1		kΩ	Output impedance tolerance ± 20 Ω
Short-Circuit Current		60			60		mA	DAC = full scale, output shorted to GND
		45			45		mA	DAC = zero-scale, output shorted to V _{DD}
Power-Up Time		4.5			4.5		μs	Time to exit power-down mode to normal mode of AD5024/AD5044/AD5064, 32 nd clock edge to 90% of DAC midscale value, output unloaded
DC PSRR		−92			−92		dB	V _{DD} ± 10%, DAC = full scale, V _{REF} < V _{DD}
REFERENCE INPUTS								
Reference Input Range	2.2		V _{DD}	2.2		V _{DD}	V	
Reference Current		35	50		35	50	μA	Per DAC channel
Reference Input Impedance		120			120		kΩ	

Parameter	B Grade ¹			A Grade ^{1,2}			Unit	Conditions/Comments
	Min	Typ	Max	Min	Typ	Max		
LOGIC INPUTS								
Input Current ⁵			±1			±1	μA	
Input Low Voltage, V_{INL}			0.8			0.8	V	
Input High Voltage, V_{INH}	2.2			2.2			V	
Pin Capacitance ⁴		4			4		pF	
LOGIC OUTPUTS (SDO) ^{3,4}								
Output Low Voltage, V_{OL}			0.4			0.4	V	$I_{\text{SINK}} = 2 \text{ mA}$
Output High Voltage, V_{OH}	$V_{\text{DD}} - 1$			$V_{\text{DD}} - 1$				$I_{\text{SOURCE}} = 2 \text{ mA}$
High Impedance Leakage Current ⁴		±0.002	±1		±0.002	±1	μA	
High Impedance Output Capacitance		7			7		pF	
POWER REQUIREMENTS								
V_{DD}	4.5		5.5	4.5		5.5	V	
I_{DD} ⁶								DAC active, excludes load current
Normal Mode		2.2	2.7		2.2	2.7	mA	$V_{\text{IH}} = V_{\text{DD}}$ and $V_{\text{IL}} = \text{GND}$
All Power-Down Modes ⁷		0.4	2		0.4	2	μA	$T_{\text{A}} = -40^{\circ}\text{C}$ to $+105^{\circ}\text{C}$
			30			30	μA	$T_{\text{A}} = -40^{\circ}\text{C}$ to $+125^{\circ}\text{C}$

¹ 温度範囲 (typ)は、25°C で -40°C ～ +125°C です。

² A グレードは AD5065 のみ提供。

³ 直線性はコード範囲を縮小して計算(AD5065 ではコード 512 ～コード 65,024、AD5045 ではコード 128～コード 16,256、AD5025 ではコード 32 ～コード 4064)。出力は無負荷。

⁴ デザインとキャラクタライゼーションにより保証しますが、出荷テストは行いません。

⁵ 各デジタル・ピンに流入または流出する電流。

⁶ インターフェースは非アクティブ状態。すべての DAC はアクティブ状態。DAC 出力は無負荷。

⁷ 両 DAC はパワーダウン。

AC 特性

$V_{DD} = 4.5\text{ V} \sim 5.5\text{ V}$ 、 $R_L = 5\text{ k}\Omega$ (GND へ接続)、 $C_L = 200\text{ pF}$ (GND へ接続)、 $2.5\text{ V} \leq V_{REFIN} \leq V_{DD}$ 。特に指定のない限り、すべての仕様は $T_{MIN} \sim T_{MAX}$ で規定。

表 3.

Parameter ¹	Min	Typ	Max	Unit	Conditions/Comments ²
Output Voltage Settling Time		5.8	8	μs	$\frac{1}{4}$ to $\frac{3}{4}$ scale settling to $\pm 1\text{ LSB}$, $R_L = 5\text{ k}\Omega$ single-channel update including DAC calibration sequence
Output Voltage Settling Time		10.7	13	μs	$\frac{1}{4}$ to $\frac{3}{4}$ scale settling to $\pm 1\text{ LSB}$, $R_L = 5\text{ k}\Omega$ all channel update including DAC calibration sequence
Slew Rate		1.5		$\text{V}/\mu\text{s}$	
Digital-to-Analog Glitch Impulse ³		4		$\text{nV}\cdot\text{sec}$	1 LSB change around major carry
Reference Feedthrough ³		-90		dB	$V_{REF} = 3\text{ V} \pm 0.86\text{ V p-p}$, frequency = 100 Hz to 100 kHz
SDO Feedthrough		0.07		$\text{nV}\cdot\text{sec}$	Daisy-chain mode; SDO load is 10 pF
Digital Feedthrough ³		0.1		$\text{nV}\cdot\text{sec}$	
Digital Crosstalk ³		1.9		$\text{nV}\cdot\text{sec}$	
Analog Crosstalk ³		1.2		$\text{nV}\cdot\text{sec}$	
DAC-to-DAC Crosstalk ³		2.1		$\text{nV}\cdot\text{sec}$	
Multiplying Bandwidth ³		340		kHz	$V_{REF} = 3\text{ V} \pm 0.86\text{ V p-p}$
Total Harmonic Distortion ³		-80		dB	$V_{REF} = 3\text{ V} \pm 0.86\text{ V p-p}$, frequency = 10 kHz
Output Noise Spectral Density		64		$\text{nV}/\sqrt{\text{Hz}}$	DAC code = 0x8400, 1 kHz
		60		$\text{nV}/\sqrt{\text{Hz}}$	DAC code = 0x8400, 10 kHz
Output Noise		6		$\mu\text{V p-p}$	0.1 Hz to 10 Hz

¹ デザインとキャラクタライゼーションにより保証しますが、出荷テストは行いません。

² 温度範囲 (typ)は、25°C で-40°C～+125°Cです。

³ 用語のセクション参照。

タイミング特性

すべての入力信号は $t_R = t_F = 1 \text{ ns/V}$ (V_{DD} の 10% から 90%) で規定し、電圧レベル ($V_{IL} + V_{IH}$)/2 からの時間とします。図 3 と図 4 参照。 $V_{DD} = 4.5 \text{ V} \sim 5.5 \text{ V}$ 。特に指定がない限り、すべての仕様は $T_{MIN} \sim T_{MAX}$ で規定。

表 4.

Parameter	Symbol	Min	Typ	Max	Unit
SCLK Cycle Time	t_1^1	20			ns
SCLK High Time	t_2	10			ns
SCLK Low Time	t_3	10			ns
$\overline{\text{SYNC}}$ to SCLK Falling Edge Setup Time	t_4	16.5			ns
Data Setup Time	t_5	5			ns
Data Hold Time	t_6	5			ns
SCLK Falling Edge to $\overline{\text{SYNC}}$ Rising Edge	t_7	0		30	ns
Minimum $\overline{\text{SYNC}}$ High Time (Single Channel Update)	t_8	2			μs
Minimum $\overline{\text{SYNC}}$ High Time (All Channel Update)	t_8	4			μs
$\overline{\text{SYNC}}$ Rising Edge to SCLK Fall Ignore	t_9	17			ns
$\overline{\text{LDAC}}$ Pulse Width Low	t_{10}	20			ns
SCLK Falling Edge to $\overline{\text{LDAC}}$ Rising Edge	t_{11}	20			ns
$\overline{\text{CLR}}$ Pulse Width Low	t_{12}	10			ns
SCLK Falling Edge to $\overline{\text{LDAC}}$ Falling Edge	t_{13}	10			ns
$\overline{\text{CLR}}$ Pulse Activation Time	t_{14}	10.6			μs
SCLK Rising Edge to $\overline{\text{SDO}}$ Valid	$t_{15}^{2,3}$			22	ns
SCLK Falling Edge to $\overline{\text{SYNC}}$ Rising Edge	t_{16}^2	5		30	ns
$\overline{\text{SYNC}}$ Rising Edge to SCLK Rising Edge	t_{17}^2	8			ns
$\overline{\text{SYNC}}$ Rising Edge to $\overline{\text{LDAC}}/\overline{\text{CLR}}/\overline{\text{PDL}}$ Falling Edge (Single Channel Update)	t_{18}^2	2			μs
$\overline{\text{SYNC}}$ Rising Edge to $\overline{\text{LDAC}}/\overline{\text{CLR}}/\overline{\text{PDL}}$ Falling Edge (All Channel Update)	t_{18}^2	4			μs
$\overline{\text{PDL}}$ Minimum Pulse Width	t_{19}	20			ns

¹ $V_{DD} = 4.5 \text{ V} \sim 5.5 \text{ V}$ での最大 SCLK 周波数は 50 MHz。デザインとキャラクタライゼーションで保証しますが、出荷テストは行いません。

² ディジーチェーン・モードの場合。

³ 図 2 の負荷回路で測定。ディジーチェーン・モードでは t_{15} により最大 SCLK 周波数が決定されます。

回路およびタイミング図

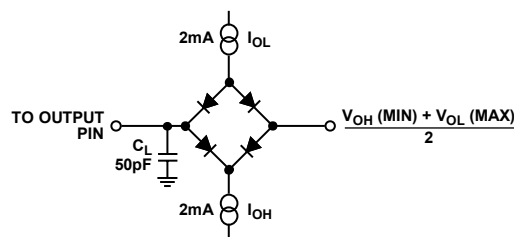
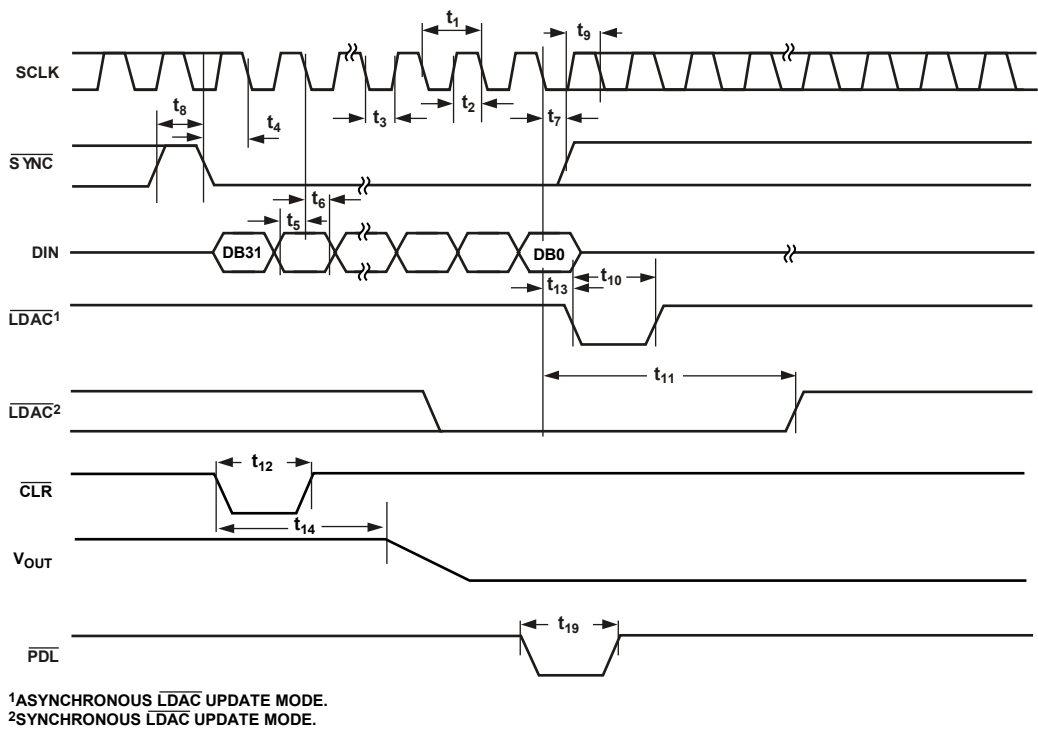
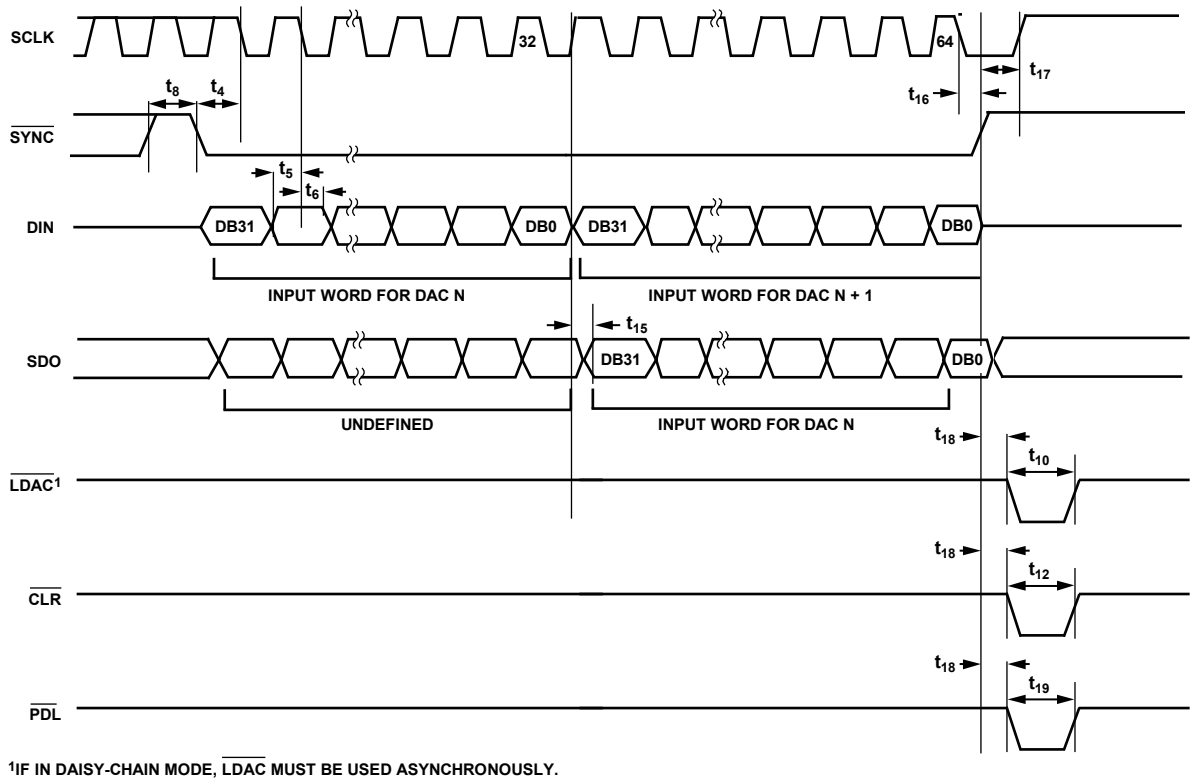


図 2. デジタル出力(SDO)タイミング仕様の負荷回路



06844-003

図 3.シリアル書き込み動作



06844-004

図 4.ディジーチェーン・タイミング図

絶対最大定格

特に指定のない限り、 $T_A = 25^{\circ}\text{C}$ 。

表 5.

Parameter	Rating
V_{DD} to GND	$-0.3\text{ V to }+7\text{ V}$
Digital Input Voltage to GND	$-0.3\text{ V to }V_{DD} + 0.3\text{ V}$
V_{OUTA} or V_{OUTB} to GND	$-0.3\text{ V to }V_{DD} + 0.3\text{ V}$
V_{REFA} or V_{REFB} to GND	$-0.3\text{ V to }V_{DD} + 0.3\text{ V}$
Operating Temperature Range, Industrial	$-40^{\circ}\text{C to }+125^{\circ}\text{C}$
Storage Temperature Range	$-65^{\circ}\text{C to }+150^{\circ}\text{C}$
Junction Temperature ($T_{J\text{ MAX}}$)	150°C
Power Dissipation	$(T_{J\text{ MAX}} - T_A)/\theta_{JA}$
θ_{JA} Thermal Impedance	150.4°C/W
Reflow Soldering Peak Temperature	
SnPb	240°C
Pb-Free	260°C

上記の絶対最大定格を超えるストレスを加えるとデバイスに恒久的な損傷を与えることがあります。この規定はストレス定格の規定のみを目的とするものであり、この仕様の動作のセクシ

ョンに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くとデバイスの信頼性に影響を与えます。

ESD の注意



ESD（静電放電）の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能説明

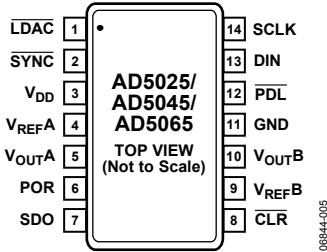
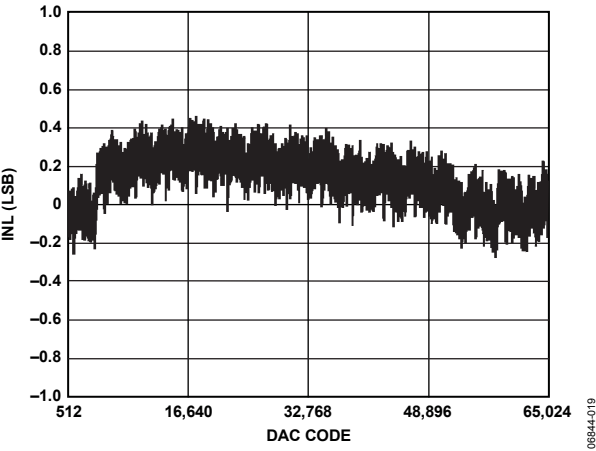


図 5. ピン配置

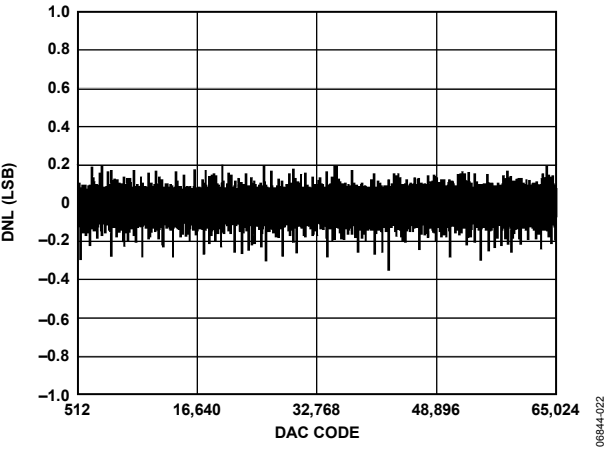
表 6. ピン機能の説明

ピン番号	記号	説明
1	LDAC	入力レジスタに新しいデータがある場合、このピンにロー・レベルのパルスを入力すると、すべての DAC レジスタが更新されます。この信号を使うと、全 DAC 出力を同時に更新することができます。このピンは、スタンダアロン・モードでロー・レベルに固定することができます。ディジーチェーン・モードをイネーブルしたときは、このピンをロー・レベルに固定することはできません。非同期LDAC更新モードでは、LDACピンを使う必要があります(図 3 参照)。LDACピンはパルス入力後にハイ・レベルに戻す必要があります。この信号を使うと、全 DAC 出力を同時に更新することができます。
2	SYNC	アクティブ・ローのコントロール入力。これは、入力データに対するフレーム同期信号です。SYNCがロー・レベルになると、SCLK バッファと DIN バッファが動作を開始し、入力レジスタがイネーブルされます。データは、次の 32 個のクロックの立ち下がりエッジで転送されます。32 個目の立ち下がりエッジの前にSYNCをハイ・レベルにすると、SYNCの立ち上がりエッジは割り込みとして機能するため、デバイスは書き込みシーケンスを無視します。
3	V _{DD}	電源入力。これらのデバイスは 4.5 V~5.5 V で動作し、電源は 10 μF のコンデンサと 0.1 μF のコンデンサとの並列接続により GND ヘデカップリングする必要があります。
4	V _{REFA}	DAC A のリファレンス電圧入力。このピンが DAC A のリファレンス電圧入力ピンになります。
5	V _{OUTA}	DAC A からのアナログ電圧出力。出力アンプはレール to レールの動作を行います。
6	POR	パワーオン・リセット・ピン。このピンを GND に接続すると、デバイスは 0 V でパワーアップします。このピンを V _{DD} に接続すると、デバイスはミッド・スケールでパワーアップします。
7	SDO	シリアル・データ出力。複数のデバイスをディジーチェーン接続する場合、または診断のためにデータをシフトレジスタにリードバックする場合に使用することができます。シリアル・データは SCLK の立ち上がりエッジで転送され、クロックの立ち下がりエッジで有効になります。
8	CLR	非同期のクリア入力。CLR入力は、立ち下がりエッジ検出です。CLRがロー・レベルのときは、すべてのLDACパルスが無視されます。CLRが入力されると、入力レジスタと DAC レジスタはクリア・コード・レジスタの値(ゼロ、ミッド・スケール、またはフルスケール)で更新されます。デフォルト設定では、出力が 0 V にクリアされます。
9	V _{REFB}	DAC B のリファレンス電圧入力。このピンが DAC B のリファレンス電圧入力ピンになります。
10	V _{OUTB}	DAC B からのアナログ電圧出力。出力アンプはレール to レールの動作を行います。
11	GND	デバイス上の全回路に対するグラウンドリファレンス電圧ポイント。
12	PDL	PDLピンは、デバイスのハードウェア・シャットダウン・ロックアウト機能を有効にするときに使います。PLOピンにロジック 1 を入力すると、デバイスは通常動作を行います。PDLピンにロジック 1 を入力した場合、シリアル・インターフェースを介して、ソフトウェア・パワーダウンを実行させることができます。 このピンにロジック 0 を入力すると、デバイスではソフトウェア・パワーダウンを実行できなくなります。デバイスが直前にソフトウェア・パワーダウン・モードにあった場合、PDLピンでハイ・レベルからロー・レベルへの変化があると、DAC はパワーダウン・モードを終了して、ソフトウェア・パワーダウンになる前に DAC レジスタに設定してあるコードに対応する電圧を出力します。
13	DIN	シリアル・データ入力。このデバイスは、32 ビットのシフトレジスタを内蔵しています。データは、シリアル・クロック入力の立ち下がりエッジでレジスタに入力されます。
14	SCLK	シリアル・データ入力。データは、シリアル・クロック入力の立ち下がりエッジでレジスタに入力されます。データは最大 50 MHz のレートで転送できます。

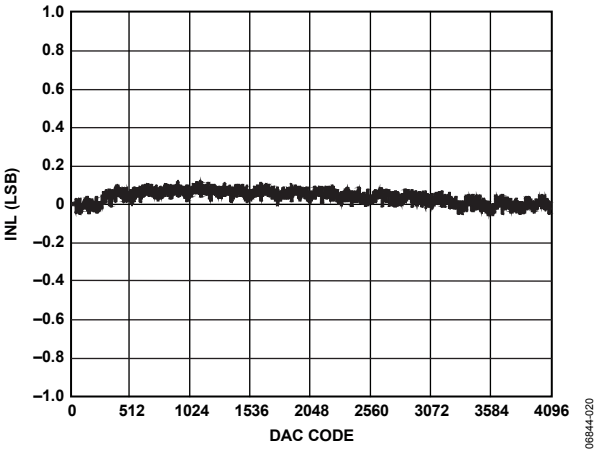
代表的な性能特性



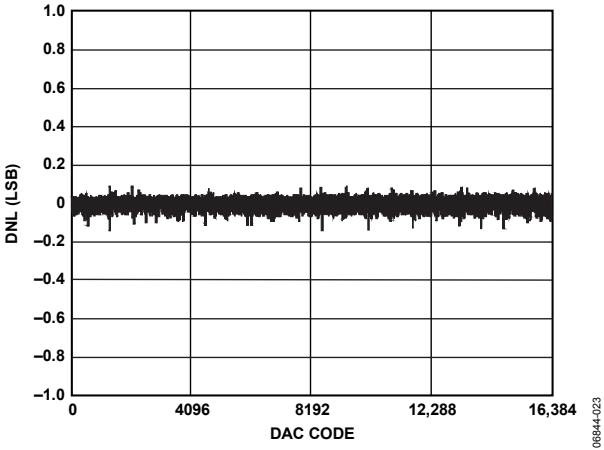
6.AD5065 INL



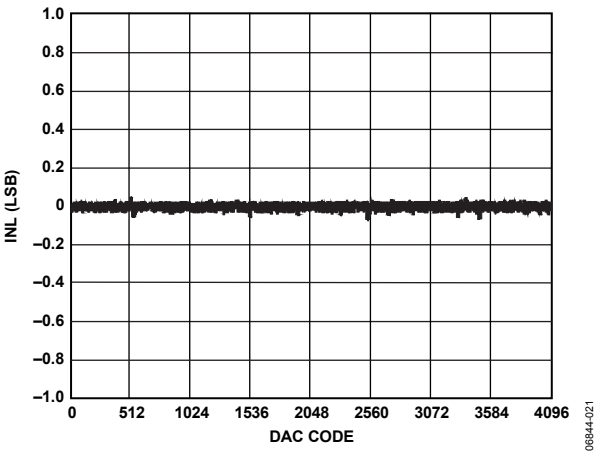
9.AD5065 DNL



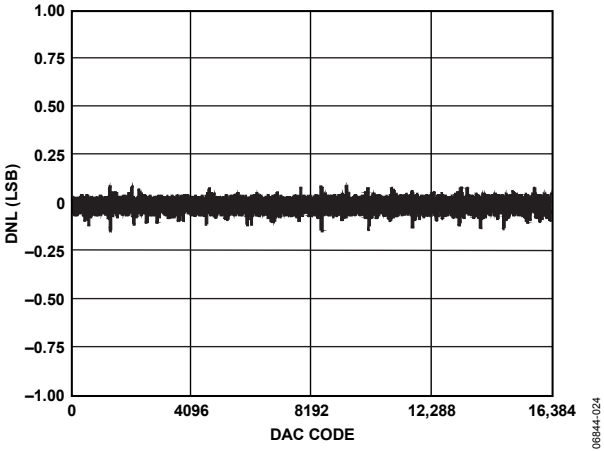
7.AD5045 INL



10.AD5045 DNL



8.AD5025 INL



11.AD5025 DNL

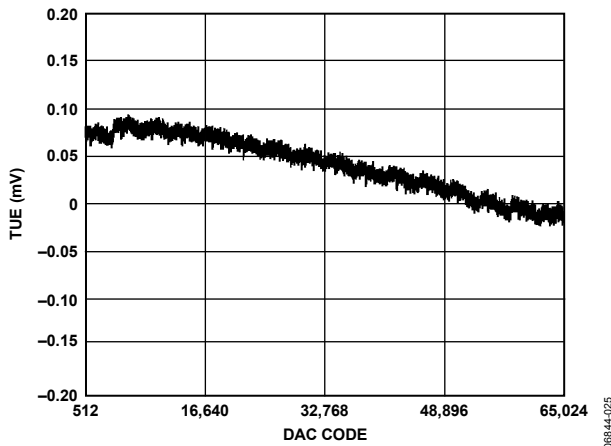


図 12.総合未調整誤差(TUE)対 DAC コード

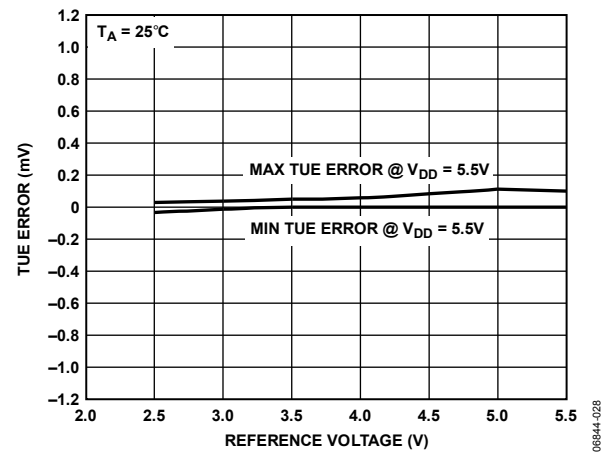


図 15.総合未調整誤差(TUE)対リファレンス入力電圧

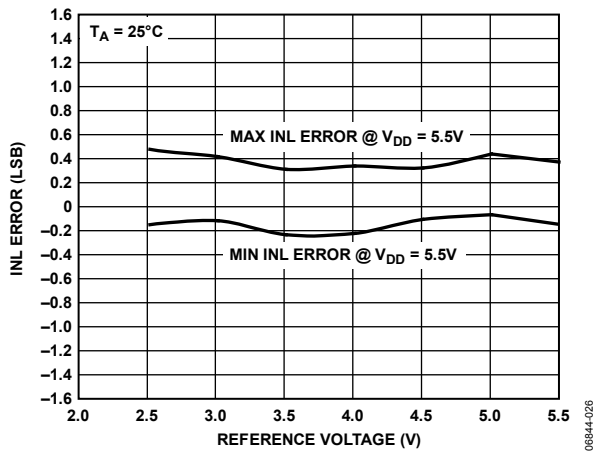


図 13.INL 対リファレンス入力電圧

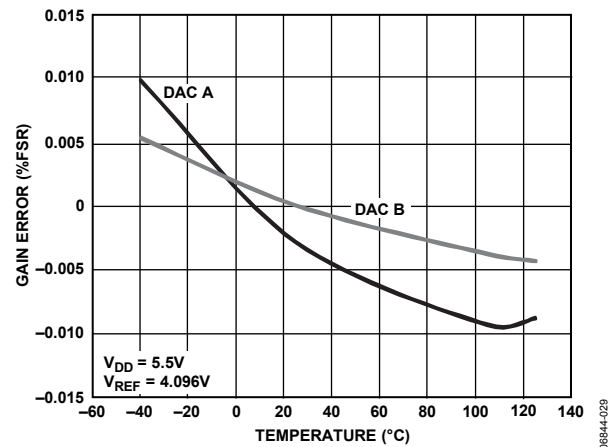


図 16.ゲイン誤差の温度特性

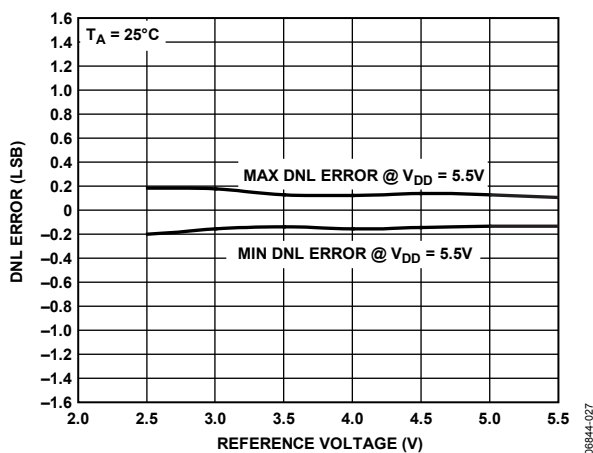


図 14.DNL 対リファレンス入力電圧

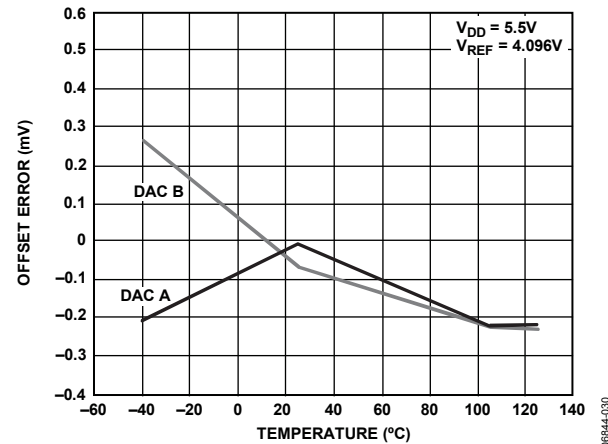


図 17.オフセット誤差の温度特性

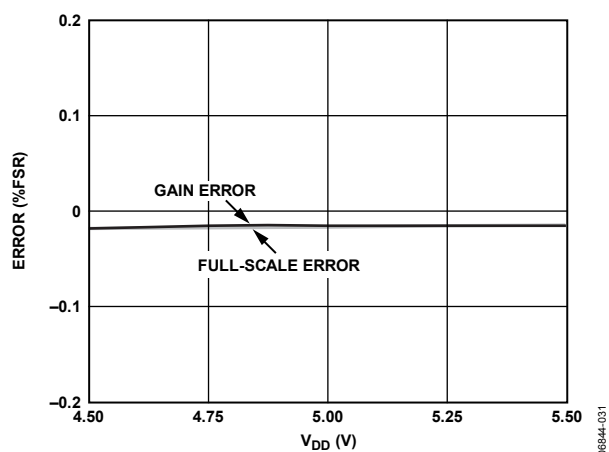


図 18. ゲイン誤差およびフル・スケール誤差対電源電圧

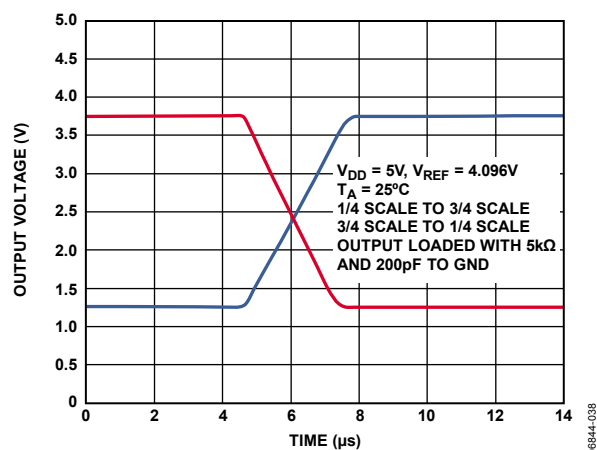


図 21. セtring・タイムと出力スルーレート (typ)

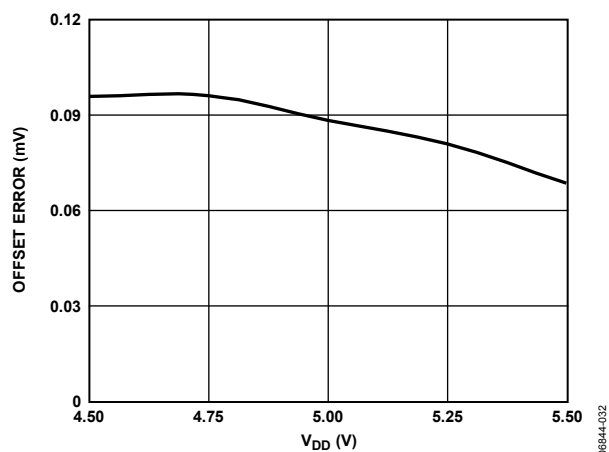


図 19. オフセット誤差電圧対電源電圧

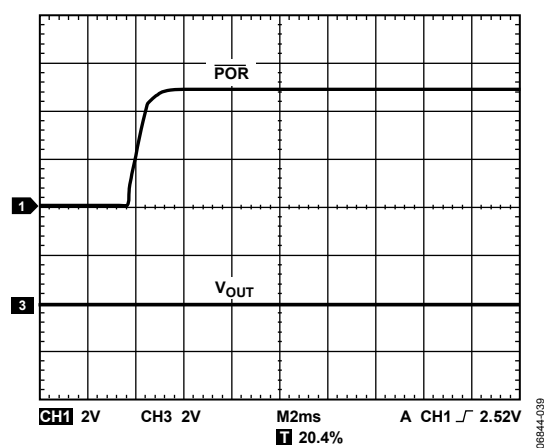


図 22. 2.0 V へのパワーオン・リセット

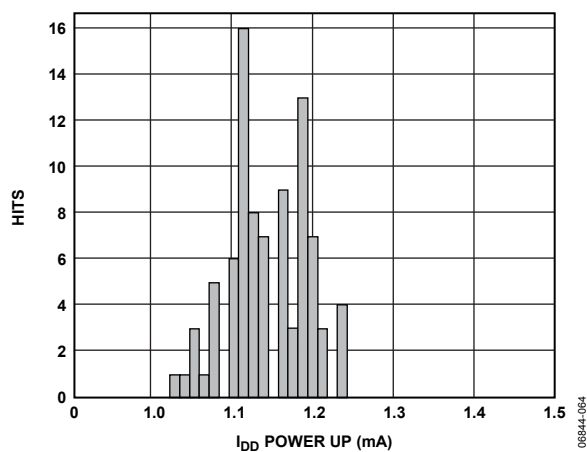


図 20. I_{DD} のヒストグラム、 $V_{DD} = 5.0V$

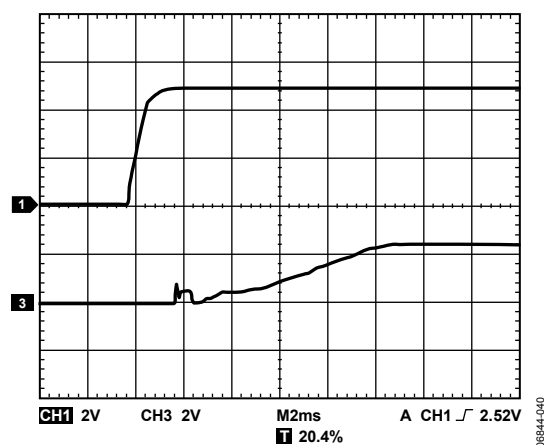


図 23. ミッド・スケールへのパワーオン・リセット

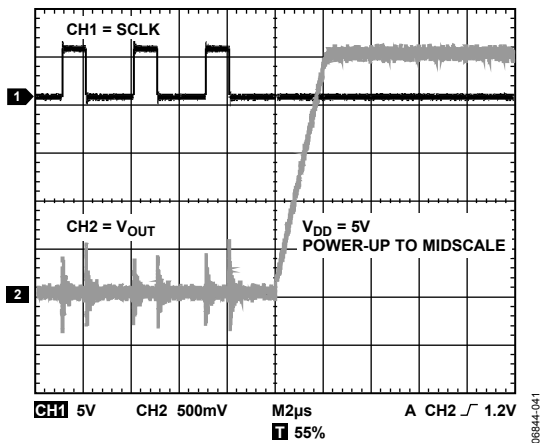


図 24. パワーダウン終了時のミッドスケール出力

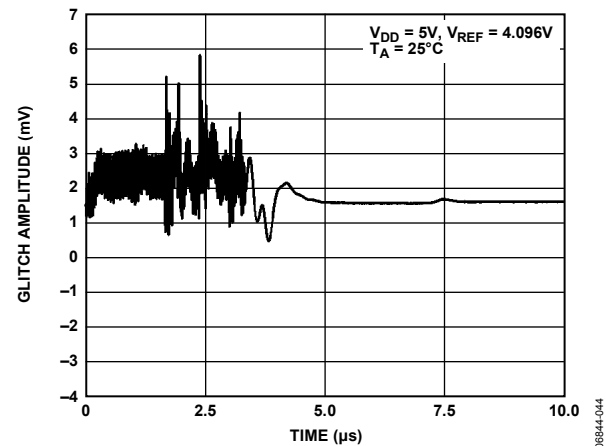


図 27. DAC 間クロストーク

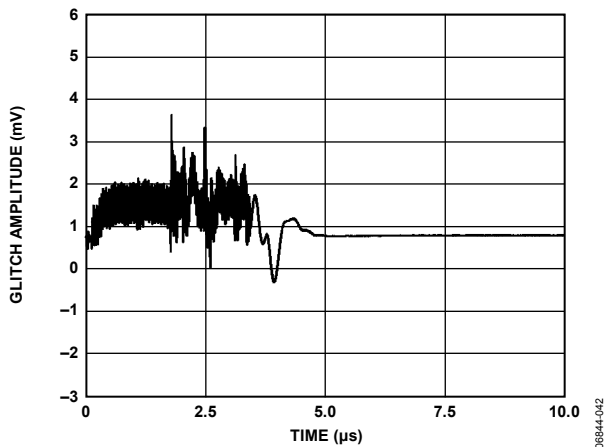


図 25. デジタルからアナログへのグリッチ・インパルス

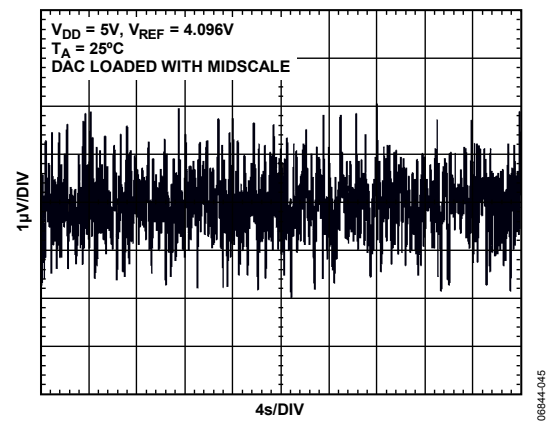


図 28. 0.1 Hz～10 Hz での出力ノイズ・プロット

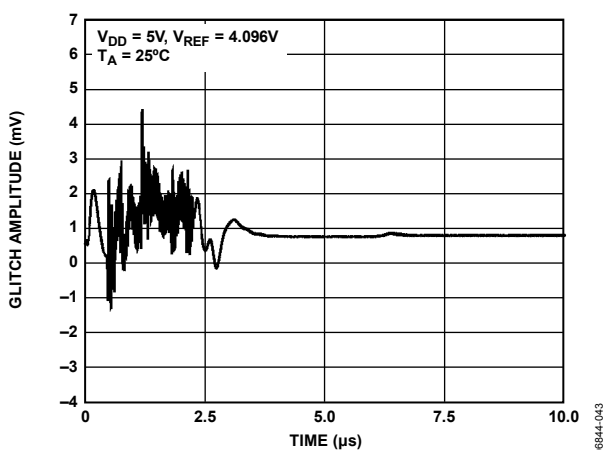


図 26. アナログ・クロストーク

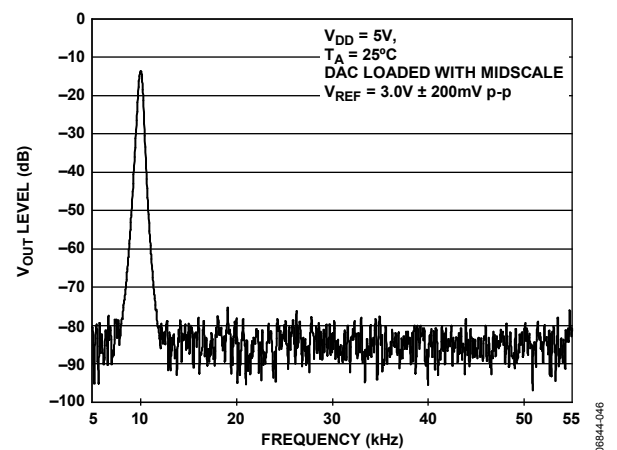


図 29. 総合高調波歪み

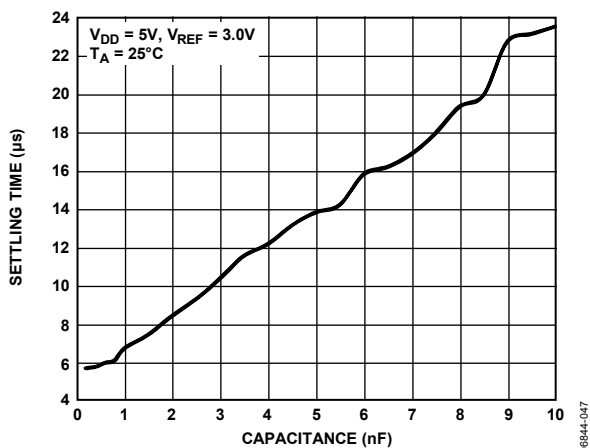


図 30.セトリング・タイム対容量負荷

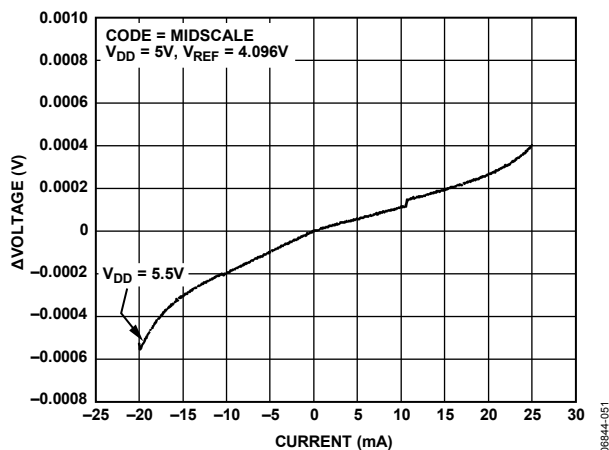


図 33.出力負荷レギュレーション(typ)

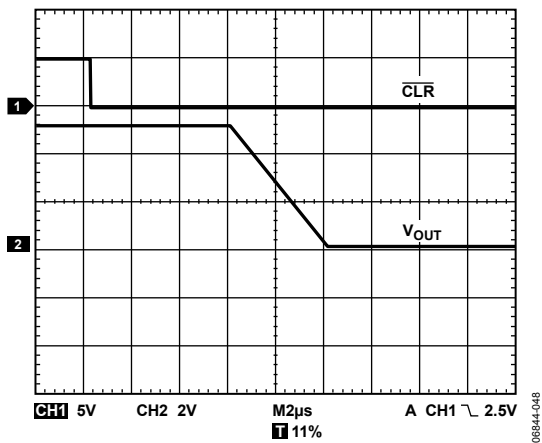


図 31.ハードウェアCLR

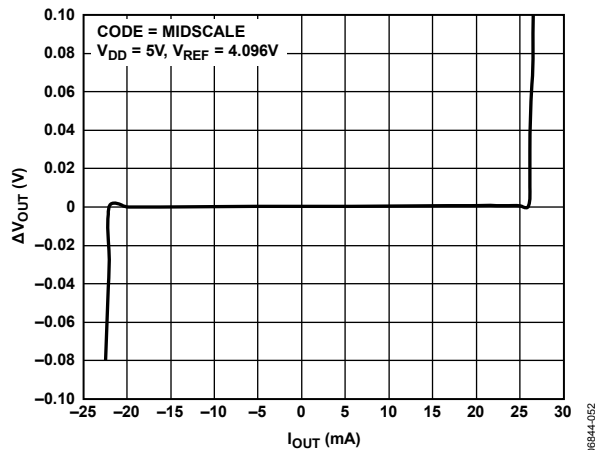


図 34.電流制限(typ)のプロット

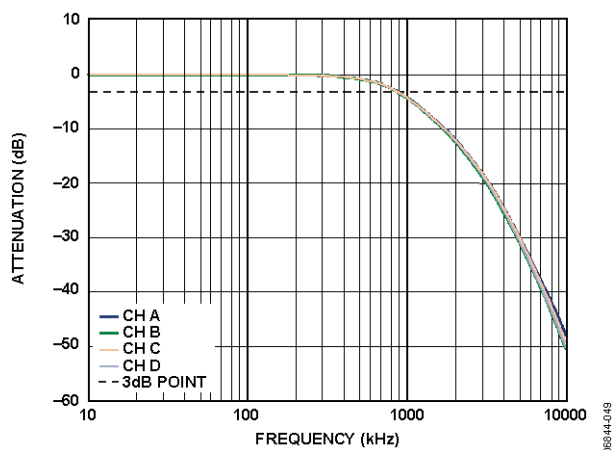


図 32.乗算帯域幅

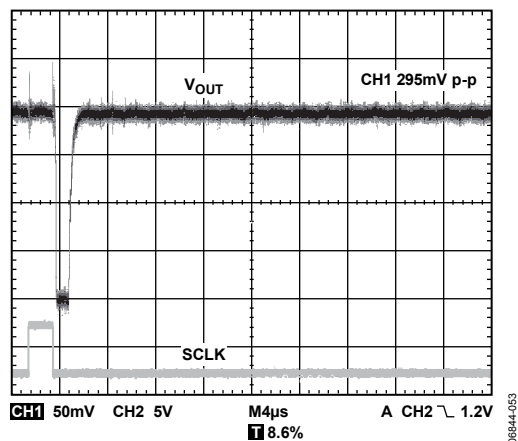


図 35.ゼロ・スケールからのパワーダウン開始時(GNDへ1 kΩ)のグリッチ、無負荷

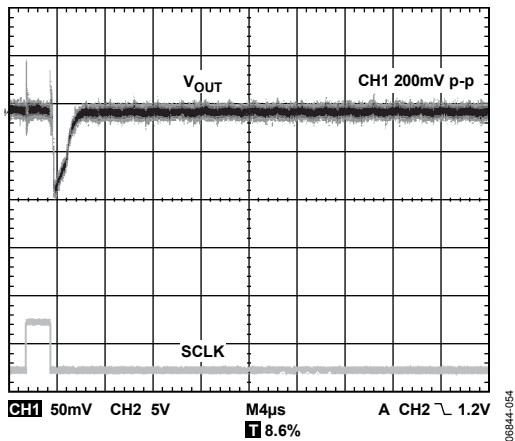


図 36.ゼロ・スケールからのパワーダウン開始時(GNDへ1 k Ω)のグリッチ、5 k Ω /200 pF 負荷

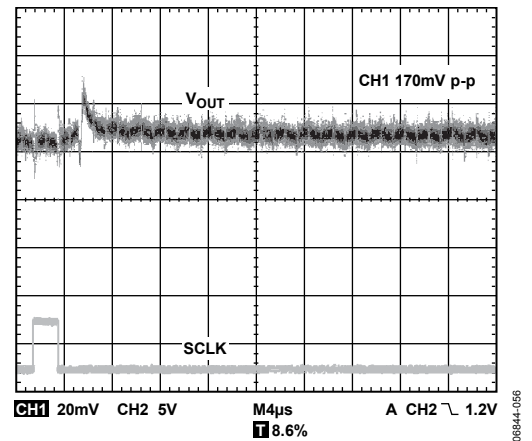


図 38.ゼロ・スケールからのパワーダウン終了時(GNDへ1 k Ω)のグリッチ、5 k Ω /200 pF 負荷

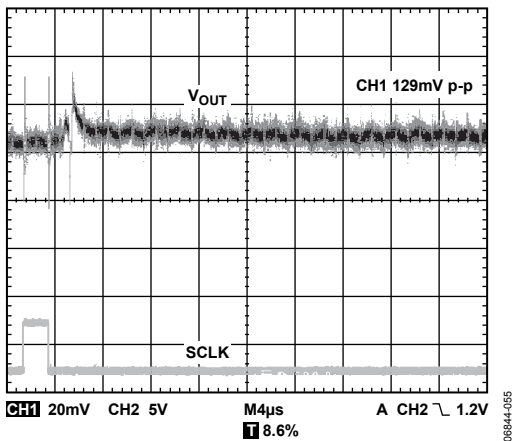


図 37.ゼロ・スケールからのパワーダウン終了時(GNDへ1 k Ω)のグリッチ、無負荷

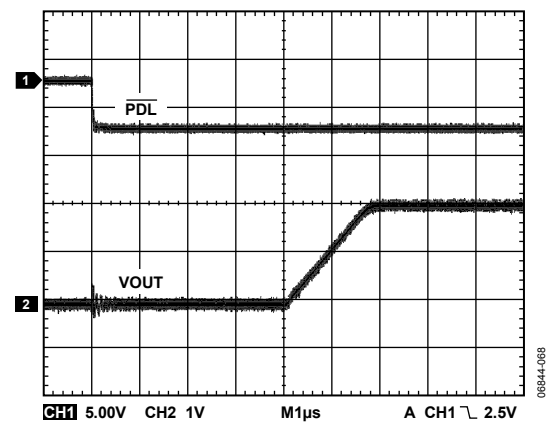


図 39. \overline{PDL} アクチベーション・タイム

用語

相対精度

DAC の場合、相対精度すなわち積分非直線性(INL)は、DAC 伝達関数の上下両端を結ぶ直線からの最大乖離(LSB 数で表示)を表します。図 6、図 7、図 8 に、INL (typ)対コードを示します。

微分非直線性

微分非直線性(DNL)は、隣接する 2 つのコードの間における測定された変化と理論的な 1 LSB 変化との差をいいます。最大 1 LSB の微分非直線性の仕様は、単調性を保証するものです。この DAC はデザインにより単調性を保証しています。図 9、図 10、図 11 に、DNL (typ)対コードのプロットを示します。

オフセット誤差

オフセット誤差は、伝達関数の直線領域での V_{OUT} (実測値)と V_{OUT} (理論)の差を表し、mV で表示されます。オフセット誤差は、DAC レジスタにコード 512 (AD5065)、コード 128 (AD5045)、コード 32 (AD5025)をロードして測定します。mV で表され、正または負の値になります。

オフセット誤差ドリフト

オフセット誤差ドリフトは、温度変化によるオフセット誤差の変化を表し、 $\mu V/^{\circ}C$ で表されます。

ゲイン誤差

ゲイン誤差は DAC のスパン誤差を表します。理論値からの実際の DAC 伝達特性の傾きの差をフル・スケール範囲のパーセント値で表したものです。

ゲイン温度係数

ゲイン誤差ドリフトは、温度変化によるゲイン誤差の変化を表し、フルスケール範囲に対する ppm FSR/ $^{\circ}C$ で表されます。 $V_{REF} < V_{DD}$ で測定します。

フル・スケール誤差

フル・スケール誤差は、フル・スケール・コード(0xFFFF)を DAC レジスタにロードしたときの出力として測定されます。理論的には出力は $V_{DD} - 1 \text{ LSB}$ である必要があります。フル・スケール誤差はフルスケール範囲のパーセント値で表します。

デジタルからアナログへのグリッチ・インパルス

デジタルからアナログへのグリッチ・インパルスは、DAC レジスタ内の入力コードが変化したときに、アナログ出力に混入するインパルスを表します。通常、nV-sec で表すグリッチの面積として規定され、主要なキャリ変化(0x7FFF から 0x8000)時に、デジタル・コードが 1 LSB だけ変化したときに測定されます。図 25 を参照してください。

DC 電源除去比(PSRR)

PSRR は、電源電圧変化の DAC 出力に対する影響を表します。PSRR は、DAC フル・スケール出力での、 V_{OUT} 変化の V_{DD} 変化に対する比です。dB 値で表示します。 V_{REF} を 2.5 V に固定して、 V_{DD} を $\pm 10\%$ 変化させます。 $V_{REF} < V_{DD}$ で測定します。

DC クロストーク

別の DAC 出力でのフル・スケール変化に起因する 1 つの DAC の出力レベルでの DC 変化。1 つのミッド・スケールに維持した DAC を

モニターしながら、別の DAC 上でのフル・スケール出力変化(またはソフト・パワーダウンとパワーアップ)を使って測定し、 μV で表示します。

負荷電流変化に起因する DC クロストークは、1 つの DAC の負荷電流変化がミッド・スケールに設定された別の DAC へ与える影響を表し、 $\mu V/mA$ で表示します。

リファレンス・フィードスルー

DAC 出力に変化がないとき(すなわち \overline{LDAC} がハイ・レベル)の DAC 出力における信号振幅のリファレンス入力に対する比を表し、dB 値で表示します。

デジタル・フィードスルー

DAC 出力に書き込みが行われていない(\overline{SYNC} がハイ・レベル)ときの、デバイスのデジタル入力ピンから DAC のアナログ出力に注入されるインパルスを表し、nV-s で表わします。1 個のデータとクロック・パルスを同時に DAC にロードして測定します。

デジタル・クロストーク

1 の DAC の入力レジスタにおけるフル・スケール・コード変化(全ビット 0 から全ビット 1 への変化、およびその逆変化)から、ミッドスケール・レベルにある別の DAC の出力に混入したグリッチ・インパルスを表し、スタンドアロン・モードで測定し、nV-s で表されます。

アナログ・クロストーク

DAC の出力変化に起因して、別の DAC 出力に混入するグリッチ・インパルスを表し、 \overline{LDAC} ピンをハイ・レベルに設定して、DAC の 1 つにフル・スケール・コード変化(全ビット 0 から全ビット 1 への変化、およびその逆変化)をロードして、次に \overline{LDAC} ピンにロー・レベル・パルスを入力して、デジタル・コードに変化のない別の DAC 出力をモニターすることにより測定します。グリッチの面積は nV-sec で表示します。

DAC 間クロストーク

デジタル・コードの変化とそれに続く DAC の出力変化に起因して、別の DAC 出力に混入するグリッチ・インパルス。これには、デジタル・クロストークとアナログ・クロストークの両方が含まれます。 \overline{LDAC} ピンをロー・レベルに設定して、DAC の 1 つにフル・スケール・コード変化(全ビット 0 から全ビット 1 への変化、およびその逆変化)をロードして、別の DAC 出力をモニターすることにより測定します。グリッチのエネルギーは nV-sec で表示します。

乗算帯域幅

DAC 内のアンプは有限な帯域幅を持っています。乗算帯域幅はこれを表します。入力された基準正弦波(DAC にフル・スケール・コードをロード)は、出力に現われます。乗算帯域幅は、出力振幅が入力より 3 dB 小さくなる周波数で表します。

総合高調波歪み(THD)

理論正弦波と DAC を使ったために減衰したその正弦波との差。DAC に対してリファレンスとして正弦波を使ったときに、DAC 出力に現われる高調波が THD になります。dB 値で表示します。

動作原理

D/A コンバータ

AD5025/AD5045/AD5065 は、シリアル入力電圧出力のシングル 12/14/16 ビット DAC です。これらのデバイスは 4.5~5.5 V の電源で動作します。データは、3 線式シリアル・インターフェースを使って 32 ビットのワード・フォーマットで AD5025/AD5045/AD5065 に書き込まれます。AD5025/AD5045/AD5065 は、パワーオン・リセット回路を内蔵しており、この回路により、パワーアップ時に DAC 出力を既知出力状態に維持することができます。これらのデバイスは、消費電流を 400 nA (typ)まで減少させるソフトウェア・パワーダウン・モードも持っています。

DAC への入力コーディングはストレート・バイナリを使っているため、外部リファレンスを使う場合、理論出力電圧は次式で与えられます。

$$V_{OUT} = V_{REFIN} \times \left(\frac{D}{2^N} \right)$$

ここで、D は DAC レジスタにロードされるバイナリ・コードの 10 進数表示です(16 ビット AD5065 の場合 0~65,535 の値)。N は、DAC の分解能です。

DAC アーキテクチャ

AD5025/AD5045/AD5065 の DAC アーキテクチャは、2 つの一致した DAC セクションから構成されています。簡略化した回路図を図 40 に示します。16 ビット・データ・ワードの上位 4 ビットはデコードされて、15 個のスイッチ(E1~E15)を駆動します。これらの各スイッチは、15 個の一致した抵抗の 1 つを GND または V_{REF} バッファ出力に接続します。データ・ワードの残りの 12 ビットは、12 ビット電圧モード R-2R ラダー回路のスイッチ(S0~S11)を駆動します。

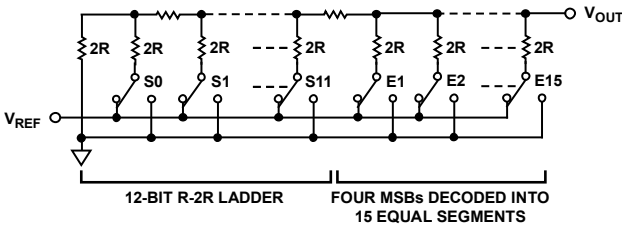


図 40.DAC のラダー構造

リファレンス・バッファ

AD5025/AD5045/AD5065 は、外部リファレンス電圧を使って動作します。各 DAC は、専用のリファレンス電圧ピンを持ち、リファレンス・バッファを内蔵しています。リファレンス入力ピンの入力範囲は 2.5 V~V_{DD} です。この入力電圧は、DAC コアに対するバッファされたリファレンス電圧の供給に使用されます。

出力アンプ

内蔵の出力バッファ・アンプは、出力でレール to レール電圧を発生することができ、0 V~V_{DD} の出力範囲になります。GND に接続された 5 kΩ と、これに並列接続された 200 pF の負荷を駆動することができます。スルーレートは 1.5 V/μs であり、1/4 スケールから 3/4 スケールまでのセトリング・タイムは 13μs です。

シリアル・インターフェース

AD5025/AD5045/AD5065 は、SPI、QSPI、MICROWIRE の各インターフェース規格や大部分の DSP と互換性のある 3 線式シリアル・インターフェース(SYNC、SCLK、DIN)を内蔵しています。図 3 に、代表的な書き込みシーケンスのタイミング図を示します。

入力レジスタ

AD5025/AD5045/AD5065 の入力レジスタは 32 ビット幅です(図 41 参照)。先頭の 4 ビットは無視されます。次の 4 ビットはコマンド・ビット C3~C0 (表 8 参照)で、その次の 4 ビットは DAC アドレス・ビット A3~A0 (表 7 参照)、最後はデータ・ビットです。これらのデータ・ビットは、AD5025/AD5045/AD5065 に対して、それぞれ 12 ビット、14 ビット、または 16 ビットの入力コード、およびその後ろに続く 8 ビット、6 ビット、または 4 ビットの don't care ビットから構成されています(図 41、図 42、図 43 参照)。これらのデータ・ビットは、SCLK の 32 番目の立ち下がりエッジで DAC レジスタへ転送されます。

表 7.アドレス・コマンド

Address (n)				Selected DAC Channel
A3	A2	A1	A0	
0	0	0	0	DAC A
0	0	1	1	DAC B
0	0	0	1	Reserved
0	0	1	0	Reserved
1	1	1	1	Both DACs

表 8.コマンドの定義

Command				Description
C3	C2	C1	C0	
0	0	0	0	Write to Input Register n ¹
0	0	0	1	Update DAC Register n ¹
0	0	1	0	Write to Input Register n, update all (software LDAC)
0	0	1	1	Write to and update DAC Channel n ¹
0	1	0	0	Power down/power up DAC
0	1	0	1	Load clear code register
0	1	1	0	Load LDAC register
0	1	1	1	Reset (power-on reset)
1	0	0	0	Set up DCEN register (daisy-chain enable)
1	0	0	1	Reserved
1	1	1	1	Reserved

¹ 表 7 を参照。

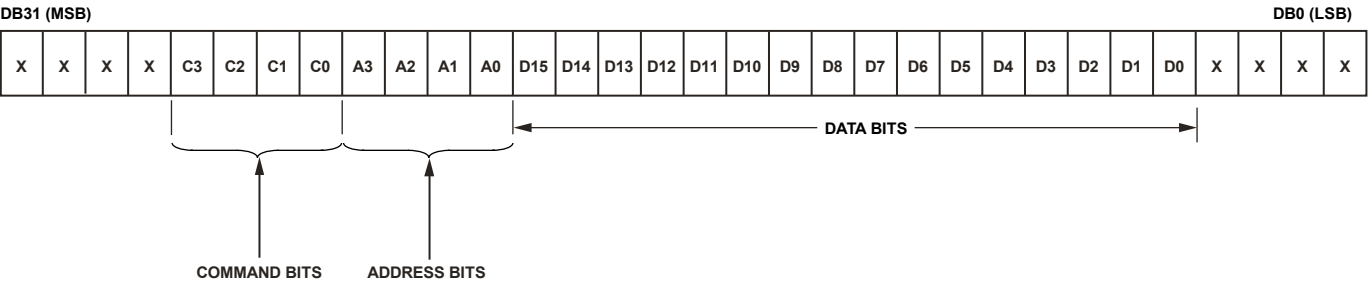


図 41.AD5065 の入力レジスタ値

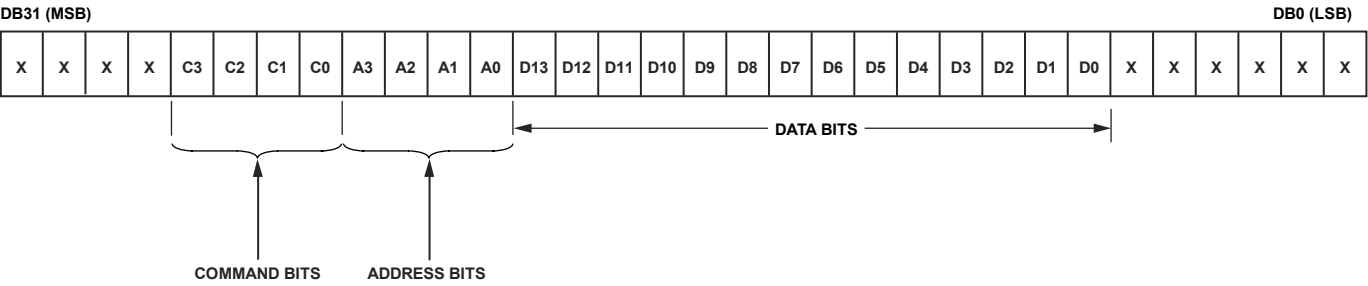


図 42.AD5045 の入力レジスタ値

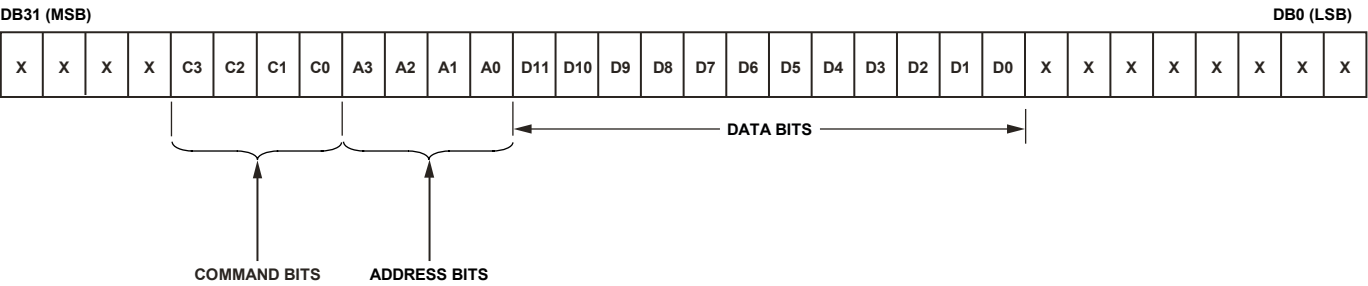


図 43.AD5025 の入力レジスタ値

スタンダアロン・モード

$\overline{\text{SYNC}}$ ラインをロー・レベルにすると、書き込みシーケンスが開始されます。DIN ラインからのデータは、SCLK の立ち下がりエッジで 32 ビット・シフトレジスタに入力されます。シリアル・クロック周波数は 50 MHz まで上げることができるので、AD5025/AD5045/AD5065 は高速 DSP と互換性を持つことができます。32 番目の立ち下がりクロック・エッジで最後のデータ・ビットが入力されて、指定された機能(DAC レジスタ値の変更および/または動作モードの変更)が実行されます。 $\overline{\text{SYNC}}$ ラインは、SCLK の 32 番目の立ち下がりエッジから 30 ns 以内にハイ・レベルにする必要があります。いずれの場合でも、 $\overline{\text{SYNC}}$ の立ち下がりエッジで次の書き込みシーケンスを確実に開始できるようにするため、次の書き込みシーケンスの前に最小 1.9 μs 間 $\overline{\text{SYNC}}$ をハイ・レベルにする必要があります。 $V_{\text{IN}} = 0\text{ V}$ の場合よりは $V_{\text{IN}} = V_{\text{DD}}$ の場合の方が $\overline{\text{SYNC}}$ バッファを流れる電流が大きくなるため、各書き込みシーケンスの間も $\overline{\text{SYNC}}$ をアイドルのロー・レベルに維持して、デバイス消費電力をさらに削減するようにします。ただし、前述のように、次の書き込みシーケンスの前に $\overline{\text{SYNC}}$ をハイ・レベルに戻す必要があります。

SYNC 割り込み

通常の書き込みシーケンスでは、 $\overline{\text{SYNC}}$ ラインは SCLK の少なくとも 32 個の立ち下がりエッジ間ロー・レベルに維持され、DAC は 32 番目の立ち下がりエッジで更新されます。ただし、32 番目の立ち下がりエッジの前に $\overline{\text{SYNC}}$ をハイ・レベルにすると、これは書き込みシーケンスへの割り込みとして機能します。入力レジスタがリセットされて、書き込みシーケンスは無効と見なされます。DAC レジスタ値の更新も、動作モードの変更も行われません(図 44 参照)。

ディジーチェーン接続

複数の DAC を使うシステム、または診断のために DAC の値をリードバックするシステムでは、SDO ピンを使って複数のデバイスをディジーチェーン接続して、シリアル・リードバックを行うことができます。

ディジーチェーン・モードは、ソフトウェアからディジーチェーン・イネーブル(DCEN)コマンドを実行してイネーブルします。コマンド 1000 は、この DCEN 機能として予約されています(表 8 参照)。ディジーチェーン・モードは、DCEN レジスタのビット

ト(DB1)を設定してイネーブルします。デフォルト設定はスタンダアロン・モード(DB1 = 0)になっています。

表 9 に、ビットの状態と対応するデバイスの動作モードを示します。

表 9.DCEN (ディジーチェーン・イネーブル)レジスタ

DB1	DB0	Description
0	X	Standalone mode (default)
1	X	DCEN mode

$\overline{\text{SYNC}}$ がロー・レベルのとき、SCLK は連続的に入力レジスタに入力されます。32 個を超えるクロック・パルスが入力されると、データは入力シフトレジスタからはみ出して、SDO ピンに出力されます。データは SCLK の立ち上がりエッジで出力され、SCLK の立ち下がりエッジで有効になります。このピンをチェーン内の次の DAC の DIN 入力に接続すると、複数 DAC のインターフェースを構成することができます。システム内の各 DAC は 32 個のクロック・パルスが必要とするため、合計クロック・サイクル数は 32N になります。ここで、N はチェーン内の合計デバイス数です。

32N 個のクロックがデバイスに入力される前に $\overline{\text{SYNC}}$ をハイ・レベルにすると、フレーム誤りと見なされて、データは廃棄されます。

すべてのデバイスに対するシリアル転送が完了したら、 $\overline{\text{SYNC}}$ をハイ・レベルにします。この動作により、入力レジスタに余分なデータが入力されるのを防止します。

シリアル・クロックとしては、連続クロックまたはゲーテッド・クロックが可能です。正しいクロック・サイクル数間、 $\overline{\text{SYNC}}$ をロー・レベルに維持することが可能な場合にのみ、連続 SCLK ソースを使用することができます。ゲーテッド・クロック・モードでは、所定数のクロック・サイクルを含むバースト・クロックを使い、最終クロックの後に $\overline{\text{SYNC}}$ をハイ・レベルにしてデータをラッチする必要があります。

ディジーチェーン・モードでは、 $\overline{\text{LDAC}}$ ピンをロー・レベルに固定することはできません。非同期 $\overline{\text{LDAC}}$ 更新モードで、 $\overline{\text{LDAC}}$ ピンを使う必要があります(図 3 参照)。 $\overline{\text{LDAC}}$ ピンはパルス入力後にハイ・レベルに戻す必要があります。この信号を使うと、全 DAC 出力を同時に更新することができます。

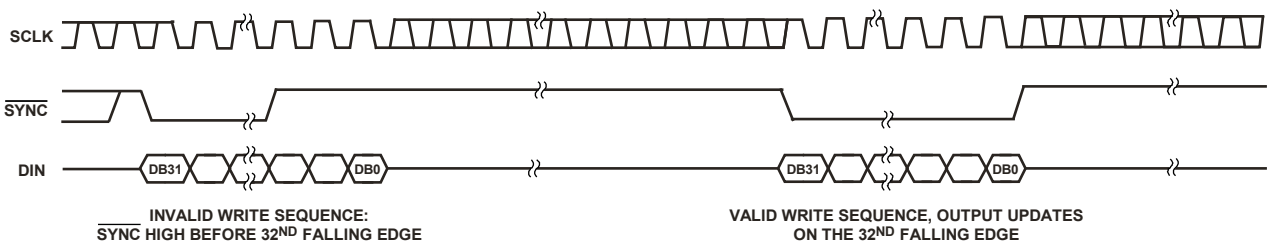


図 44. $\overline{\text{SYNC}}$ 割り込み機能

表 10.ディジーチェーン・イネーブル時の 32 ビット入力レジスタ値

MSB										LSB	
DB31 to DB28	DB27	DB26	DB25	DB24	DB23	DB22	DB21	DB20	DB2 to DB19	DB1	DB0
X	1	0	0	0	X	X	X	X	X	1/0	X
Don't cares		Command bits (C3 to C0)				Address bits (A3 to A0)			Don't cares		DCEN register

パワーオン・リセットとソフトウェア・リセット

AD5025/AD5045/AD5065 は、パワーアップ時に出力電圧を制御するパワーオン・リセット(POR)回路を内蔵しています。POR ピンをロー・レベルにすると、AD5025/AD5045/AD5065 出力はゼロ・スケールでパワーアップします。これは DAC のリニア領域の外側にあることに注意してください。POR ピンをハイ・レベルにすると、AD5025/AD5045/AD5065 出力はミッド・スケールでパワーアップします。出力はこのレベルでパワーアップを維持し、デバイスに有効な書き込みシーケンスが実行されるまでこの状態が維持されます。この機能は、デバイスのパワーアップ時の DAC 出力状態が既知である必要のあるアプリケーションで特に便利です。これらのデバイスには、POR ピンで選択したパワーオン・リセット・コードに DAC をリセットするソフトウェアからのリセット機能もあります。コマンド 0111 はこのリセット機能に予約されています(表 8 参照)。

パワーダウン・モード

AD5025/AD5045/AD5065 には、4 種類の動作モードがあります。コマンド 0100 はパワーダウン機能として予約されています(表 8 参照)。これらのモードは、入力レジスタのビット DB9 とビット DB8 の 2 ビットを設定してソフトウェアから設定されます(表 12 参照)。表 11 に、ビット状態とデバイスの動作モードの対応を示します。

表 11.動作モード

DB9	DB8	Operating Mode
0	0	Normal operation, power-down modes
0	1	1 kΩ to GND
1	0	100 kΩ to GND
1	1	Three-state

入力レジスタの DB9 と DB8 の両ビットを 0 に設定すると、デバイスは 5 V で 2.2 mA の消費電流でノーマル動作します。ただし、3 種類のパワーダウン・モードでは、電源電流が 5 V で 0.4μA に減少します。電源電流が減少するだけでなく、出力ステージも内部的にアン

プ出力から切り離されて既知の値を持つ抵抗回路に接続されます。これは、デバイスの出力インピーダンスが既知であると同時にデバイスがパワーダウン・モードになるという利点を持っています。次の 3 つのオプションがあります。すなわち、出力が内部で 1 kΩ または 100 kΩ 抵抗を介して GND に接続されるか、あるいはオープン(スリー・ステート)になります。出力ステージを図 45 に示します。

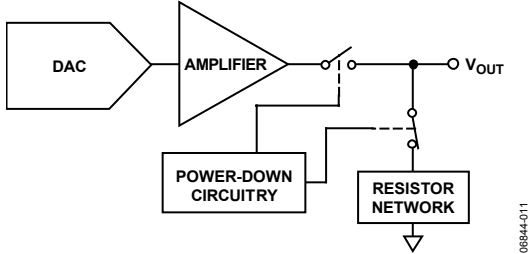


図 45.パワーダウン時の出力ステージ

パワーダウン・モードのときは、バイアス・ジェネレータ、出力アンプ、抵抗ストリング、およびその他の関係するリニア回路はシャットダウンされます。ただし、DAC レジスタの値はパワーダウン・モードで影響を受けることはありません。パワーダウン・モードから抜け出す時間は、 $V_{DD} = 5\text{ V}$ のときは 4.5 μs (typ)です(図 24 参照)。

片方または両方の DAC (DAC A と DAC B)は、対応するビット (DB3 と DB0)を 1 に設定することにより、選択されたモードにパワーダウンすることができます。パワーダウン/パワーアップ動作時の入力レジスタ値については表 12 を参照してください。

PD1 = 0 と PD0 = 0 の設定(ノーマル動作)により、DAC の任意の組み合わせをパワーアップさせることができます。出力は、入力レジスタ値($\overline{\text{LDAC}}$ =ロー・レベル)またはパワーダウン前の DAC レジスタ値($\overline{\text{LDAC}}$ =ハイ・レベル)でパワーアップします。

表 12.パワーアップ/パワーダウン機能に対する 32 ビット入力レジスタ値

MSB										LSB						
DB31 to DB28	DB27	DB26	DB25	DB24	DB23	DB22	DB21	DB20	DB10 to DB19	DB9	DB8	DB4 to DB7	DB3	DB2	DB1	DB0
X	0	1	0	0	X	X	X	X	X	PD1	PD0	X	DAC B	DAC B	DAC A	DAC A
Don't cares	Command bits (C2 to C0)				Address bits (A3 to A0)—don't cares				Don't cares	Power-down mode		Don't cares	Power-down/power-up channel selection—set bits to 1 to select			

クリア・コード・レジスタ

AD5025/AD5045/AD5065 には、非同期クリア入力ハードウェアCLRピンがあります。CLR入力は、立ち下がりエッジ検出です。CLRラインをロー・レベルにすると、入力レジスタとDACレジスタにユーザー設定可能なCLRレジスタ内のデータがロードされて、この値に基づきアナログ出力が設定されます(表 13 参照)。この機能は、ゼロ・スケール、ミッド・スケールまたはフル・スケールを全チャンネルにロードするイン・システム・キャリブレーションで使うことができます。これらのクリア・コード値は、入力レジスタのビット DB1 とビット DB0 を設定することにより、指定することができます(表 13 参照)。デフォルト設定では出力を 0 V にクリアします。コマンド 0101 はクリア・コード・レジスタのロードに予約されています(表 8 参照)。

表 13. クリア・コード・レジスタ

Clear Code Register		Clears to Code
DB1 (CR1)	DB0 (CR0)	
0	0	0x0000
0	1	0x8000
1	0	0xFFFF
1	1	No operation

デバイスは、デバイスへの次の書き込みの 32 番目の立ち下がりエッジでクリア・コード・モードから抜け出します。書き込みシーケンス中にCLRが入力されると、書き込みは中止されます。CLRパルスのアクチベーション・タイム(CLRの立ち下がりエッジから出力が変化を開始するまでの時間)は、10.6 μ s (typ)です(図 31 参照)。

クリア・コード・レジスタのロード動作時の入力レジスタ値については表 14 を参照してください。

表 14. クリア・コード機能に対する 32 ビット入力レジスタ値

MSB										LSB	
DB31 to DB28	DB27	DB26	DB25	DB24	DB23	DB22	DB21	DB20	DB2 to DB19	DB1	DB0
X	0	1	0	1	X	X	X	X	X	1/0	1/0
Don't cares		Command bits (C3 to C0)				Address bits (A3 to A0)			Don't cares	Clear code register (CR1 to CR0)	

表 15. LDAC オーバーライト定義

Load DAC Register		LDAC Operation
LDAC Bits (DB3 and DB0)	LDAC Pin	
0	1, 0	Determined by LDAC pin.
1	X ¹	DAC channels update, overrides the LDAC pin. DAC channels see LDAC as 0.

¹ X = don't care

表 16. LDAC オーバーライト機能に対する 32 ビット入力レジスタ値

MSB										LSB			
DB31 to DB28	DB27	DB26	DB25	DB24	DB23	DB22	DB21	DB20	DB4 to DB19	DB3	DB2	DB1	DB0
X	0	1	1	0	X	X	X	X	X	DAC B	X	X	DAC A
Don't cares		Command bits (C3 to C0)				Address bits (A3 to A0)—don't cares			Don't cares	Set LDAC bits to 1 to override LDAC pin			

LDAC 機能

ハードウェアLDACピン

すべての DAC 出力は、ハードウェアLDACピンを使って同時に更新することができます。LDACピンは同期モードまたは非同期モードで使うことができます(図 3 参照)。

同期LDAC: LDACをロー・レベルにします。新しいデータを読み出した後、DAC レジスタは SCLK パルスの 32 番目の立ち下がりエッジで更新されます。LDACはロー・レベルに固定するか、またはスタンドアロン・モードでパルス入力することができます。ディジチチェーン・モードでは、LDACをロー・レベルに固定接続することはできません。

非同期LDAC: LDACはハイ・レベルに固定か、またはパルス入力にします。出力は、入力レジスタが書き込まれると同時に更新されません。LDACがロー・レベルになると、DAC レジスタが入力レジスタ値で更新されます。

ソフトウェアLDAC機能

あるいは、入力レジスタ n (表 7 参照)に書き込みを行ってすべての DAC レジスタを更新することにより、すべての DAC 出力をソフトウェアLDAC機能を使って同時に更新することができます。コマンド 0010 は、このソフトウェアLDAC機能に予約されています。

このLDACレジスタを使うと、ハードウェアLDACピンを柔軟に制御することができます(表 16 参照)。ある DAC チャンネルに対してLDACビット・レジスタ(DB0~DB3)を 0 に設定することは、このチャンネルの更新がハードウェアLDACピンから制御されることを意味します。DB0 または DB3 を 1 に設定すると、このチャンネルは同期して更新されます。

デバイスは、ハードウェアLDACピンが実質的にロー・レベルに固定されていると見なします(LDACレジスタ動作モードについては表 15 を参照)。この柔軟性は、残りのチャンネルが同期して更新されているときに、選択したチャンネルを同時に更新することが必要なアプリケーションで便利です。

パワーダウン・ロックアウト

AD5025/AD5045/AD5065 には、デジタル入力ピン $\overline{\text{PDL}}$ があります。パワーダウン・ロックアウト・ピン ($\overline{\text{PDL}}$) をアクティブにすると、ソフトウェア・シャットダウン機能がディスエーブルされます。 $\overline{\text{PDL}}$ ピンは、ロー・レベルに固定するか(後続のソフトウェア・パワーダウンを防止するため)またはハイ・レベルに固定する必要があります(シリアル・インターフェースを介してデバイスをパワーダウン・モードに設定することができます)。有効な書き込みシーケンス中に $\overline{\text{PDL}}$ ピンをハイ・レベルからロー・レベルへ変化させると、デバイスは直ちに応答して、現在の書き込みシーケンスを停止します。次の $\overline{\text{PDL}}$ 機能に注意してください。

書き込みシーケンス中の $\overline{\text{PDL}}$

有効な書き込みシーケンス中に $\overline{\text{PDL}}$ が発生すると(ハイ・レベルからロー・レベルへの変化)、書き込みが停止されます。ユーザーは現在の書き込みコマンドを再度書き込む必要があります。

DAC パワーダウン・モード時の $\overline{\text{PDL}}$

DAC がパワーダウン・モードにあるときに $\overline{\text{PDL}}$ が発生すると、DAC はパワーダウンから抜け出して(すべてのパワーダウン・ビットが 0000 にリセットされます)、直前に保存された有効な DAC 値に対応する直前の電圧が出力されます。 $\overline{\text{PDL}}$ がアクティブの間まですと、ソフトウェア・パワーダウンがディスエーブルされます。

$\overline{\text{PDL}}$ のロー・レベルからハイ・レベルへの変化

$\overline{\text{PDL}}$ がロー・レベルからハイ・レベルへ変化すると、すべての DAC チャンネルはノーマル・モードを維持するため、ユーザーはコントロール・レジスタへソフトウェア・パワーダウン・コマンドを再発行して、必要なチャンネルをパワーダウンさせる必要があります。

$\overline{\text{PDL}}$ をロー・レベルからハイ・レベルへ変化させると、この機能は直ちにディスエーブルされます。

$\overline{\text{PDL}}$ と $\overline{\text{CLR}}$ が同時に発生すると、 $\overline{\text{CLR}}$ 信号によりクリア・コード・レジスタに従って DAC レジスタが変化して、DAC がパワーダウンから抜け出します。

$\overline{\text{PDL}}$ 、 $\overline{\text{CLR}}$ 、 $\overline{\text{LDAC}}$ が同時に発生すると、 $\overline{\text{CLR}}$ が $\overline{\text{LDAC}}$ と $\overline{\text{PDL}}$ より優先します。

このピンをハイ・レベルまたはロー・レベルに固定して、この機能をイネーブルまたはディスエーブルすることが推奨されます。

電源のバイパスとグラウンド接続

高精度が重要な回路では、ボード上の電源とグラウンド・リターンのレイアウトを注意深く行うことが役立ちます。

AD5025/AD5045/AD5065 を実装するプリント回路ボード(PCB)では、アナログ部とデジタル部を分離する必要があります。複数のデバイスが AGND と DGND の接続を必要とするシステム内で AD5025/AD5045/AD5065 を使用する場合は、この接続は 1 ヶ所行う必要があります。グラウンド・ポイントは AD5025/AD5045/AD5065 のできるだけ近くに配置する必要があります。

AD5025/AD5045/AD5065 の電源は、0.1 μF と 10 μF のコンデンサでデカップリングする必要があります。コンデンサはデバイスのできるだけ近くに配置し、0.1 μF のコンデンサは理想的にはデバイスの近くに配置することが望まれます。10 μF コンデンサはタンタルのビーズ型を使います。0.1 μF コンデンサは、セラミック型コンデンサのような実効直列抵抗(ESR)が小さく、かつ実効直列インダクタンス(ESL)が小さいものを使う必要があります。この 0.1 μF のコンデンサは、内部ロジックのスイッチングにより発生する過渡電流に起因する高周波に対してグラウンドへの低インピーダンス・パスを提供します。

電源ラインはできるだけ太いパターンにしてインピーダンスを小さくし、電源ライン上のグリッチによる影響を軽減させるようにします。クロックとその他の高速スイッチング・デジタル信号は、デジタル・グラウンドを使ってボード上の他の部分からシールドする必要があります。デジタル信号とアナログ信号の交差は、できるだけ回避する必要があります。ボードの反対側のパターンは、互いに右角度となるように配置してボードを通過するフィードスルー効果を減少させます。最適なボード・レイアウト技術は、ボードの部品側をグラウンド・プレーン専用として使い、信号パターンはハンダ面に配置するマイクロストリップ技術ですが、2 層ボードでは常に可能とは限りません。

マイクロプロセッサ・インターフェース

AD5025/AD5045/AD5065 と Blackfin ADSP-BF53x とのインターフェース

図 46 に、AD5025/AD5045/ AD5065 と Blackfin® ADSP-BF53x マイクロプロセッサとの間のシリアル・インターフェースを示します。ADSP-BF53x ファミリーは、シリアル通信とマルチプロセッサ通信用に 2 個のデュアル・チャンネル同期シリアル・ポート(SPORT0 と SPORT1) を内蔵しています。SPORT0 を使って AD5025/AD5045/AD5065 に接続し、DT0PRI が AD5025/AD5045/AD5065 の DIN ピンを駆動し、TSCLK0 がデバイスの SCLK を駆動するようにインターフェースを設定します。SYNC は TFS0 から駆動されます。

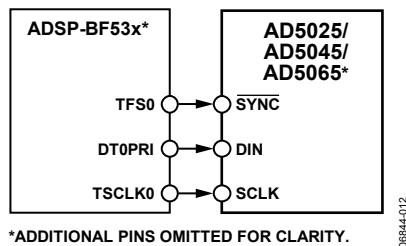


図 46. AD5025/AD5045/AD5065 と Blackfin ADSP-BF53x とのインターフェース

AD5025/AD5045/AD5065 と 68HC11/68L11 とのインターフェース

図 47 に、AD5025/AD5045/AD5065 と 68HC11/68L11 マイクロコントローラとの間のシリアル・インターフェースを示します。68HC11/68L11 の SCK が AD5025/AD5045/AD5065 の SCLK を駆動し、MOSI 出力が DAC のシリアル・データ・ラインを駆動します。

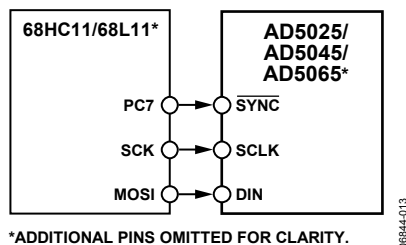


図 47. AD5025/AD5045/AD5065 と 68HC11/68L11 とのインターフェース

SYNC 信号は、ポート・ライン(PC7)から発生されます。このインターフェースの正常動作のためには、68HC11/68L11 で CPOL ビット=0 かつ CPHA ビット=1 の設定を行う必要があります。データが DAC へ送信されると、SYNC ラインがロー・レベルになります(PC7)。68HC11/68L11 が上記のように設定された場合には、MOSI に出力されるデータは SCK の立ち下がりエッジで有効になります。シリアル・データは 68HC11/68L11 から 8 ビット・バイトで転送され、送信サイクル内の 8 個の立ち下がりクロック・エッジが使用されます。データは MSB ファーストで転送されます。データを AD5025/AD5045/ AD5065 にロードするときは、最初の 8 ビットが転送された後も PC7 をロー・レベルのままにして、DAC に対して 2 番目のシリアル書き込み動作を実行します。このプロシージャの終わりに、PC7 をハイ・レベルにします。

AD5025/AD5045/AD5065 と 80C51/80L51 とのインターフェース

図 48 に、AD5025/AD5045/ AD5065 と 80C51/80L51 マイクロコントローラとの間のシリアル・インターフェースを示します。このインターフェースでは、80C51/80L51 の TxD が AD5025/AD5045/AD5065 の SCLK を駆動し、RxD がこのデバイスのシリアル・データ・ラインを駆動します。SYNC 信号は、この場合もポートのビット・プログラマブルなピンから発生されます。このケースではポート・ライン P3.3 を使用しています。データを AD5025/AD5045/ AD5065 に転送するときは、P3.3 をロー・レベルにします。80C51/80L51 はデータを 8 ビット・バイトとして転送するため、送信サイクル内の 8 個の立ち下がりクロック・エッジを使います。データを DAC にロードするときは、最初の 8 ビットが転送された後も P3.3 をロー・レベルのままにして、2 番目の書き込みサイクルを実行すると、データの 2 番目のバイトの転送が開始されます。このサイクルの完了後に P3.3 をハイ・レベルにします。80C51/80L51 は、シリアル・データを LSB ファーストで出力します。AD5025/AD5045/AD5065 は、MSB ファーストでデータを受信する必要があります。80C51/80L51 の送信ルーチンでは、このことを考慮しておく必要があります。

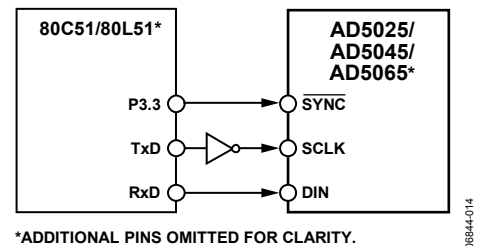


図 48. AD5025/AD5045/AD5065 と 80C51/80L51 とのインターフェース

AD5025/AD5045/AD5065 と MICROWIRE とのインターフェース

図 49 に、AD5025/AD5045/ AD5065 とすべての MICROWIRE 互換デバイスとの間のインターフェースを示します。シリアル・データはシリアル・クロックの立ち下がりエッジでシフトされ、SCLK の立ち上がりエッジで AD5025/AD5045/AD5065 へ入力されます。

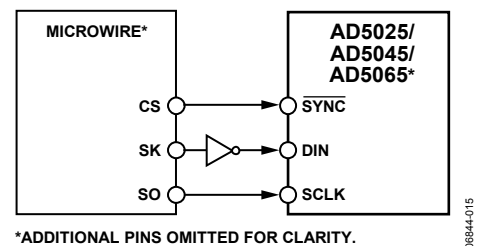


図 49. AD5025/AD5045/AD5065 と MICROWIRE とのインターフェース

アプリケーション情報

AD5025/AD5045/AD5065 の電源としてのリファレンス電圧の使用

AD5025/AD5045/AD5065 に必要とされる電源電流は極めて小さいため、デバイスに要求される電源を供給するためにリファレンス電圧を使うことができます(図 50 参照)。電源にノイズが多い場合またはシステム電源電圧が 5 V または 3 V と異なる場合(たとえば 15 V)、この機能は特に役立ちます。リファレンス電圧は AD5025/AD5045/AD5065 に対して安定な電源電圧を出力します。ロー・ドロップアウトの REF195 を使用する場合、DAC 出力に負荷がないとき AD5025/AD5045/AD5065 に 500 μ A の電流を供給する必要があります。DAC 出力に負荷がある場合は、REF195 は負荷にも電流を供給する必要があります。必要な合計電流は次のようになります(出力に 5 k Ω の負荷)。

$$500 \mu\text{A} + (5 \text{ V} / 5 \text{ k}\Omega) = 1.5 \text{ mA}$$

REF195 の負荷レギュレーションは 2 ppm/mA (typ) であるため、1.5 mA の電流出力に対して 3ppm (15 μ V) の誤差になります。この値は、0.196 LSB の誤差に対応します。

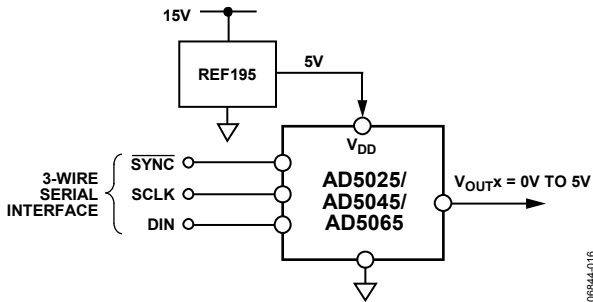


図 50. AD5025/AD5045/AD5065 の電源として REF195 を使用

AD5025/AD5045/AD5065 を使用したバイポーラ動作

AD5025/AD5045/AD5065 は単電源動作用にデザインされていますが、図 51 の回路を使うと、バイポーラ出力範囲も可能になります。この回路の出力電圧範囲は ± 5 V です。アンプ出力でのレール to レール動作は、AD820 または OP295 を出力アンプとして使うと、実現することができます。

任意の入力コードに対する出力電圧は次のように計算することができます。

$$V_o = \left[V_{DD} \times \left(\frac{D}{65,536} \right) \times \left(\frac{R1 + R2}{R1} \right) - V_{DD} \times \left(\frac{R2}{R1} \right) \right]$$

ここで、D は入力コードに等価な 10 進値(0~65,535)を表します。

$V_{DD} = 5 \text{ V}$ 、 $R1 = R2 = 10 \text{ k}\Omega$ のとき、

$$V_o = \left(\frac{10 \times D}{65,536} \right) - 5 \text{ V}$$

これは $\pm 5 \text{ V}$ の出力電圧範囲になり、0x0000 は-5V の出力に、0xFFFF は+5 V の出力に、それぞれ対応します。

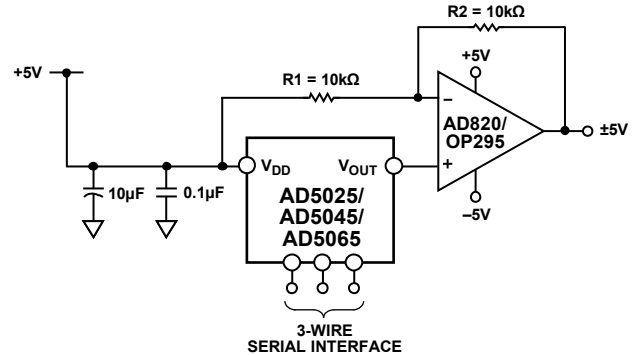


図 51. AD5025/AD5045/AD5065 によるバイポーラ動作

AD5025/AD5045/AD5065 の電流絶縁インターフェースでの使用

工業用環境のプロセス制御アプリケーションでは、電流絶縁インターフェースを使って、DAC が動作している領域で発生する有害な同相電圧から制御回路を保護してアイソレーションすることが必要となることがあります。iCoupler®は 2.5 kV を超える絶縁を提供します。AD5025/AD5045/AD5065 は 3 線式シリアル・ロジック・インターフェースを使っているため、ADuM1300 の 3 チャンネル・デジタル・アイソレータにより必要な絶縁を提供することができます(図 52 参照)。デバイスの電源もトランスを使って絶縁する必要があります。トランスの DAC 側では、5 V のレギュレータが 5 V 電源を AD5025/AD5045/AD5065 に供給しています。

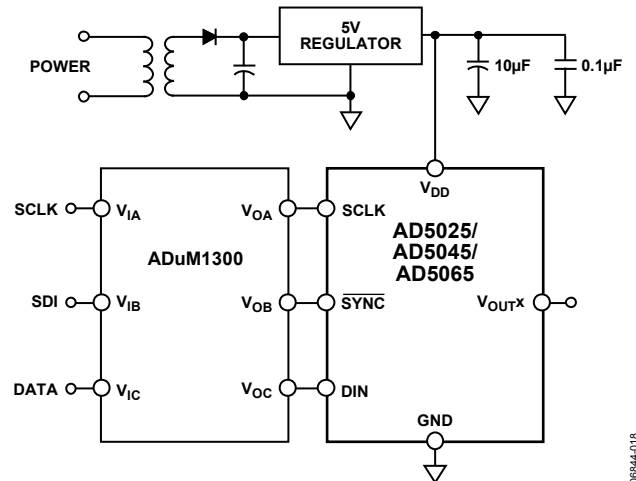


図 52. AD5025/AD5045/AD5065 の電流絶縁インターフェースでの使用

外形寸法

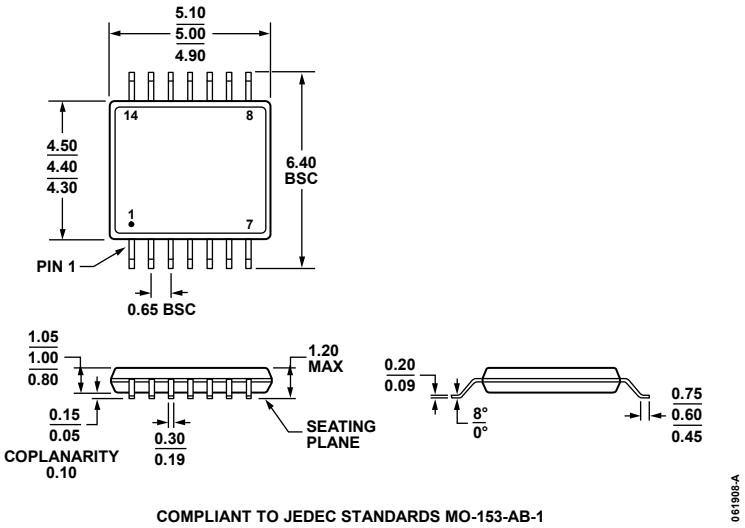


図 53.14 ピン薄型シュリンク・スモール・アウトライン・パッケージ[TSSOP]
(RU-14)
寸法: mm

オーダー・ガイド

Model	Temperature Range	Package Description	Package Option	Accuracy	Resolution
AD5025BRUZ ¹	−40°C to +125°C	14-Lead TSSOP	RU-14	±0.25 LSB INL	12 bits
AD5025BRUZ-REEL7 ¹	−40°C to +125°C	14-Lead TSSOP	RU-14	±0.25 LSB INL	12 bits
AD5045BRUZ ¹	−40°C to +125°C	14-Lead TSSOP	RU-14	±0.5 LSB INL	14 bits
AD5045BRUZ-REEL7 ¹	−40°C to +125°C	14-Lead TSSOP	RU-14	±0.5 LSB INL	14 bits
AD5065ARUZ ¹	−40°C to +125°C	14-Lead TSSOP	RU-14	±4 LSB INL	16 bits
AD5065ARUZ-REEL7 ¹	−40°C to +125°C	14-Lead TSSOP	RU-14	±4 LSB INL	16 bits
AD5065BRUZ ¹	−40°C to +125°C	14-Lead TSSOP	RU-14	±1 LSB INL	16 bits
AD5065BRUZ-REEL7 ¹	−40°C to +125°C	14-Lead TSSOP	RU-14	±1 LSB INL	16 bits

¹ Z = RoHS 準拠製品