

特長

サンプル周波数を自動的に検出
 設定が不要
 サンプル・クロックのジッタを削減
 入力電源電圧: 3.3 V~5 V、コア電源電圧: 3.3 V
 16/18/20/24ビットのデータを入力可能
 最大サンプル・レート: 192 kHz
 入力/出力サンプル比: 7.75:1~1:8
 バイパス・モード
 複数AD1896のTDMディジーチェーン接続モード
 複数AD1896の位相マッチング・モード
 142 dBの信号対ノイズ比とダイナミック・レンジ
 (A則重み、帯域幅20 Hz~20 kHz)
 THD + N:最大-133 dB
 線形位相FIRフィルタ
 ハードウェアから制御可能なソフト・ミュート
 256×f_S、512×f_S、768×f_Sのマスター・モード・クロックをサポート
 左詰め、I²S、右詰め(16、18、20、24ビット)、TDMシリアル・ポートの各モードをサポートする柔軟な3線式シリアル・データ・ポートを内蔵
 マスター/スレーブ入出力モードをサポート
 28ピンSSOPプラスチック・パッケージを採用

アプリケーション

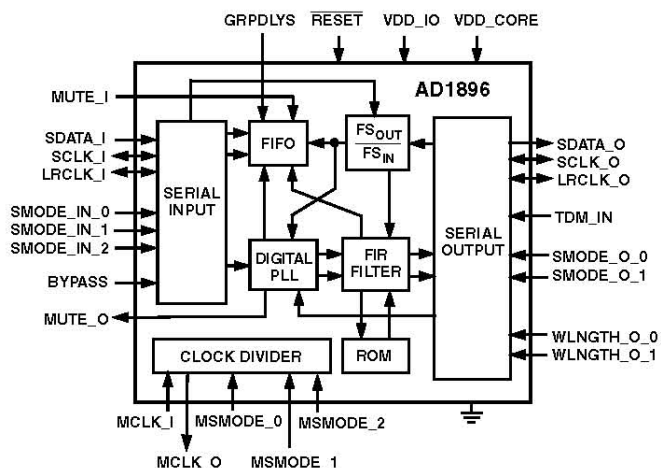
ホーム・シアター・システム、業務用デジタル・ミキサー、車載オーディオ・システム、DVD、セット・トップ・ボックス、デジタル・オーディオ効果プロセッサ、スタジオ・トランスミッタ間回線、デジタル・オーディオ放送機器、デジタル・テープ可変速度

製品概要

AD1896 は、24 ビット高性能シングルチップの第2 世代非同期サンプル・レート・コンバータです。アナログ・デバイス社の最初の AD1890 非同期サンプル・レート・コンバータの経験に基づいて、AD1896 ではさらに性能を改善し、機能追加も行っています。この性能改善には、サンプル・レートと入力周波数に応じて THD + N 範囲を-117 dB~-133 dB に、ダイナミック・レンジを 142 dB (A 則重み)に、入力および出力のサンプル・レートを 192 kHz に、アップサンプリング比を 1:8 に、ダウンサンプリング比を 7.75:1 に、それぞれ改善したことが含まれており、ジッタ除去機能も強化しています。追加された機能としては、シリアル・フォーマットの追加、バイパス・モードの追加、デジタル信号プロセッサに対するインターフェースの強化、位相マッチング・モードの追加などがあります。AD1896 は、シリアル入力ポートとシリアル出力ポートに対して3線式インターフェースを採用しており、左詰め、I²S、右詰め(16、18、20、24 ビット)の各モードをサポートしています。さらに、シリアル出力ポートでは、デジタル信号プロセッサに対してディジーチェーン接続された複数の AD1896 のために TDM モードをサポートしています。このシリアル出力データは、20、18 または 16 ビット出力データが選択されたとき、20、18 または 16 ビットに切りつめられます。

*特許申請中。

機能ブロック図



AD1896 のサンプル・レートを使って、シリアル入力ポートからのデータをシリアル出力ポートのサンプル・レートに変換します。シリアル入力ポートのサンプル・レートは、出力シリアル・ポートの出力サンプル・レートに対して非同期にすることができます。AD1896 に入力されるマスター・クロック MCLK は、シリアルの入力と出力の両ポートに対して非同期にすることができます。

MCLK は、AD1896 のマスター・クロック発振器を使ってチップ内部または外部で発生することができます。MCLK は入力シリアル・ポートまたは出力シリアル・ポートに対して非同期であることができるため、水晶を使って MCLK を内部で発生して、ボード上でのノイズと EMI の放出を削減することができます。MCLK が出力シリアル・ポートまたは入力シリアル・ポートに同期する場合は、AD1896 をマスター・モードに設定することができます。このモードでは、MCLK を分周して、MCLK に同期するシリアル・ポートの左/右クロックとビット・クロックの発生に使うことができます。AD1896 は、入力シリアル・ポートと出力シリアル・ポートの両方に対してマスター・モードで 256×f_S、512×f_S、768×f_S をサポートします。

AD1896 の動作は、シリアル入力データをレート 2²⁰ でインターポレーションし、そのインターポレーションしたデータ・ストリームを出力サンプル・レートでサンプリングしていることと概念的に理解することができます。実際には、2²⁰ 個の位相ステージを持つ 64 タップ FIR フィルタ、FIFO、入力サンプルと出力サンプル間の時間差を 5 ps 以内に計測するデジタル・サーボ・ループ、サンプル・レート比に追従するデジタル回路を使ってインターポレーションと出力のサンプリングを行います。詳しくは動作原理の節を参照してください。このデジタル・サーボ・ループとサンプル・レート比回路は、入力サンプル・レートと出力サンプル・レートに自動的に追従します。

(17 ページへ続く)

AD1896–仕様

テスト条件(特に注記がない場合)

電源電圧	
VDD_CORE	3.3 V
VDD_IO	5.0 Vまたは3.3 V
周囲温度	25°C
入力クロック	30.0 MHz
入力信号	1.000 kHz、0 dBFS
計測帯域幅	20～ $f_{S_OUT}/2$ Hz
ワード幅	24ビット
負荷容量	50 pF
ハイ・レベル入力電圧	2.4 V
ロー・レベル入力電圧	0.8 V

仕様は予告なく変更されることがあります。

デジタル性能 (VDD_CORE = 3.3 V ± 5%、VDD_IO = 5.0 V ± 10%)

Parameter	Min	Typ	Max	Unit
Resolution		24		Bits
Sample Rate @ MCLK_I = 30 MHz	6		215	kHz
Sample Rate (@ Other Master Clocks) ¹	$MCLK_I/5000 \leq f_s < MCLK_I/138$			kHz
Sample Rate Ratios				
Upsampling			1:8	
Downsampling (Short GRPDLYS)			7.75:1	
Downsampling (Long GRPDLYS)			7.0:1	
Dynamic Range ²				
(20 Hz to $f_{S_OUT}/2$, 1 kHz, –60 dBFS Input) A-Weighted				
Worst-Case (192 kHz:48 kHz)	132			dB
44.1 kHz:48 kHz		142		dB
48 kHz:44.1 kHz		141		dB
48 kHz:96 kHz		142		dB
44.1 kHz:192 kHz		141.5		dB
96 kHz:48 kHz		140		dB
192 kHz:32 kHz		140		dB
(20 Hz to $f_{S_OUT}/2$, 1 kHz, –60 dBFS Input) No Filter				
Worst-Case (192 kHz:48 kHz)	132			dB
44.1 kHz:48 kHz		139		dB
48 kHz:44.1 kHz		139		dB
48 kHz:96 kHz		139		dB
44.1 kHz:192 kHz		137		dB
96 kHz:48 kHz		137		dB
192 kHz:32 kHz		138		dB
Total Harmonic Distortion + Noise ²				
(20 Hz to $f_{S_OUT}/2$, 1 kHz, 0 dBFS Input) No Filter				
Worst-Case (32 kHz:48 kHz) ³	–117			dB
44.1 kHz:48 kHz		–123		dB
48 kHz:44.1 kHz		–124		dB
48 kHz:96 kHz		–120		dB
44.1 kHz:192 kHz		–123		dB
96 kHz:48 kHz		–132		dB
192 kHz:32 kHz		–133		dB
Interchannel Gain Mismatch		0.0		dB
Interchannel Phase Deviation		0.0		Degrees
Mute Attenuation (24 Bits Word Width) (A-Weighted)		–144		dB

注

¹ この式で与えられるサンプリング・レートより低いレートも可能ですが、ジッタ除去性能が低下します。

² 入力サンプル・レートと出力サンプル・レートの広い範囲に対する DNR と THD+N の値については、代表的な性能特性のセクションを参照してください。

³ その他のサンプル・レート比では、最小 THD + N は–117 dB より良くなります。詳細については性能曲線をご覧ください。

仕様は予告なく変更されることがあります。

デジタル・タイミング (−40°C < TA < +105°C、VDD_CORE = 3.3 V ± 5%、VDD_IO = 5.0 V ± 10%)

Parameter ¹	Min	Typ	Max	Unit
t _{MCLKI} MCLK_I Period	33.3			ns
f _{MCLK} MCLK_I Frequency			30.0 ^{2,3}	MHz
t _{MPWH} MCLK_I Pulsewidth High	9			ns
t _{MPWL} MCLK_I Pulsewidth Low	12			ns
Input Serial Port Timing				
t _{LRIS} LRCLK_I Setup to SCLK_I	8			ns
t _{SIH} SCLK_I Pulsewidth High	8			ns
t _{SIL} SCLK_I Pulsewidth Low	8			ns
t _{DIS} SDATA_I Setup to SCLK_I Rising Edge	8			ns
t _{DIH} SDATA_I Hold from SCLK_I Rising Edge	3			ns
Propagation Delay from MCLK_I Rising Edge to SCLK_I Rising Edge (Serial Input Port MASTER)			12	ns
Propagation Delay from MCLK_I Rising Edge to LRCLK_I Rising Edge (Serial Input Port MASTER)			12	ns
Output Serial Port Timing				
t _{TDMIS} TDM_IN Setup to SCLK_O Falling Edge	3			ns
t _{TDMH} TDM_IN Hold from SCLK_O Falling Edge	3			ns
t _{DOPD} SDATA_O Propagation Delay from SCLK_O, LRCLK_O			20	ns
t _{DOH} SDATA_O Hold from SCLK_O	3			ns
t _{LROS} LRCLK_O Setup to SCLK_O (TDM Mode Only)	5			ns
t _{LROH} LRCLK_O Hold from SCLK_O (TDM Mode Only)	3			ns
t _{SOH} SCLK_O Pulsewidth High	10			ns
t _{SOL} SCLK_O Pulsewidth Low	5			ns
t _{RSTL} RESET Pulsewidth Low	200			ns
Propagation Delay from MCLK_I Rising Edge to SCLK_O Rising Edge (Serial Output Port MASTER)			12	ns
Propagation Delay from MCLK_I Rising Edge to LRCLK_O Rising Edge (Serial Output Port MASTER)			12	ns

注

¹ タイミング図を参照してください。² 許容最大サンプル・レート: FS_{MAX} = f_{MCLK} / 138³ 0°C < T_A < 70°C かつ MCLK_I デューティ・サイクルが 45/55 以上の条件で最大 34 MHz の f_{MCLK} が可能。

仕様は予告なく変更されることがあります。

タイミング図

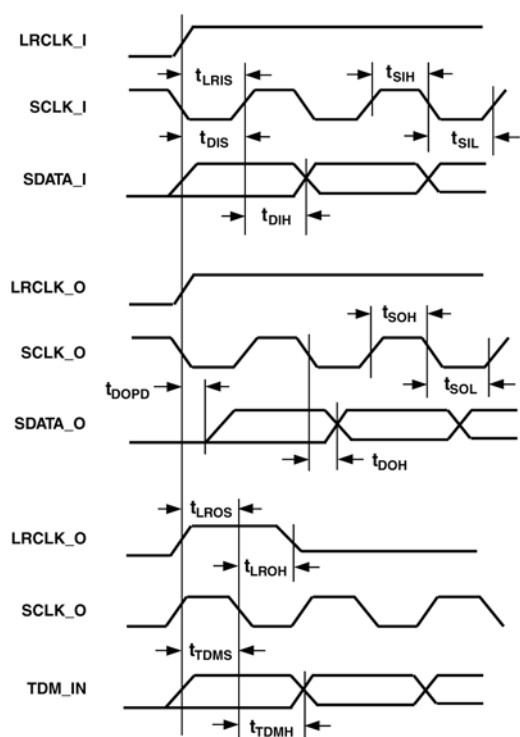


図 1. 入力シリアル・ポートと出力シリアル・ポートのタイミング
(SCLK I/O、LRCLK I/O、SDATA I/O、TDM_IN)

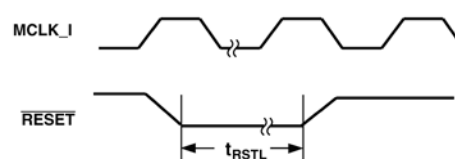


図 2. RESETのタイミング

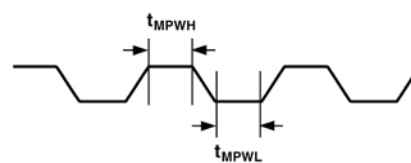


図 3. MCLK_Iのタイミング

デジタル・フィルタ (VDD_CORE = 3.3 V ±5%、VDD_IO = 5.0 V ±10%)

Parameter	Min	Typ	Max	Unit
Pass-Band			0.4535 f_{S_OUT}	Hz
Pass-Band Ripple			± 0.016	dB
Transition Band	0.4535 f_{S_OUT}		0.5465 f_{S_OUT}	Hz
Stop-Band	0.5465 f_{S_OUT}			Hz
Stop-Band Attenuation		–125		dB
Group Delay		Refer to the Group Delay Equations section.		

仕様は予告なく変更されることがあります。

デジタル I/O の特性 (VDD_CORE = 3.3 V ±5%、VDD_IO = 5.0 V ±10%)

Parameter	Min	Typ	Max	Unit
Input Voltage High (V_{IH})	2.4			V
Input Voltage Low (V_{IL})			0.8	V
Input Leakage (I_{IH} @ $V_{IH} = 5$ V) ¹			+2	μA
Input Leakage (I_{IL} @ $V_{IL} = 0$ V) ¹			–2	μA
Input Leakage (I_{IH} @ $V_{IH} = 5$ V) ²			+150	μA
Input Leakage (I_{IL} @ $V_{IL} = 0$ V) ²			–150	μA
Input Capacitance		5	10	pF
Output Voltage High (V_{OH} @ $I_{OH} = -4$ mA)	VDD_CORE – 0.5	VDD_CORE – 0.4		V
Output Voltage Low (V_{OL} @ $I_{OL} = +4$ mA)		0.2	0.5	V
Output Source Current High (I_{OH})			–4	mA
Output Sink Current Low (I_{OL})			+4	mA

注
¹ GRPDLYS 以外の全入力ピン。
² GRPDLYS ピンのみ。

仕様は予告なく変更されることがあります。

電源

Parameter	Min	Typ	Max	Unit
Supply Voltage				
VDD_CORE	3.135	3.3	3.465	V
VDD_IO *	VDD_CORE	3.3/5.0	5.5	V
Active Supply Current				
I_CORE_ACTIVE				
48 kHz:48 kHz		20		mA
96 kHz:96 kHz		26		mA
192 kHz:192 kHz		43		mA
I_IO_ACTIVE		2		mA
Power-Down Supply Current: (All Clocks Stopped)				
I_CORE_PWRDN		0.5		mA
I_IO_PWRDN		10		μA

* 3.3 V 入力の場合、VDD_IO は 3.3 V に設定する必要があります。ただし、VDD_CORE 電源電圧は VDD_IO を超えることはできません。

仕様は予告なく変更されることがあります。

電源(VDD_CORE = 3.3 V ±5%、VDD_IO = 5.0 V ±10%)

Parameter	Min	Typ	Max	Unit
Total Active Power Dissipation				
48 kHz:48 kHz		65		mW
96 kHz:96 kHz		85		mW
192 kHz:192 kHz		132		mW
Total Power-Down Dissipation: (RESET LO)		2		mW

仕様は予告なく変更されることがあります。

温度範囲

Parameter	Min	Typ	Max	Unit
Specifications Guaranteed		25		°C
Functionality Guaranteed	−40		+105	°C
Storage	−55		+150	°C
Thermal Resistance, θ_{JA} (Junction to Ambient)		109		°C/W

仕様は予告なく変更されることがあります。

絶対最大定格*

Parameter	Min	Max	Unit
Power Supplies			
VDD_CORE	−0.3	+3.6	V
VDD_IO	−0.3	+6.0	V
Digital Inputs			
Input Current		± 10	mA
Input Voltage	DGND − 0.3	VDD_IO + 0.3	V
Ambient Temperature (Operating)	−40	+105	°C

*上記の絶対最大定格を超えるストレスを加えるとデバイスに恒久的な損傷を与えることがあります。この規定はストレス定格の規定のみを目的とするものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くとデバイスの信頼性に影響を与えます。

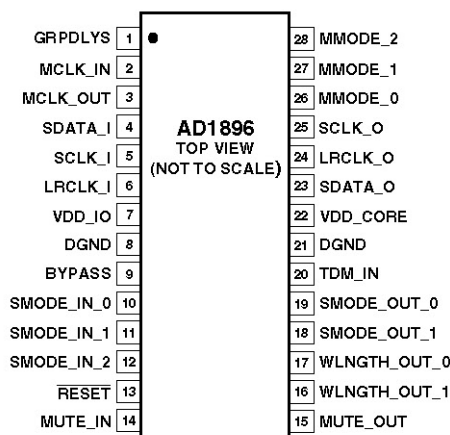
オーダー・ガイド

Model	Temperature Range	Package Description	Package Option
AD1896AYRS	−40°C to +105°C	28-Lead SSOP	RS-28
AD1896AYRSRL	−40°C to +105°C	28-Lead SSOP	RS-28 on 13" Reel

ESD に関する注意

ESD（静電放電）の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置

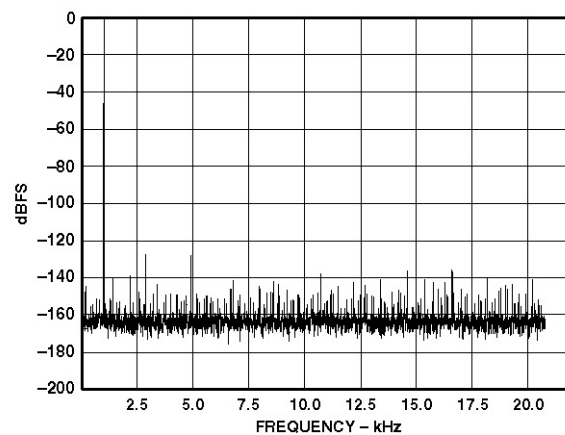
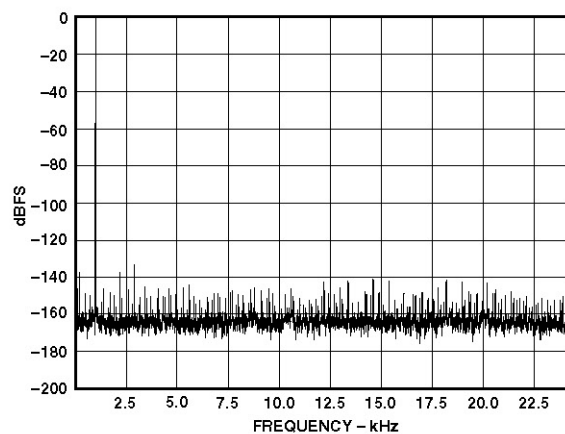
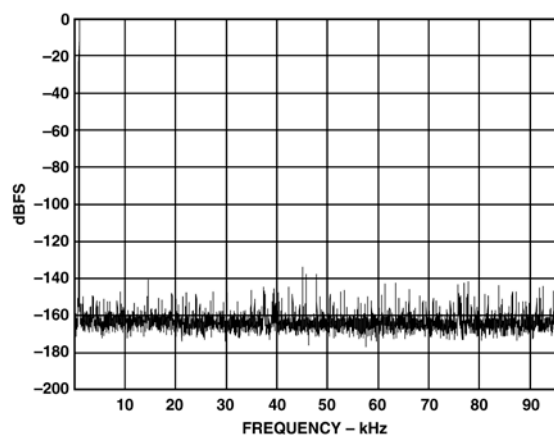
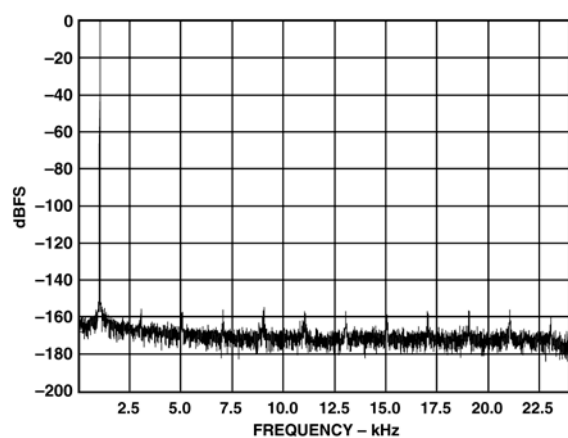


ピン機能の説明

ピン番号	IN/OUT	記号	説明
1	IN	GRPDLYS	群遅延。ハイ・レベル=短、ロー・レベル=長
2	IN	MCLK_IN	マスタークロック入力または水晶入力
3	OUT	MCLK_OUT	マスタークロック出力または水晶出力
4	IN	SDATA_I	入力シリアル・データ(入力サンプル・レート)
5	IN/OUT	SCLK_I	マスター/スレーブ入力シリアル・ビット・クロック
6	IN/OUT	LRCLK_I	マスター/スレーブ入力の左/右クロック
7	IN	VDD_IO	3.3 V/5 V入力/出力デジタル電源ピン
8	IN	DGND	デジタル・グラウンド・ピン
9	IN	BYPASS	ASRCバイパス・モード、アクティブ・ハイ
10	IN	SMODE_IN_0	入力ポート・シリアル・インターフェース・モード・セレクト・ピン0
11	IN	SMODE_IN_1	入力ポート・シリアル・インターフェース・モード・セレクト・ピン1
12	IN	SMODE_IN_2	入力ポート・シリアル・インターフェース・モード・セレクト・ピン2
13	IN	RESET	リセットピン、アクティブ・ロー・レベル
14	IN	MUTE_IN	ミュート入力ピン—アクティブ・ハイ(通常MUTE_OUTに接続)
15	OUT	MUTE_OUT	出力ミュート制御—アクティブ・ハイ
16	IN	WLNTH_OUT_1	ハードウェア選択の出力ワード長—セレクト・ピン1
17	IN	WLNTH_OUT_0	ハードウェア選択の出力ワード長—セレクト・ピン0
18	IN	SMODE_OUT_1	出力ポート・シリアル・インターフェース・モード・セレクト・ピン1
19	IN	SMODE_OUT_0	出力ポート・シリアル・インターフェース・モード・セレクト・ピン0
20	IN	TDM_IN	シリアル・データ入力*(ディジチチェーン・モードの場合)、未使用の場合はグラウンド。
21	IN	DGND	デジタル・グラウンド・ピン
22	IN	VDD_CORE	3.3 Vデジタル電源ピン
23	OUT	SDATA_O	出力シリアル・データ(出力サンプル・レート)
24	IN/OUT	LRCLK_O	マスター/スレーブ出力の左/右クロック
25	IN/OUT	SCLK_O	マスター/スレーブ出力シリアル・ビット・クロック
26	IN	MMODE_0	マスター/スレーブ・クロック比モード・セレクト・ピン0
27	IN	MMODE_1	マスター/スレーブ・クロック比モード・セレクト・ピン1
28	IN	MMODE_2	マスター/スレーブ・クロック比モード・セレクト・ピン2

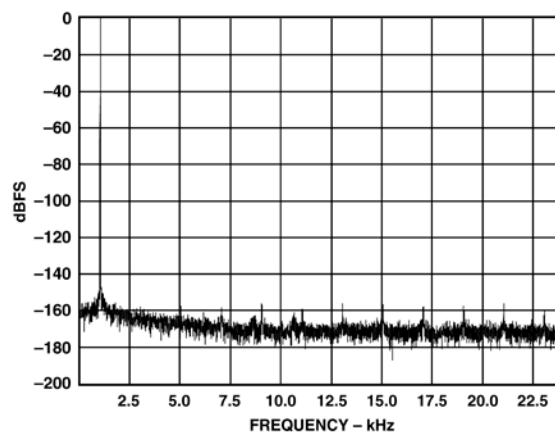
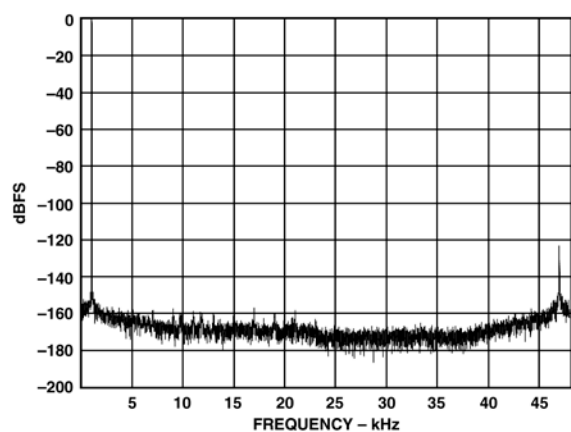
*位相マッチング・モード・データの入力にも使用。

AD1896-代表的な性能特性



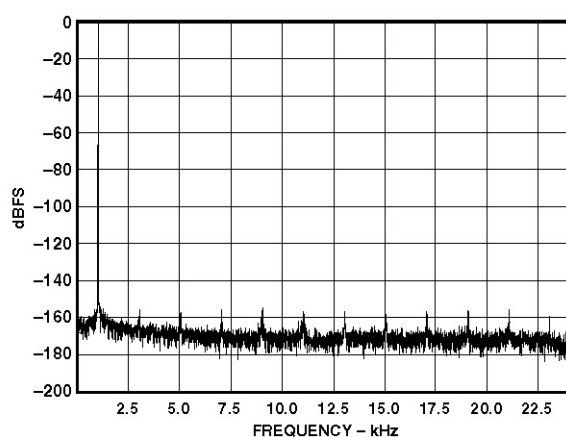
特性 2. 広帯域 FFT プロット (16k ポイント) 0 dBFS 1 kHz トーン、44.1 kHz:48 kHz (非同期)

特性 5. 広帯域 FFT プロット (16k ポイント) 48 kHz:44.1 kHz、0 dBFS 1 kHz トーン

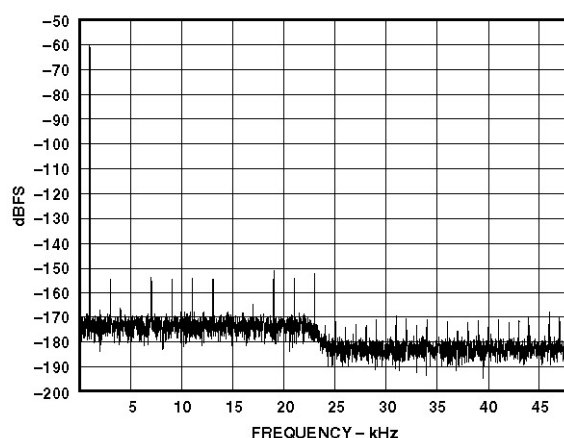


特性 3. 広帯域 FFT プロット (16k ポイント) 48 kHz:96 kHz、0 dBFS 1 kHz トーン

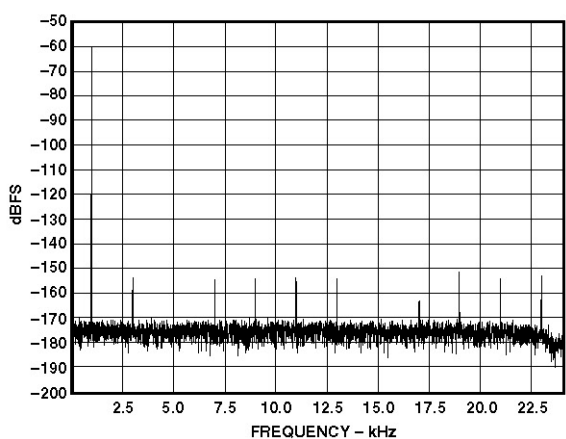
特性 6. 広帯域 FFT プロット (16k ポイント) 96 kHz:48 kHz、0 dBFS 1 kHz トーン



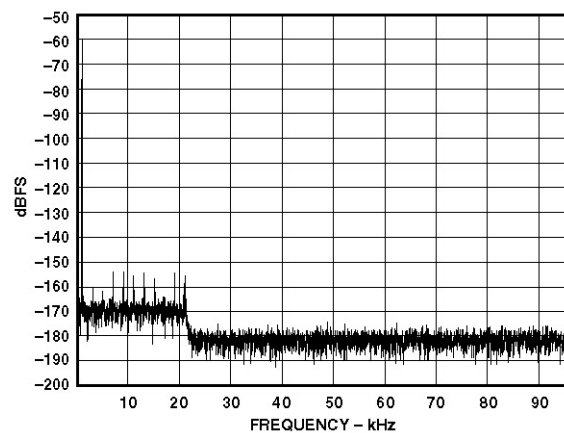
特性 7.広帯域 FFT プロット(16k ポイント) 192 kHz:48 kHz、
0 dBFS 1 kHz トーン



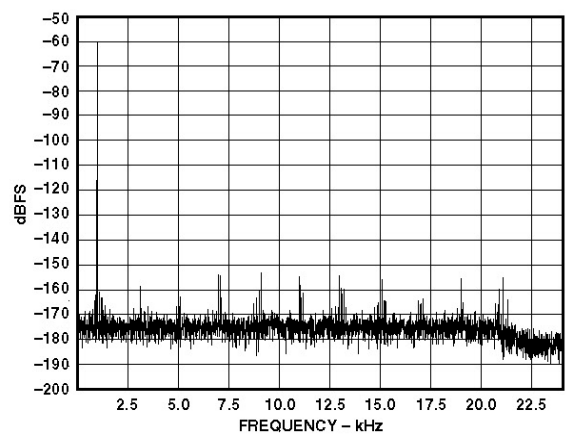
特性 10.広帯域 FFT プロット(16k ポイント) 48 kHz:96 kHz、
-60 dBFS 1 kHz トーン



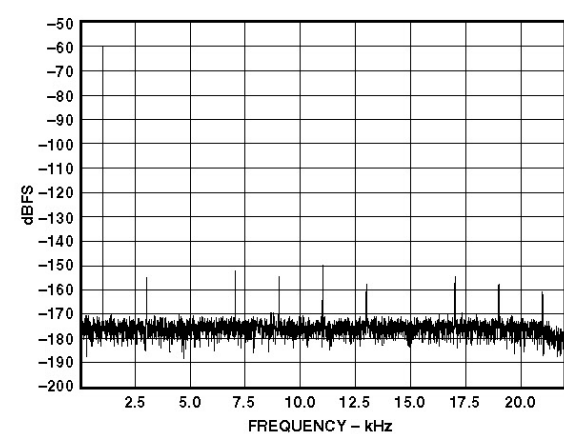
特性 8.広帯域 FFT プロット(16k ポイント) -60 dBFS 1 kHz トーン、
48 kHz:48 kHz (非同期)



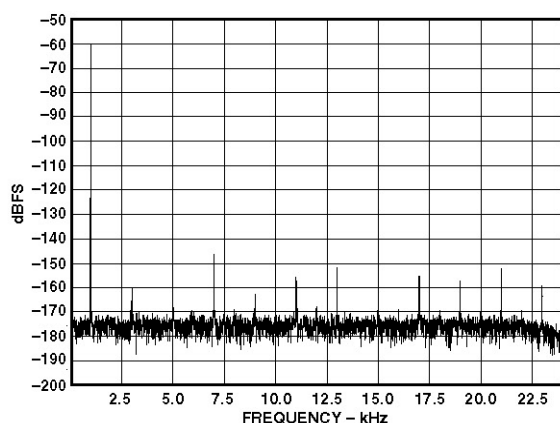
特性 11.広帯域 FFT プロット(16k ポイント) 44.1 kHz:192 kHz、
-60 dBFS 1 kHz トーン



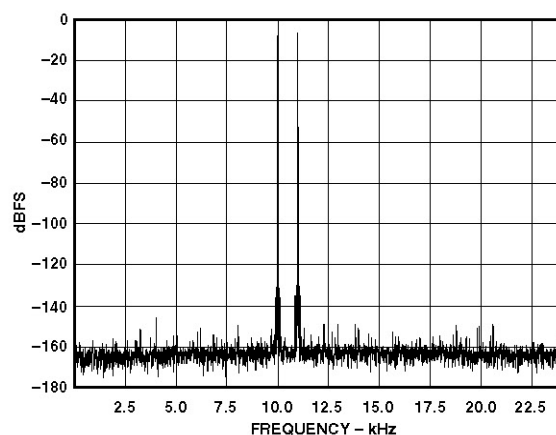
特性 9.広帯域 FFT プロット(16k ポイント) 44.1 kHz:48 kHz、
-60 dBFS 1 kHz トーン



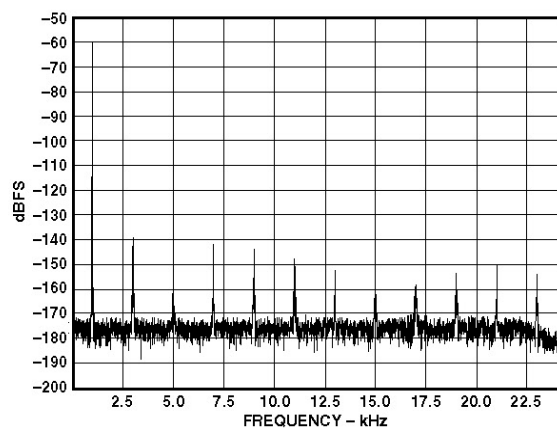
特性 12.広帯域 FFT プロット(16k ポイント) 48 kHz:44.1 kHz、
-60 dBFS 1 kHz トーン



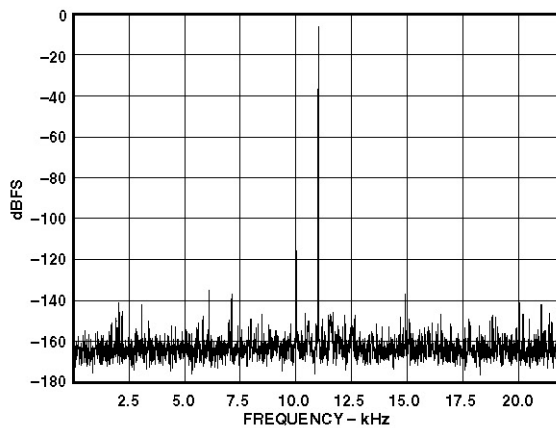
特性 13.広帯域 FFT プロット(16k ポイント) 96 kHz:48 kHz、
-60 dBFS 1 kHz トーン



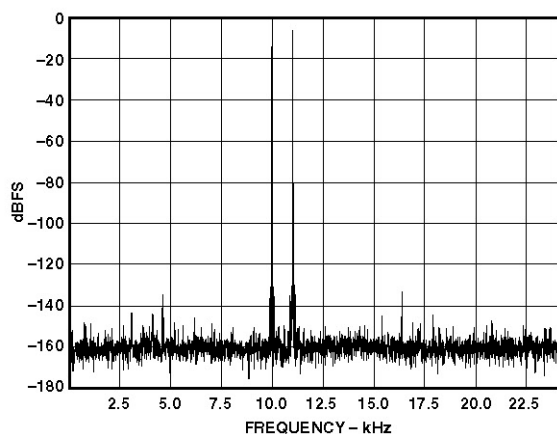
特性 16. IMD、10 kHz および 11 kHz 0 dBFS トーン
96 kHz:48 kHz



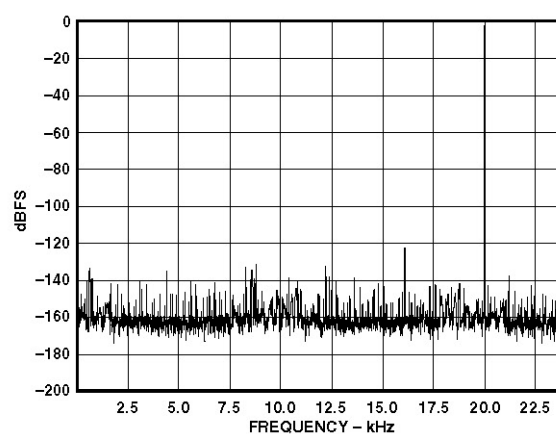
特性 14.広帯域 FFT プロット(16k ポイント) 192 kHz:48 kHz、
-60 dBFS 1 kHz トーン



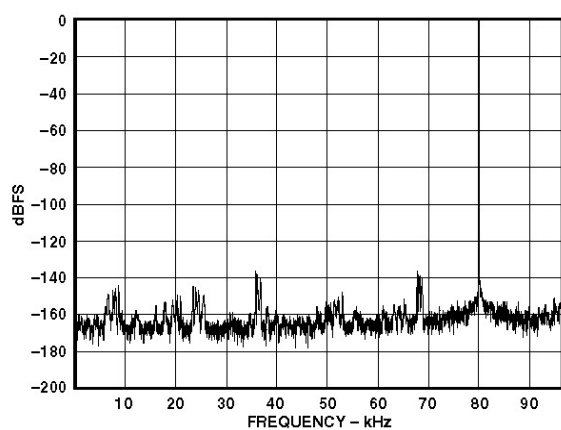
特性 17. IMD、10 kHz および 11 kHz 0 dBFS トーン
48 kHz:44.1 kHz



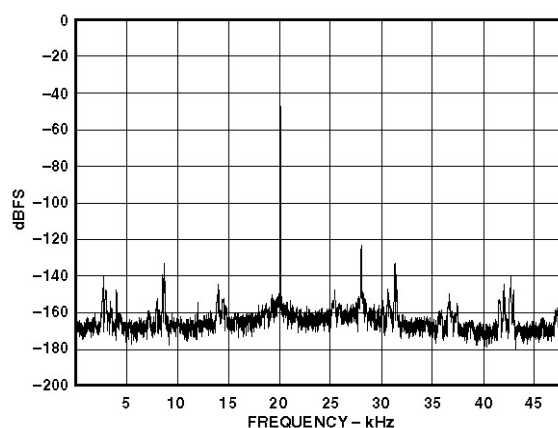
特性 15. IMD、10 kHz および 11 kHz 0 dBFS トーン
44:1 kHz:48 kHz



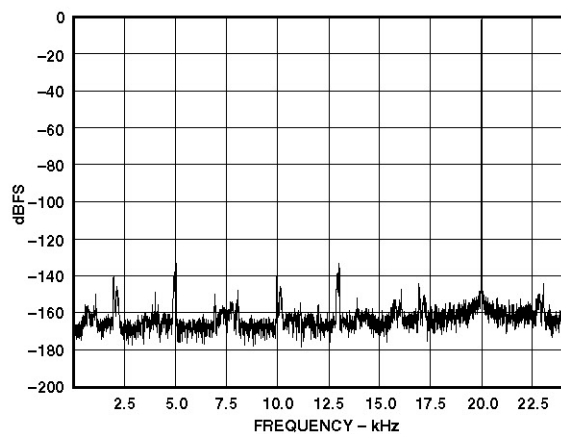
特性 18.広帯域 FFT プロット(16k ポイント) 44.1 kHz:48 kHz、
0 dBFS 20 kHz トーン



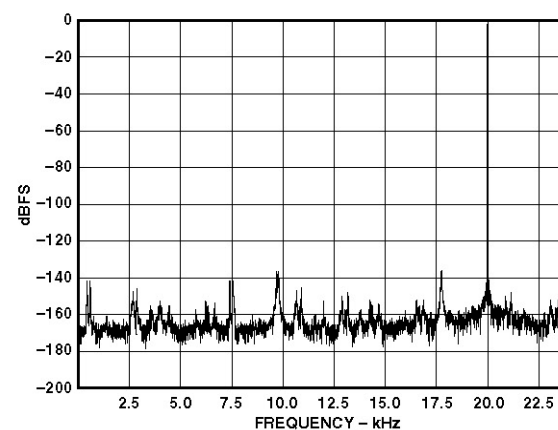
特性 19.広帯域 FFT プロット(16k ポイント) 10 kHz:90 kHz、
0 dBFS 80 kHz トーン



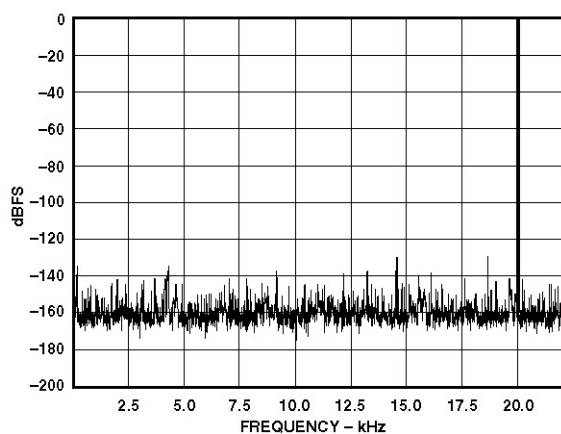
特性 22.広帯域 FFT プロット(16k ポイント) 5 kHz:45 kHz、
0 dBFS 20 kHz トーン



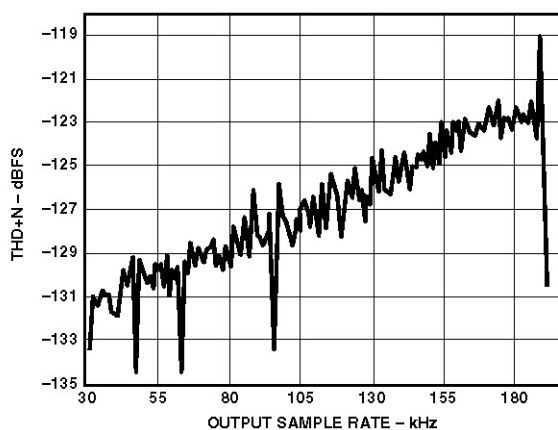
特性 20.広帯域 FFT プロット(16k ポイント) 2.5 kHz:22.5 kHz、
0 dBFS 20 kHz トーン



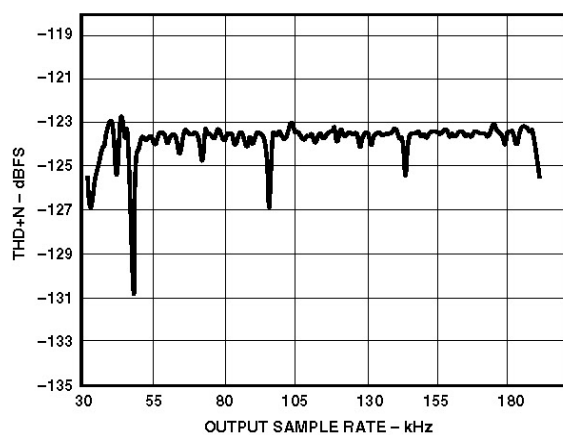
特性 23.広帯域 FFT プロット(16k ポイント) 2.5 kHz:22.5 kHz、
0 dBFS 20 kHz トーン



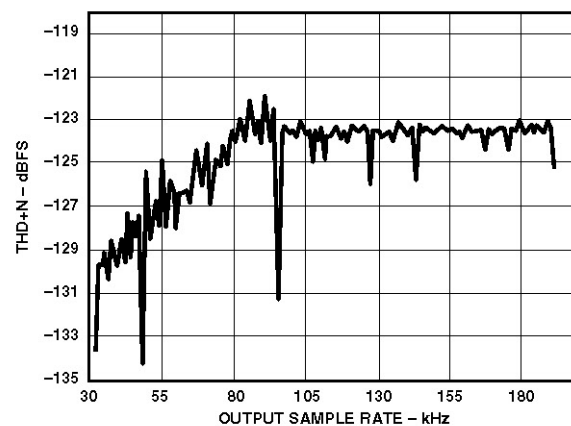
特性 21.広帯域 FFT プロット(16k ポイント) 2.5 kHz:20.0 kHz、
0 dBFS 20 kHz トーン



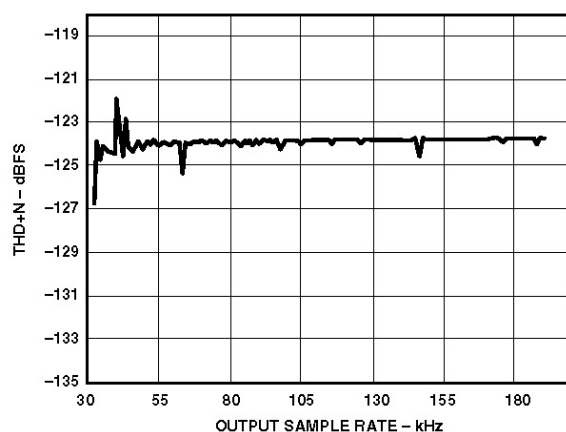
特性 24. 出力サンプル・レート対 THD + N
 $f_{S_IN} = 192$ kHz、0 dBFS 1 kHz トーン



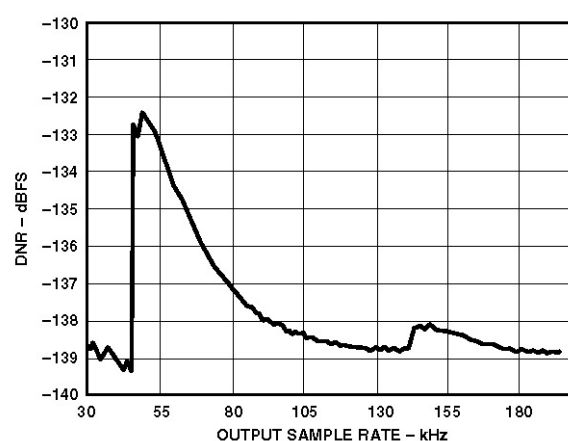
特性 25. 出力サンプル・レート対 THD + N
 $f_{S_IN} = 48$ kHz、0 dBFS 1 kHz トーン



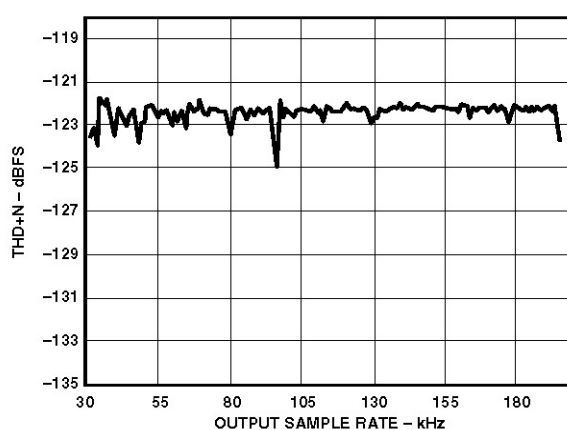
特性 28. 出力サンプル・レート対 THD + N
 $f_{S_IN} = 96$ kHz、0 dBFS 1 kHz トーン



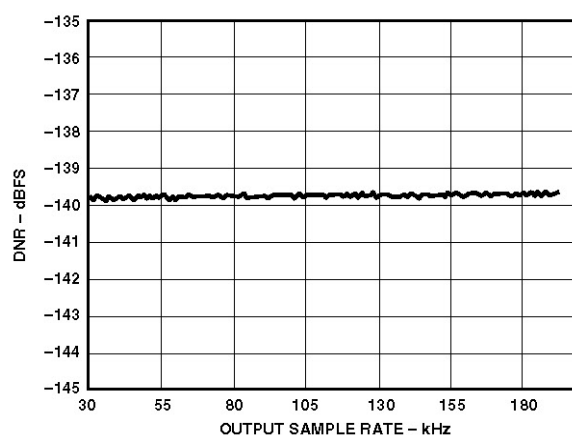
特性 26. 出力サンプル・レート対 THD + N
 $f_{S_IN} = 44.1$ kHz、0 dBFS 1 kHz トーン



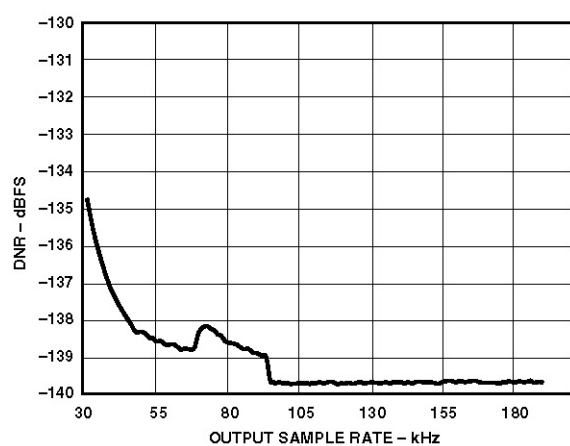
特性 29. 出力サンプル・レート対 DNR、
 $f_{S_IN} = 192$ kHz、-60 dBFS 1 kHz トーン



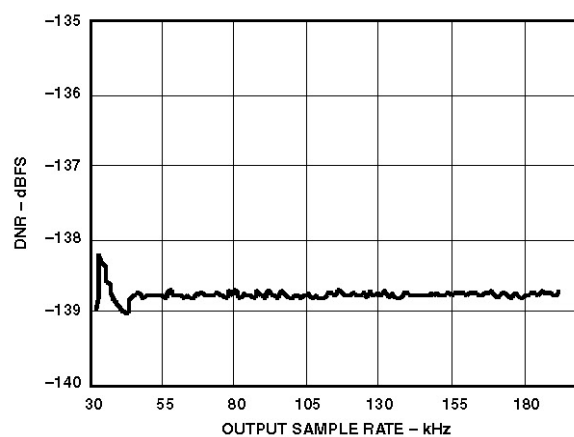
特性 27. 出力サンプル・レート対 THD + N
 $f_{S_IN} = 32$ kHz、0 dBFS 1 kHz トーン



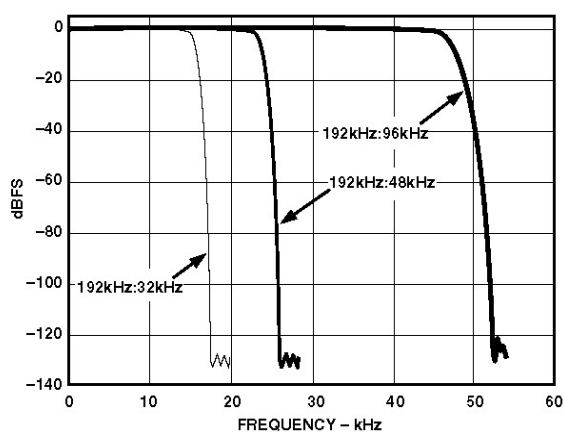
特性 30. 出力サンプル・レート対 DNR、
 $f_{S_IN} = 32$ kHz、-60 dBFS 1 kHz トーン



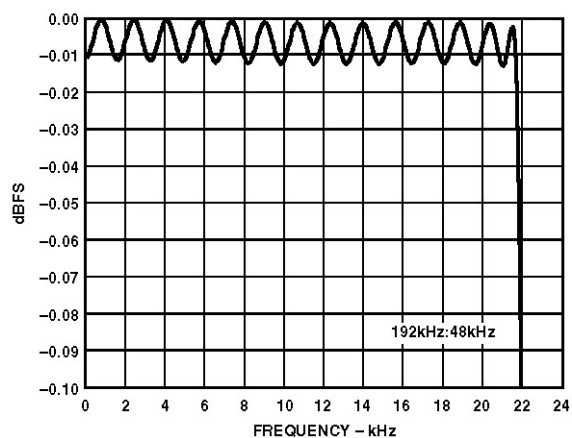
特性 31.出力サンプル・レート対 DNR、
 $f_{S_IN} = 96 \text{ kHz}$ 、 -60 dBFS 1 kHz トーン



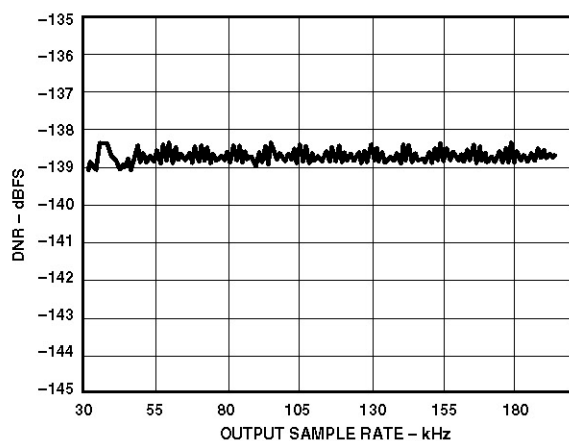
特性 34.出力サンプル・レート対 DNR、
 $f_{S_IN} = 44.1 \text{ kHz}$ 、 -60 dBFS 1 kHz トーン



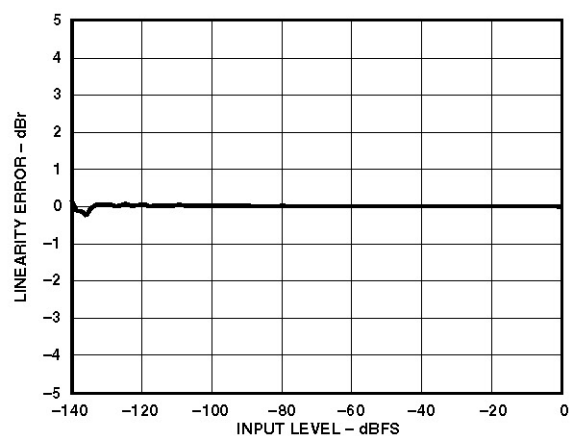
特性 32.デジタル・フィルタ周波数応答



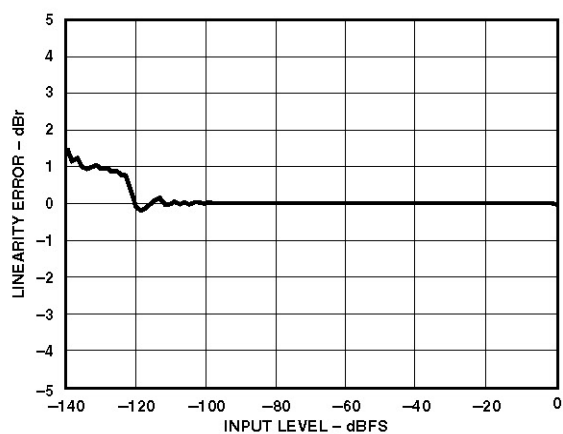
特性 35.通過帯域リップル、192 kHz:48 kHz



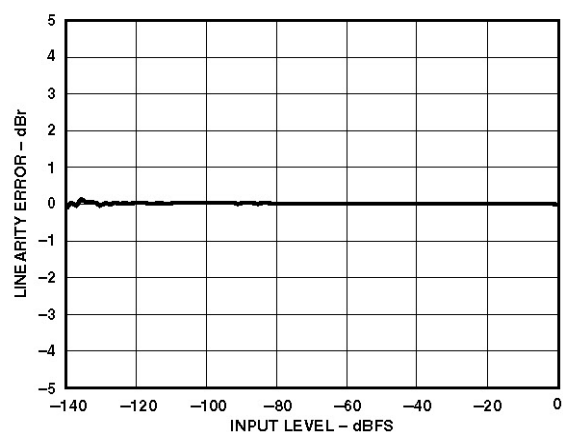
特性 33.出力サンプル・レート対 DNR、
 $f_{S_IN} = 48 \text{ kHz}$ 、 -60 dBFS 1 kHz トーン



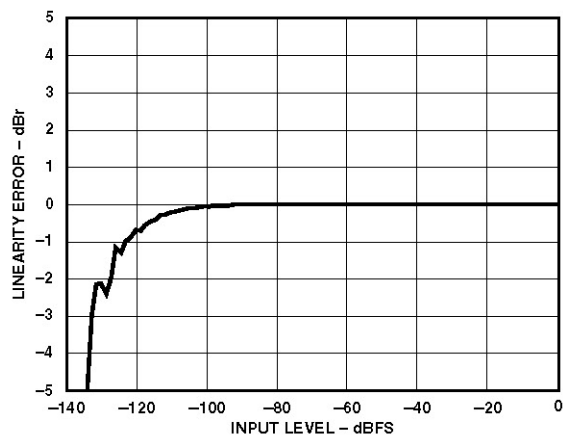
特性 36.直線性誤差、
48 kHz:48 kHz、0 dBFS $\sim$ -140 dBFS 入力、200 Hz トーン



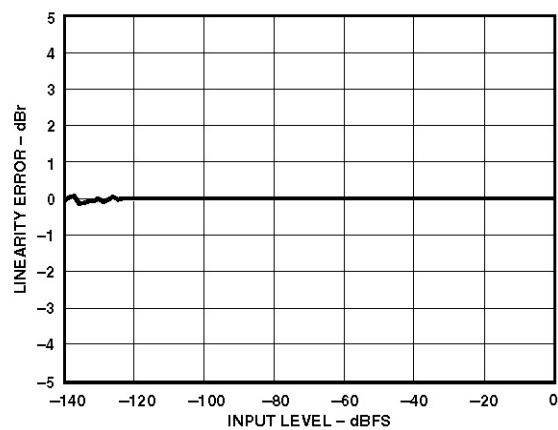
特性 37.直線性誤差、
48 kHz:44.1 kHz、0 dBFS~-140 dBFS 入力、200 Hz トーン



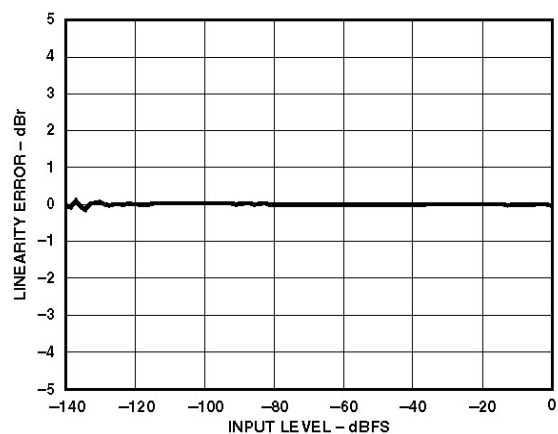
特性 40.直線性誤差、
48 kHz:96 kHz、0 dBFS~-140 dBFS 入力、200 Hz トーン



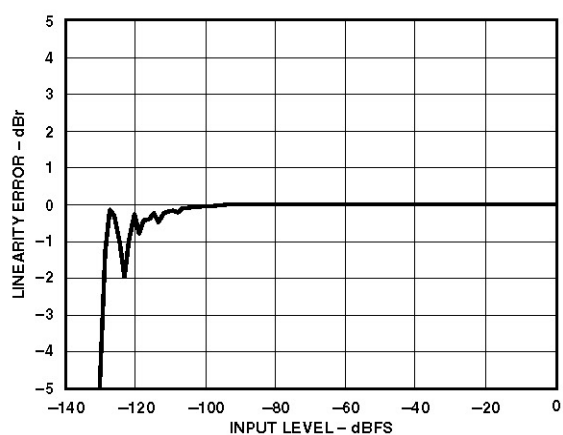
特性 38.直線性誤差、
96 kHz:48 kHz、0 dBFS~-140 dBFS 入力、200 Hz トーン



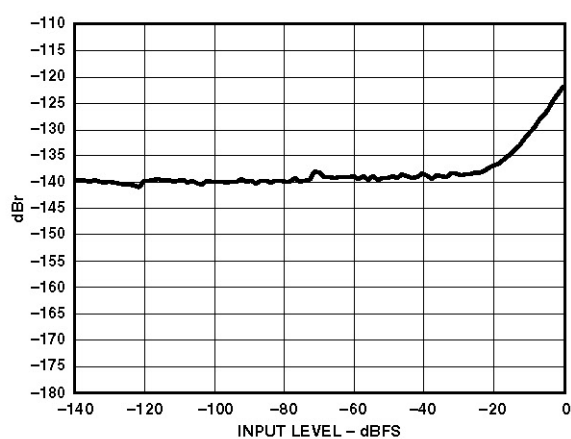
特性 41.直線性誤差、
44.1 kHz:192 kHz、0 dBFS~-140 dBFS 入力、200 Hz トーン



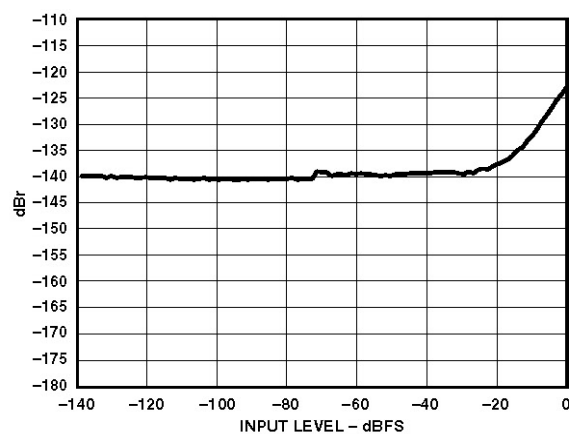
特性 39.直線性誤差、
44.1 kHz:48 kHz、0 dBFS~-140 dBFS 入力、200 Hz トーン



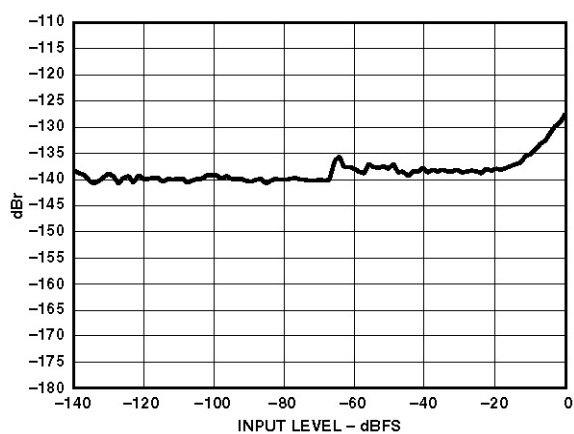
特性 42.直線性誤差、
192 kHz:44.1 kHz、0 dBFS~-140 dBFS 入力、200 Hz トーン



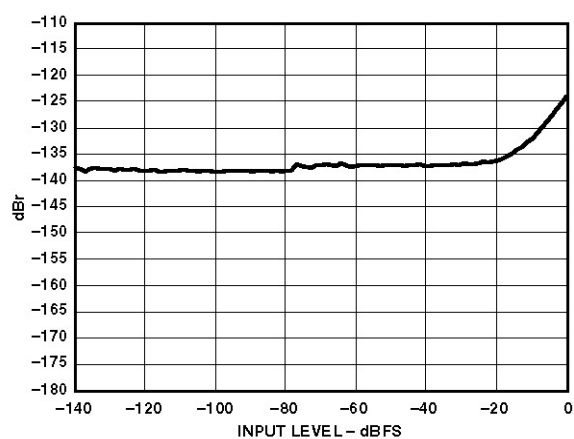
特性 43.入力振幅対 THD + N、
48 kHz:44.1 kHz、1 kHz トーン



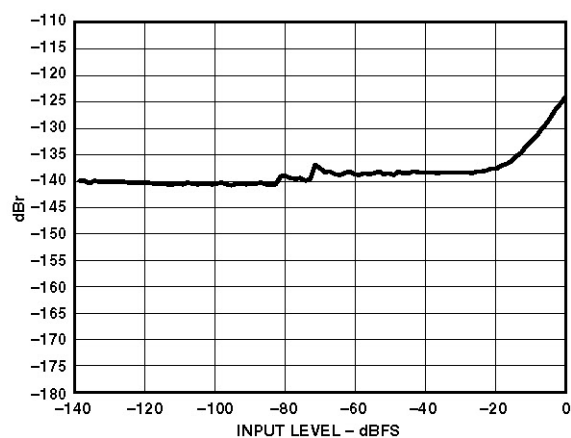
特性 46.入力振幅対 THD + N、
48 kHz:96 kHz、1 kHz トーン



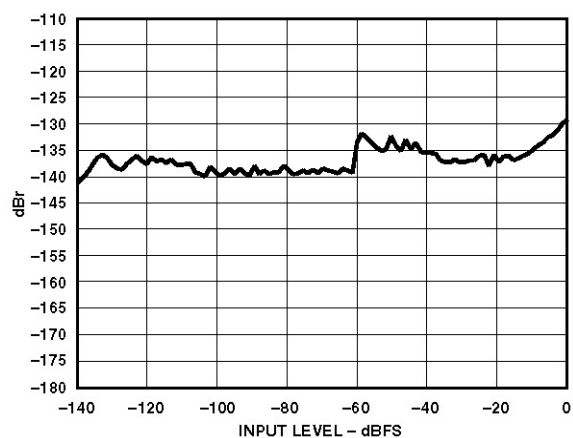
特性 44.入力振幅対 THD + N、
96 kHz:48 kHz、1 kHz トーン



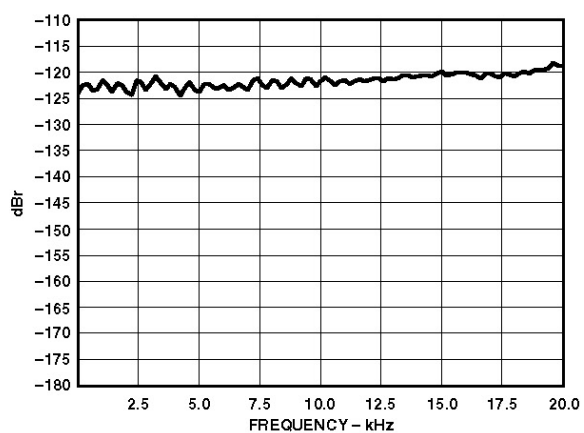
特性 47.入力振幅対 THD + N、
44.1 kHz:192 kHz、1 kHz トーン



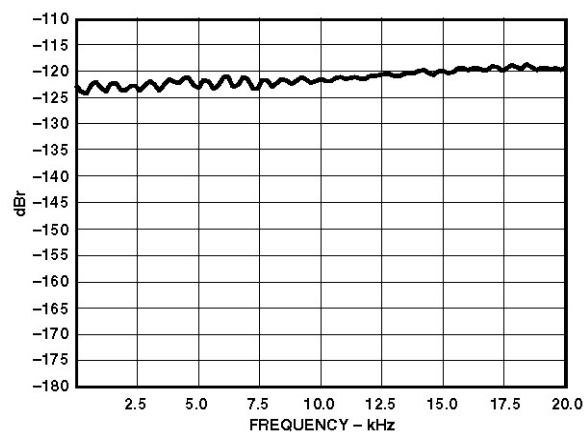
特性 45.入力振幅対 THD + N、
44.1 kHz:48 kHz、1 kHz トーン



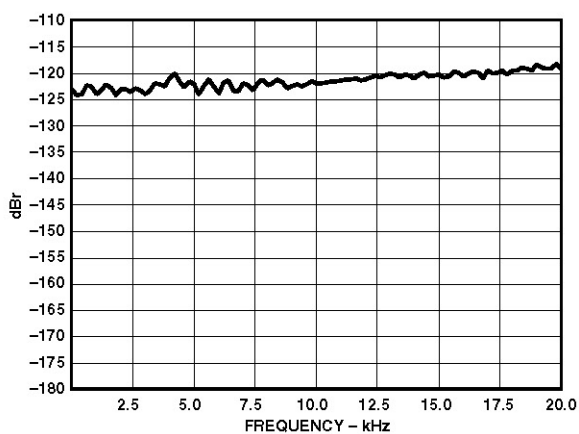
特性 48.入力振幅対 THD + N、
192 kHz:48 kHz、1 kHz トーン



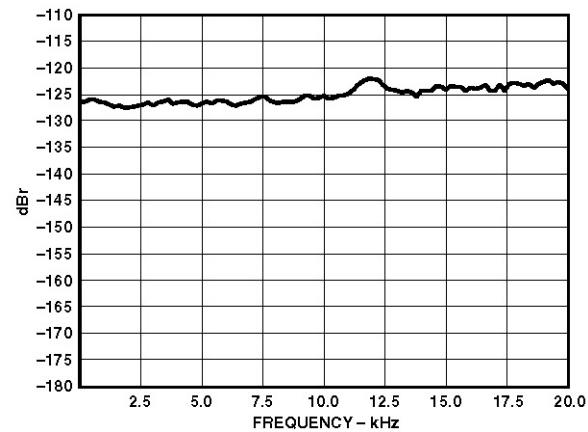
特性 49. 周波数入力対 THD + N、
48 kHz:44.1 kHz、0 dBFS



特性 51. 周波数入力対 THD + N、
48 kHz:96 kHz、0 dBFS



特性 50. 周波数入力対 THD + N、
44.1 kHz:48 kHz、0 dBFS



特性 52. 周波数入力対 THD + N、
96 kHz:48 kHz、0 dBFS

(1 ページからの続き)

デジタル・サーボ・ループは、入力サンプル・レートと出力サンプル・レート間の時間差を 5 ps 以内で計測します。これは、該当する多位相フィルタ係数を選択するために必要です。このデジタル・サーボ・ループは、入力サンプル・レート、出力サンプル・レート、マスター・クロックに対して優れたジッタ除去能力を持っています。ジッタ除去動作は 1 Hz 未満で開始されます。これは、**RESET**が解除されたとき、または入力サンプル・レートまたは出力サンプル・レートが変更されたときに、長いセトリング・タイムを必要とします。セトリング・タイムを短くするため、**RESET**の解除時またはサンプル・レートの変化時に、デジタル・サーボ・ループは高速セトリング・モードに入ります。この高速モードでデジタル・サーボ・ループが適正に整定すると、ノーマル・モードまたは低速セトリング・モードに切り替わり、入力サンプル・レートと出力サンプル・レート間の時間差計測値が 5 ps 内に収まるまで整定動作を続けます。高速モードでは、MUTE_OUT 信号がハイ・レベルにアサートされます。通常、MUTE_OUT は MUTE_IN ピンに接続されます。MUTE_IN 信号は、アサート時に AD1896 をソフトにミュートさせ、アサート解除時に AD1896 をミュートからソフトに回復させるときに使います。

サンプル・レート比回路は、デシメーション用 FIR フィルタのフィルタ長をスケールするために使います。サンプル・レート比測定時のヒステリシスは、フィルタ長のスケール時に発振を防止するために使います。発振すると、出力に歪みが生じます。

ただし、複数の AD1896 を同じシリアル入力ポート・クロックと同じシリアル出力ポート・クロックで使用する場合、ヒステリシスにより複数の AD1896 間で群遅延が異なることがあります。この問題を解決するために、位相マッチング・モード機能が AD1896 に追加されました。位相マッチング・モードでは、1 個の AD1896 (マスター) が、自分のサンプル・レート比を他の AD1896 (スレーブ) へ送信して、複数の AD1896 間で群遅延を一致させるようにします。

AD1896 の群遅延は、短遅延または長遅延に調節することができます。サンプル・レート・コンバータ内の FIFO の書き込みポイントにアドレス・オフセットが追加されました。このオフセットは、16 (短遅延) または 64 (長遅延) に設定することができます。長遅延では、群遅延が 48 入力サンプル・クロックだけ大きくなります。

AD1896 のサンプル・レート・コンバータは、バイパス・モードを使うとすべてバイパスさせることができます。バイパス・モードでは、AD1896 のシリアル入力データは、切りつめることなく直接シリアル出力ポートに接続されます。この機能は、非オーディオ・データを通過させるとき、または入力サンプル・レートと出力サンプル・レートが互に同期して、サンプル・レート比が 1: 1 のときに便利です。

AD1896 は 3.3 V と 5 V の入力をサポートしており、28 ピン SSOP パッケージを採用しています。AD1896 は、VDD_IO 電源ピンに 5 V を接続する場合にのみ、5 V 入力をサポートします。

ASRCの機能概要

動作原理

非同期サンプル・レート・コンバータ(ASRC)は、あるサンプル・レートのクロック・ソースを使うデータを同一または異なるサンプル・レートの別のクロック・ソースを使うデータに変換します。非同期サンプル・レート変換の最もシンプルな手法は、2個のサンプル回路の間にゼロ次ホールド回路を使う方法です(図4)。非同期システムでは、 T_2 は T_1 に等しくなることはなく、 T_2 と T_1 の比は有限小数にもなりません。そのために、 f_{S_OUT} でのサンプルでは、サンプル値の繰り返し使用や省略が行われて、再サンプリング過程で誤差が発生してしまいます。周波数領域ではサイド・ローブが広がります。 f_{S_OUT} でのサンプリングが、ゼロ次ホールドの $\sin(x)/x$ の性質から発生する減衰したイメージとコンボリューションされたときに、この誤差からこの広がりが生じます。ゼロ次ホールドの f_{S_IN} におけるイメージすなわちDC信号イメージは、無限に減衰されます。 T_2 と T_1 の比は無限小数値であるため、 f_{S_OUT} での再サンプリングから発生する誤差は解消することはできません。ただし、誤差は入力データの f_{S_IN} でのインターポレーションにより大幅に小さくすることができます。AD1896は概念的には係数 2^{20} でのインターポレーションと見なすことができます。

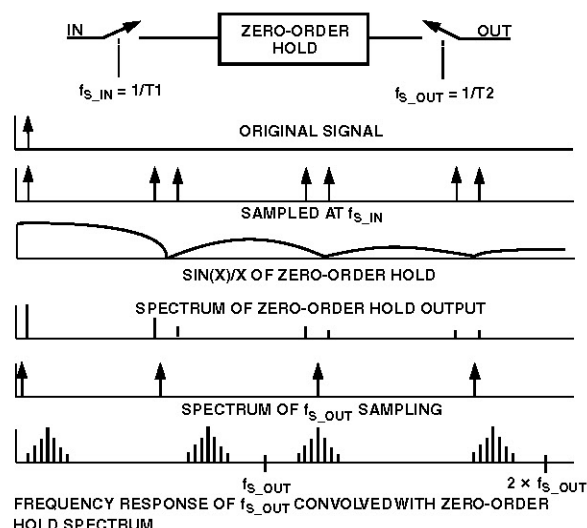


図4. f_{S_IN} のデータを再サンプルするときに f_{S_OUT} で使用するゼロ次ホールド回路

高比率インターポレーションの概念的なモデル

係数 2^{20} での入力データのインターポレーションでは、各 f_{S_IN} サンプルの間に $(2^{20} - 1)$ 個のサンプルを配置します。図5に、時間領域と周波数領域における係数 2^{20} によるインターポレーションを示します。係数 2^{20} のインターポレーションは、概念的には、各 f_{S_IN} サンプル間に $(2^{20} - 1)$ 個のゼロ値サンプルをスタッキング(詰め込み)し、このインターポレーションされた信号をデジタル・ローパス・フィルタとコンボリューションしてイメージを減衰させるものと理解することができます。

時間領域では、ゼロ次ホールド回路から出力される $f_{S_IN} \times 2^{20}$ サンプルの最も近い値を f_{S_OUT} で選択するものと見なすことができます。これはインターポレーションを行わない場合に f_{S_IN} サンプルから隣の値を選択するのと対照的です。これにより、再サンプリング誤差を大幅に削減することができます。

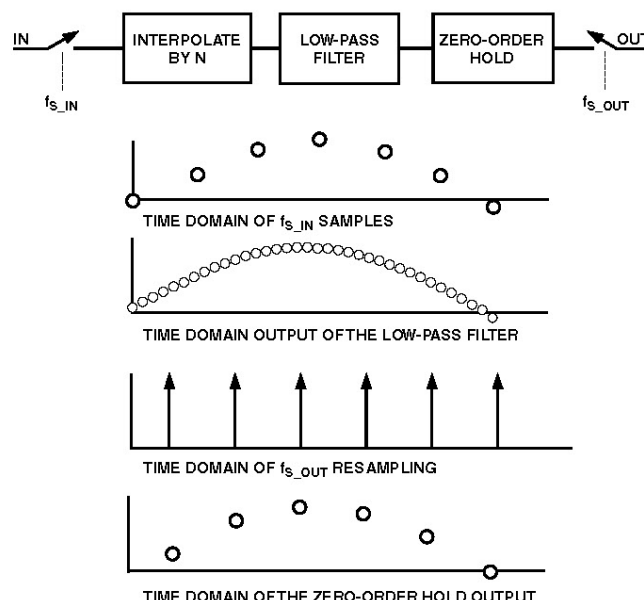


図5. インターポレーションと再サンプリングの時間領域表現

周波数領域(図6)では、インターポレーションによりゼロ次ホールド回路の周波数軸が引き伸ばされます。インターポレーション後のイメージは適切なローパス・フィルタにより十分減衰させることができます。ゼロ次ホールド回路から発生するイメージは、ゼロ次ホールド回路の無限減衰ポイントに向かって 2^{20} だけ移動されます($f_{S_IN} \times 2^{20}$)。ゼロ次ホールド回路のイメージは、 f_{S_OUT} 出力の忠実度にとって決定的な要因になります。ワーストケースのイメージは、ゼロ次ホールド回路の周波数応答から、最大イメージ $= \sin(\pi \times F / f_{S_INTERP}) / (\pi \times F / f_{S_INTERP})$ として計算することができます。 F はワーストケース・イメージの周波数で $2^{20} \times f_{S_IN} \pm f_{S_IN} / 2$ に等しくなり、 f_{S_INTERP} は $f_{S_IN} \times 2^{20}$ に等しくなります。

$f_{S_IN} = 192 \text{ kHz}$ の場合、次のワーストケース・イメージが発生します。

$f_{S_INTERP} - 96 \text{ kHz}$ でのイメージ $= -125.1 \text{ dB}$

$f_{S_INTERP} + 96 \text{ kHz}$ でのイメージ $= -125.1 \text{ dB}$

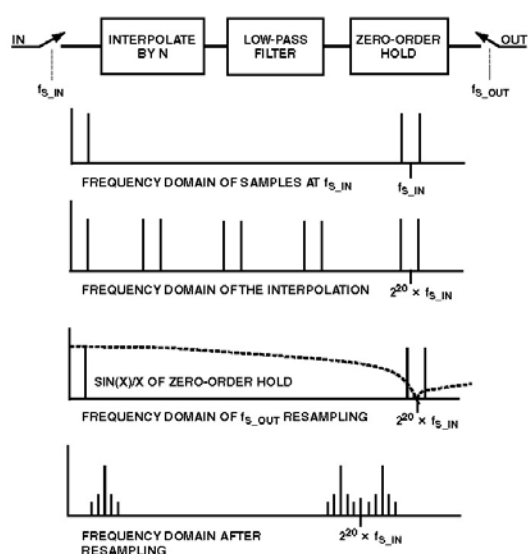


図 6. インターポレーションと再サンプリングの周波数領域表現

ハードウェア・モデル

ローパス・フィルタ (図 5) の出力レートは、インターポレーションレート $2^{20} \times 192000 \text{ kHz} = 201.3 \text{ GHz}$ になります。サンプリング・レート 201.3 GHz は明らかに非現実的であり、インターポレーションされた各サンプルを計算するために必要なタップ数についても勿論同様です。ただし、係数 2^{20} のインターポレーションでは $2^{20} - 1$ 個のゼロ・サンプルを各 f_{S_IN} サンプルの間にスタッフィングするため、ローパス FIR フィルタ内の大部分の乗算はゼロの乗算になります。 f_{S_OUT} レートの出力でインターポレーションされたサンプルを 1 個だけ取り出すだけで良いため、 2^{20} 回のコンボリューションを実行する代わりに、各 f_{S_OUT} 周期毎に 1 回だけコンボリューションを行えば済むことを利用すると、さらに簡単化することができます。各 f_{S_OUT} サンプルに対して 64 タップ FIR フィルタを使用することで、インターポレーションにより発生するイメージを十分に減衰させることができます。

上の手法での困難は、 f_{S_OUT} のタイミングでインターポレーションされた正しいサンプルを選択する必要があることです。各 f_{S_OUT} 周期毎に 2^{20} 回のコンボリューションが実行されることとなるため、 f_{S_OUT} クロックの到来を $1/201.3 \text{ GHz} = 4.96 \text{ ps}$ の精度で計測する必要があります。周波数 201.3 GHz のクロックで f_{S_OUT} 周期を計測することは明らかに不可能です。その代わりに、 f_{S_OUT} クロック周期を粗い精度何回か計測して、時間平均をとります。

上の手法でのもう 1 つの困難は、必要とされる係数の数です。 64 タップ FIR フィルタとの 2^{20} 回のコンボリューションが必要となるため、各タップに対して 2^{20} 個の多相係数が必要になり、これにより合計 2^{26} 個の係数が必要となります。ROM 内の係数の数を減らすため、AD1896 では係数の小さいサブセットを記憶しておき、記憶されているこれらの係数間で高次インターポレーションを実行します。これで、上の手法は $f_{S_OUT} > f_{S_IN}$ の場合に動作します。ただし、出力サンプル・レート f_{S_OUT} が入力サンプル・レート f_{S_IN} より小さい場合は、ROM 開始アドレス、入力データ、コンボリューションの長さを調整する必要があります。入力サンプル・レートが出力サンプル・レートより高くなるにつれて、折り返し防止フィルタのカットオフ周波数を下げる必要があります。これは出力サンプルのナイキスト周波数が入力サンプルのナイキスト周波数より低くなるためです。折り返し防止フィルタのカットオフ周波数を移動するためには、

係数を動的に変更して、コンボリューションの長さを (f_{S_IN}/f_{S_OUT}) だけ長くする必要があります。この技術は、 $f(t) \rightarrow F(\omega)$ のとき、 $f(k \times t) \rightarrow F(\omega/k)$ になるというフーリエ変換の性質を使っています。

したがって、デシメーションの範囲は単純に RAM のサイズにより制限されます。

サンプル・レート・コンバータのアーキテクチャ

サンプル・レート・コンバータのアーキテクチャを図 7 に示します。サンプル・レート・コンバータの FIFO ブロックでは、左と右の入力サンプルを調整して、これらを FIR フィルタのコンボリューション・サイクルに使うために記憶しておきます。 f_{S_IN} カウンタからは、FIFO ブロックに対しては書き込みアドレスを、デジタル・サーボ・ループに対してはランプ入力を、それぞれ出力します。ROM には FIR フィルタ・コンボリューションの係数を記憶しておき、記憶された係数間で高次インターポレーションを実行します。サンプル・レート比ブロックでは、ROM 係数の動的な変更、FIR フィルタ長のスケールリング、入力データのスケールリングのためにサンプル・レートを計測します。デジタル・サーボ・ループでは、 f_{S_IN} サンプル・レートと f_{S_OUT} サンプル・レートを自動的にトラッキング (追尾) し、FIR フィルタ・コンボリューションの開始に必要な RAM と ROM の開始アドレスを発生します。

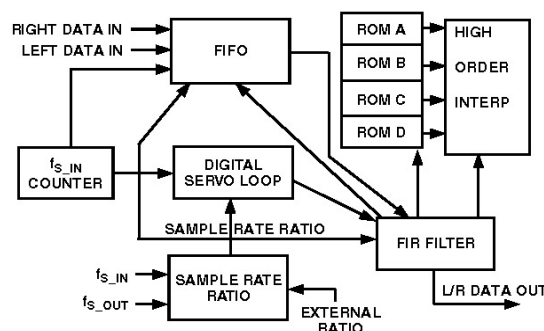


図 7. サンプル・レート・コンバータのアーキテクチャ

FIFO は左と右の入力データを受取り、サンプル・レート・コンバータのソフト・ミューティングと、サンプル・レート比により入力データをスケールリングするためにデータの振幅を調整して、サンプル値を RAM に書き込みます。コンボリューションの FIR フィルタが長くなるにつれて、コンボリューション出力の振幅も大きくなるため、入力データはサンプル・レート比を使ってスケールリングします。FIR フィルタ出力が飽和しないようにするため、 $f_{S_OUT} < f_{S_IN}$ の場合、入力データに (f_{S_OUT}/f_{S_IN}) を乗算してスケールリングします。FIFO は AD1896 のミューティングとミューティング解除に対しても入力データをスケールリングします。

FIFO 内の RAM は、左と右の両チャンネルに対して深さ 512 ワードです。書き込みアドレスに対するオフセット (f_{S_IN} カウンタから取得) を加算して、RAM 読み出しポインタが書き込みアドレスと一致しないようにしています。オフセットは、群遅延セレクト信号 (GRPDLYS) により選択されます。GRPDLYS がハイ・レベルの場合は、小さなオフセット値 16 が書き込みアドレス・ポインタに加算され、GRPDLYS がロー・レベルの場合は、大きなオフセット値 64 が書き込みアドレス・ポインタに加算されます。書き込みアドレス・ポインタのオフセットを大きくすることは、 f_{S_IN} と f_{S_OUT} との間のサンプル・レート比の変化が小さいアプリケーションでは便利です。最大デシメーション比は、RAM ワードの深さと GRPDLYS を使って計算することができます。短群遅延ではタップ数 $(512 - 16)/64 = 7.75$ 、長群遅延ではタップ数 $(512 - 64)/64 = 7$ となります。

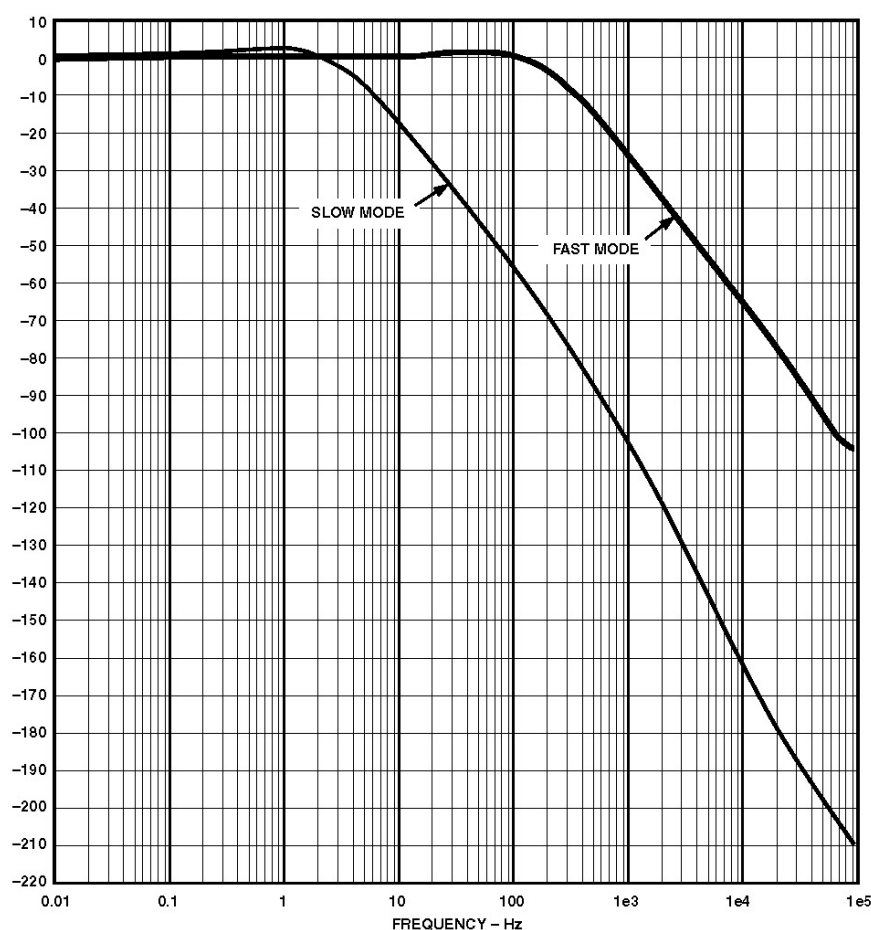


図8.デジタル・サーボ・ループの周波数応答

f_{S_IN} がX軸、 $f_{S_OUT} = 192 \text{ kHz}$ 、マスター・クロック周波数= 30 MHz.

デジタル・サーボ・ループは、FIR コンボリューションを開始させる RAM アドレスと ROM アドレスを指す初期ポイントを出力するランプ・フィルタです。この RAM ポイントは、ランプ・フィルタの整数値出力ですが、ROM の方は小数値です。デジタル・サーボ・ループは、 f_{S_IN} クロックと f_{S_OUT} クロックのジッタに対して優れた抑圧機能を持ち、かつ f_{S_OUT} クロックの到来を 4.97 ps 以内で計測できる必要があります。また、デジタル・サーボ・ループでは、 $f_{S_IN} > f_{S_OUT}$ の場合に ROM 係数を動的に変更する際、ランプ出力の小数部を f_{S_IN}/f_{S_OUT} 比で除算します。

デジタル・サーボ・ループは、マルチレート・フィルタで構成されます。起動時またはサンプル・レート変更時に、デジタル・サーボ・ループ・フィルタを迅速に整定させるため、“高速モード”がこのフィルタに追加されています。デジタル・サーボ・ループの起動時またはサンプル・レートの変更時に、デジタル・サーボ・ループは新しいサンプル・レートに追従して整定するために、“高速モード”に入ります。デジタル・サーボ・ループのセッティング時間がある値にまで小さくなったことが検出されると、デジタル・サーボ・ループは“ノーマル”すなわち“低速モード”に入ります。“高速モード”では、サンプル・レート・コンバータの MUTE_OUT 信号がアサートされて、クリック音などを発生させないためにサンプル・レート・コンバータをミュートさせることが表示されます。“高速モード”と“低速モード”でのデジタル・サーボ・ループの周波数応答を図 8 に示します。

FIR フィルタは $f_{S_OUT} \geq f_{S_IN}$ の場合は 64 タップ・フィルタであり、 $f_{S_IN} > f_{S_OUT}$ の場合には $(f_{S_IN}/f_{S_OUT}) \times 64$ タップになります。FIR フィルタは、 f_{S_OUT} 周期の先頭で、デジタル・サーボ・ループから RAM アドレス・ポイントと ROM アドレス・ポイントの開始アドレスを受け取って、コンボリューションを開始します。FIR フィルタは各タップについて、RAM に対してはアドレスを 1 つづ減らしながら、ROM ポイントに対しては、 $f_{S_IN} > f_{S_OUT}$ の場合には $(f_{S_OUT}/f_{S_IN}) \times 2^{20}$ 比だけ、 $f_{S_OUT} \geq f_{S_IN}$ の場合には 2^{20} だけ、それぞれアドレスを増やしながら、処理を実行します。ROM アドレスがロールオーバーしたときに、コンボリューションが完了します。コンボリューションは左右両チャンネルに対して実行され、コンボリューション用の積和回路は両チャンネル間で共用されます。

f_{S_IN}/f_{S_OUT} サンプル・レート比回路は、 $f_{S_IN} > f_{S_OUT}$ の場合に ROM 内の係数を動的に変更する際に使います。この比は、 f_{S_OUT} カウンタ出力と f_{S_IN} カウンタ出力を比較することにより計算されます。 $f_{S_OUT} > f_{S_IN}$ の場合には、この比の値は 1 に維持されます。 $f_{S_IN} > f_{S_OUT}$ の場合は、前回の f_{S_OUT} と f_{S_IN} との比較から f_{S_OUT} 周期の 2 倍を超える差が発生したときに、サンプル・レート比が更新されます。この機能は、そのフィルタ長での発振や歪みの発生を防止するためのヒステリシスを与えるために実行されます。

ただし、 f_{S_OUT}/f_{S_IN} 比回路のヒステリシスにより、同じ入力クロックと同じ出力クロックで動作する 2 個の AD1896 の間で位相不一致が発生することがあります。ヒステリシスにより、

f_{S_OUT}/f_{S_IN} 比が更新されるためには、 f_{S_OUT} で 2 周期以上の差が必要のため、2 個の AD1896 は f_{S_OUT} で 0~4 周期の比の差を持つこととなります。 f_{S_OUT}/f_{S_IN} 比により AD1896 のフィルタ長が調節され、これが直接群遅延に対応します。したがって、位相差の大きさは f_{S_OUT} カウンタと f_{S_IN} カウンタの分解能に依存します。カウンタ分解能が優れているほど、位相誤差が小さくなります。

AD1896 の f_{S_IN} カウンタと f_{S_OUT} カウンタは、AD1890 の分解能より 3 ビット分改善されているため、位相誤差は 1/8 になりますが、AD1896 に機能が追加されて位相不一致が完全に解消されています。1 個の AD1896 が、シリアル出力ポートを使って f_{S_OUT}/f_{S_IN} 比を送信することにより、他の AD1896 の f_{S_OUT}/f_{S_IN} 比を設定することができます。

動作機能

RESET とパワーダウ

RESET がロー・レベルにアサートされると、AD1896 はマスター・クロック入力 MCLK_I をターンオフして、全内部レジスタをデフォルト値に初期化し、全 I/O ピンをスリー・ステートにします。RESET がアクティブ・ローの間、AD1896 の消費力は最小になります。RESET がアクティブ・ローである間の消費電力を最小にするためには、AD1896 のすべての入力ピンは固定レベルにある必要があります。

RESET のアサートが解除されると、AD1896 は初期化ルーチンを起動します。この初期化ルーチンでは、FIFO 内の全ロケーションがゼロに初期化され、MUTE_OUT がハイ・レベルにアサートされて、出力として設定されたすべての I/O ピンがイネーブルされます。RESET のアサートが解除されると、マスター・シリアル・ポート・クロック・ピン SCLK_I/O と LRCLK_I/O が MCLK_I の 1024 サイクル後にアクティブになります。入力サンプルのソフト・ミュート減衰量を制御するミュート・コントロール・カウンタは、最大減衰量 -144 dB に初期化されます (ミュート制御のセクション参照)。

RESET のアサート時とアサート解除時は、RESET を MCLK_I の最小 5 サイクル間ロー・レベルに維持する必要があります。パワーアップ時は、電源が安定するまで RESET をロー・レベルに維持する必要があります。モードを変えるときには AD1896 をリセットすることが推奨されます。

電源とリファレンス電圧

AD1896 は、入力ピン上で 5V の入力偏差を許容する 3V 動作向けにデザインされています。VDD_CORE は 3V 電源であり、AD1896 のコア・ロジックと出力ピンの駆動に使用されます。VDD_IO は、入力ピンの入力電圧偏差を設定するために使います。入力ピンが 5V 入力に対応できるようにするためには、VDD_IO を 5V 電源に接続する必要があります。入力ピンで 5V 入力機能が不要な場合は、VDD_IO を VDD_CORE に接続しておくことができます。VDD_IO に VDD_CORE より低い電圧を加えることはできません。VDD_CORE と VDD_IO には、ピンのできるだけ近くにバイパス用の 100 nF のセラミック・チップ・コンデンサを接続して、パターンのインダクタンスで発生する電源とグラウンドのバウンスを最小にする必要があります。AD1896 が実装される PC ボードには、47μF のバルク・アルミニウム電解コンデンサも接続する必要があります。

デジタル・フィルタの群遅延

デジタル・フィルタの群遅延は、ロジック・ピン GRPDLYS を使って選択することができます。動作原理で説明したように、

このピンは可変速度アプリケーションで特に便利です。GRPDLYS ピンには、VDD_CORE へ接続した約 33 kΩ のプルアップ抵抗が内蔵されています。GRPDLYS がハイ・レベルの場合、フィルタ群遅延は短くなり、次式で与えられます。

$$GDS = \frac{16}{f_{S_IN}} + \frac{32}{f_{S_IN}} \text{seconds for } f_{S_OUT} > f_{S_IN}$$

$$GDS = \frac{16}{f_{S_IN}} + \left(\frac{32}{f_{S_IN}} \right) \times \left(\frac{f_{S_IN}}{f_{S_OUT}} \right) \text{seconds for } f_{S_OUT} < f_{S_IN}$$

フィルタの短い群遅延の場合、GRPDLYS ピンはオープンのままにすることができます。GRPDLYS がロー・レベルの場合は、フィルタの群遅延は長くなり、次式で与えられます。

$$GDL = \frac{64}{f_{S_IN}} + \frac{32}{f_{S_IN}} \text{seconds for } f_{S_OUT} > f_{S_IN}$$

$$GDL = \frac{64}{f_{S_IN}} + \left(\frac{32}{f_{S_IN}} \right) \times \left(\frac{f_{S_IN}}{f_{S_OUT}} \right) \text{seconds for } f_{S_OUT} < f_{S_IN}$$

注:長い群遅延モードの場合、デシメーション比は 7:1 より小さい比に制限されます。

ミュート制御

MUTE_IN ピンがハイ・レベルにアサートされると、MUTE_IN コントロールは AD1896 FIFO に対する入力データを直線的にゼロ (減衰量 -144 dB) に減少させてソフト・ミュートを実行します。MUTE_IN がロー・レベルになりアサートが解除されると、MUTE_IN コントロールは入力データの減衰量を直線的に 0 dB まで減らします。LRCLK_I でクロック駆動される 12 ビット・カウンタを使って、ミュート減衰量を制御します。このため、MUTE_IN のアサートから -144 dB のミュート減衰量に達するまでに要する時間は、4096/LRCLK_I sec になります。同様に、MUTE_IN のアサート解除からミュート減衰量が 0 dB に到達するまでに要する時間も 4096/LRCLK_I sec になります。

RESET の発生、または LRCLK_I と LRCLK_O の間にサンプル・レートの変更が発生すると、MUTE_OUT ピンがハイ・レベルにアサートされます。MUTE_OUT ピンは、デジタル・サーボ・ループ内部の高速セトリング・モードが終わるまでハイ・レベルを維持します。デジタル・サーボ・ループが低速セトリング・モードに切り替わると、MUTE_OUT ピンのアサートが解除されます。MUTE_OUT がアサートされている間、オーディオ出力サンプルで大きな歪みを発生させないために、MUTE_IN ピンもアサートしておく必要があります。

マスター・クロック

MCLK_I ピンに接続したデジタル・クロック、または MCLK_I と MCLK_O の間に接続した水晶の基本波または 3 次高調波を使って、マスター・クロック MCLK_I を発生することができます。この MCLK_I ピンは、他の AD1896 入力ピンと同様に 5V 入力対応ピンにすることができます。MCLK_I と MCLK_O の間に基本波モードの水晶を接続して、最大 27 MHz までのマスター・クロック周波数を発生することができます。27 MHz を超える水晶を使うマスター・クロック周波数発生の場合は、3 次オーバートーン水晶を使用し、かつ MCLK_O の出力に基本波を除去する LC フィルタを接続する (基本波のノッチ・フィルタを使用しない) ようにお勧めします。外付けコンデンサとインダクタの部品値については、水晶メーカーにご相談ください。

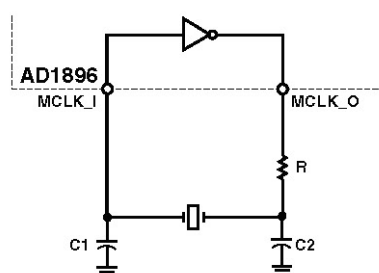


図 9a.基本波モードの回路構成

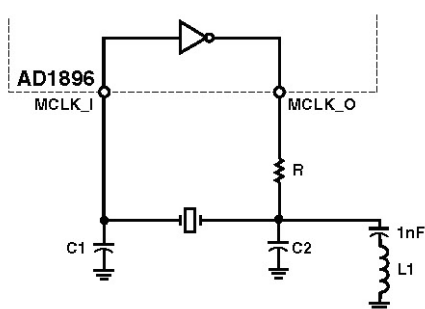


図 9b.3 次高調波の回路構成

AD1896 のマスター・クロックには動作周波数の最大値と最小値があります。AD1896 の動作を保証する最大マスター・クロック周波数は 30 MHz です。30 MHz は、サンプリング周波数 192 kHz + 12%のレート変換をサンプリングするには十分過ぎる値です。AD1896 のマスター・クロックの最小周波数は、入力サンプル・レートと出力サンプル・レートに依存します。マスター・クロックは、最大入力サンプル・レートまたは最大出力サンプル・レートの少なくとも 138 倍である必要があります。

シリアル・データ・ポートのデータ・フォーマット

シリアル・データ入力ポート・モードは、SMODE_IN_0/SMODE_IN_1/SMODE_IN_2 ピンのロジック・レベルで設定されます。シリアル・データ入力ポート・モードでは、左詰め、I²S、右詰め(RJ)、16、18、20、または 24 ビットが使用できます(表 I)。

表 I.シリアル・データ入力ポート・モード

SMODE_IN_[0:2]			Interface Format
2	1	0	
0	0	0	Left Justified
0	0	1	I ² S
0	1	0	Undefined
0	1	1	Undefined
1	0	0	Right Justified, 16 Bits
1	0	1	Right Justified, 18 Bits
1	1	0	Right Justified, 20 Bits
1	1	1	Right Justified, 24 Bits

シリアル・データ出力ポート・モードは、SMODE_OUT_0/SMODE_OUT_1 ピンと WLNTH_OUT_0/WLNTH_OUT_1 ピンのロジック・レベルで設定されます。シリアル・モードは、左詰め、I²S、右詰めまたは TDM に変更することができます(次の表参照)。出力ワード幅は、WLNTH_OUT_0/WLNTH_OUT_1 ピンを使って設定することができます(表 III)。出力ワード幅が 24 ビット未満の場合は、余ったビットにディザが詰め込まれます。右詰めシリアル・データ出力モードでは 1 フレーム 64 SCLK_O サイクル(左と右で均等使用)として扱います。各 32 ビット・サブフレームの 8 ビットは、位相マッチング・モード・データの送信に使われることに注意してください。図 14 を参照してください。AD1896 では、LJ と I²S フォーマットで 16 ビットの 32 クロック・パワード入力と出力シリアル・データもサポートします。

表 II.シリアル・データ出力ポート・モード

SMODE_OUT_[0:1]		Interface Format
1	0	
0	0	Left Justified (LJ)
0	1	I ² S
1	0	TDM Mode
1	1	Right Justified (RJ)

表 III.ワード幅

WLNTH_OUT_[0:1]		Word Width
1	0	
0	0	24 Bits
0	1	20 Bits
1	0	18 Bits
1	1	16 Bits

シリアル・モード・フォーマットのタイミング図を次に示します。

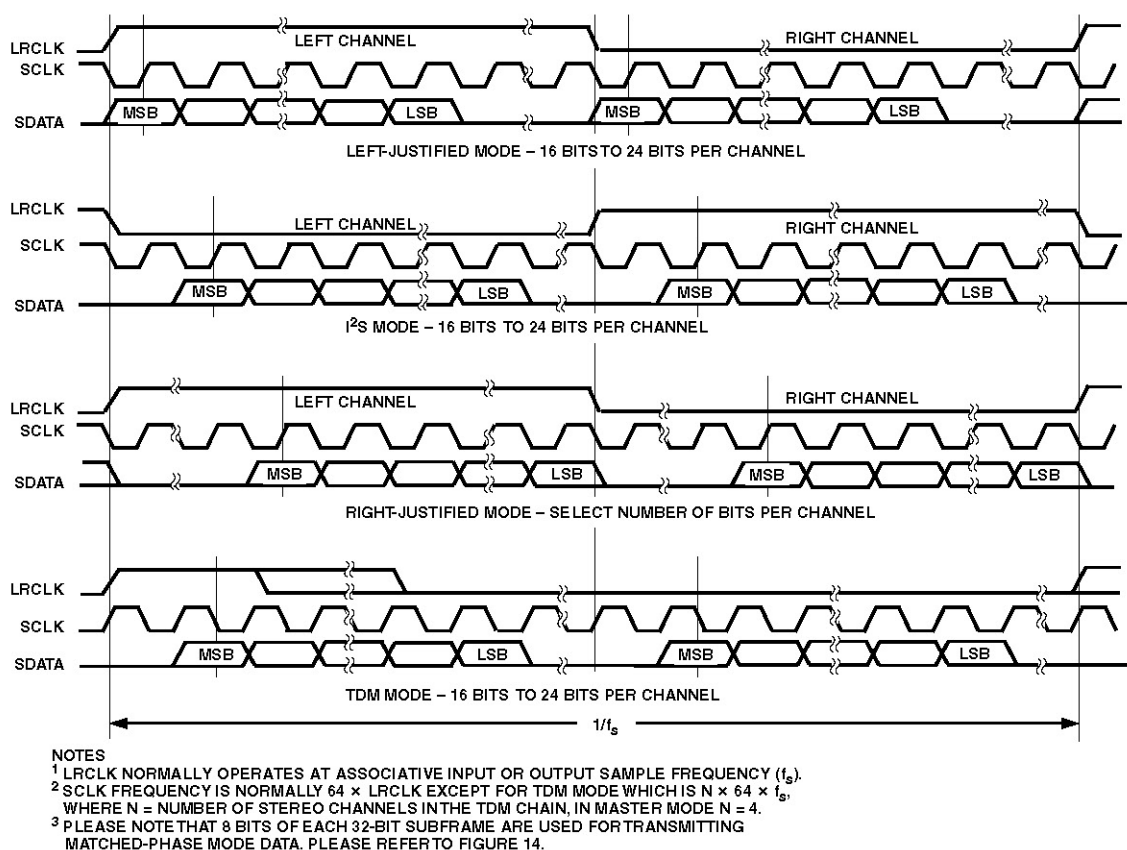


図 10. 入力/出力シリアル・データの各フォーマット

TDMモードのアプリケーション

TDM モードでは複数の AD1896 をディジーチェーン接続して、SHARC DSP のシリアル入力ポートに接続することができます。AD1896 には、64 ビット・パラレル・ロード・シフトレジスタが内蔵されています。LRCLK_O パルスが到着すると、各 AD1896 は左と右のデータを 64 ビット・シフトレジスタにパラレル・ロードします。シフトレジスタ入力 は TDM_IN に、シフトレジスタ出力は SDATA_O に、それぞれ接続されています。SDATA_O を次の AD1896 の TDM_IN に接続することにより、SCLK_O によりクロック駆動される大きなシフトレジスタを構成することができます。

ディジーチェーン接続可能な最大 AD1896 数は、SCLK_O の最大周波数により制限され、この最大周波数は約 25 MHz です。たとえば、出力サンプル・レート f_s が 48 kHz の場合には、 $512 \times f_s < 25 \text{ MHz}$ であるため、最大 8 個の AD1896 を接続することができます。マスター/TDM モードでは、ディジーチェーン接続可能な最大 AD1896 数は 4 個に固定されています。

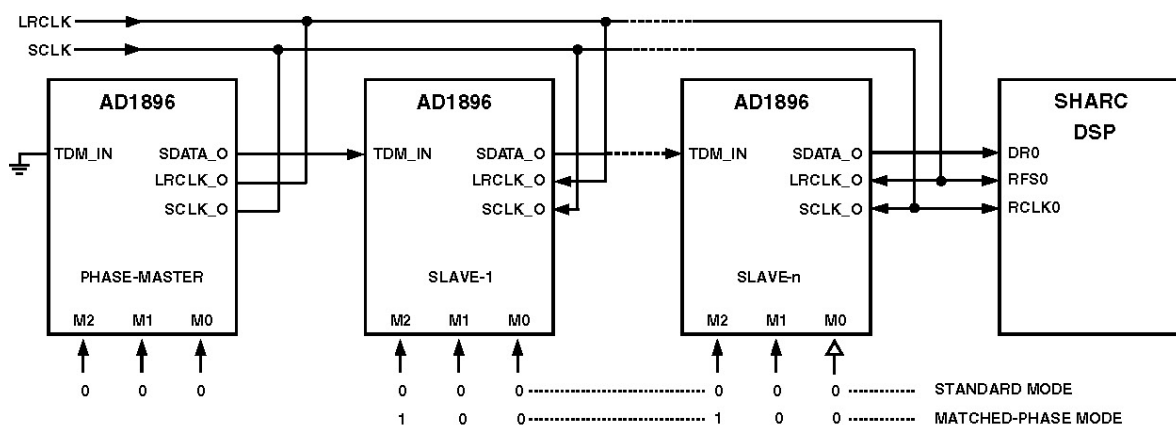


図 11. TDM モードでのディジーチェーン構成(全 AD1896 がクロック・スレーブ)

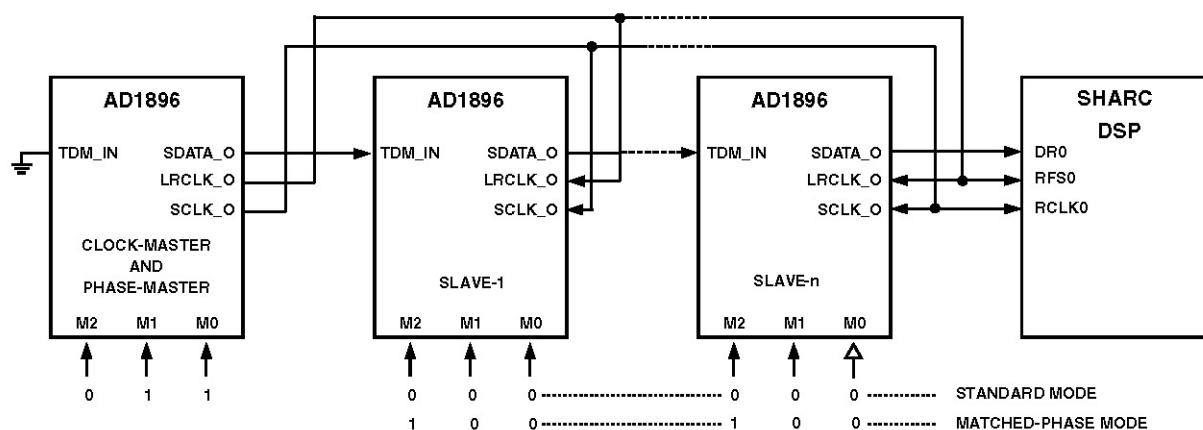


図 12. TDM モードでのディジーチェーン構成(先頭の AD1896 がクロック・マスター)

位相マッチング・モード(非TDMモード)アプリケーション

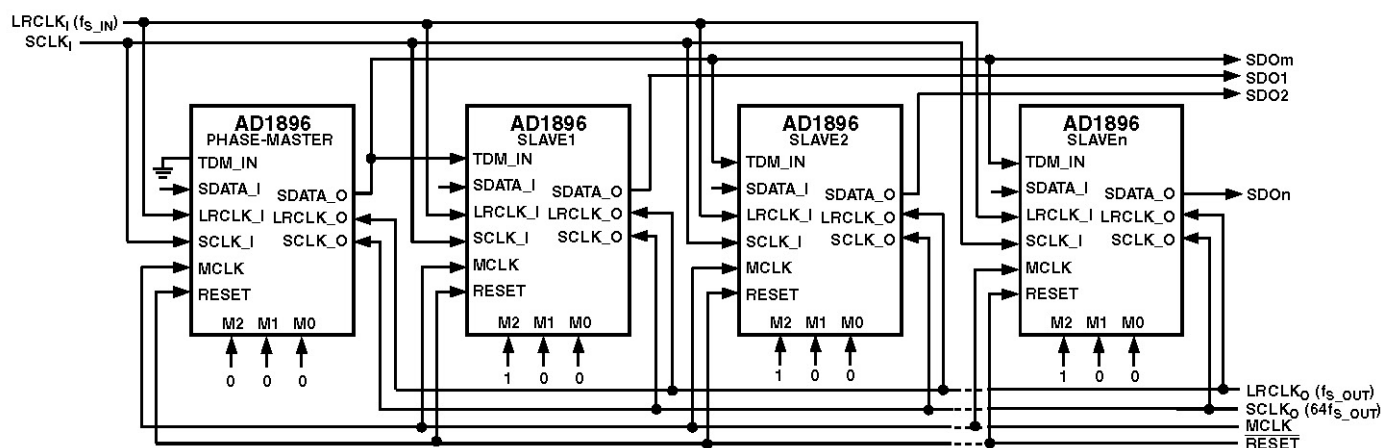


図 13. 位相マッチング・モード動作の代表的な構成

シリアル・データ・ポートのマスター・クロック・モード

いずれかの AD1896 のシリアル・ポートをマスター・シリアル・データ・ポートとして設定することができます。ただし、マスターのシリアル・ポートは 1 つだけ可能であり、他はすべてスレーブにする必要があります。マスター・モードでは、AD1896 は $256 \times f_s$ 、 $512 \times f_s$ または $768 \times f_s$ のマスター・クロック (MCLK_I) を必要とします。最大マスター・クロック周波数 30 MHz の場合は、最大サンプル・レートは 96 kHz に制限されます。スレーブ・モードでは、最大 192 kHz までのサンプル・レートを処理することができます。

いずれかのシリアル・ポートがマスター・モードで動作する場合、マスター・クロックを分周して、対応する左/右サブフレーム・クロック (LRCLK) とシリアル・ビット・クロック (SCLK) が発生されます。マスター・クロック周波数としては、入力サンプル・レートまたは出力サンプル・レートの 256 倍、512 倍、または 768 倍を選択することができます。入力シリアル・ポートと出力シリアル・ポートは両方とも、全シリアル・モード(左詰め、I²S、右詰め)と TDM (出力シリアル・ポート) に対するマスター・モード LRCLK と SCLK の発生をサポートします。

表 IV. シリアル・データ・ポートの各クロック・モード

MMODE_0/ MMODE_1/ MMODE_2	Interface Format		
	2	1	0
0	0	0	0
0	0	0	1
0	1	0	0
0	1	0	1
1	0	0	0
1	0	1	1
1	1	0	0
1	1	1	1

Both serial ports are in slave mode.
Output serial port is master with $768 \times f_s$ OUT.
Output serial port is master with $512 \times f_s$ OUT.
Output serial port is master with $256 \times f_s$ OUT.
Matched-phase Mode
Input serial port is master with $768 \times f_s$ IN.
Input serial port is master with $512 \times f_s$ IN.
Input serial port is master with $256 \times f_s$ IN.

位相マッチング・モード

位相マッチング・モードは、動作原理のセクションで説明したモードであり、複数の AD1896 間の位相不一致をなくします。マスター AD1896 デバイスは、自分の **SDATA_O** ピンから f_{S_OUT}/f_{S_IN} 比をスレーブ AD1896 の **TDM_IN** ピンへ送信します。各スレーブ AD1896 は送信された f_{S_OUT}/f_{S_IN} 比を受信して、内部で求めた各スレーブの f_{S_OUT}/f_{S_IN} 比の代わりに送信された f_{S_OUT}/f_{S_IN} 比を使います。マスター・デバイスは自分の両シリアル・ポートをスレーブ・モードにするか(図示)、いずれか一方をマスター・モードにすることができます。各スレーブ AD1896 は、自身の **MMODE_2** ピン、**MMODE_1** ピン、**MMODE_0** ピンをそれぞれ 100 に設定する必要があります。このモードでは、**LRCLK_I** と **LRCLK_O** を互いに非同期にすることができます。位相マッチング・モードのもう 1 つの条件は、各サブフレーム内には **SCLK_O** の 32 サイクルが存在する必要があることです。AD1896 は、全シリアル出力データ・フォーマット(左詰め、 I^2S 、右詰め)と TDM で位相マッチング・モードをサポートします。TDM の場合、**TDM_IN** をグラウンドに接続した TDM モード動作図に示す AD1896 はマスターに設定され、チェーン内の残りの AD1896 はスレーブに設定されます(それぞれの **MMODE_2** ピン、**MMODE_1** ピン、**MMODE_0** ピンは 100 に設定)。

左詰めモード、 I^2S モード、TDM モードでは、各チャンネル・サブフレームの下位 8 ビットが位相マッチング・データの送信に使われることに注意してください。右詰めモードでは、上位 8 ビットが位相マッチング・データの送信に使われます。これを、図 14a と図 14b に示します。

バイパス・モード

BYPASS ピンがハイ・レベルにアサートされると、入力データはサンプル・レート・コンバータを通過せずに、シリアル出力ポートに直接出力されます。ワード長が 24 ビット未満に設定されている場合、出力データの切りつめ処理はディスエーブルされます。このモードは、入力サンプル・レートと出力サンプル・レートが等しく、かつ **LRCLK_I** と **LRCLK_O** が互いに同期している場合に最適です。このモードでは入力データに対して処理を行わないため、非 **AUDIO** データを通過させるときにも使うことができます。

AUDIO DATA LEFT CHANNEL, 24 BITS	MATCHED-PHASE DATA, 8 BITS	AUDIO DATA RIGHT CHANNEL, 24 BITS	MATCHED-PHASE DATA, 8 BITS
----------------------------------	----------------------------	-----------------------------------	----------------------------

図 14a.位相マッチング・データの送信(左詰め、 I^2S 、TDM モード)

MATCHED-PHASE DATA, 8 BITS	AUDIO DATA LEFT CHANNEL, 16 BITS – 24 BITS	MATCHED-PHASE DATA, 8 BITS	AUDIO DATA RIGHT CHANNEL, 16 BITS – 24 BITS
----------------------------	--	----------------------------	---

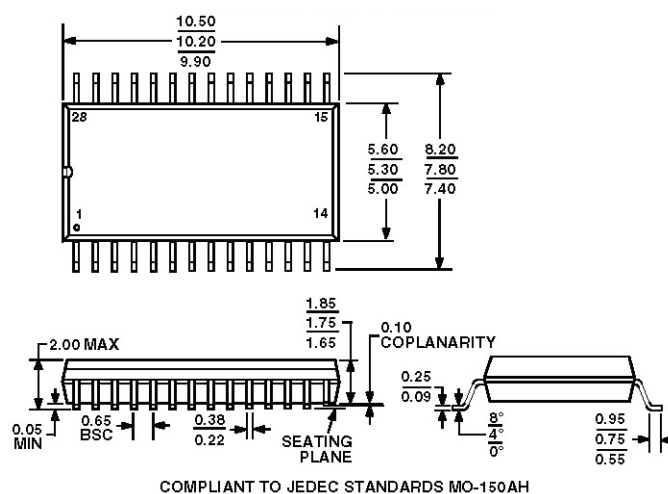
図 14b.位相マッチング・データの送信(右詰めモード)

外形寸法

28 ピン・シュリンク・スモール・アウトライン・パッケージ (SSOP)

(RS-28)

寸法: mm



改訂履歴

Location	Page
3/03—Data Sheet changed from REV. 0 to REV. A.	
Edits to DIGITAL PERFORMANCE	2
Edits to DIGITAL TIMING	3
Edits to ORDERING GUIDE	6
Edits to <u>RESET</u> and Power-Down section	21
Edits to Figures 9a and 9b	22
Edits to Serial Data Ports—Data Format section	22
Edits to Figure 13.....	24
Update to OUTLINE DIMENSIONS	26

C02403-0-3/03(A)-J