

複数の AD9850/AD9851 DDS ベースのシンセサイザを同期させる

by David Brandon of Analog Devices, Inc.

はじめに

多くのアプリケーションで既知の位相関係（例えば直交関係）を持つ 2 つ以上のサイン波信号の発生が要求されます。アナログ・デバイセズ社の AD9850 と AD9851 DDS IC はそのような信号を供給する事ができます。このアプリケーション・ノートは 2 つ以上のこれらのデバイスを同期させる方法の詳しいインストラクションを提供し、予想される位相誤差源について考察します。

REF クロック

複数の AD9850/AD9851 の同期をとるために最初に必要な事は、REF CLK 入力から全 DDS への中間の位相誤差を最小限にしなければならないことです。各 REF CLK エッジ間のわずかな位相差も DDS 出力でそれに比例した位相差となって現れます。ユーザーは REF CLK エッジを確実に一致させるために、PCB のレイアウトで注意深いクロック分配を行う必要があります。（図 1）

AD9850/AD9851 REF CLK 入力回路はシングル・エンドなので、REF CLK は最小の入力ジッターで、高速の立ち上がり/立ち下り時間（5ns 以下をお勧めします）である必要があります。REF CLK の立ち上がり時間が遅いと誤差を招きます。なぜなら入力回路の電圧転移点がデバイスごとに変動するからです。これらの属性は W_CLK と FQ_UD 入力にも当てはまります。

AD9850/AD9851 I/O アクセスの詳細

高速エッジと REF CLK 信号の適切な分配が実行されたら、次のタイミングに対する要求はデータを DDS プログラムレジスタへ同時転送する事です。FQ_UD 信号はデータを DDS コアに転送します。複数の DDS を同期させるには REF CLK と同様、FQ_UD 立ち上がりエッジが全 DDS で同時に起こらなければなりません。しかも FQ_UD は REF CLK を基準に適切な時間に起こらなければなりません。

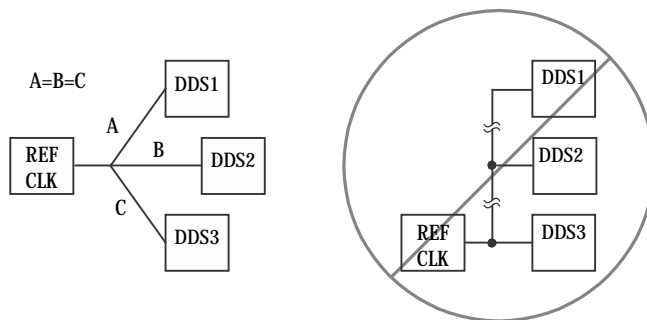
最適なレイアウト


図1. REF CLK 分配

Rev. 0

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、各社の所有に属します。日本語資料は REVISION が古い場合があります。最新の内容については、英語版をご参照ください。
 ©2010 Analog Devices, Inc. All rights reserved.

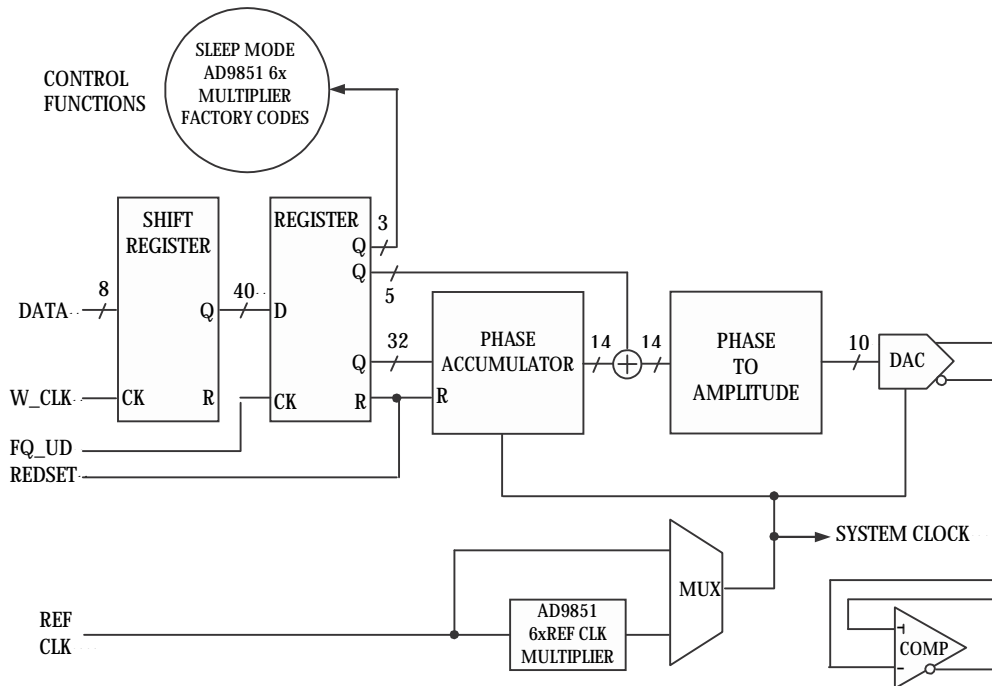


図2.AD9850/AD9851 機能ブロック図

図 2 に AD9850/AD9851 の機能ブロック図を示します。2 つのデバイスの違いはわずかです。AD9851 には 6x クロック乗算器 (PLL) と MUX が内蔵されていますが、AD9850 には内蔵されていません。

DDS コアの前段には 2 つのレジスタがあります。シフトレジスタは 5 バイト並列モード又は 40 ビットシリアルモードでロード可能です。W_CLK がデータをこのレジスタにラッチします。2 番目のレジスタは (FQ_UD でトリガーされた後) シフトレジスタの内容をシステム・クロックの次の立ち上がりエッジで DDS コアに送ります。

FQ_UD と SYSTEM CLOCK (図 2) の間に適切な時間関係がある必要があります。これらの信号の不適切なタイミングはチューニング・ワードの部分的なローディングを招き、DDS の同期が停止されます。FQ_UD は REF CLK 立ち上がりエッジの前に適切なセットアップ時間が必要です。適切なタイミングは“同期させるためのインストラクション”のセクションで説明し、図 4 と 6 に示します。

リセット

電源投入後、データを DDS に転送する前にまず最初にリセットする必要があります。リセットは DAC 出力を既知の状態 (複数 DDS の同期を可能にする共通基準点になる) にします。

リセットは AD9850/AD9851 の位相状態を強制的に COS(0) にします。新しいデータが複数の DDS に同時に送られる時、コヒーレントな位相関係が保たれます。又は位相オフセット調整レジスタを使用して相対的な位相をデバイス間でシフトさせる事ができます。AD9850 と AD9851 には 5 ビットの位相オフセット調整がありますが、これは 11.25 度の位相分解能になります。位相オフセット加算器が“位相アキュムレータ”と“位相 to 振幅変換器”の間にあります。

注: “リセット”は、レジスタをリセットしません。FQ_UD のレジスタと位相アキュムレータを COS(0) にリセットするだけです。リセット後はシフトレジスタには“ランダム”データが入っていると考え、対応する必要があります。場合によってはリザーブされている“工場コード”がロードされ、DDS が目的とは違う方向へ動作する可能性があります。従ってシフトレジスタに目的のデータをプログラムするまでは FQ_UD を送信してはいけません。

同期させるためのインストラクション

図3は複数のDDSを正常に同期させるための可能な一つのリファレンスデザインです。この例は2つのDDSを直交位相関係にする方法を示します。

図3ではDフリップ・フロップを使用してFQ_UDをREF CLKに同期させ、セットアップ時間遅延を与えています。適切な動作にはFQ_UD経路に追加の遅延時間が必要になるかもしれません。この遅延はフリップ・フロップのCK-to-Q伝搬時間に依存します。FQ_UD (ピン 8) と REF CLK (ピン 9)の間の推奨タイミング関係を図4に示します。

2つのDDSを直交位相関係にするためのいくつかの一般的なインストラクションと推奨内容を示します。6x REF CLK乗算器をイネーブルにする場合としない場合の2種類のインストラクションがあります。

AD9851の6x REF CLK乗算器をイネーブルにせずに2つのDDSを直交関係に同期させるためのインストラクション。

- 1.全デバイスの電源を投入し、共通のREF CLKを印加する。
- 2.共通のRESETを、5 REF CLK周期幅の最小ハイレベル時間で送信する。
- 3.FQ_UDを送信せずにDDS #1を希望の周波数で、0度の位相オフセットに設定する。
- 4.FQ_UDを送信せずにDDS #2を同じ周波数で、90度の位相オフセットに設定する。
- 5.共通のFQ_UDをアサートする。これでDAC出力が設定されたように正しい周波数と位相オフセットで同時にアクティブになる。
- 6.REF CLKとFQ_UDの間の推奨タイミングについては図4を参照してください。

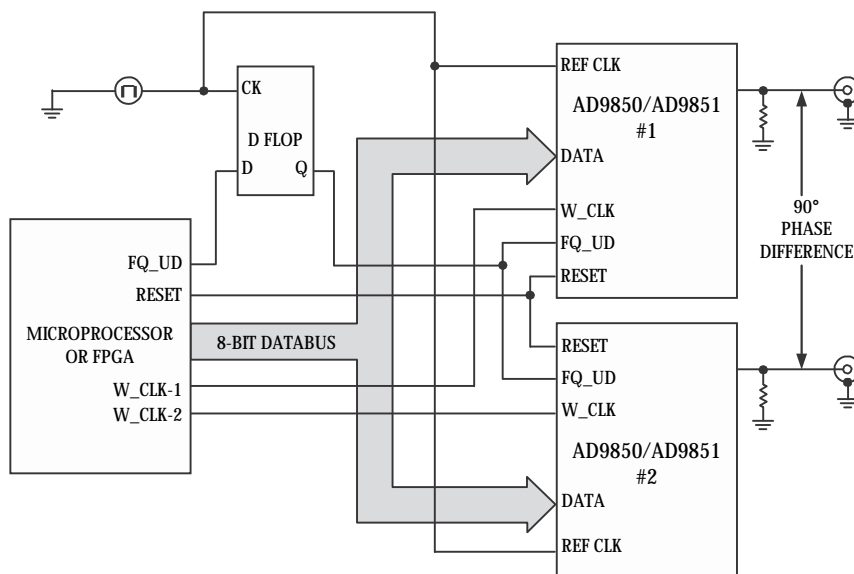
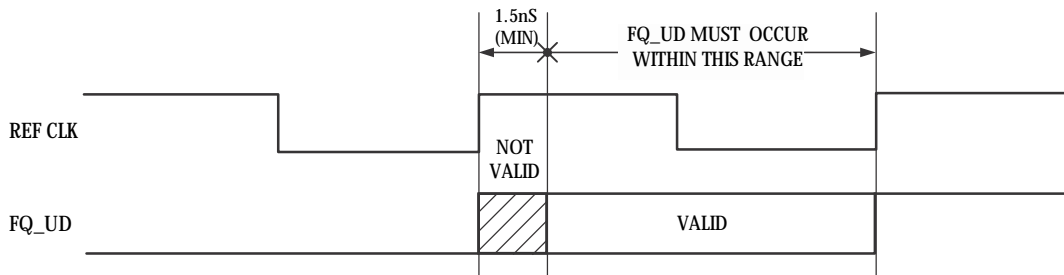


図3. アプリケーション回路

6x REF CLK乗算器をイネーブルにしない場合のAD9850/AD9851 タイミング関係



このタイミングは最小セットアップ時間 0nsと最小ホールド時間 2システム・クロック周期に変換することができます。

図4.REF CLK と FQ_UDの間の適切なタイミング関係

AD9851 の 6 X REF CLK 乗算器を使用する時の考慮

複数の DDS を同期させる時、AD9851 の 6X REF CLK 掛け算器の使用には注意が必要です。なぜなら PLL ロック時間がデバイスごとに変わるからです。これはロック時間での位相アキュムレータに供給されるシステム・クロック・サイクルの数が変わる可能性がある事を意味します。

この問題は RESET をアサートした後に全デバイスのチューニング・ワードを 0 に設定する事で対応します。これにより位相アキュムレータの位相がゼロにセットされ、PLL がロックしている間はアキュムレータがインクリメントしません。一度 PLL がロックすれば、すべての DDS はゼロ位相に保たれます。全デバイスには共通の REF CLK が印加され、PLL は REF CLK に位相ロックされるので、全システム・クロック信号は位相コヒーレントな関係になります。(前述したように適切な REF CLK 信号が各 DDS に分配されていると仮定します)

標準的な PLL ロック時間は約 30 μ s です。IC 製造過程や温度の変動によりロック時間が変わるので、ロックのための時間(図 5 参照)として少なくとも 100 μ s 取ることをお勧めします。

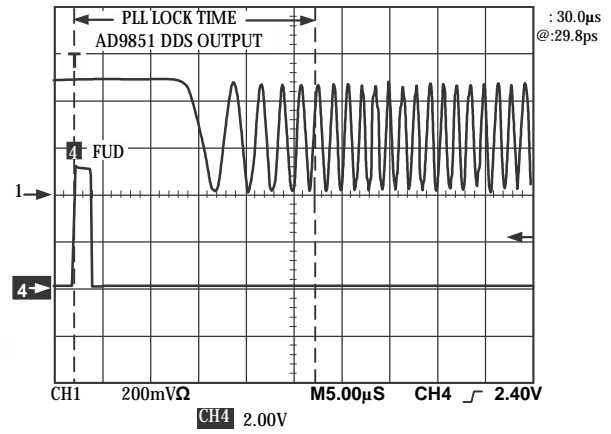
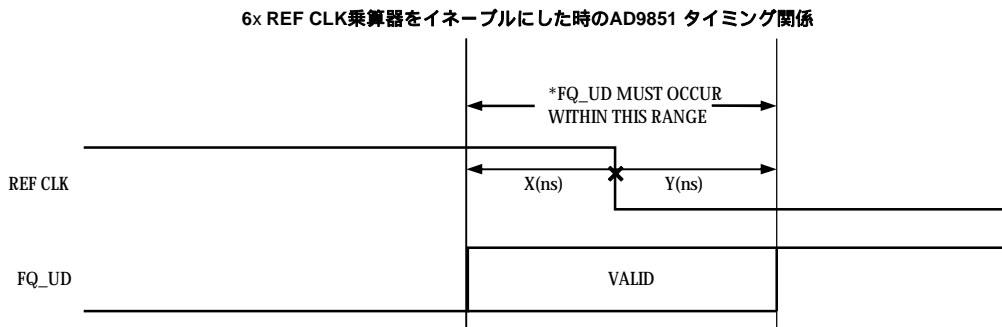


図 5.標準的な PLL ロック時間

注:6x REF CLK 乗算器は REF CLK の立下りエッジにロックするので、FQ_UD 信号は REF CLK の立下りエッジを基準とすべきです。FQ_UD (ピン 8) と REF CLK (ピン 9)間の推奨するタイミング関係を図 6 に示します。



* FQ_UD は REF CLK の立下りエッジを基準とすべきです。そして有効なタイミング範囲は REF CLK 周期の割合に比例します。有効なタイミング範囲は REF CLK の立下りエッジに関して対称である必要はありません。表 1.は与えられた CLK 周波数、VCC、温度に対するセットアップ時間範囲“X”と“Y”を述べています。最小ホールド時間は 2 システム CLK 周期です。

図6. 6x 乗算器を使用した適切なタイミング関係

AD9851 の 6x REF CLK 乗算器をイネーブルにした場合の 2 つの DDS を直交関係に同期させるためのインストラクション

1. 全デバイスの電源を投入し、共通の REF CLK を印加する。
2. 共通の RESET を、5 REF CLK 周期幅の最小ハイレベル時間で送信する。
3. 並列モード又はシリアルモードで、FQ_UD を送信せずに下記の命令を DDS # 1 に書き込む。
 W0 = 01 hex W1 = 00 hex W2 = 00 hex
 W3 = 00 hex W4 = 00 hex
4. DD # 2 のためにステップ 3 を繰り返す。
5. 共通の FQ_UD をアサートし、少なくとも 100 μs. 待つ。

注:これは各 DDS をチューニング・ワード 0 にセットし、各 REF CLK 乗算器を同時に機能させます。チューニング・ワード " 0 " により PLL のロックが終わるまで DAC 出力が 0 位相に保たれます。

重要:新しいチューニング・ワードと位相オフセットを書き込む時は REF CLK 乗算器をイネーブルに保つ事を思い出して下さい。

6. FQ_UD を送信せずに DDS #1 を希望の周波数で、0 度の位相オフセットに設定する。
7. FQ_UD を送信せずに DDS #2 を同じ周波数で、90 度の位相オフセットに設定する。
8. 共通の FQ_UD をアサートする。これで DAC 出力が設定したように正しい周波数と位相オフセットで同時にアクティブになる。
9. REF CLK と FQ_UD の間の推奨するタイミングについては図 6 を参照してください。

表 1 . 周波数、VCC、温度ごとの FQ_UD と REF CLK の間のセットアップ時間範囲

VCC = 5 V REF CLK Frequency		
(x) ns	(MHz)	(y) ns
8	5—7	4
5	7—10	4
3	10—15	3
2	15—20	3
1	20—30	2

VCC = 3.3 V REF CLK Frequency		
(x) ns	(MHz)	(y) ns
7	5—7	7
5	7—10	6
2.5	10—15	4
2	15—20	3

注:温度を含む (−40°C to +85°C)

まとめ

適切な注意と手順により複数の DDS 間で同期は可能です。次の図は 2 つの AD9851 がどのように同期しているかを示しています。図 7 では、REF SCLK 周波数が 10 MHz にセットされ、図 8 では 180MHz にセットされています。両方とも PLL オフ・モードです。図 9 では PLL がイネーブルで、REF CLK は 30MHz にセットされています(システム・クロック=180MHz)。図 10 はたとえ周波数が変わっても直交状態を維持している 2 つの AD9851 を示します。直交は 2 つの信号のカーソル位置によって表されています。又図 7 から図 9 にはシステム・クロックの 18 立ち上がりエッジ+セットアップ時間の固定したパイプライン遅延が示されています。この遅延は図にあるカーソルで測定されます。

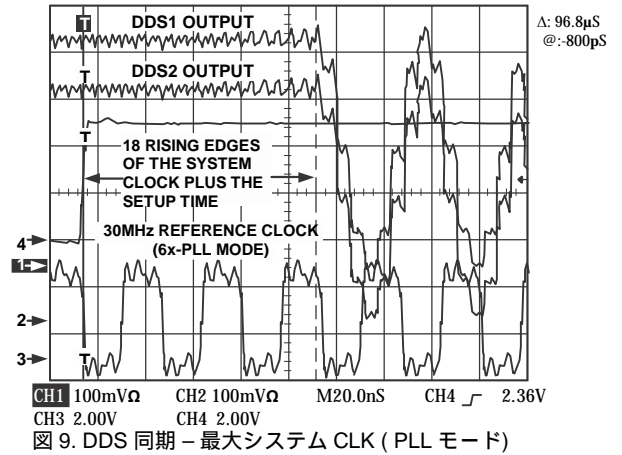


図 9. DDS 同期 – 最大システム CLK (PLL モード)

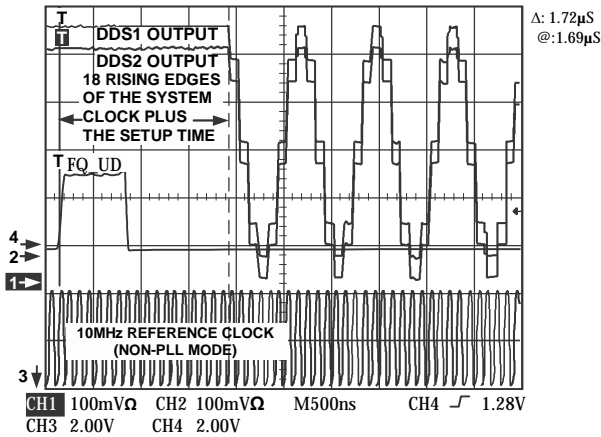


図 7. DDS 同期 – 10MHz システム CLK

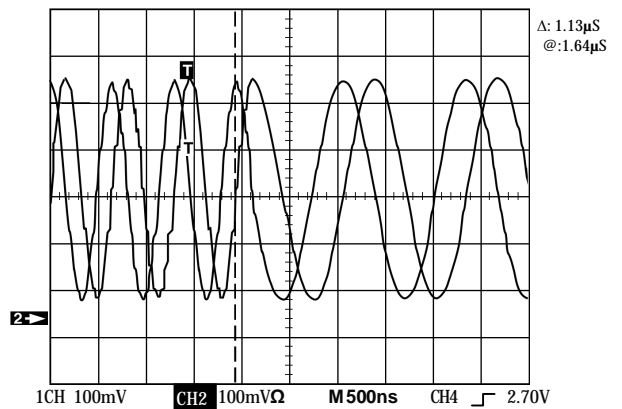


図 10. DDS 直交同期

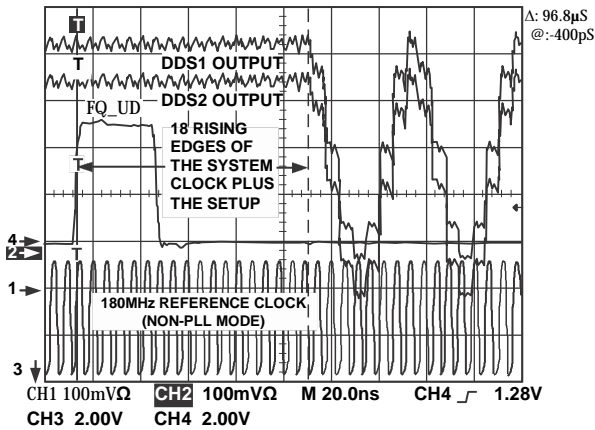


図 8. DDS 同期 – 最大システム CLK