

低電圧、高速システムの設計上の制約を軽減する 高速レール to レール・オペアンプ

著者：Eamon Nash

電源電圧がより低くなっていく傾向は、具体的にはシステムの消費電力をできるだけ小さくしたいという要求と、システム内の電源の数を削減したいという要求になっています。電源電圧を低くし、電源の数を削減することには、明らかにいくつかのメリットがあります。まずは、システムの消費電力が低くなります。また実装密度が向上します。さらに全体的な消費電力が低くなれば、システムの冷却ファンが不要になる可能性もあります。

しかし、回路設計者は $\pm 15V$ や $\pm 12V$ という従来の電源電圧の代わりに $\pm 5V$ という低い電源電圧や $+5V$ と $+3.3V$ の単電源が使用されるようになるにつれ、この新しい環境では、単に低電圧で動作が仕様規定されている部品を探すだけでは十分でないことを理解する必要があります。過去に利用した設計思想をすべてそのまま低電圧環境に適用できるわけではありません。

オペアンプの電源電圧を下げていくと、いくつかの現象が出てきます。明らかに、入出力での信号振幅が小さくなります。信号と電源電圧間の飽和電圧（通常のアンプでは一般に $1\sim 2V$ ）は、 $\pm 15V$ 電源ではそれほど問題にはなりません。電源電圧を下げていくと、この飽和電圧が使用可能な信号振幅範囲を大幅に低下させます。通常この信号振幅範囲の低下によりシステムのノイズ・レベルが増大することはありませんが、S/N比が低下します。設計者は、もはやノイズが相対的に十分低いレベルになるように電源電圧や信号振幅を大きくするというテクニックを使用できないので、システムのノイズ・レベルにこれまで以上に注意する必要があります。

電源電圧の低下とともに、帯域幅とスルーレートも減少します。しかし、信号振幅が小さくなるにつれ、同じ帯域幅であれば、スルーレートは小さくて済みます。オペアンプを選択するときは、データシートをよく注意して確認する必要があります。データシートには、さまざまな電源条件（ $\pm 5V$ 、 $+5V$ 、 $+3V$ など）、負荷条件におけるスルーレート、帯域幅の仕様が記載されているので、有効です。レール to レール・オペアンプは、電源電圧を低下させることから生ずるジレンマに対する対策と考えられます。レール to レールという表現は、必ずしも厳密に定義されていませんが、入力または出力（あるいはその両方）が上下の電源電圧近くまで振れるデバイスを意味しています。この定義では、「電源電圧のどのくらい近くまで」については正確な値を示しているわけではなく、またそのレール to レール性能を維持するための明確な負荷条件も規定しているわけではありません。レール to レール・オペアンプは、単電源オペアンプの一部です。しかし単電源オペアンプの入力と出力が全部、電源電圧近くまで振れるとはかぎりませ

ん。レール to レール特性と単電源オペアンプを上手に両立させて動作させるには、一般的に使用されている出力段についての基本的な理解が必要です。

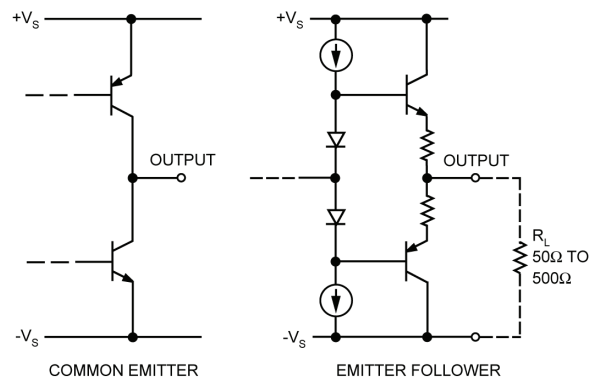


図 1. 一般的なオペアンプの出力段

図 1 は、2 種類の一般的な高速オペアンプの出力段です。エミッタ・フォロア出力段は低歪みのオペアンプで広く使われており、その出力電圧振幅は、電源電圧から 1 ダイオード降下分をわずかに上回る電圧レベルに制限されます。実際には、飽和電圧は $1V$ に近い電圧になります。高周波で低歪みを維持するため、もっと大きい飽和電圧が必要になることがあり、スイング可能なピーク to ピーク振幅がさらに縮小します。この場合負側電源電圧（単電源アプリケーションではグラウンド）に対して外部負荷抵抗（一般に $50\sim 500\Omega$ ）を追加することで、出力へのブルダウン・パスが得られます。さらに NPN および PNP 型トランジスタのベース電流を供給するバイアス回路を組み合わせることによって、PNP 型トランジスタをシャットオフできます。こうすることで、出力が負側電源電圧近くまで引っ張られ、出力段が単純な NPN 型フォロワのような動作をするようになります。これだけで、電圧が負側電源電圧に近づきます。出力電圧を正側電源電圧近くまで振れさせるには、負荷抵抗を正側電源電圧に対して接続しなければいけません。この回路構成のもう 1 つの基本的な欠点は、数百ミリボルト以上の振幅の信号を駆動しようとするとき大きな負荷電流が必要になるということです。たとえば、 50Ω のブルダウン抵抗を使用し、 $2V_{p-p}$ の振幅が必要な場合は、オペアンプから $40mA$ の電流が吐き出されます。

図1に示すコモン・エミッタ出力段の場合、上下各々の電源電圧からトランジスタ飽和電圧 (V_{CESAT}) 以内まで出力がスイングします。負荷電流が小さい (100 μ A未満) 時は、飽和電圧も 5~20mVと低くなりますが、負荷電流が大きいと飽和電圧も数百ミリボルト (たとえば、50mAで 500mV) と高くなる場合があります。この種の出力段は、エミッタ・フォロア出力段よりもオープンループ出力インピーダンスが高く、フラッシュ・コンバータのような非線形負荷を駆動するときには歪みが大きくなる場合があります。しかし、オープンループ出力インピーダンスだけを個別に考えないことが重要です。クローズドループ出力インピーダンス (Z_o) は、次式で得られます。

$$Z_o = \frac{Z_o}{1+a_o\beta}$$

ここで、 Z_o はオープンループ出力インピーダンス、 a_o はオープンループ・ゲイン、 β は帰還率です ($a_o\beta$ は一般にループ・ゲインと呼ばれます)。したがって、オープンループ・ゲインが大きい (たとえば、100dB) と、ユニティ・ゲイン・バッファとして接続した場合、オペアンプの出力インピーダンスが10万分の1に減ります。ただ周波数が増加すると、オープンループ・ゲインの減少によって出力インピーダンスが増加します。

一般的にレール to レール・オペアンプは電源電圧近く数十ミリボルト以内までスイングできますが、歪み率と信号振幅の間にはトレードオフ関係があります。オペアンプのデータシートでは一般的に歪み率を全出力電圧範囲で規定するのではなく、測定で得られた最良の歪み率を規定しています。出力信号が電源電圧から数百ミリボルトの範囲に近づくと、歪み性能は大幅に低下します。コモン・エミッタ出力段のレール to レール・オペアンプにおける歪み率/出力信号電圧の最良のトレードオフは、上下とも電源電圧まで 500mV 近くの出力電圧のところ得られます。ただし、これは標準的な値であり、最適値は負荷にも依存します。

電源電圧を上げずに信号振幅を広げる方法として、レール to レール・オペアンプを使用する以外にもいくつかの方法があります。差動で駆動すれば、使用可能な電圧範囲をもっと効率的に利用できます。昇圧トランスは、電圧を任意の高い電圧レベルまで大きくすることができますが、駆動アンプの出力電流が増加します。以下の一般的な高速アプリケーション例では、低電圧アナログ回路の設計に伴う課題を説明するとともに、レール to レール・オペアンプを使用して最大性能を得るための技術をご紹介します。

高速ADCの駆動

最近の高速 ADC の大部分は単電源で動作しますが、それら単電源 ADC はいまだに両電源回路で使用されることが多いという現状です。こうした傾向の背景にある理由は消費電力の削減です。なぜなら単電源 ADC は両電源 ADC より一般に静止電流が低いからです。バイポーラ信号は、一般的に何らかのレベル・シフトを行ってからでないと、単電源 ADC に印加できません。一般的に ADC に対する安全な入力電圧は電源電圧より上または下数百ミリボルト以内ですので、両電源環境では単電源デバイスの保護を考慮する必要があります。

図2は、240MHzのクランピング・アンプで駆動する8ビット・125MSPSフラッシュ・コンバータです。このADCはECLロジックを使用し、-5.2V単電源で動作します。入力電圧の振幅は2V (-1V \pm 1V) です。ADCの安全な入力電圧範囲の絶対最大定格は $-V_S \sim +0.5V$ と規定されています。同じ単電源で動作するレール to レール・オペアンプを選択すれば、本質的にADCを過電圧から保護できますが、この例では両電源でオペアンプを動作させるほうがより適切です。

-5.2Vの単電源で動作するレール to レール・オペアンプはグラウンドの近くまでスイング可能ですが、出力電圧が電源電圧 (ここではグラウンド) に近づくと信号歪みが大幅に悪化する傾向があります。このためより適切な方法は、オペアンプを両電源で動作させて、信号と電源電圧の間のヘッドルームを大きくする (正側で5V、負側で3V) ことです。

2つの抵抗分割を使用し、オペアンプの入力換算クランプ電圧を、 $\pm 0.55V$ または通常最大の最大入力電圧振幅より 50mV 大きい値に設定します。 $\pm 0.5V$ の入力電圧をADCの0~-2Vの入力範囲に変換するため、オペアンプで2倍し、+2.5Vリファレンスを使用して-1Vのレベル・シフトを行います¹。その結果出力換算クランプ電圧は+0.1Vと-2.1Vに変わります。1N5712ショットキー・ダイオードは、パワーアップ時の追加の保護の役割をし、実際ADCの入力の最大電圧を約+0.3Vに保持します。オペアンプの出力に直列に接続した50 Ω 抵抗は、過電圧時にダイオードを流れる電流を制限するとともに、フラッシュADCの (最大値 22pF だが信号で変化する) 入力容量性負荷²とオペアンプ出力段を切り離します。-2.1Vという負のクランプ・レベルは、コンバータの保護には必要ありませんが、アナログ入力の過度の負のオーバードライブを防止します。

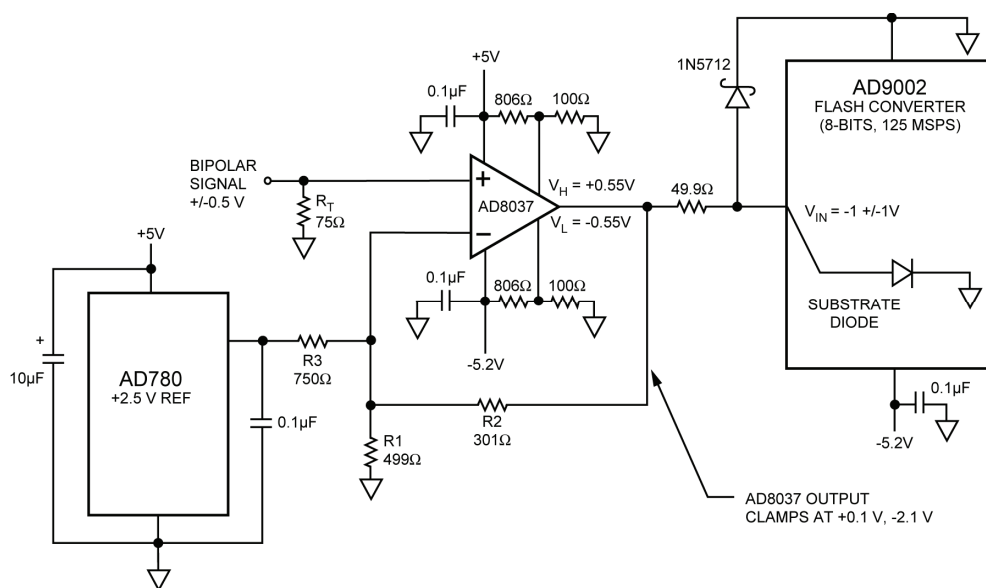


図 2. AD9002 : 125MSPS、8 ビット・フラッシュ・コンバータ

駆動アンプには、必要な信号処理をするほか、ADC のダイナミック特性を低下させないために低インピーダンス源にするというもっとも重要な機能があります。駆動アンプを選択する最初の基準としては、一般的に ADC の信号/ノイズ&歪み (S/(N+D) または SINAD) のグラフが使われます。このグラフを、オペアンプの全高調波歪み+ノイズ (THD+N) と比較します。ここで互いに近い条件で比較することが大切であり、測定条件は、実回路も似たような回路になると思われるが、互いに似たような信号レベル、電源電圧、バイアス条件を基準にする必要があります。アンプの負荷条件も、ADC の条件に近い値になるべきです。一般に、オペアンプの影響で ADC のダイナミック特性が低下しないようにするには、オペアンプの THD+N が、最高の信号周波数³ (一般的には ADC のナイキスト周波数ですが、必ずしもそうとは限りません) において ADC の S/(N+D) よりも 6~10dB 優れている必要があります。スペクトル解析などのアプリケーションでは、低ノイズよりも低歪みが重要視されることがあります。そのような場合、オペアンプの THD を ADC の歪み (通常、スプリアス・フリー・ダイナミック・レンジまたは SFDR として仕様規定) と比較することはさらに有効です。繰り返しますが、ADC に比べて歪みが 6~10dB 優れたオペアンプを選択することが適切です。

上述の選択基準は、ADC の入力インピーダンスが固定であり、変換プロセスの中で変化しない場合に有効です。一般的にこれはバイポーラ・プロセスで設計された ADC の場合です。一方、CMOS プロセスで設計された ADC では、一般的にサンプル&ホールド・スイッチをアナログ入力に直接接続しています。このため変換時に過渡電流が発生します。この過渡電流は外部駆動アンプで供給できなければなりません。これに加えて、CMOS スwitch の (比較的低い) オン抵抗には、若干信号依存性があります。したがって、ADC のアナログ入力は信号レベルに依存する入力インピーダンスを示すことがあり、それが歪みにつながります。

図 3 は、単電源デュアル・オペアンプを使った差動アンプで駆動する、10MSPS 単電源の 12 ビット CMOS ADC です。この ADC の入力段は差動のサンプル&ホールドです。この図ではサンプリング周波数で開閉するスイッチは、トラック・モードになっています。C_{PAR}C_{PIN} と表記された容量は約 16pF で、スイッチと入力ピンの総合浮遊容量です。C_S はサンプリング容量、C_H はホールド容量です。トラック・モードでは、差動入力電圧が C_S コンデンサに印加されます。これがホールド・モードに入ると、これらのコンデンサの電圧はホールド・コンデンサに移動します。

ADC の入力範囲は、ピン接続で 2V_{p-p} に設定されています。差動駆動アンプが、コモンモード電圧を 2.5V に設定します。信号歪みという観点から言えば、この設定はいくつかの理由で最適です。

真に単電源で動作するシステムでは、信号源から ADC を通してすべての信号処理プロセスを DC 結合するのが難しいことがあります。このような場合、上下の電源電圧間の半分の電圧を中心とする仮想グラウンドを作ることがよくあります。これによって、単電源 ADC のための最適な入力電圧範囲について疑問が生じます。一見したところ、0V 基準とした入力範囲がよいと思えます。しかし、そうすると実際には ADC とその駆動アンプの両方にかかなり厳しい制約が生じることとなります。というのは、いずれも 0V またはその近辺で完全な直線性と低歪みを維持しなければならないからです。

ADC とオペアンプの両方にとって、より適切な電圧範囲はグラウンド電圧も正側電源電圧も含まないものになります。通常、V_S/2 を中心とする範囲が最適です。たとえば、+2.5V を中心とした 2V_{p-p} の入力範囲は、+1.5V と +3.5V が上下限となります。単電源オペアンプのダイナミック仕様がミッドスケールのバイアス条件で規定されている場合、直接仕様を比較することでオペアンプと ADC の適切なマッチングをとることができます。しかし、単電源 ADC のバイアス点が理想的な V_S/2 から相当ずれている場合は、オペアンプの歪み、その他のダイナミック仕様が悪化することがあります。

この例では、ゲイン 2^4 の差動アンプが $\pm 0.5V$ のシングルエンド信号を $+2.5V$ のコモンモード・レベルをもつ $2Vp-p$ の差動信号に変換します。しかし、各オペアンプのスイングは $2V$ から $3V$ (つまり $2.5V \pm 0.5V$) の範囲です。このように信号範囲を効率的に利用すれば、上下各々の電源電圧に対して $2V$ という比較的大きいヘッドルームを持つことができますので、オペアンプの歪みを最小限にすることができます。この回路は、コンバータにも利点があります。前述の ADC の CMOS サンプリング・スイッチのオン抵抗は、入力電圧が電源電圧の中間値のとき最小になります。各入力での電圧変動を最小限に抑えれば、信号の大きさに依存するスイッチのインピーダンス変動も少なくなり、結果として歪みを低く抑えられます。

この ADC は、シングルエンドまたは差動いずれの場合でも、入力電圧範囲を $5Vp-p$ に設定できます。 $5Vp-p$ の差動入力範囲に設定した場合、駆動アンプのスイングは $1.25V$ から $3.75V$ となります。この場合でも、まだ両方の電源に $1.25V$ のヘッドルームが残されています。このような大きい入力範囲を選択すると、DC 的な直線性と S/N 比が改善されます。信号範囲が広がることで、コンバータの歪みが若干低下します。

一般的にアンプと ADC は同じ電源を使用するため、安全性の点か

ら考慮すると、入力クランプ電圧に関する問題はそれほど重要ではないでしょう。しかし、ADC によってはアナログ入力電圧の絶対最大定格値が電源電圧を下回るものもあります。このような場合は、入力クランプによる入力保護をもう一度検討する必要があります。

ライン・ドライバ

微分ゲインと微分位相の仕様は、大信号の上に小信号が重畳しているときに、大信号の大きさが変化による小信号のゲインと位相の変動を表すものです。これらの仕様は主にアンプのアーキテクチャに依存しますが、信号と電源間のヘッドルームは、オペアンプの微分ゲインと微分位相の性能に影響を与えます。その結果、コンポジット・ビデオ信号の最大レベルは一般に $1\sim 2V$ の範囲になりますが、かつてのコンポジット・ビデオ・ライン・ドライバは $\pm 12V$ と $\pm 15V$ の電源電圧で動作するものがほとんどでした。現在設計されているシステムは、少なくとも過去のものに劣らない微分ゲイン仕様と微分位相特性を必要としています。今や省エネのためには、信号と電源の間に大きなヘッドルームをとるというような贅沢はできません。

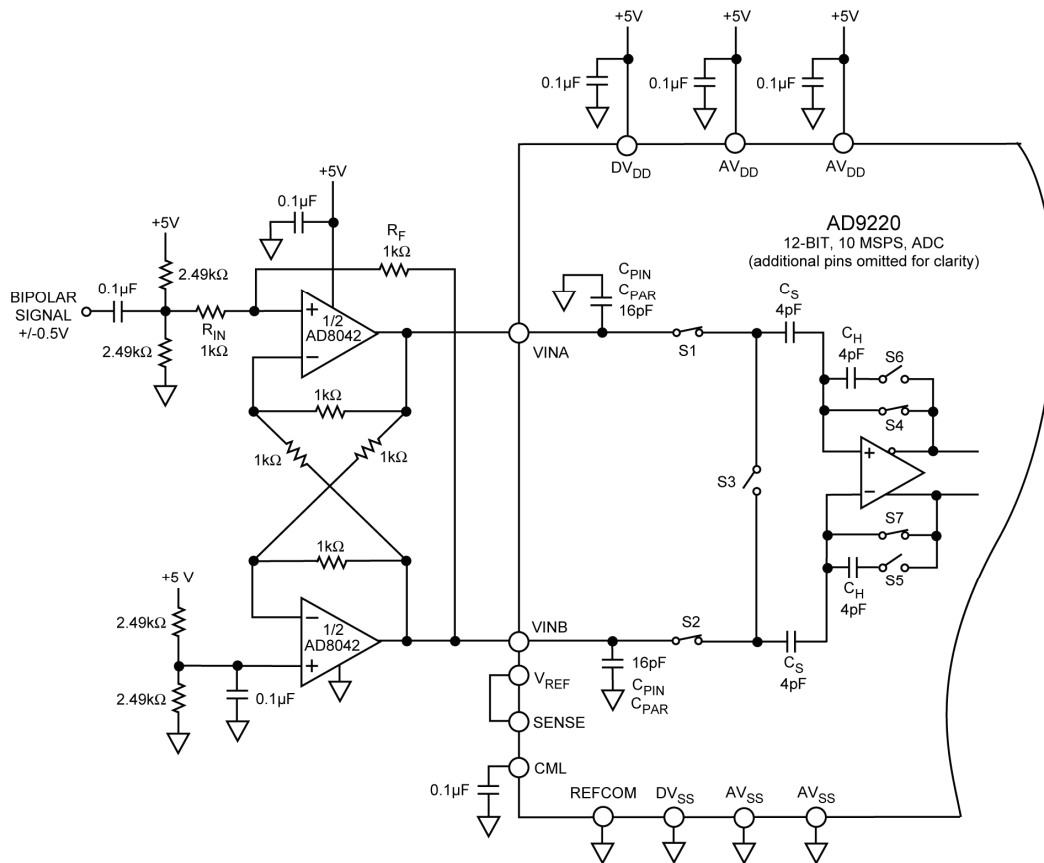
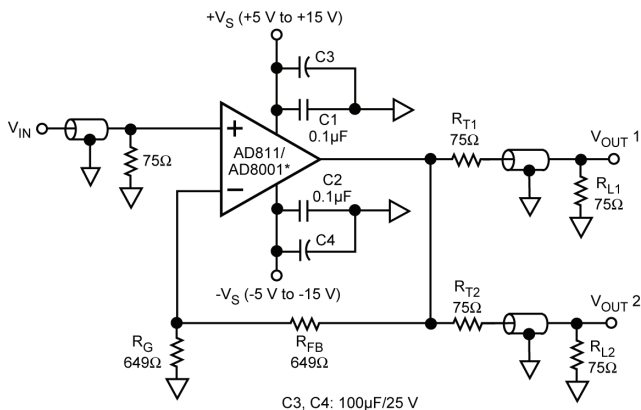


図 3. シングルエンド入力/差動出力構成のオペアンプ回路による単電源差動入力 ADC の駆動



* AD8001 CAN BE USED ONLY WHERE +/-5V POWER SUPPLIES ARE PRESENT

図4. 2系統ビデオ配信機能を備えた従来の高品質ビデオ・ライン・ドライバ

図4は、2系統の配信機能を備えた高性能のビデオ・ライン・ドライバです。オペアンプ段はゲイン2で動作し、75Ωの終端抵抗を介してペアの75Ω出力ラインを駆動します。したがって、 V_{OUT1} と V_{OUT2} は、 V_{IN} を個々に分離/バッファしたゲイン1の信号となります。全体をユニティ・ゲインに終端してあるので、この回路は低歪みバッファやビデオ分配アンプとしても利用できます。

図に示すように、AD811 オペアンプを使用し、 $\pm 15V$ 電源で1本のラインを駆動 ($R_L = 150\Omega$) する場合の特性は、 $-3dB$ 周波数帯域幅が120MHz、微分ゲイン/位相が0.01%/0.01°になります。2本のラインを駆動する場合、ゲイン誤差は基本的に同じですが、位相誤差は約0.04°まで上昇します。この回路のゲイン平坦性は、 $\pm 15V$ 電源電圧で35MHzまで0.1dB以内です。予想されるとおり、電源電圧が低くなると性能が少し低下しますが、 $\pm 5V$ 電源で微分位相は依然として0.18°以下です。 $-3dB$ 減衰点は80MHzまで下がり、25MHzまで0.1dBのゲイン平坦性があります。

AD811を用いたこの例は、電源が $\pm 15V$ から $\pm 5V$ になった場合に、微分ゲイン/位相がどの程度悪化するかを示します。AD8001などのさらに新しいアンプでは、 $\pm 5V$ での動作のみを仕様規定しています。AD8001は、はるかに高い帯域幅と0.1dBのゲイン平坦性を備え、 $\pm 15V$ で規定されているAD811の微分ゲイン/位相仕様にほとんど匹敵し、しかも消費電力が小さくなっています。

最高の精度と安定性を実現するには、金属被膜抵抗を使用することを推奨します。十分なデカップリングも推奨します。少なくとも、オペアンプの電源ピン近くに低インダクタンス/低ESR RFバイパス・コンデンサ (図のC1/C2) を接続してください。これらは0.1µFの表面実装型チップ (またはその他の低インダクタンス・タイプ) です。高いピーク電流負荷を駆動するときは、47~100µFの範囲の短いリード線/大きな値で低ESRの電解コンデンサ (図のC3/C4) を追加して高周波バイパスを補強してください。これらのコンデンサは過渡電流を吸収しますが、高周波用に作られたタンタルタイプまたはアルミニウムタイプ (つまり、スイッチング電源型) が使用できます。

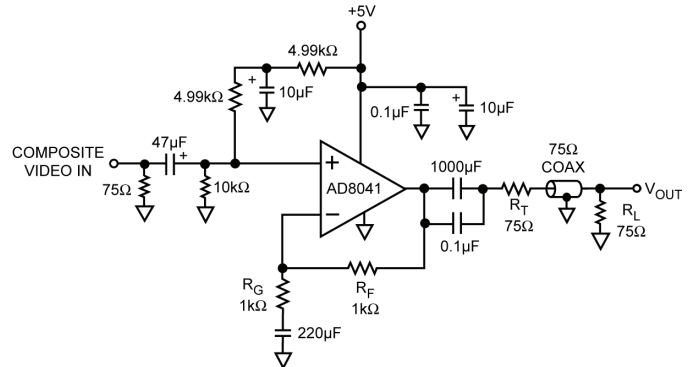


図5. AC結合の単電源コンポジット・ビデオ・ライン・ドライバ

図5は、ゲイン2の単電源コンポジット・ビデオ・ライン・ドライバの回路図です。コンポジット・ビデオ信号のシンクチップ (同期信号の先端) はグラウンド以下になるので、入力をAC結合し、正方向にレベルシフトを行う必要があります。最適なバイアス点を設定するには、コンポジット・ビデオ信号の特性と使用するオペアンプのビデオ特性を少し理解しておく必要があります。

ピーク to ピーク振幅が一定でも、デューティサイクルが変動する信号は、AC結合の後、その信号のピーク to ピーク振幅よりもさらに大きなダイナミック・レンジが必要となります。最悪時には、必要なダイナミック信号振幅はピーク to ピーク値のほぼ2倍近くまでになります。2つの極端なケースとして、デューティサイクルが通常はローレベルだが、たまにハイレベルになるものと、その逆のものがあります。コンポジット・ビデオは、これほど厳しくはありません。1つの極端な例として、フレーム全体がほとんど黒であるビデオ信号で、1フレームにつき少なくとも1回は白 (フル輝度) の最小幅のスパイクが出る場合です。もうひとつの極端な例は、画面全体が真っ白のビデオ信号です。このような信号のブランキング期間と同期信号には、コンポジット・ビデオ仕様に従って、負方向への移動が見られます。このような信号は、水平および垂直ブランキング期間の組み合わせによって、時間の約75%だけ最高レベル (白) になるように制限されます。

前述のような2つの両極端のデューティサイクルが変動するケースがあるので、AC結合された2Vp-pのコンポジット・ビデオ信号をクリッピングなしに通過させるには、約3.2Vのダイナミック・レンジを必要とします。

回路によっては、必要とされるダイナミック・レンジの大きさを小さくするため、AC結合とともに同期信号クランプ回路を用いてシンクチップ (同期信号の先端) を比較的一定のレベルに保持します。しかしこの場合非常に低い出力インピーダンスの信号源で駆動しない限り、同期信号圧縮のような問題が発生する可能性があります。

図の回路ではレール to レール出力のオペアンプを使用しているため、同期信号クランプ回路を使用しなくても、必要とする信号のダイナミック・レンジを十分カバーするだけの広い信号スイング幅があります。テストとして、電源電圧を変動させながら、微分ゲイン/位相を測定しました。低い方の電源電圧を上げていきビデオ信号に近づいた時、最初に認められる現象は、微分ゲイン/微分位相の特性に悪影響が出る前に同期信号が圧縮されたことです。逆に高い方の電源電圧を下げていき、ビデオ信号に近づけた場合は、ビデオ出力のピーク値と電源電圧の差が0.6Vになるまでは微分ゲイン/微分位相に大きな影響はありませんでした。

このテストを考慮に入れると、非反転入力 of 適切なバイアス点は 2.2V DC であることがわかりました。このバイアス点で動作する場合、最悪時の微分ゲインは 0.06%、微分位相は 0.06° でした。

この回路に使用している AC カップリング・コンデンサは、一見すると非常に大きくみえますが、これには理由があります。コンポジット・ビデオ信号の、低周波側エッジは 30Hz です。さまざまな AC 結合ポイント (特に出力) での抵抗は、きわめて小さい値です。位相シフトとベースラインの傾きを最小にするには、大きな値のコンデンサが必要になります。最高品質である必要のないビデオ・システムの性能には、これらのコンデンサの値を最小5分の1に減らすことが可能であり、画質品質の劣化はごくわずかです。

出力信号の電圧振幅がグラウンド近くまで振れる必要がある場合、DC 結合の単電源ライン・ドライバでは問題が生じます。なぜなら出力電圧がグラウンドに近づくにつれて信号歪みが増大するためです。たとえば、AD8031 は上下の電源電圧近くまでスイングします。しかし、歪み率が最小になるのは、コモンモード・レベルが両電源電圧の中間に位置し、上下それぞれの電源電圧に対し約 500mV のヘッドルームがある場合です。もし単電源アプリケーションでグラウンドの近くまでスイングする可能性がある場合は、オペアンプ出力にエミッタ・フォロア回路を使用することができます。

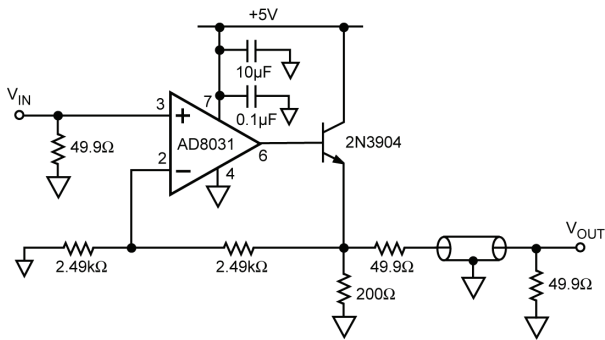


図 6. 単電源のグラウンド基準信号用の低歪みライン・ドライバ

図 6 は、AD8031 を使用したゲイン 2 の DC 結合単電源ライン・ドライバ回路です。出力が 50Ω で終端されているので、VIN から VOUT までの全ゲインは 1 です。50Ω の終端抵抗が、反射を最小限に抑えるほか、ケーブルが短絡した場合にトランジスタを保護します。帰還ループの内部にあるエミッタ・フォロアによって、AD8031 の出力電圧はグラウンドよりも約 700mV 以上となります。この回路を用いれば、たとえ出力信号がグラウンドの 50mV 以内までスイングしても、きわめて低い歪みを実現できます。この回路を 500kHz と 2MHz でテストしました。図 7 と 図 8 は、500kHz での出力信号振幅と周波数スペクトルです。ここで出力信号 (VOUT にて) はピーク to ピーク振幅が 1.95V (50mV ~ 2V) ですが、この周波数での THD (全高調波歪) は -68dB になります。

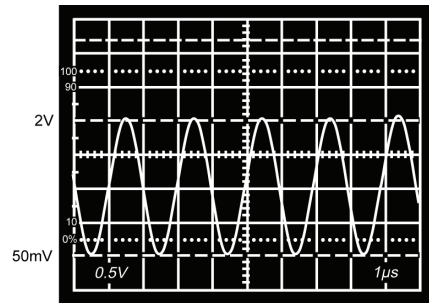


図 7. 低歪みライン・ドライバの 500kHz での出力信号振幅

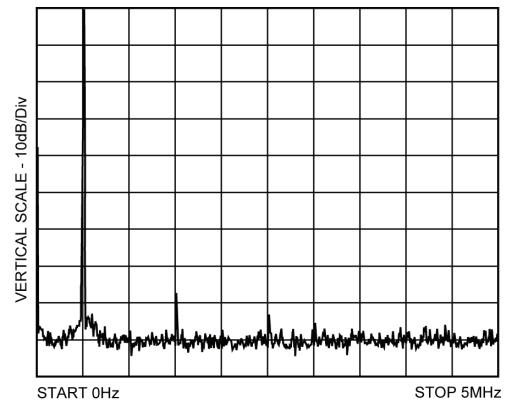


図 8. 低歪みライン・ドライバの 500kHz での THD

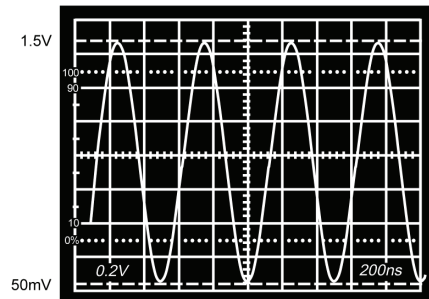


図 9. 低歪みライン・ドライバの 2MHz での出力信号振幅

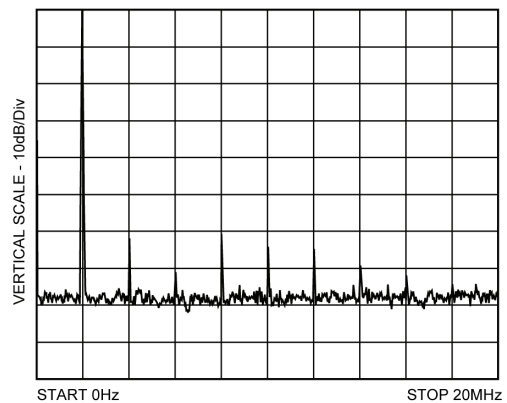


図 10. 低歪みライン・ドライバの 2MHz での THD

図9と図10は、2MHzでの出力信号振幅と周波数スペクトルです。予想されるとおり、高周波数では信号の品質が若干低下します。出力信号のピークtoピーク振幅が1.45V（50mVから1.5Vへのスイング）のとき、THDは-55dBになります。

この回路は、グラウンドを基準とする入力電圧範囲（たとえば、0～2Vまたは0～4V）の単電源高速ADCを駆動するのに使用することもできます。この場合、終端抵抗は必要ありません（トランジスタからADCまでの物理的な距離が短いと仮定します）。したがって、外部トランジスタのエミッタを直接ADC入力に接続します。この場合、回路の可能な出力電圧振幅は2倍になります。

アクティブ・フィルタ

従来、高速アクティブ・フィルタを設計する場合は、ゲイン帯域幅積（GBP：GP積）がフィルタのコーナー周波数を大きく上回るアンプを選択することができました。さらに、 $\pm 15V$ や $\pm 12V$ といった電源電圧を使用していたため、信号対電源電圧のヘッドルームはかなり大きくとれました。このため、少なくとも帯域幅と信号振幅の観点からすれば、このようなアンプを理想的な部品と考えることができました。最近低電圧電源が使用されるようになっていきます。低電圧にすることにより一般的に帯域幅とスルーレイトが低下しますが、その一方で信号範囲を最大にしたいという要求もあって、多くの場合、フィルタのコーナー周波数とオペアンプの実際の帯域幅との差は以前より小さくなってきています。アクティブ・フィルタを設計するためにオペアンプを選ぶときは、与えられた電源電圧で、必要とされる信号振幅、要求される負荷条件を満たす回路で示す帯域幅と位相シフトを前もって計算しておくことが大切です。信号振幅を考える場合は、入出力の信号振幅だけでなく、回路の内部ノードでの信号振幅も確認する必要があります。Qが0.707を超えるフィルタでは、応答にピーキングがあります。クリッピングが発生しないように、フィルタのダイナミック・レンジにはピーキングのレベルも考慮に入れておく必要があります。

最新の高速オペアンプの多くは、電流帰還型になっています。電流帰還型オペアンプでは、一般に帰還ループの容量はアンプの不安定要因になります。このため、オペアンプを積分器⁵として使用するフィルタ設計では、一般に電流帰還型アンプを使用することができません。これに対する例外は、積分回路を内蔵しないSallen-Keyフィルタです。

図11は、中心周波数が2MHzの、単電源バイクワッド・バンドパス・フィルタの回路です。2.5Vのバイアス・レベルは3つのオペアンプすべての非反転入力を、+5Vとグラウンドの間に接続した2本の1k Ω 抵抗からなる抵抗分割に接続することで、簡単に得られます。またこのバイアス点には、グラウンドに対して0.1 μF コンデンサを接続しデカップリングします。フィルタの周波数応答を図12に示します。

正確な中心周波数を維持するには、2MHzでオペアンプのループ・ゲインが十分あることが重要です。そのためには、かなり高いユニティ・ゲイン周波数のオペアンプを選択する必要があります。AD8031/AD8032のユニティ・ゲイン周波数は40MHzです。個々のオペアンプ回路の帰還率にオープンループ・ゲインを掛けることによって、ゲイン段ごとにループ・ゲインを求めることができます。個々のオペアンプの帰還回路から、各オペアンプに少なくとも21dBのループ・ゲインがあることがわかります。これだけあれば、フィルタの中心周波数がオペアンプの帯域幅に影響されることはありません。たとえば、このアプリケーションで10MHzの

GP積を持つオペアンプを選択したとすると、結果として得られる中心周波数は20%シフトした1.6MHzになります。

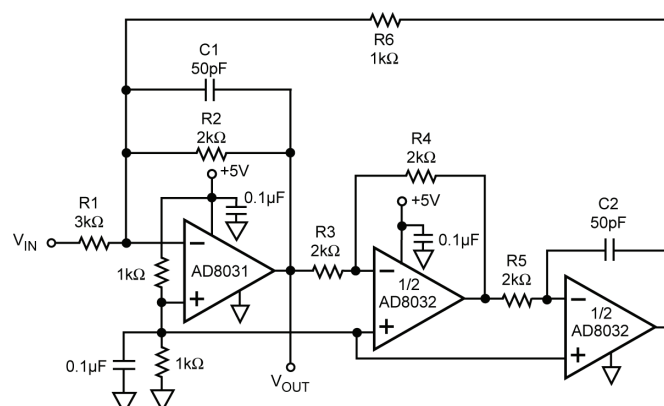


図 11. AD8032 と AD8031 を使用した単電源 2MHz バイクワッド・バンドパス・フィルタ

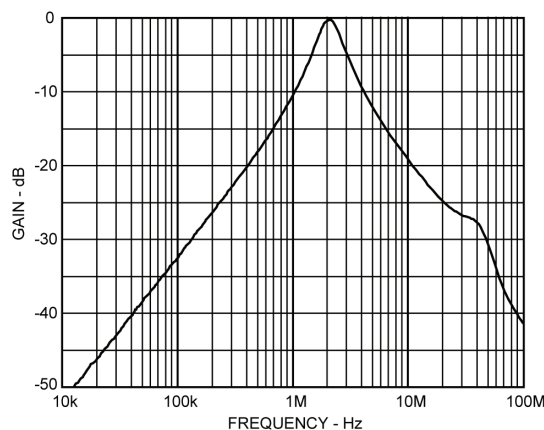


図 12. 単電源 2MHz バンドパス・フィルタの周波数応答

トランス駆動回路

たとえレール to レール・アンプを使用しても、オペアンプの信号振幅は電源電圧以上にはなりません。トランス結合を使用すれば、電源電圧を上回る電圧まで信号振幅を増大させることができます。さらに、トランス結合信号は差動駆動なので、一般に外部ノイズに対して強くなります。信号を長距離伝送する場合には特に、このメリットが重要になることがあります。

適切な巻数比を持つ昇圧トランスを選択すれば、信号のピーク to ピーク振幅を任意のレベルまで大きくすることができます。しかし、昇圧トランスの二次から一次への反射インピーダンスは、二次インピーダンスを巻数比の2乗で割った値になります。このためにオペアンプに求められる電流が大きくなります。昇圧トランスを駆動するのに適したオペアンプを選ぶときは、たとえ出力電流が大きくても十分な出力信号振幅が得られるアンプを探す必要があります。

HDSL トランシーバ

HDSL (high bit-rate digital subscriber line : 高速対称型デジタル加入者線) は、通常の電話用ツイストペア線を使用し、中程度の距離を最大 2.048Mbps/s までのデータレートで全二重データ通信を行うための手段としてよく使われるようになりました。最長約 12,000 フィートの距離をリピータなしで伝送するには、+13.5dBm の送信パワーが必要です。(負荷インピーダンスは 135Ω と仮定します。) 顧客側のトランシーバは局側の電源からツイストペアを介して供給されることもあり、回路の消費電力は重要です。

図 13 に、5V 単電源動作で、このレベルのパワーを供給できる回路を示します。デュアル・オペアンプを使用して、パワーを加算してトランスの 2 つの一次巻線に送ります。2 つの一次巻線は効果的に並列に接続されます。どちらのオペアンプもゲインは 2 に設定されています。したがって、オペアンプの入力範囲をレールtoレールにしなくても (入力範囲は $-0.2\sim+4V$)、出力をレールtoレールにイングすることができます。出力電圧は負荷がかなり大きくても両側の電源電圧のごく近くまでスイングしますが、THD を約 -70dB (500kHz で測定) に維持するためには電圧振幅を約 $0.5\sim 4.2V$ にしておく方がより安全です。両方の一次トランスが基準として $100\mu\text{F}$ コンデンサは、出力信号の平均 DC 値 (約 $2.4V$) に等しい電圧の仮想グラウンドをつくります。各一次トランスには、 29.78Ω ($134/1.5^2/2$) の二次トランスからの反射インピーダンスがあります。各一次トランスは、この値にほぼ等しい抵抗に直列に接続されています。このため、各一次トランスの両端の電圧は、駆動するオペアンプの電圧の半分になります。

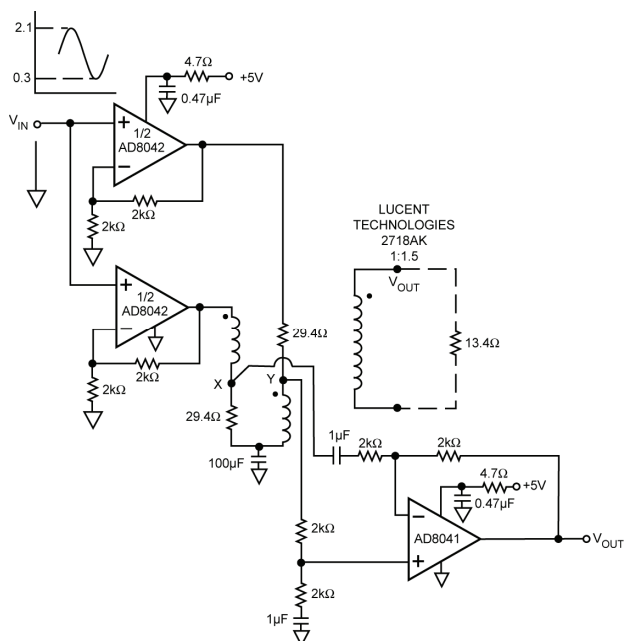


図 13. 単電源 HDSL トランシーバ

2 つのトランスミッタ・オペアンプから来る分割電圧は、差動レシーバの 2 つの入力にも供給されます。これらの信号はレシーバへのコモンモード電圧と見られ、増幅されません。実際には、ノード X とノード Y の電圧は必ずしも等しくないため、送信信号の一部はレシーバによって増幅されています。トランスミッタからレシーバへの除去は -20dB でした。

受信信号は両方の一次トランスに結合します。しかし、これらの電圧は、互いに位相が 180° ずれた状態で差動レシーバを駆動します。このため、レシーバのゲインはトランスの巻数比の逆数 ($1/1.5$) に等しくなります。

各オペアンプが $3.5V_{p-p}$ を出力する場合、それぞれの一次トランスでは $1.75V_{p-p}$ になります。約 $5.2V_{p-p}$ の二次電圧は、一次電圧の合計に巻数比 1.5 を乗算したものです。これは約 $+14\text{dBm}$ のパワーに相当し、次式で計算することができます。

$$Power = 10 \log_{10} \left[\frac{\left(\frac{V_{peak-peak}}{2 \times crest\ factor} \right)^2 / R_{LOAD}}{1\ mW} \right]$$

この電力の計算では、クレスト・ファクタを $\sqrt{2}$ としています。別のクレスト・ファクタを使用して計算すれば、結果の電力は異なる値になります。高い信号振幅が要求される場合は、高い巻数比を持つトランスを使用します。そのために、オペアンプが供給しなければならぬ電流が大きくなります。図に示す構成では、オペアンプは $+2.5V$ を基準とする負荷に約 28mA を供給しています。オペアンプは $0.5\sim 4.5V$ の信号振幅を維持しながら、最大 50mA まで供給できるため、二次トランスで信号振幅を増やすこともできるでしょう。ただし、巻数比を増やすと、受信信号の振幅は減少します。

参考文献

1. Replacing Output Clamping Op Amps with Input Clamping Amps, Application Note AN-402, Analog Devices, 1995, p. 3
2. Amplifier Applications Guide, Analog Devices, 1992, pp. 7.49-52
3. Practical Analog Design Techniques, Analog Devices, 1995, pp. 4.12-15
4. AD 8042, Dual 160 MHz Rail-to-Rail Amplifier, Data Sheet, Analog Devices, 1995, pp 12-13
5. Amplifier Applications Guide, Analog Devices, 1992, pp. 6.27-29