

LVDS/M-LVDS 回路の実装ガイド

著者： Dr. Conal Watterson

はじめに

低電圧差動伝送 (LVDS) は、ポイント間高速通信アプリケーションの規格です。マルチポイント LVDS (M-LVDS) は、マルチポイント・アプリケーション向けの同様の規格です。LVDS と M-LVDS のどちらも差動伝送と 2 線式通信方法を使用し、レシーバが 2 つの相補電気信号間の電圧差によってデータを検出します。これにより、ノイズ耐性が大幅に向上し、放射が最小限に抑えられます。

LVDS

LVDS はエミッタ結合ロジック (ECL) または正エミッタ結合ロジック (PECL) の低消費電力バージョンです。LVDS の主要な規格は TIA/EIA-644 です。LVDS の代わりにの規格として、IEEE 1596.3—SCI (スケラブル・コヒーレント・インターフェース) が使用されることもあります。LVDS は 1 枚の PCB 内での通信リンクをはじめ、高速バックプレーン、ケーブル接続、ボード間のデータ伝送やクロック分配などで幅広く採用されています。

LVDS には以下の利点があります。

- 最大 1Gbps 以上の速度で通信
- 電磁放射の低減
- ノイズ耐性の向上
- 低消費電力動作
- 同相電圧範囲により、グラウンド・オフセットに最大±1V の電圧差が可能

M-LVDS

マルチポイント低電圧差動伝送 (M-LVDS) の規格 TIA/EIA-899 は、LVDS をマルチポイント・アプリケーションに対応するように拡張したものです。M-LVDS により、より少ない消費電力で、TIA/EIA-485 (RS-485) やコントローラ・エリア・ネットワーク (CAN) よりも高速の通信リンクが可能になります。本アプリケーションに記載した規格については「参考資料」のセクションを参照してください。

LVDS に追加された M-LVDS の特長には、以下のものがあります。

- ドライバ出力能力の向上
- 制御された遷移時間
- 拡張された同相電圧範囲
- バス・アイドル状態のフェイルセーフ・レシーバのオプション

LVDS/M-LVDS のアプリケーションに関する検討事項

このアプリケーション・ノートでは、LVDS/M-LVDS 回路の実装に関して、以下の面から検討します。

- バス・タイプとトポロジー
- クロック分配のアプリケーション
- LVDS/M-LVDS 伝送の特性
- 終端と PCB レイアウト
- ジッタとスキュー
- データ・エンコーディングと同期
- 絶縁

LVDS や M-LVDS を使用する理由

LVDS と M-LVDS をその他のマルチポイント・プロトコルやポイント間プロトコルと比較したものを図 1 に示します。いずれも低電源要件に対応する規格です。LVDS と M-LVDS では、差動電圧の振幅が小さい差動伝送を特長とします。M-LVDS では、マルチポイント・バスによる負荷の増加を許容するため、LVDS に比べて大きな差動出力電圧を規定しています。どちらのプロトコルも高速通信用に設計されています。代表的なアプリケーションでは、PCB トレースや短距離接続/バックプレーン・リンクを使用します。LVDS の同相電圧範囲は、これらのアプリケーションを対象に設計されています。M-LVDS では、マルチポイント・トポロジーのノイズの増加に対応するため、LVDS に比べて同相電圧範囲が拡張されています。



図 1. 通信規格の比較

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本誌記載の商標および登録商標は、それぞれの所有者の財産です。※日本語資料は REVISION が古い場合があります。最新の内容については、英語版をご参照ください。

©2011 Analog Devices, Inc. All rights reserved.

Rev. 0

目次

はじめに	1	定義とカレベル.....	5
LVDS/M-LVDS のアプリケーションに関する検討事項	1	レシーバの閾値.....	5
LVDS や M-LVDS を使用する理由	1	伝送距離.....	6
改訂履歴	2	終端と PCB レイアウト	7
バスの種類とバス・トポロジー	3	制御されたインピーダンス.....	7
ポイント間	3	ジッタ、スキュー、データ・エンコーディング、同期	8
マルチドロップ	3	ジッタの定義	8
マルチポイント	3	スキューの定義.....	8
クロック分配のアプリケーション	4	データ・エンコーディングと同期化	9
マルチドロップ・クロック分配.....	4	絶縁	10
ポイント間クロック分配.....	4	参考資料.....	11
M-LVDS を使用したクロック分配.....	4	関連リンク	11
差動伝送と LVDS/M-LVDS.....	5		

改訂履歴

3/13—Revision 0: Initial Version

バスの種類とバス・トポロジー

TIA/EIA-644 規格の LVDS デバイスは、低消費電力で高速通信を可能にします。LVDS の利点は、TIA/EIA-899 デバイスを使用することにより、マルチポイント・アプリケーションにも適用できるということです。アプリケーションに LVDS デバイスと M-LVDS デバイスのどちらを使用するかを決める際、バス・トポロジーは、主要な要素の 1 つになります。

ポイント間

ポイント間のバス・トポロジーは、1 対のワイヤやパターンを使って互いに接続した 1 個のドライバと 1 個のレシーバで構成されます。リンクの受信端に終端抵抗がある代表的な構成を図 2 に示します。これは LVDS デバイスの最も一般的なアプリケーションです。ワイヤやパターンの複数のペアを使って、通信チャンネルを増やし、2 ポイント間の合計帯域幅を広げることができます。

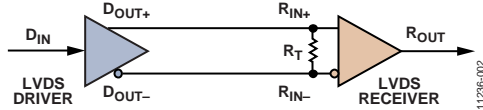


図 2. LVDS のポイント間リンク

アナログ・デバイスでは、表 1 に示すように、1 つ、2 つまたは 4 つの LVDS チャンネル用の LVDS ドライバおよびレシーバを揃えています。使用しない出力は開放状態のままにします。

表 1. LVDS ドライバおよびレシーバ

製品 No.	Tx	Rx	製品 No.	Tx	Rx
ADN4661	1	0	ADN4665	4	0
ADN4662	0	1	ADN4666	0	4
ADN4663	2	0	ADN4667	4	0
ADN4664	0	2	ADN4668	0	4

M-LVDS は、同一のトランシーバ・デバイスをドライバ回路（レシーバは無効）とレシーバ回路（ドライバは無効）に使用するポイント間トポロジーに使用することもできます。

マルチドロップ

図 3 に示すように、マルチドロップ・バス・トポロジーを使って、1 個のドライバを複数のレシーバに接続することができます。LVDS はポイント間アプリケーション用に設計されているため、マルチドロップ構成では、接続可能なレシーバの数と伝送距離が制限される可能性があります。マルチドロップ・トポロジーに M-LVDS を使用することにより、LVDS に比べて長い距離間で最大 32 個のノードを駆動することができます。

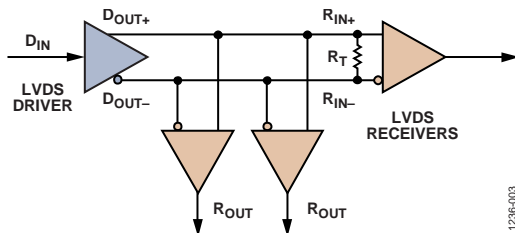


図 3. LVDS のマルチドロップ・バス

マルチポイント

複数のデバイスが送受信可能なネットワークでは、マルチポイント・バス・トポロジーを使用することができます。M-LVDS はそのようなマルチポイント・アプリケーション用に設計されており、1 本のバスに最大 32 ノードを接続可能です。マルチポイント・バスには、それぞれ図 4 と図 5 に示すように、半二重と全二重の 2 つのタイプがあります。半二重バスでは、片方のデバイスが送信可能で、他方のデバイスが受信可能な 2 本のワイヤを使用します。全二重バスでは、4 本のワイヤを使用し、あるノードが別の送信中のノードに同時に逆送信することができます（たとえば、マスタによってすべてのノードにブロードキャスト・コマンドが送られた際に、スレーブ・デバイスが応答する）。

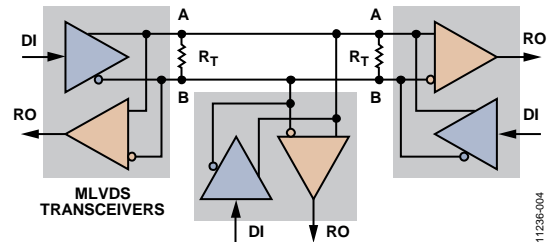


図 4. M-LVDS の半二重バス

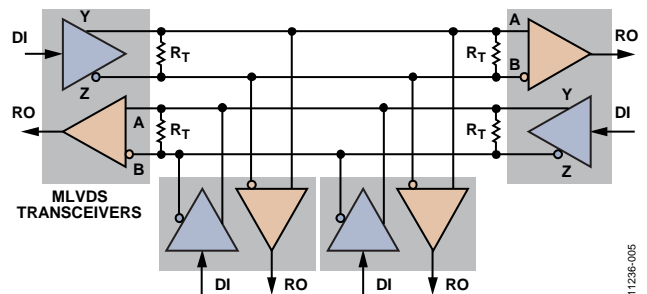


図 5. M-LVDS の全二重バス

マルチポイント・バスに関して検討すべきもう 1 つの要素は、バスのアイドル状態です。送信中のデバイスがないと、終端されたバスの差動電圧は 0V に近くなります。つまり、入力閾値が対称の標準のレシーバでは、レシーバ出力は不定になります。これは、入力閾値が $\pm 50\text{mV}$ のタイプ 1 の M-LVDS レシーバに相当します。バスがアイドル状態のときのレシーバの出力状態（出力ロー）を保証するため、タイプ 2 の M-LVDS レシーバには、レシーバ入力閾値に $+50\text{mV} \sim +150\text{mV}$ のオフセットがあります。

表 2. M-LVDS のトランシーバ

製品 No.	Rx Type	Duplex	DataRate
ADN4690E	1	Half	100
ADN4691E	1	Half	200
ADN4692E	1	Full	100
ADN4693E	1	Full	200
ADN4694E	2	Half	100
ADN4695E	2	Full	100
ADN4696E	2	Half	200
ADN4697E	2	Full	200

クロック分配のアプリケーション

LVDS などの差動伝送は、回路基板全体にクロック信号を分配するのに最適です。クロック分配のアプリケーションの場合、LVDS の同相ノイズ耐性の利点に加えて、逆相の2つの信号間の結合により放射エミッションが低減されるという利点が加わります。

マルチドロップ・クロック分配

多くのアプリケーションでは、回路内の複数ノードが1つのクロック源から供給される場合があります。LVDS を使って1つのクロック源を複数ノードに分配するシンプルな方法として、図6に示すマルチドロップ・バス・トポロジーがあります。クロック源の LVDS 出力は、クロックを必要とするさまざまなノードへの短いスタブを備えた1対の信号パターンに接続されています。

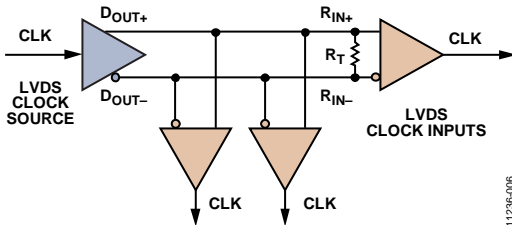


図 6. マルチドロップ LVDS のクロック分配

この方法の欠点は、接続可能なノード数が限られることと、スタブによって信号の完全性が低下する（つまり、ジッタが加わる）ことです。スタブ長とインピーダンスは慎重に管理する必要があります。

ポイント間クロック分配

ポイント間リンクを使用することにより、1つのクロック信号源を、LVDS クロック入力が必要とする1つのノードに接続することができます。これは、ファンアウト・デバイスとして機能する LVDS バッファを用いることにより、複数ノードへのクロック供給に拡張することができます。この個別の部品は、クロック源からの LVDS クロック出力を受け取り、次いで、このクロック信号をデバイス内の複数の LVDS ドライバに供給し、受信ノードへの複数のポイント間リンクを駆動します。この方法の利点は、クロック信号のタイミングがスタブによる影響を受けずに済むことです。

このようなデバイスの1例として、ADN4670 クロック分配バッファがあります。このデバイスは、図7に示すように、2つのクロック源の1つを最大10個の出力に分配できます。これらの出力は、クロック源の選択にも使用されシリアルにプログラム可能なレジスタを用いることにより、イネーブル/ディスエーブル可能です。

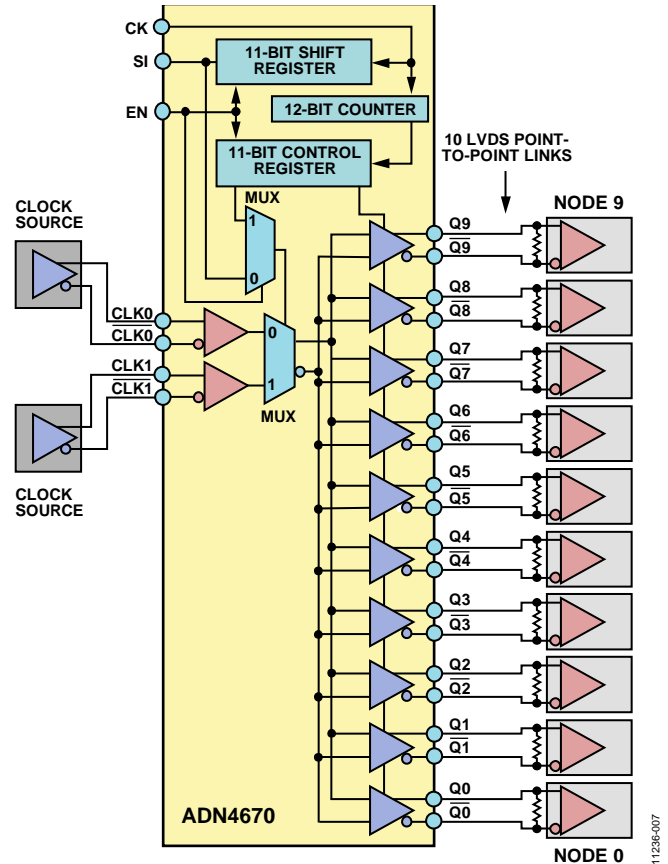


図 7. ポイント間 LVDS 接続により、10 個のノードへクロック源を分配する ADN4670 のアプリケーション

どのようなバッファでも、最初の LVDS 出力と最終の LVDS 入力間に挿入されると、少量のジッタが付加されますが、ADN4670 は付加ジッタが 300fs 未満になるように設計されています。10 個の出力間のスキューは、最大 1.1GHz のクロック信号で 30ps 未満に保たれています。

M-LVDS を使用したクロック分配

クロック分配のもう1つの選択肢は、M-LVDS トランシーバを使って、マルチドロップ（またはマルチポイント）トポロジーの最大32個のノードにクロックを分配することです。タイプ1の M-LVDS レシーバ

（ADN4690E～ADN4693E など）は、レシーバの閾値にオフセットがないため、このようなアプリケーションに適しています（このオフセットはクロック信号のデューティ・サイクル歪みを生じる恐れがあります）。

タイプ1のレシーバを備えた ADN4690E～ADN4693E の M-LVDS トランシーバも、ドライバ出力からのエッジに対し、付加的なスルーレート制限があり、これにより放射エミッションとスタブからの反射の影響がさらに制限されます。

差動伝送と LVDS/M-LVDS

差動伝送は2つの相補信号が送信される通信で、受信信号が2本の信号ラインの電圧差から成ります。LVDSとM-LVDSの両方に使用されるこの形態の通信は、ノイズ耐性に優れ、放射が小さいという2つの明確な利点があります。

ノイズ耐性が高まるのは、一般にノイズ源が両方の信号ラインに等しく結合し、差動信号に影響を与えないためです。一般的な媒体（より対線ケーブルまたは密接したストリップライン）を使用する場合、2本の相補信号ライン間の密な結合により、差動伝送からの放射は小さくなります。

定義と出力レベル

LVDSとM-LVDSでは、片方の信号ラインが非反転（つまりロジック1でハイ、ロジック0でロー）、他方の信号ラインは反転（つまり非反転信号の補完信号）です。2本の信号ラインの電圧差は差動電圧 V_{OD} と呼ばれます。 V_{OD} は、差動電圧（正または負）の大きさ、つまり $|V_{OD}|$ の省略表記でもあります。2本の信号ラインには、それぞれ同相電圧 V_{OC} （オフセット電圧 V_{OS} とも呼ばれる）を中心とした、 $|V_{OD}|$ の最大電圧振幅が存在します。差動電圧は0Vを中心に振幅します。標準のLVDSの信号レベル、ならびに差動信号 V_{OD} と同相電圧 V_{OC} を図8に示します。この図では、 V_{OUT+} が非反転信号で、 V_{OUT-} が反転信号です。

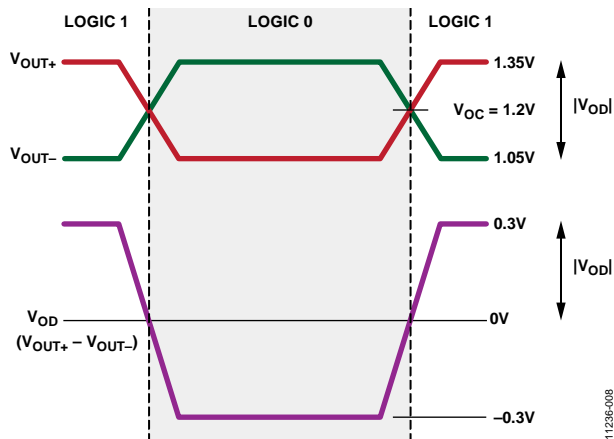


図8. LVDSの出力レベル

LVDSバスまたはM-LVDSバスの差動電圧は、ドライバの電流源によって生成されます。LVDSの非反転のドライバ出力またはレシーバ入力通常、+符号を付けて表記され、反転のドライバ出力またはレシーバ入力は-符号を付けて表記されます。

2チャンネルLVDSドライバADN4663と2チャンネルLVDSレシーバADN4664のピン名称を図9に示します。M-LVDSは、RS-485の物理層のトランシーバの表記に従い、非反転信号をバスラインA、反転信号をバスラインB、全二重トランシーバのドライバ出力をYとZという名称にしています。

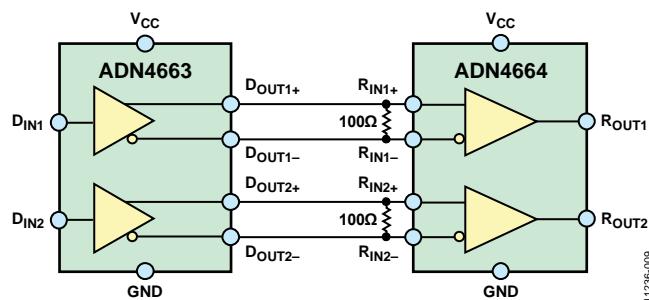


図9. ADN4663とADN4664の2チャンネルポイント間伝送

LVDSおよびM-LVDSと他の差動伝送の規格の差異は、これらの出力振幅が小さいことです。LVDSとM-LVDSの差動出力電圧と同相範囲の仕様を図10に示します。LVDSの場合、負荷が100Ωのときの出力電圧振幅 $|V_{OD}|$ は、最小250mV、最大450mVです。これにより、低消費電力動作が可能となり、遷移が高速のときの高データレートと小さい出力振幅を実現するので、スルーレートがあまり厳しくなくなります。通常、立上がり時間と立下がり時間は数百psの範囲であるため、スルーレートは約0.5V/ns〜2.5V/nsになります。

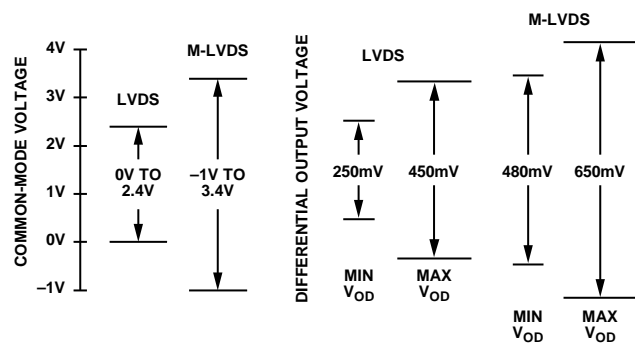


図10. LVDSとM-LVDSの信号レベル

複数のドライバ/レシーバやスタブによってインピーダンスの不連続性が増大した際の伝送の堅牢性を向上させるために、M-LVDSはスルーレートを制限したドライバを備えています。つまり、M-LVDSはLVDSに比べてデータレートが低く制限されています。

ADN4690E〜ADN4697Eは、100Mbpsまたは200Mbpsの速度を選択できます。M-LVDSのもう1つの特性としてドライバ能力が強化されている結果、50Ω負荷での最小出力電圧振幅 $|V_{OD}|$ が480mV、最大出力電圧振幅が650mVになります（バスの両端を2本の100Ω抵抗で終端）。

レシーバの閾値

レシーバの閾値は差動電圧のレベルで、この値を上回ると受信信号がロジック1、下回るとロジック0と見なされます。LVDSでは、正の V_{OD} が100mV以上だとロジック1に相当し、負の V_{OD} が-100mV以下だとロジック0に相当します。

タイプ1のM-LVDSレシーバでは、正の V_{OD} が+50mV以上だとロジック1に相当し、負の V_{OD} が-50mV以下だとロジック0に相当します。

これらの閾値の間は遷移領域です。入力信号が閾値の間の電圧レベルに留まると、レシーバ出力は LVDS では不定になり、ハイにもローにもなり得ます。アクティブな LVDS ドライバがレシーバに接続されていないか、または短絡が生じている場合に、この状態が発生する可能性があります。アナログ・デバイセスの LVDS レシーバはフェイルセーフ機能を備えているので、このような場合、レシーバ出力はハイになります。

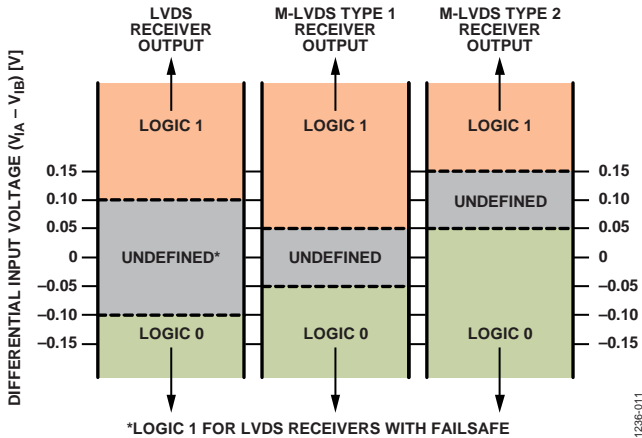


図 11. LVDS と M-LVDS のレシーバの閾値

M-LVDS では、バス上のすべてのノードが送信可能ですが、アクティブなノードがないと、すべてのドライバ出力が無効になります。

LVDS と同様、これによりタイプ 1 のレシーバの場合、差動出力電圧は不定の領域になります。フェイルセーフ状態を確保するため、M-LVDS では、ロジック・ハイが +150mV 以上、ロジック・ローが +50mV 以下というレシーバの閾値にオフセットを持たせたタイプ 2 のレシーバを規定しています。つまり、タイプ 2 の M-LVDS レシーバのフェイルセーフ出力はロジック・ローです。LVDS レシーバ、タイプ 1 の M-LVDS レシーバおよびタイプ 2 の M-LVDS レシーバの閾値を図 11 に示します。

伝送距離

LVDS と M-LVDS の伝送距離はどちらも、伝送媒体とデータレートの 2 つの主要要素によって決まります。所定の伝送距離が実用的かどうかを判断する際の基準は通常、受信ノードで観測されるジッタの大きさです。これはアプリケーションによって決まり、ジッタが 5% 以下である必要があるアプリケーションもあれば、最大 20% のジッタを許容するアプリケーションもあります。

PCB パターンでは、一般に数十 cm 程度の距離が許容され、より対線ケーブルでは、LVDS で数 m 程度、M-LVDS で数十 m 程度の距離が許容されます。PCB の構造やケーブルのタイプの仕様が異なると、信号に与える影響も異なるので、最大伝送距離に影響します。

データレートが速くなると、伝送距離が大幅に制限されます。1Gbps の LVDS で送信可能なのは、わずか 1m の高品質ケーブル間（場合によってはシグナル・コン

ディショニングを付加）ですが、100Mbps では 10m のケーブル間で送信可能です（ケーブルのタイプに依存）。M-LVDS では、ドライバ能力が強化されているため、一般に長いケーブル間で送信可能ですが、数百 Mbps のデータレートでは数十 Mbps のデータレートよりもケーブルを短くする必要があります。いくつかの代表的なアプリケーションでの LVDS および M-LVDS のデータレートとケーブル長の一般的な組合せを図 12 に示します。

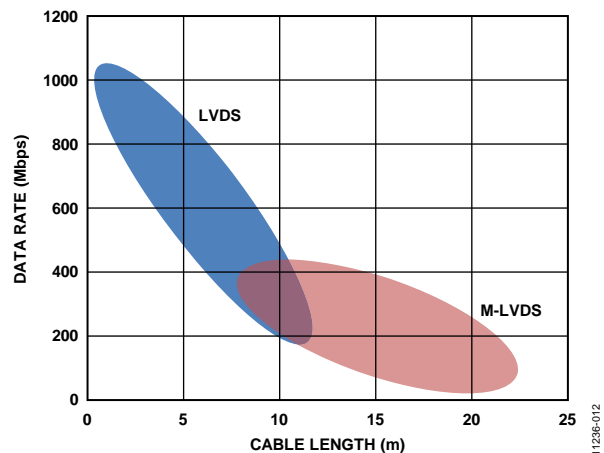


図 12. いくつかの代表的な LVDS および M-LVDS アプリケーションでのデータレート対ケーブル長（より対線）

最大伝送距離に影響を与えるその他の要素として、以下のものがあります。

- トランスミッタの仕様。
- PCB パターン上のビアやケーブルのコネクタなど、伝送媒体の他の要素。
- M-LVDS やマルチドロップ LVDS では、バス上のノード数とスタブ長。

TIA/EIA-644 (LVDS) と TIA/EIA-899 (M-LVDS) では、可能なケーブル長に複数の要素が影響を与えるので、可能であればアプリケーションのケーブル長を対象にしたテストを行うことを推奨します。これにより、受信信号のジッタを測定することができ、所定のケーブルのタイプと長さが実用的かどうかを判断する目安となります。測定はアイ・パターンを使って行うことが可能で、ADN4696E のドライバ出力を図 13 に示します。

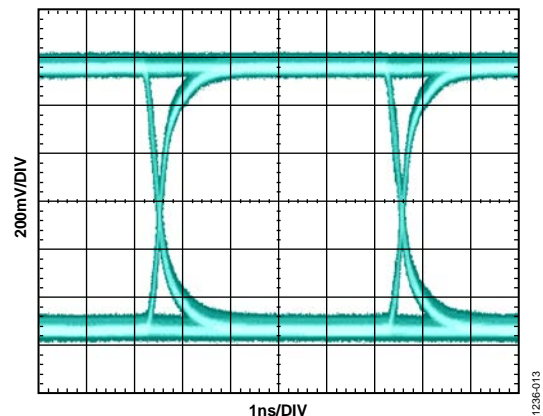


図 13. ADN4696E のドライバ出力のアイ・パターン

終端と PCB レイアウト

LVDS や M-LVDS で使用される高速通信リンクは、ケーブルが使用されているか PCB パターンが使用されているかにかかわらず、伝送線の理論に照らして検討する必要があります。LVDS や M-LVDS の高データレートでは高速の立上がり時間を必要とします。つまり、信号がドライバからバスの末端に伝達されるため、通信リンクのインピーダンスの不連続点や端点が送信信号に大きな影響を与える可能性があります。信号の劣化を防止するには、通信媒体に沿って制御されたインピーダンスや適切な終端が必要です。

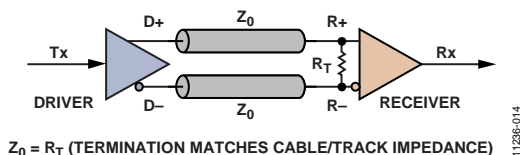


図 14. ポイント間の終端

終端抵抗は通信媒体のインピーダンスと一致させる必要があります。LVDS では、この値は通常 100Ω です。シンプルなポイント間リンクでは、図 14 に示すようにドライバから最も遠いバスの端点を終端しさえすれば十分です。マルチドロップ・バスでは、ドライバがバスの片方の端点に設置されている場合、同じ終端を使用することができます。その他の場合は、バスの両端を終端する必要があります。

M-LVDS では、バスの両端が終端され、ドライバの駆動能力が強化されており、ダブル終端にある程度対応しています（実効負荷は 100Ω ではなく 50Ω ）。

デバイスの中には内部で終端されているものもあります。そのデバイスが終端のためにバス上で間違ったポイントに配置されていたり、バス上にすでに適切な終端がされている場合、この終端を無効にする必要がでてくるかもしれません。LVDS に 2 本以上の 100Ω 抵抗があるか、または M-LVDS に 3 本以上の 100Ω 抵抗があると、バスは過終端状態になります。これにより、信号の振幅が小さくなって反射が増大し、これに伴って、ノイズ耐性の低下、タイミング精度の低下および最大伝送距離の低減が生じます。

制御されたインピーダンス

LVDS リンクと M-LVDS リンクの課題の 1 つは、バス両端のインピーダンスが一定になるように制御することです。1 枚の PCB 両端のリンクでは、ビア、差動ペアの各信号間のパターン長のばらつき、トラックの間隔またはトラックのサイズの変化により、インピーダンスの不連続点が容易に生じる恐れがあります。

PCB 上の差動伝送では、通常、2 本の信号パターンを互いに近接して配置し、密に結合させます。つまり、信号が放射を相殺して同相ノイズの影響を抑える共通の領域を持つこととなります。ここで生じる 1 つの間

題は、たとえば、コネクタまで伸ばすためにパターンが離れざるを得ない場合、信号間のインピーダンスに変化が生じます。信号の結合密度を緩和する方が望ましいこともあります。リンク全体ではトラックの間隔と厚さが一定になるようにします。

PCB パターンの鋭い曲りや一連の折れも、信号品質に影響を与える可能性があります。一般に、PCB パターンの曲りは最小限に抑え、 45 度の角度に保つ必要があります（鋭い角ではなく曲線が理想的）。

差動ペアで一方の信号が従うパターンが、他方の信号が従うパターンより長い場合、2 つの信号間にスキューが生じる恐れがあります。パターンを同一の長さにすることは常に可能とは限りませんが、PCB レイアウトではパターン長を一致させるように試みる必要があります。

コネクタは、バス上に生じるインピーダンスの差を最小限に抑えるように選択し、ケーブルやバックプレーンも、可能であれば PCB パターンのインピーダンスに一致させます。バックプレーン接続によってバスに大きな容量が加わる可能性があるため、データレートや PCB パターンの距離を小さくすることにより、データ信号の劣化を考慮する必要があるかもしれません。

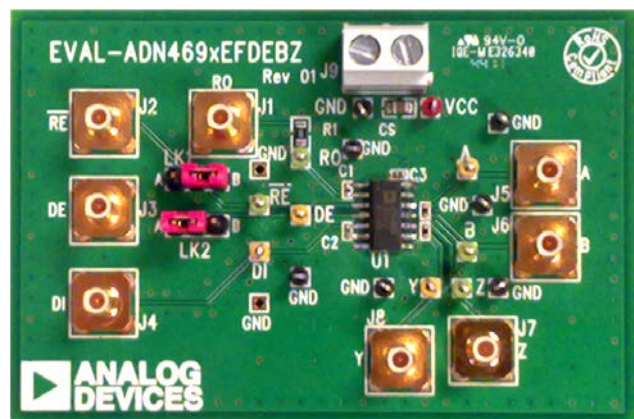


図 15. VAL-ADN469xEFDEBZ 評価用ボード

M-LVDS の高速 PCB レイアウトの例を、図 15 の全二重 ADN469xE ファミリーの M-LVDS トランシーバ向け EVAL-ADN469xEFDEBZ 評価用ボードに示します。A、B、Y、Z のトラック長は一致し、4 層基板レイアウトを使って 50Ω のインピーダンスが生成されます。終端抵抗はデバイスのピンに隣接して配置されています。この回路には、テスト・ポイントやジャンパなどのオプション部品が追加されているので、アプリケーション・レイアウトに完全には対応していません。

ジッタ、スキュー、データ・エンコーディング、同期

LVDS や M-LVDS などの高速差動伝送では、正確なタイミングがシステムの性能にとって非常に重要となります。PCB パターンやコネクタ、ケーブル配線はデータ信号やクロック信号の性能を低下させる恐れがあるので、システムのタイミングにも誤差に対する余裕度を持たせる必要があります。つまり、LVDS や M-LVDS の通信リンクで最大スループットを実現するためには、入念なタイミング解析が必要となる場合があります。最近の FPGA やプロセッサにもタイミング誤差を補正するための機能が搭載されていますが、ジッタ耐性の大きさの限界が明確に規定されている場合があります。

ジッタの定義

ジッタとは、信号エッジの理想的な時間上の位置を基準にした信号エッジの見かけ上の動きのことです。オシロスコープで周期的な信号を観測すると、エッジは事実上基準ポイントに対して前後に動きます。

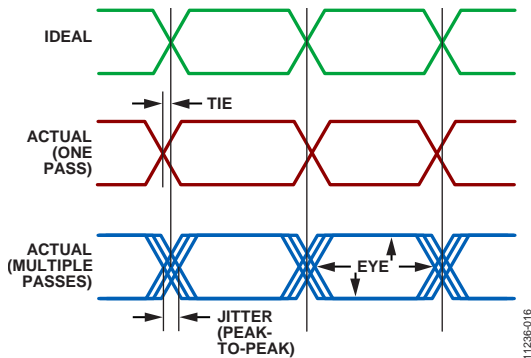


図 16. 時間間隔誤差、ジッタおよびアイ・パターンを示す波形

ジッタは、信号が生じる時間と信号が本来生じる時間との差である時間間隔誤差 (TIE) として、シンプルに定量化することができます。通常、ジッタのソースを特定するため、多数の TIE サンプルを記録してヒストグラムを作成することにより、ランダム・ジッタから限定的なジッタを分離することができます。サンプルが特定の量に制限される場合、全ジッタはピーク to ピーク値として定量化できます。ピーク to ピーク値は、サンプリング時に観測される最も速いエッジと最も遅いエッジの時間差を意味します。

図 16 に示すように、複数の波形サンプルをオシロスコープのディスプレイ上で重ね合わせると（無限パースタンス）、ピーク to ピーク・ジッタを視覚的に観察することができます。遷移を重ね合わせた部分の幅がピーク to ピーク・ジッタで、その間のクリアな領域がアイ・パターンと呼ばれます。このアイ・パターンが、レシーバによるサンプリングに使用可能な領域です。

ランダム・ジッタは電氣的と熱的の両方のノイズによって生じます。この結果は時間誤差に対するガウス分布であり、この誤差がランダム・ジッタとして発生します。ジッタは制限されず、より多くのサンプルを記録するほど、発生する可能性が大きくなっていきます。

これに比べて、限定的ジッタは制限されます。基板レイアウトやドライバ性能などの固有の要素により、シ

ステムにはこのジッタが一定量存在します。周期的ジッタは、限定的なジッタの 1 つのタイプで、各サイクルの理想値との時間差を指します。周期的ジッタもピーク to ピーク値（観測される最長時間と最短時間の差）として記録されます。

スキューの定義

スキューにはさまざまな定義があり、それらのいくつかは、一般に高速 LVDS リンクの設計時に考慮されています。スキューの最も基本的な定義は、差動ペアの 2 つの信号の伝播時間の差です。つまり、差動ペアの 1 つの信号のエッジの遷移が補完信号の遷移と正確に一致しないことを意味します（クロスオーバーが非対称になる）。

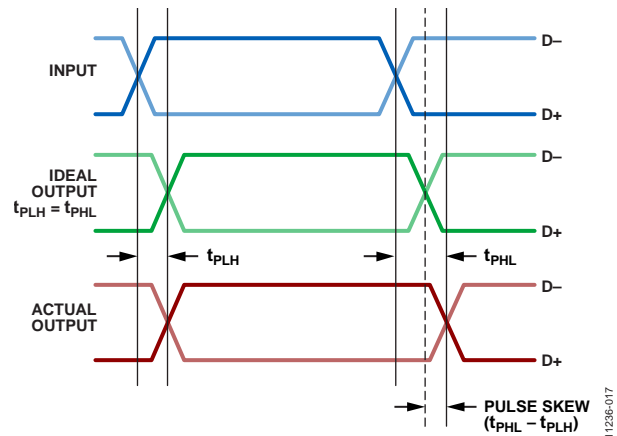


図 17. パルス・スキューの計算を示す波形

差動信号のパルス・スキューとは、ローからハイへの遷移時間 (t_{PLH}) とハイからローへの遷移時間 (t_{PHL}) の差を指します。この結果、デューティ・サイクル歪みが生じます。つまり、ロジック 1 またはロジック 0 に対するビット周期が長くなるか短くなります。パルス・スキューを図 17 に示します。青の波形は入力信号に、緑の波形は理想的な出力（ハイからローへの遷移とローからハイへの遷移の伝播時間が一致）に、赤の波形は実際の出力に相当します。ここで、t_{PLH} と t_{PHL} の差がパルス・スキューになります。

標準の LVDS アプリケーションには、同期を保つ必要がある複数のデータ・チャンネルがあるので、チャンネル間スキューとデバイス間スキューは最も重要なパラメータと言えます。チャンネル間スキューとは、デバイス内のすべてのチャンネルにおけるローからハイへの最も速い遷移と最も遅い遷移の差、またはハイからローへの最も速い遷移と最も遅い遷移の差（どちらか大きな方）を指します。デバイス間スキューとは、この概念を複数デバイス間のチャンネルに拡張したものです。

複数チャンネル間のスキュー（1 個または複数のデバイス）を図 18 に示します。青の波形は入力信号に相当し、4 本の赤の波形は 1 個または複数のデバイスの出力チャンネルを含みます。最も速い t_{PLH} と最も遅い t_{PLH} の差と最も速い t_{PHL} と最も遅い t_{PHL} の差が計算されています。チャンネル間スキューまたはデバイス間スキューは、

これらの差の大きい方です（図 18 の場合、最速 t_{PHL} と最低速 t_{PHL} の差）。

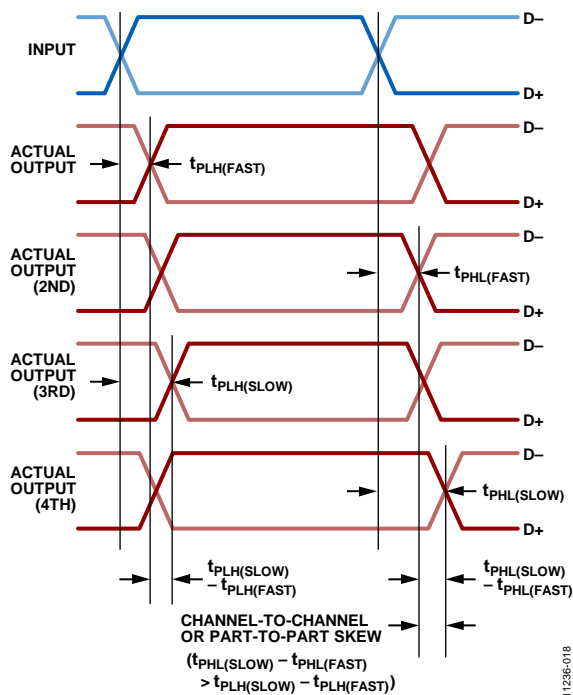


図 18. チャンネル間スキューまたはデバイス間スキューを示す波形

チャンネル間スキューとデバイス間スキューの両方があると、たとえ送信端で同期している場合でも、受信される並列のデータ・チャンネルは互いに位相がずれません。これにより、複数チャンネル間のサンプリングに問題を生じる恐れがあります。

データ・エンコーディングと同期化

LVDS においてタイミングの問題が発生する原因は高速伝送だけでなく、データ・エンコーディングも要因となります。多くの LVDS アプリケーションでは、帯域幅を拡大するため、複数のパラレル LVDS チャンネルを使ってデータを送信します。トランスミッタは、これらのチャンネルで送信するデータを同期させる必要があります。レシーバは、チャンネル間でデータを同時に受信できるように、適切なポイントで各チャンネルをサンプリングする必要があります。

数チャンネルしか使用しない LVDS アプリケーションでは、一般にシリアル・データを比較的高速で送信します。高速伝送では、受信デバイスを入力データ・ストリームに短時間で同期させる必要があります。また、受信デバイスは、各ビットを正確にサンプリングする他に、入力ビット・ストリーム内のデータのフレームを検出する必要があります。

受信デバイスを受信データに同期させるため、データ・チャンネルとともにクロックを送信することができます。これは、ソース同期データ伝送と呼ばれます。データとともにクロックを送信するにはいくつかの方

法があります。クロックはパラレル・チャンネルとして送信することが可能で、この場合、クロック周期は 1 つのデータビット（シングル・データレート：SDR）または 2 つのデータビット（ダブル・データレート：DDR）に相当します。シリアル LVDS 伝送では、フレーム・クロックを送信することもできます。SDR と DDR に対する ADC のソース同期の LVDS 出力の例を図 19 に示します。

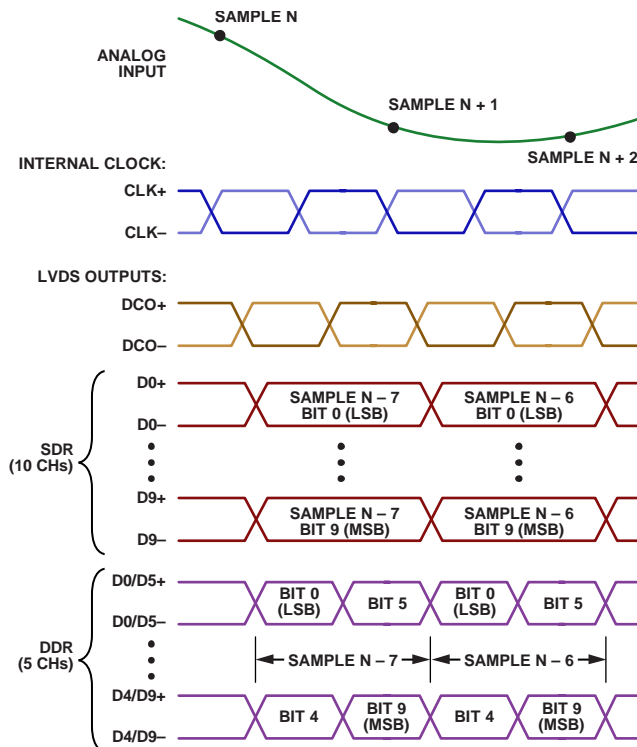


図 19. ADC 入力とソース同期の LVDS 出力の波形

専用クロック・チャンネルの代案は、データにクロックを埋め込むことです。埋込みクロック方式では、一定のビットをデータ・ストリームに挿入することにより、受信ノードがこれらのビットを検出し、入力データと同期が可能になります。

ダイナミック位相調整 (DPA) と呼ばれる方法を用いた最近の FPGA で受信すると、チャンネル間スキューとデバイス間スキューを補償することができます。この FPGA は、受信したソース同期クロックの複数の位相を生成し、各データ・チャンネルをサンプリングのために最適なクロック位相に一致させます。

DPA を利用できない場合は、厳しいタイミング管理を行う必要があります。トランスミッタのチャンネル間スキューとサンプリング時間をビット周期から差し引いた後に、ある程度の期間を残しておく必要があります。この期間はレシーバのスキュー・マージンと呼ばれます。トランスミッタのチャンネル間スキューには、送信ノードによるチャンネル間のスキュー、媒体によるスキュー、データに対するクロックのスキューなどがあります。

絶縁

外部インターフェースをロジック回路から絶縁することにより、電子部品の損傷や機能低下を招く不要な電流を防止することができます。図 20 に示すガバナック絶縁は、情報を通しますが電流は阻止します。データ信号と電源の完全な絶縁は、iCoupler®デジタル絶縁と isoPower®電源絶縁を使用することによって実現します。

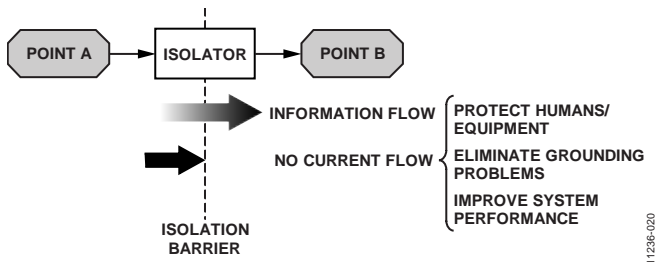


図 20. ガバナック絶縁で、グラウンド電流を阻止しながら情報を通す

LVDS と M-LVDS の場合に絶縁を施すには、基板間、バックプレーン、PCB の各通信リンクに対して安全な絶縁または機能的な絶縁を行います。

安全な絶縁の 1 例として、1 枚または複数枚のプラグイン・カードが高電圧トランジェントに曝される危険がある M-LVDS のバックプレーンを備えたシステムがあります。M-LVDS インターフェースを絶縁することにより、このような危険な状態がシステム内の他の回路に影響を与えないようにすることができます。機能的な絶縁が有効な例として測定機器があります。たとえば、ADC と FPGA の間の LVDS リンクを絶縁することにより、フロート状態のグラウンド・プレーンを形成して測定データの完全性を高め、アプリケーションの他の部分からの干渉を最小限に抑えることができます。

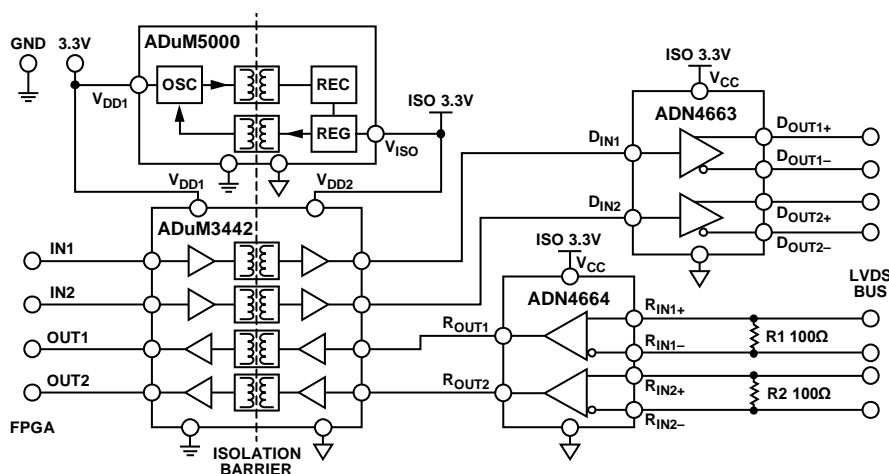


図 21. 絶縁型 LVDS インターフェース回路 (簡略回路図、一部接続は未表示)

図 21 に示す回路は、絶縁型 LVDS インターフェースの実用回路 (CFTL) で、LVDS インターフェースの完全な絶縁を実証しています (「参考資料」を参照)。

ADuM3442 は、ADN4663 LVDS ドライバへのロジック入力と ADN4664 LVDS レシーバからのロジック出力に対してデジタル絶縁を行います。

ADuM5000 を使用した絶縁型電源の提供とともに、工業用および計測用アプリケーションの絶縁型 LVDS リンクに関しては、以下を含む多くの取り組みがなされています。

- LVDS ドライバ/レシーバに対するロジック信号の絶縁により、回路のバス側の標準 LVDS 通信を確保する。
- 2 個の幅広 SOIC デバイス ADuM3442 および ADuM5000 を使った高集積絶縁で、標準 LVDS デバイス ADN4663 および ADN4664 を絶縁する。
- 従来の絶縁 (フォトカプラ) に比べて低消費電力である。
- 複数チャンネルを絶縁する。この回路では 4 チャンネルの絶縁 (この場合、2 つの送信チャンネルと 2 つの受信チャンネル) を示しています。
- 高速動作のため、絶縁は最大 150Mbps まで機能し、基本的な LVDS の速度要件に対応可能。

図 21 に示す回路では、デュアル・チャンネル LVDS ライン・ドライバとデュアル・チャンネル LVDS レシーバを絶縁しています。これにより、1 枚の基板上で 2 つの送信経路と受信経路が確保されることを実証しています。

参考資料

Chen, Boaxing. 2006. “iCoupler® Products with isoPower™ Technology: Signal and Power Transfer Across Isolation Barrier Using Micro-Transformers,” Technical Article, (Analog Devices).

IEEE Standard 1596.3-1996, “IEEE Standard for Low-Voltage Differential Signals (LVDS) for Scalable Coherent Interface (SCI)”.

Marais, Hein. 2009. “RS-485/RS-422 Circuit Implementation Guide,” Application Note [AN-960](#), Analog Devices, Inc.

TIA/EIA-485-A Standard, “Electrical Characteristics of Generators and Receivers for Use in Balanced Digital Multipoint Systems”.

TIA/EIA-644 Standard, “Electrical Characteristics of Low Voltage Differential Signaling (LVDS) Interface Circuits”.

TIA/EIA-899 Standard, “Electrical Characteristics of Multipoint-Low-Voltage Differential Signaling (M-LVDS) Interface Circuits for Multipoint Data Interchange”.

Watterson, Conal. 2012. “Controller Area Network (CAN) Implementation Guide,” Application Note [AN-1123](#), Analog Devices, Inc.

Watterson, Conal. 2012. Circuit Note [CN-0256](#), “Isolated LVDS Interface Circuit,” (Analog Devices, Inc.

関連リンク

リソース	内容
LVDS/M-LVDS web page	Links to product pages and resources for LVDS drivers, LVDS receivers and M-LVDS transceivers
M-LVDS web page	Introduction to and resources for the ADN4690E to ADN4697E family of M-LVDS transceivers
CN-0256	Circuit Note for Isolated LVDS Interface Circuit
AN-960	Application Note for RS-485/RS-422 Circuit Implementation Guide