



特性

4个噪声整形视频(NSV)[®] 12位模数转换器(ADC), 采样速率最高可达140 MHz(仅限140 MHz速率级)

具有12个模拟输入通道的多路复用器

支持SCART快速消隐

内部抗混叠滤波器

支持NTSC/PAL/SECAM色彩标准

支持525p/625p分量逐行扫描

支持720p/1080i分量高清电视

可对最高达1280 × 1024、75 Hz (SXGA)的RGB图形进行数字化处理

(仅限140 MHz速率级)

24位数字输入端口支持来自DVI/HDMI接收器IC的数据

任意至任意、3×3色彩空间转换矩阵

工业温度范围: -40°C至+85°C

12位4:4:4和10位/8位4:2:2 DDR像素输出接口

可编程中断请求输出引脚

垂直消隐间隔(VBI)数据分割器, 包括图文电视

应用

LCD/DLP™ 背投式高清电视

等离子高清电视

CRT高清电视

液晶/DLP前投式投影仪

液晶电视(支持高清电视)

带个人录像机功能的高清电视机顶盒

硬盘式摄像机

多格式扫描转换器

支持逐行扫描输入的DVD刻录机

AVR接收机

概述

ADV7403是一款高质量、单芯片、多格式视频解码器和图形数字化仪。这款多格式解码器支持将复合视频或S视频形式的PAL、NTSC和SECAM标准信号转换为数字ITU-R BT.656格式。它还支持将RGB/YPrPb分量视频信号解码为数字YCrCb或RGB像素输出流。支持的分量视频包括525i、625i、525p、625p、720p、1080i、1250i等标准, 以及许多其它高清和SMPTE标准。该器件也支持图形数字化, 能够对VGA至SXGA速率的RGB图形信号进行数字化处理, 将其转换为数字RGB或YCrCb像素输出流。此外能够同时处理CVBS和标清RGB信号, 从而支持SCART和叠加功能。快速消隐引脚控制这些信号的混合。

ADV7403主要包含两个处理部分。第一个是标清处理器(SDP), 负责处理所有PAL、NTSC和SECAM信号类型, 第二个是分量处理器(CP), 负责处理YPrPb和RGB分量格式, 包括RGB图像。有关ADV7403特性的其他描述, 请参阅“功能概述”和“工作原理”部分。

目录

特性.....	1	标清处理器(SDP)像素数据输出模式	12
应用.....	1	分量处理器(CP)像素数据输出模式	12
概述.....	1	复合和S视频处理	12
修订历史.....	2	分量视频处理	12
功能框图.....	3	RGB图形处理	13
技术规格.....	4	数字视频输入端口	13
电气特性	4	通用特性	13
视频规格	5	工作原理.....	14
时序特性	6	模拟前端	14
模拟规格	8	标清处理器(SDP)	14
绝对最大额定值.....	9	分量处理器(CP)	14
封装散热性能	9	像素输入/输出格式化	16
热阻	9	外部环路滤波器元件建议.....	18
ESD警告	9	典型连接图.....	19
引脚配置和功能描述.....	10	外形尺寸.....	20
功能概述.....	12	订购指南	20
模拟前端	12		

修订历史

2013年9月—版本B：初始版

功能框图

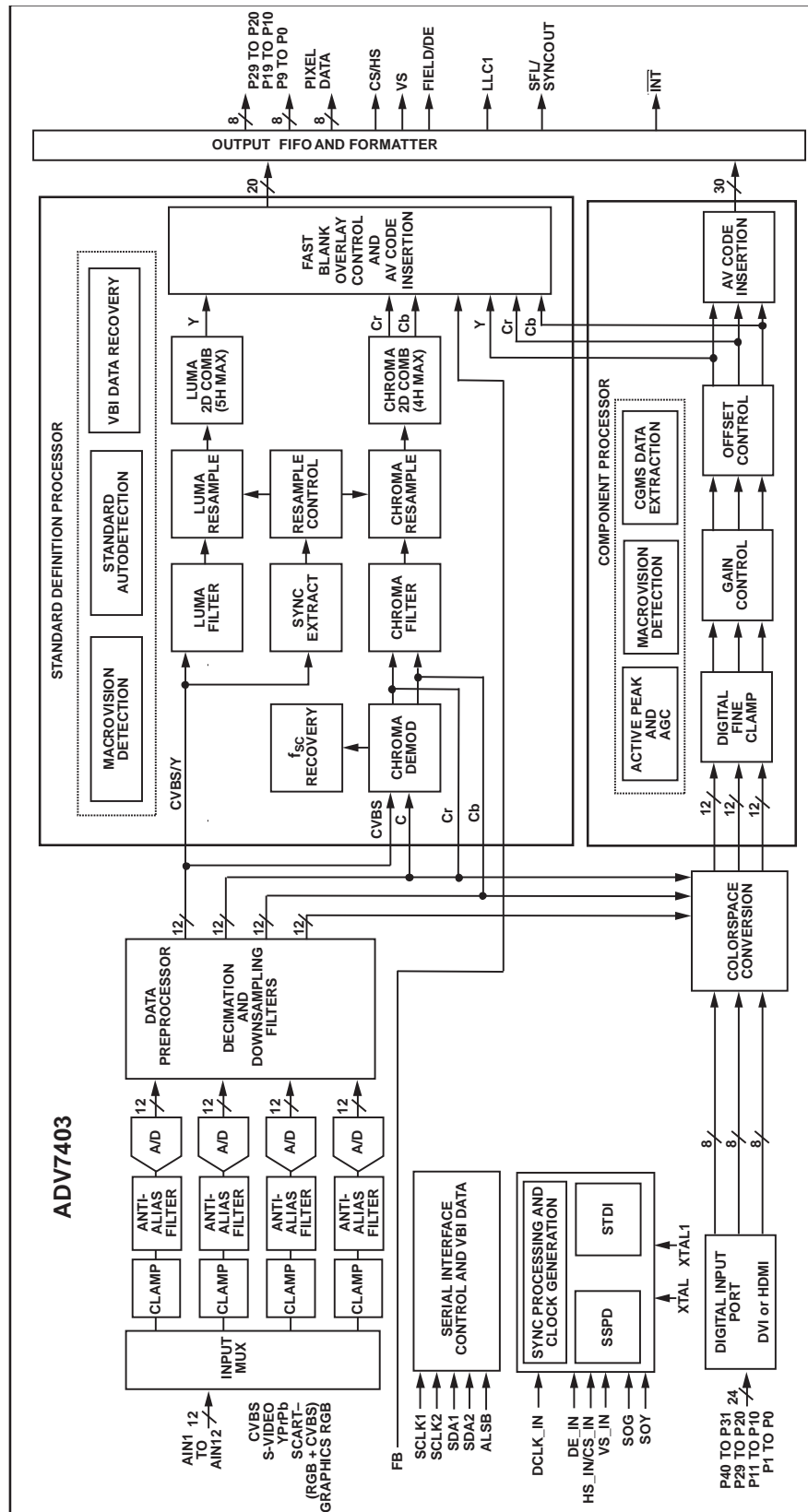


图1.

ADV7403

技术规格

电气特性

AVDD = 3.15 V至3.45 V, DVDD = 1.65 V至2.0 V, DVDDIO = 3.0 V至3.6 V, PVDD = 1.71 V至1.89 V, 标称输入范围1.6 V。除非另有说明,工作温度范围为(T_{MIN} 至 T_{MAX}): -40°C至+85°C(ADV7403KSTZ-140的温度范围为0°C至70°C)。为了获得全部规格,必须在编程脚本中包含以下写序列: 地址0x0E至数据0x80, 地址0x54至数据0x00, 以及地址0x0E至数据0x00。

表1.

参数	符号	测试条件/注释	最小值	典型值	最大值	单位
静态性能 ¹						
分辨率(每个ADC)	N				12 ²	位
积分非线性	INL	最佳拟合直线(BSL): 27 MHz, 12位电平 BSL: 54 MHz(12位电平) BSL: 74 MHz(10位电平) BSL: 110 MHz(10位电平) BSL: 135 MHz(8位电平) ^{2,3}	±2.0		±8.0 ²	LSB
差分非线性	DNL	27 MHz(12位电平) 54 MHz(12位电平) 74 MHz(10位电平) 110 MHz(10位电平) 135 MHz(8位电平) ³			-0.7/+0.85 -0.75/+0.9 ±0.75 -0.7/+5.0 -0.8/+2.5	LSB LSB LSB LSB LSB
数字输入						
输入高电压 ⁴	V _{IH}		2			V
输入低电压 ⁵	V _{IL}				0.8	V
输入高电压	V _{IH}	HS_IN、VS_IN低电平触发模式	0.7			V
输入低电压	V _{IL}	HS_IN、VS_IN低电平触发模式			0.3	V
输入电流	I _{IN}	P20至P29、P31至P40、SCLK ₂ 、SDA2、DCLK_IN、DE_IN、RESET 所有其他输入引脚	-60		+60	μA
输入电容 ⁶	C _{IN}				+10 10	μA pF
数字输出						
输出高电压 ⁷	V _{OH}	I _{SOURCE} = 0.4 mA	2.4			V
输出低电压 ⁷	V _{OL}	I _{SINK} = 3.2 mA			0.4	V
高阻抗漏电流	I _{LEAK}	INT、P20至P29、SDA2 所有其他输出引脚			60 10	μA μA
输出电容 ⁶	C _{OUT}				20	pF
电源要求 ⁶						
数字内核电源	DVDD		1.65	1.8	2	V
数字输入/输出电源	DVDDIO		3.0	3.3	3.6	V
PLL电源	PVDD		1.71	1.8	1.89	V
模拟电源	AVDD		3.15	3.3	3.45	V
数字内核电源电流	I _{DVDD}	CVBS输入采样速率(54 MHz) 图形RGB采样速率(135 MHz) SCART RGB FB采样速率(54 MHz)		105 137 106		mA mA mA
数字输入/输出电源电流	I _{DVDDIO}	CVBS输入采样速率(54 MHz) 图形RGB采样速率(135 MHz)		4 19		mA mA
PLL电源电流	I _{PVDD}	CVBS输入采样速率(54 MHz) 图形RGB采样速率(135 MHz)		11 12		mA mA

参数	符号	测试条件/注释	最小值	典型值	最大值	单位
模拟电源电流 ⁸	I _{AVDD}	CVBS输入采样速率(54 MHz)		99		mA
		图形RGB采样速率(135 MHz)		242		mA
		SCART RGB FB采样速率(54 MHz)		269		mA
掉电电流	I _{PWRDN}			2.25		mA
绿色省电模式	I _{PWRDNG}	同步旁路功能		16		mA
上电时间	T _{PWRUP}			20		ms

¹ 所有ADC线性测试的输入范围均为满量程-12.5%至零量程+12.5%。

² INL和DNL最大值是在器件配置为分量视频输入的条件下获得。

³ 该规格仅针对ADV7403KSTZ-140。

⁴ 要在XTAL引脚(引脚38)上获得指定的VIH电平,需将子地址0x13(只写)的值编程为0x04。当子地址0x13的值设为0x00时,XTAL引脚上的VIH电平=1.2V。

⁵ 要在XTAL引脚(引脚38)上获得指定的VIL电平,需将子地址0x13(只写)的值编程为0x04。当子地址0x13的值设为0x00时,XTAL引脚(引脚38)上的VIL电平=0.4V。

⁶ 通过特性保证。

⁷ V_{OH}和V_{OL}电平是使用子地址0xF4中的默认驱动强度值(0xD5)获得的。

⁸ 测量CVBS模拟电流时,仅ADC0上电;测量RGB电流时,仅ADC0、ADC1和ADC2上电;测量SCART FB电流时,所有ADC均上电。

视频规格

AVDD = 3.15 V至3.45 V, DVDD = 1.65 V至2.0 V, DVDDIO = 3.0 V至3.6 V, PVDD = 1.71 V至1.89 V。除非另有说明,工作温度范围为(T_{MIN}至T_{MAX}): -40°C至+85°C(ADV7403KSTZ-140的温度范围为0°C至70°C)。通过表征保证。

表2.

参数	符号	测试条件/注释	最小值	典型值	最大值	单位
非线性规格						
差分相位	DP	CVBS输入, 5步调制		0.4		度
差分增益	DG	CVBS输入, 5步调制		0.4		%
亮度非线性	LNL	CVBS输入, 5步		0.4		%
噪声规格						
未加权SNR		亮度斜坡 亮度平场	61 64	64 65		dB dB
模拟前端串扰				60		dB
锁定时间规格						
水平锁定范围			-5		+5	%
垂直锁定范围			40		70	Hz
f _{sc} 副载波锁定范围				±1.3		kHz
色彩锁定时间				60		行
同步深度范围 ¹			20		200	%
色同步范围			5		200	%
垂直锁定时间				2		场
水平锁定时间				100		行
色度规格						
色调精度	HUE			1		度
色彩饱和和精度	CL_AC			1		%
色彩AGC范围			5		400	%
色度幅度误差				0.4		%
色度相位误差				0.3		度
色度亮度交调				0.1		%
亮度规格						
亮度精度						
亮度		CVBS, 1 V输入		1		%
对比度		CVBS, 1 V输入		1		%

¹ 标称同步深度为300 mV(100%同步深度范围)。

ADV7403

时序特性

AVDD = 3.15 V至3.45 V, DVDD = 1.65 V至2.0 V, DVDDIO = 3.0 V至3.6 V, PVDD = 1.71 V至1.89 V。除非另有说明,工作温度范围为(T_{MIN} 至 T_{MAX}): -40°C至+85°C(ADV7403KSTZ-140的温度范围为0°C至70°C)。通过表征保证。

表3.

参数	符号	测试条件/注释	最小值	典型值	最大值	单位
系统时钟和晶振						
晶振标称频率				28.63636		MHz
晶振频率稳定性					±50	ppm
水平同步输入频率			14.8		110	kHz
LLC1频率范围 ¹			12.825		140	MHz
I ² C端口 ²						
SCLK频率					400	kHz
SCLK最短脉冲宽度(高电平)	t ₁		0.6			µs
SCLK最短脉冲宽度(低电平)	t ₂		1.3			µs
保持时间(起始条件)	t ₃		0.6			µs
建立时间(起始条件)	t ₄		0.6			µs
SDA建立时间	t ₅		100			ns
SCLK和SDA上升时间	t ₆				300	ns
SCLK和SDA下降时间	t ₇				300	ns
停止条件的建立时间	t ₈			0.6		µs
复位特性						
复位脉冲宽度			5			ms
时钟输出						
LLC1传号空号比	t ₉ :t ₁₀		45:55		55:45	%占空比
数据和控制输出						
数据输出转换时间SDR (SDP) ³	t ₁₁	负时钟沿至有效数据开始			3.6	ns
	t ₁₂	有效数据结束至负时钟沿			2.4	ns
数据输出转换时间SDR (CP) ⁴	t ₁₃	有效数据结束至负时钟沿			2.8	ns
	t ₁₄	负时钟沿至有效数据开始			0.1	ns
数据输出转换时间DDR (CP) ^{4,5}	t ₁₅	正时钟沿至有效数据结束	-4 + TLLC1/4			ns
	t ₁₆	正时钟沿至有效数据开始	0.25 + TLLC1/4			ns
	t ₁₇	负时钟沿至有效数据结束	-2.95 + TLLC1/4			ns
	t ₁₈	负时钟沿至有效数据开始	-0.5 + TLLC1/4			ns
数据和控制输入 ²						
输入建立时间(数字输入端口)	t ₁₉	HS_IN, VS_IN	9			ns
		DE_IN, 数据输入	2.2			ns
输入保持时间(数字输入端口)	t ₂₀	HS_IN, VS_IN	7			ns
		DE_IN, 数据输入	2			ns

¹ 最大LLC1频率为110 MHz(ADV7403BSTZ-110)。

² TTL输入值为0 V至3 V, 上升/下降时间 ≥ 3 ns, 在10%与90%点之间测量。

³ SDP时序数值是使用子地址0xF4中的默认驱动强度值(0xD5)而获得。

⁴ CP时序数值是使用子地址0xF4中的最大驱动强度值(0xFF)而获得。

⁵ DDR时序规格取决于LLC1输出像素时钟; LLC1 = 27 MHz时, TLLC1/4 = 9.25 ns。

时序图

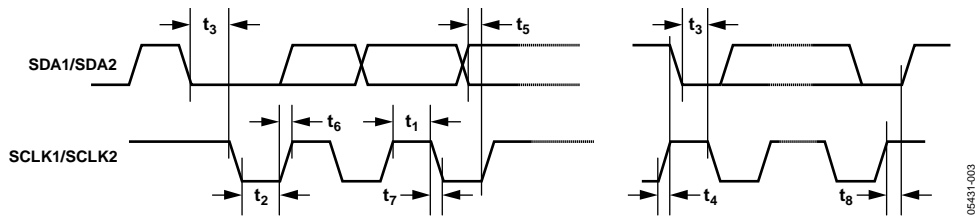


图2.I2C 时序

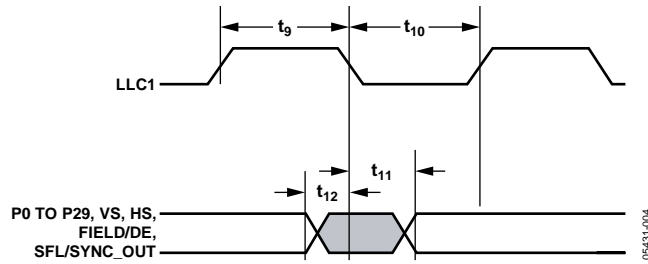


图3.像素端口和控制SDR输出时序(SD内核)

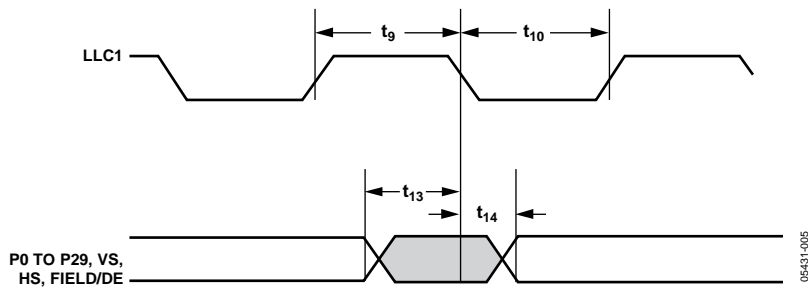


图4.像素端口和控制SDR输出时序(CP内核)

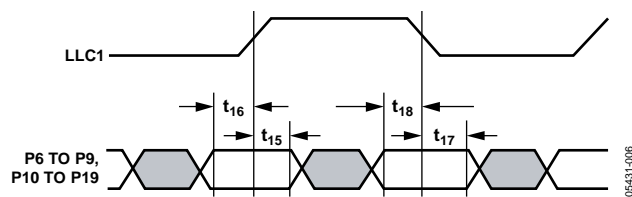


图5.像素端口和控制DDR输出时序(CP内核)

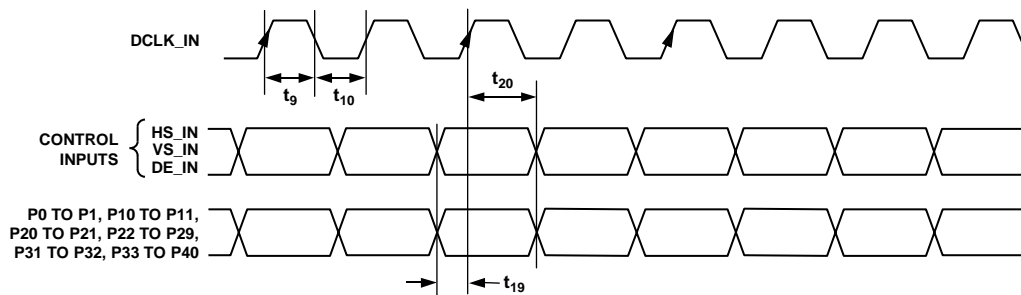


图6.数字输入端口和控制输入时序

ADV7403

模拟规格

AVDD = 3.15 V至3.45 V, DVDD = 1.65 V至2.0 V, DVDDIO = 3.0 V至3.6 V, PVDD = 1.71 V至1.89 V。除非另有说明,工作温度范围为(T_{MIN} 至 T_{MAX}): -40°C至+85°C(ADV7403KSTZ-140的温度范围为0°C至70°C)。建议模拟输入视频信号范围: 0.5 V至1.6 V, 典型值1 V p-p。通过表征保证。

表4.

参数	测试条件/注释	最小值	典型值	最大值	单位
箝位电路					
外部箝位电容			0.1		μF
输入阻抗(FB引脚, 即引脚51除外)	箝位断开		10		MΩ
引脚51 (FB)的输入阻抗			20		kΩ
CML			1.86		V
ADC满量程电平			CML + 0.8		V
ADC零电平			CML - 0.8		V
ADC动态范围			1.6		V
箝位电平(锁定时)	CVBS输入		CML - 0.292		V
	SCART RGB输入(R、G、B信号)		CML - 0.4		V
	S视频输入(Y信号)		CML - 0.292		V
	S视频输入(C信号)		CML - 0		V
	分量输入(Y、Pr、Pb信号)		CML - 0.3		V
	PC RGB输入(R、G、B信号)		CML - 0.3		V
大箝位	仅SDP				
源电流			0.75		mA
吸电流			0.9		mA
精箝位	仅SDP				
源电流			17		μA
吸电流			17		μA

绝对最大额定值

表5.

参数	额定值
AVDD至AGND	4 V
DVDD至DGND	2.2 V
PVDD至AGND	2.2 V
DVDDIO至DGND	4 V
DVDDIO至AVDD	-0.3 V至+0.3 V
PVDD至DVDD	-0.3 V至+0.3 V
DVDDIO至PVDD	-0.3 V至+2 V
DVDDIO至DVDD	-0.3 V至+2 V
AVDD至PVDD	-0.3 V至+2 V
AVDD至DVDD	-0.3 V至+2 V
数字输入电压至DGND	DGND - 0.3 V至DVDDIO + 0.3 V
数字输出电压至DGND	DGND - 0.3 V至DVDDIO + 0.3 V
模拟输入至AGND	AGND - 0.3 V至AVDD + 0.3 V
最大结温 (T_{JMAX})	125°C
存储温度范围	-65°C至+150°C
红外回流焊 (20秒)	260°C

注意，超出上述绝对最大额定值可能会导致器件永久性损坏。这只是额定最值，不表示在这些条件下或者在任何其它超出本技术规范操作章节中所示规格的条件下，器件能够正常工作。长期在绝对最大额定值条件下工作会影响器件的可靠性。

封装散热性能

为了降低使用器件时的能耗水平，建议用户关闭未使用的ADC。

使结温保持低于最大结温(T_{JMAX}) 125°C的水平。结温计算公式如下：

$$T_J = T_{A MAX} + (\theta_{JA} \times W_{MAX})$$

其中：

$$T_{A MAX} = 85^\circ\text{C}。$$

$$\theta_{JA} = 30^\circ\text{C/W}。$$

$$W_{MAX} = ((AVDD \times I_{AVDD}) + (DVDD \times I_{DVDD}) + (DVDDIO \times I_{DVDDIO}) + (PVDD \times I_{PVDD}))。$$

热阻

θ_{JA} 针对最差条件，即器件焊接在电路板上实现表贴封装。

表6.

封装类型	θ_{JA} ¹	θ_{JC} ²	单位
100引脚 LQFP	30	7	°C/W

¹这是带实接地层(静止空气)的4层印刷电路板(PCB)。

²这是带实接地层的4层PCB。

ESD警告



ESD(静电放电)敏感器件。

带电器件和电路板可能会在没有察觉的情况下放电。尽管本产品具有专利或专有保护电路，但在遇到高能量ESD时，器件可能会损坏。因此，应当采取适当的ESD防范措施，以避免器件性能下降或功能丧失。

ADV7403

引脚配置和功能描述

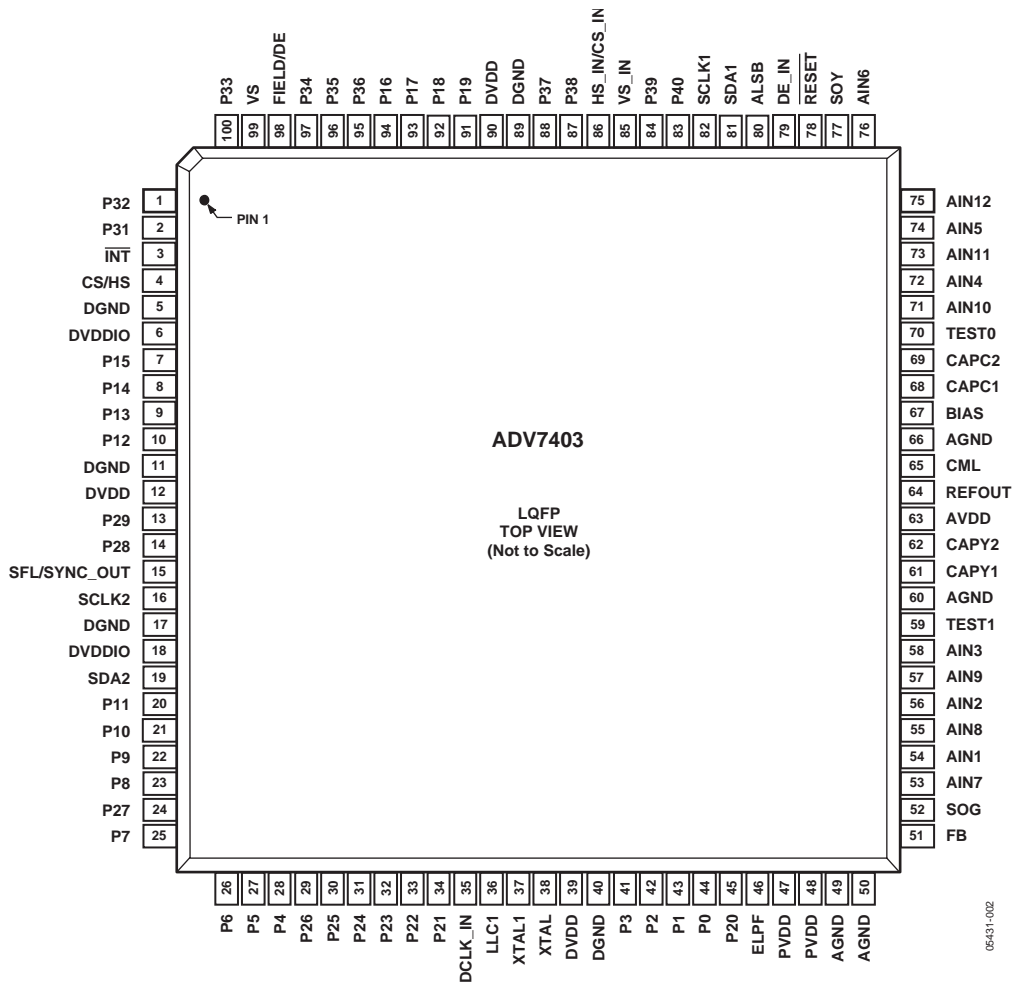


图7.引脚配置

表7.引脚功能描述

引脚编号	引脚名称	类型 ¹	说明
1, 2, 83, 84, 87, 88, 95 to 97, 100	P31至P40	I	视频像素输入端口。
3	$\overline{\text{INT}}$	O	中断。此引脚可以是低电平有效或高电平有效。SDP/CP状态位改变时，此引脚就会触发。触发中断的事件集由用户控制。
4	CS/HS	O	数字复合同步信号(CS)。CS引脚可以在处于CP模式下时选择。 水平同步输出信号(HS)。HS引脚可以在处于SDP或CP模式下时选择。
5, 11, 17, 40, 89	DGND	G	数字地。
6, 18	DVDDIO	P	数字输入/输出电源电压(3.3 V)。
7 to 10, 22, 23, 25 to 28, 41, 42, 91 to 94	P2至P9、P12至P19	O	视频像素输出端口。
12, 39, 90	DVDD	P	数字内核电源电压(1.8 V)。
13, 14, 20, 21, 24, 29 to 34, 43 to 45	P0至P1、P10至P11、P20至P29	I/O	视频像素输入/输出端口。

引脚编号	引脚名称	类型 ¹	说明
15	SFL/SYNC_OUT	O	副载波频率锁定(SFL)。该引脚包含一个串行输出流，可以在该解码器连到任何ADI数字视频编码器时锁定副载波频率。 分隔同步输出信号(SYNC_OUT)。该引脚只能在CP模式下使用。
16, 82	SCLK1, SCLK2	I	PC端口串行时钟输入(最大时钟速率为400 kHz)引脚。SCLK1为控制端口的时钟线，SCLK2为VBI数据回读端口的时钟线。
19, 81	SDA1, SDA2	I/O	PC端口串行数据输入/输出引脚。SDA1为控制端口的数据线，SDA2为VBI数据回读端口的数据线。
35	DCLK_IN	I	时钟输入信号。该引脚用于24位数字输入模式(例如，处理来自DVI接收器IC的24位RGB数据)以及数字CVBS输入模式。
36	LLC1	O	像素数据的行锁定输出时钟。至于该引脚的范围，ADV7403KSTZ-140为12.825 MHz至140 MHz，ADV7403BSTZ-110为12.825 MHz至110 MHz。
37	XTAL1	O	将该引脚连接至28.63636 MHz晶振，或者用一个外部3.3 V、28.63636 MHz时钟振荡器为ADV7403提供时钟源，则保持该引脚不连接。晶振模式下，晶振必须为基频晶体。
38	XTAL	I	28.63636 MHz晶振的输入引脚。若要为ADV7403提供时钟源，该引脚也可通过一个外部3.3 V、28.63636 MHz时钟振荡器源过驱。
46	ELPF	O	外部环路PLL滤波器。将推荐的外部环路滤波器连接到ELPF引脚。
47, 48	PVDD	P	PLL电源电压(1.8 V)。
49, 50, 60, 66	AGND	G	模拟地。
51	FB	I	快速开关叠加输入。该引脚切换CVBS与RGB模拟信号。
52	SOG	I	绿同步输入。此引脚用于嵌入式同步模式。
53 to 58, 71 to 76	AIN1至AIN12	I	模拟视频输入通道。
59	TEST1	O	此引脚保持不连接。
61, 62	CAPY1, CAPY2	I	ADC电容网络。
63	AVDD	P	模拟电源电压(3.3 V)。
64	REFOUT	O	内部基准电压输出。
65	CML	O	内部ADC的共模电平(CML)引脚。
67	偏置	O	外部偏置设置引脚。将推荐电阻(1.35 kΩ)连接于BIAS引脚和地之间。
68, 69	CAPC1, CAPC2	I	ADC电容网络。
70	TEST0	NC	不连接该引脚，或者将其连至AGND。
77	SOY	I	亮度同步输入。此引脚用于嵌入式同步模式。
78	RESET	I	系统复位输入(低电平有效)。ADV7403电路复位需要最短5 ms的低电平复位脉冲宽度。
79	DE_IN	I	数据使能输入信号。该引脚用于24位数字输入端口模式(例如，处理来自DVI接收器IC的24位RGB数据)。
80	ALSB	I	该引脚选择ADV7403控制端口和VBI回读端口的PC器件地址。当ALSB设为逻辑0时，将控制端口写地址设为地址0x40，将VBI端口回读地址设为地址0x21。当ALSB设为逻辑1时，将控制端口写地址设为地址0x42，将VBI端口回读地址设为地址0x23。
85	VS_IN	I	VS输入信号。该引脚用于5线时序模式下的CP模式。
86	HS_IN/CS_IN	I	可在CP模式下配置为数字HS输入信号或数字CS输入信号，用于提取5线或4线RGB模式中的时序。
98	FIELD/DE	O	所有隔行视频模式下的场同步输出信号(FIELD)。这是一个多功能引脚。CP模式下，该引脚也可用作数据使能信号(DE)，允许直接连接到HDMI/DVI发射器IC。
99	VS	O	垂直同步输出信号(SDP和CP模式)。

¹G = 地，P = 电源，I = 输入，O = 输出，I/O = 输入/输出，NC = 无连接。

功能概述

以下部分简要介绍ADV7403的功能。更多详情参见“工作原理”部分。

模拟前端

ADV7403的模拟前端包括：4个140 MHz (ADV7403KSTZ-140)、NSV、12位ADC，用于支持10位视频解码；一个12模拟输入通道的多路复用器，支持连接多个视频源，而不需要外部多路复用器；以及4个电流和电压箝位控制环路，用于确保消除视频信号中的直流失调。SCART功能和CVBS的标清RGB叠加功能由快速消隐输入控制。该模拟前端还有4个抗混叠滤波器，用于消除标清输入视频信号的带外噪声。

标清处理器(SDP)像素数据输出模式

ADV7403提供下列SDP输出模式：

- 8/10位ITU-R BT.656 4:2:2 YCrCb，带嵌入式时间码和/或HS、VS、FIELD
- 16/20位YCrCb，带嵌入式时间码和/或HS、VS、FIELD
- 24/30位YCrCb，带嵌入式时间码和/或HS、VS、FIELD

分量处理器(CP)像素数据输出模式

ADV7403提供了两个单数据速率(SDR)输出：16/20位4:2:2 YCrCb，支持所有标准；24/30位4:4:4 YCrCb/RGB，支持所有标准。ADV7403同时提供两个双数据速率(DDR)输出：8/10位4:2:2 YCrCb，支持所有标准；12位4:4:4 YCrCb/RGB，支持所有标准。

复合和S视频处理

ADV7403支持面向CVBS和S视频格式的NTSC (J, M, 4.43)、PAL (B, D, I, G, H, M, N, Nc, 60)和SECAM (B, D, G, K, L)标准。用于NTSC和PAL的Superadaptive 2D、5线式梳状滤波器可为复合视频提供出色的色度和亮度分离。

复合和S视频处理功能还包括：完全自动地检测和切换全球标准(PAL/NTSC/SECAM)；白色峰值模式下的自动增益控制(AGC)，确保以完整视频处理范围处理视频；自适应数字行长跟踪(ADLLT™)；以及利用专有架构锁定来自VCR和调谐器的较弱、高噪声且不稳定的视频源。IF滤波器模块补偿调谐器SAW滤波器所导致的高频亮度衰减。

ADV7403还提供如下功能：色度瞬态改善(CTI)、亮度数字降噪(DNR)、图文电视、字幕信息(CC)、扩展数据服务(EDS)和宽屏幕信令(WSS)。经过认证的Macrovision®版权保护检测功能适用于复合和S视频，支持所有全球格式(PAL/NTSC/SECAM)；此外它还提供版权生成管理系统(CGMS)。其他特性包括：CVBS、S视频和YUV模式支持4倍过采样(54 MHz)；行锁定时钟输出(LLC)；垂直间隔时间码(VITC)；支持宽银幕检测；无视频输入时，自由输出模式提供稳定的时序；由28.63636 MHz单晶振提供时钟；兼容Gemstar™ 1×/2×电子节目指南；副载波频率锁定(SFL)输出用于下游视频编码器。

此外，该器件的色彩控制功能包括色调、亮度、饱和度、对比度和Cr、Cb失调控制。ADV7403还集成了垂直消隐间隔数据处理器和视频编程系统(VPS)。

ADV7403的差分增益典型值为0.4%，差分相位典型值为0.4°。

分量视频处理

ADV7403支持525i、625i、525p、625p、720p、1080i、1080p和许多其他高清电视格式。同时支持自动增益(对比度)和失调(亮度)调整以及手动调整控制。此外，ADV7403不仅支持带嵌入式同步或带独立HS、VS、CS的模拟分量YPrPb/RGB视频格式，而且通过任意至任意、3 × 3色彩空间转换矩阵支持YCrCb转RGB和RGB转YCrCb。

标准识别(STDI)支持系统级分量格式检测；同步源极性检测器(SSPD)可确定输入视频伴随的同步信号的来源和极性。

经过认证的Macrovision版权保护功能适用于分量格式(525i、625i、525p和625p)。

无视频输入时，自由输出模式提供稳定的时序。

ADV7403同时对非标准视频源进行任意像素采样。

RGB图形处理

ADV7403提供140 MSPS转换速率，支持最高达1280 × 1024 (75 Hz (SXGA))的RGB输入分辨率，同时为ADV7403BSTZ-110提供110 MSPS的转换速率。另外提供图形模式的自动或手动箝位和增益控制。

RGB图形处理功能包括：对比度和亮度控制；SSPD模块自动检测同步源和极性；STDI模块支持标准识别；任意像素采样支持非标准视频源。

ADV7403的其他RGB图形处理特性包括：

- 32相位DLL支持最佳像素时钟采样。
- RGB可通过色彩空间转换为YCrCb，并抽取为4:2:2格式，以便与以视频为中心的后端IC接口。
- 提供数据使能(DE)输出信号，以便直接连到HDMI/DVI发送器IC。

数字视频输入端口

ADV7403支持来自数字调谐器的原始8/10位CVBS数据，以及来自DVI接收器芯片的24位RGB输入数据，其输出转换为YCrCb 4:2:2。同时支持来自HDMI接收器芯片的24位4:4:4、16/20位4:2:2 525i、625i、525p、625p、1080i、720p、VGA至SXGA 60 Hz输入数据，其输出转换为16位4:2:2 YCrCb。

通用特性

ADV7403提供位置、极性、宽度可编程的HS、VS和FIELD输出信号。还包括一个可编程中断请求输出引脚(INT)，可提示SDP/CP状态变化，并且支持两个I²C主机端口接口(控制和VBI)。

ADV7403的功耗较低：1.8 V数字内核、3.3 V模拟和数字输入/输出、低功耗关断模式及绿色PC模式。

ADV7403BSTZ-110的工作温度范围为-40°C至+85°C工业温度范围，采用100引脚14 mm × 14 mm、RoHS兼容型LQFP封装。

同时提供140 MHz速率级版本(ADV7403KST-140)。

工作原理

模拟前端

ADV7403模拟前端包括4个噪声整形视频(NSV[®])、12位ADC，用来对模拟视频信号进行数字化处理，然后将信号施加于标清处理器(SDP)或分量处理器(CP)。最大采样速率参见表8。模拟前端使用差分通道连接各ADC，确保混合信号应用能够实现高性能。

模拟前端还包括一个12通道输入多路复用器，支持将多个视频信号施加于ADV7403。各ADC前置电流和电压钳位电路，确保视频信号始终在转换器的处理范围之内。下游的CP或SDP中的数字精密钳位电路对视频信号执行精密钳位。

各ADC前置可选的抗混叠滤波器。这些滤波器可用于限制标清视频信号的带宽，从而消除带外杂散噪声。

当解码复合和S视频输入时，ADC配置为4倍过采样模式；对于525i、625i、525p和625p视频源，则执行2倍过采样。对所有其他视频标准执行1倍过采样。视频信号过采样可降低外部抗混叠滤波器的成本和复杂度，并提高信噪比(SNR)。

ADV7403支持对CVBS和RGB标清信号进行同步处理，以实现SCART兼容和叠加功能。在I2C寄存器和快速消隐引脚的控制下，CVBS和RGB输入组合可以混合输出。

表8.最大ADC采样速率

模型	最大ADC采样速率(MHz)
ADV7403BSTZ-110	110
ADV7403KSTZ-140	140

标清处理器(SDP)

SDP部分可解码复合、S视频和YUV格式的许多基带视频信号。SDP支持的视频标准包括PAL (B, D, I, G, H, M, N, Nc, 60)、NTSC (J, M, 4.43)和SECAM (B, D, G, K, L)。ADV7403可自动检测视频标准，并进行相应处理。

SDP具有一个超级自适应2D、5线式梳状滤波器，可在解码复合视频信号时提供出色的色度和亮度分离。这种自适应滤波器根据视频标准和信号质量自动调整处理模式，无需用户干预。SDP还有一个IF滤波器模块，可补偿调谐器SAW滤波器所导致的高频亮度频谱衰减。

SDP有专门的亮度和色度参数来控制亮度、对比度、饱和度和色调。

ADV7403采用一种专利自适应数字线路长度跟踪(ADLLT[™])算法实现，用于跟踪VCR等视频源的视频线路长度变化。ADLLT使ADV7403能够跟踪和解码质量不佳的视频源，如VCR以及调谐器输出、VCD播放器和便携式摄像机的高噪声源等。SDP还含有一个色度瞬态改变(CTI)处理器，它可以提高色度转换的边沿速率，使视频图像更清晰。

SDP可以处理各种VBI数据服务，例如：图文电视、字幕信息(CC)、宽屏幕信令(WSS)、视频编程系统(VPS)、垂直间隔时间码(VITC)、版权生成管理系统(CGMS)、GemStar 1x/2x和扩展数据服务(XDS)。ADV7403 SDP部分具有一个Macrovision 7.1检测电路，可检测I型、II型和III型保护级。该解码器还能够稳定地支持所有Macrovision信号输入。

分量处理器(CP)

CP部分可以对任何色彩空间的广泛复合视频格式进行解码和数字化处理。CP支持的分量视频标准包括525i、625i、525p、625p、720p、1080i、1250i、VGA，最高达SXGA 75 Hz (仅限ADV7403KSTZ-140)以及这里未列出的许多其他标准。

ADV7403的CP部分含有一个AGC模块。无嵌入式同步时，可以手动设置视频增益。AGC部分后接一个数字钳位电路，以确保将视频信号钳位于正确的消隐电平。CP的自动调整功能包括增益(对比度)和失调(亮度)调整，另外也支持手动调整控制。

模拟前端和CP部分之间有一个完全可编程的任意到任意、3x3色彩空间转换矩阵，支持YPrPb转RGB和RGB转YCrCb。利用色彩空间转换器可以实施色彩空间的许多其他标准。

CP的输出部分非常灵活。它可以配置为SDR模式，每个时钟周期提供一个数据包；或者配置为DDR模式，在时钟的上升沿和下降沿提供数据。在SDR模式下，可以实现16/20-bit 4:2:2或24/30-bit 4:4:4输出。这些模式提供HS、VS和FIELD/DE(如适用)时序参考信号。在DDR模式下，ADV7403可以提供具有相应时序信号的8/10位 4:2:2 YCrCb或12位 4:4:4 YCrCb/RGB像素输出接口。

[ADV7403](#)能够支持一个外部DVI/HDMI接收器。数字接口需要24位4:4:4或16/20位4:2:2数据(图形RGB或分量视频YcrCb)，加上HS、VS、DE和完全同步的时钟信号。数据在CP进行处理，输出为16位4:2:2 YcrCb数据。

CP部分具有一个检测电路，可以检测525i、625i、525p和625p标准的Macrovision编码YPrPb信号。它能够稳定地支持此类信号的解码。

CGMS数据的VBI提取由[ADV7403](#)的CP部分执行，支持隔行、逐行和高扫描速率。提取的数据可通过I²C接口回读。更多产品信息，请参阅[ADV7403](#)产品页面。

像素输入/输出格式化

表9.SDP、CP像素输入/输出引脚映射(P19至P0)

处理器模式	格式	像素 端口 引脚 P[19:0]																				
		19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
SDP	视频输出, 8位, 4:2:2	YcrCb[7:0] _{OUT}																				
SDP	视频输出, 10位, 4:2:2	YcrCb[9:0] _{OUT}																				
SDP	视频输出, 16位, 4:2:2	Y[7:0] _{OUT}											CrCb[7:0] _{OUT}									
SDP	视频输出, 20位, 4:2:2	Y[9:0] _{OUT}											CrCb[9:0] _{OUT}									
SDP	视频输出, 24位, 4:4:4	Y[7:0] _{OUT}											Cb[7:0] _{OUT}									
SDP	视频输出, 30位, 4:4:4	Y[9:0] _{OUT}											Cb[9:0] _{OUT}									
SM-SDP	数字调谐器输入[1]	输出选择与视频输出相同 16/20位或伪8/10位DDR																				
CP	8位4:2:2, DDR	D7	D6	D5	D4	D3	D2	D1	D0													
CP	10位4:2:2, DDR	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0											
CP	12位 4:4:4, RGB DDR	D7	D6	D5	D4	D3	D2	D1	D0			D11	D10	D9	D8							
CP	视频输出, 16位, 4:2:2	CHA[7:0] _{OUT} (例如, Y[7:0])											CHB/C[7:0] _{OUT} (例如, Cr/Cb[7:0])									
CP	视频输出, 20位, 4:2:2	CHA[9:0] _{OUT} (例如, Y[9:0])											CHB/C[9:0] _{OUT} (例如, Cr/Cb[9:0])									
CP	视频输出, 24位, 4:4:4	CHA[7:0] _{OUT} (例如, G[7:0])											CHB[7:0] _{OUT} (例如, B[7:0])									
CP	视频输出, 30位, 4:4:4	CHA[9:0] _{OUT} (例如, G[9:0])											CHB[9:0] _{OUT} (例如, B[9:0])									
SM-CP	支持HDMI接收器, 24位4:4:4 输入	CHA[7:0] _{OUT} (例如, Y[7:0])									R[5:4] _{IN}		CHB/C[7:0] _{OUT} (例如, Cr/Cb[7:0])									R[1:0] _{IN}
SM-CP	支持HDMI接收器, 16位通过	CHA[7:0] _{OUT} (例如, Y[7:0])											CHB/C[7:0] _{OUT} (例如, Cr/Cb[7:0])									
SM-CP	支持HDMI接收器, 20位通过	CHA[9:0] _{OUT} (例如, Y[9:0])											CHB/C[9:0] _{OUT} (例如, Cr/Cb[9:0])									

表10.SDP、CP像素输入/输出引脚映射(P40至P20)

处理器模式	格式	像素端口引脚 P[40:31], P[29:20]																			
		40	39	38	37	36	35	34	33	32	31	29	28	27	26	25	24	23	22	21	20
SDP	视频输出, 8位, 4:2:2																				
SDP	视频输出, 10位, 4:2:2																				
SDP	视频输出, 16位, 4:2:2																				
SDP	视频输出, 20位, 4:2:2																				
SDP	视频输出, 24位, 4:4:4																				
SDP	视频输出, 30位, 4:4:4																				
SM-SDP	数字调谐器输入[1]	DCVBS[9:0] _{IN}																			
CP	8位4:2:2, DDR																				
CP	10位4:2:2, DDR																				
CP	12位 4:4:4, RGB DDR																				
CP	视频输出, 16位, 4:2:2																				
CP	视频输出, 20位, 4:2:2																				
CP	视频输出, 24位, 4:4:4 输入																				
CP	视频输出, 30位, 4:4:4 输入																				
SM-CP	支持HDMI接收器, 24 位4:4:4 输入	G[7:0] _{IN}						R[7:6] _{IN}			B[7:0] _{IN}						R[3:2] _{IN}				
SM-CP	支持HDMI接收器, 16 位通过	CHA[7:0] _{IN} (例如, Y[7:0])									CHB/C[7:0] _{IN} (例如, Cr/Cb[7:0])										
SM-CP	支持HDMI接收器, 20 位通过	CHA[9:0] _{IN} (例如, Y[9:0])									CHB/C[9:0] _{IN} (例如, Cr/Cb[9:0])										

推荐外部环路滤波器元件

将ELPF引脚的外部环路滤波器元件尽可能靠近相应的引脚。
图8给出了元件建议值。

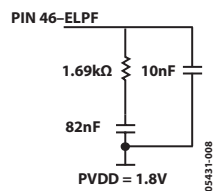


图8.ELPF元件

典型连接图

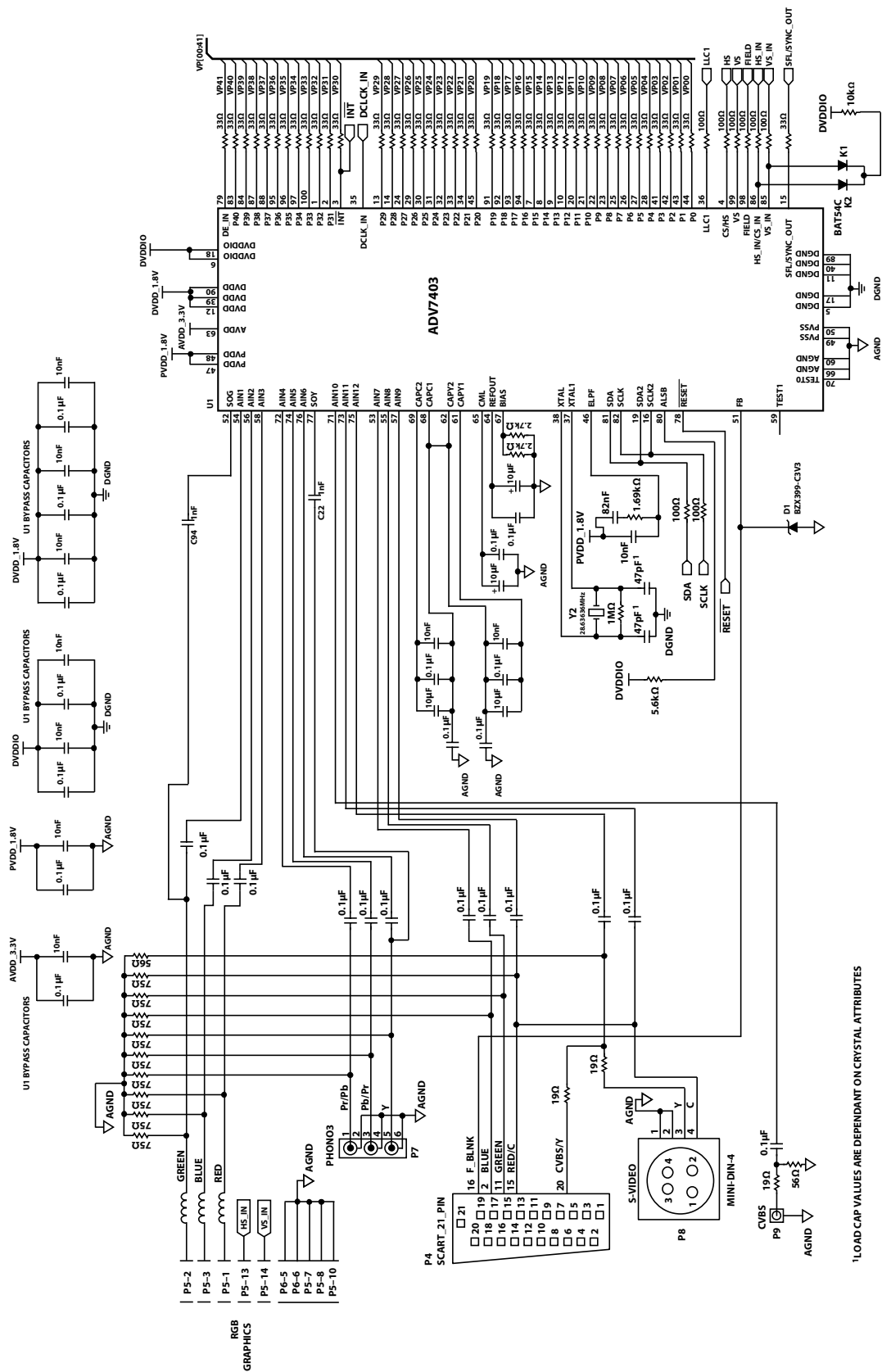
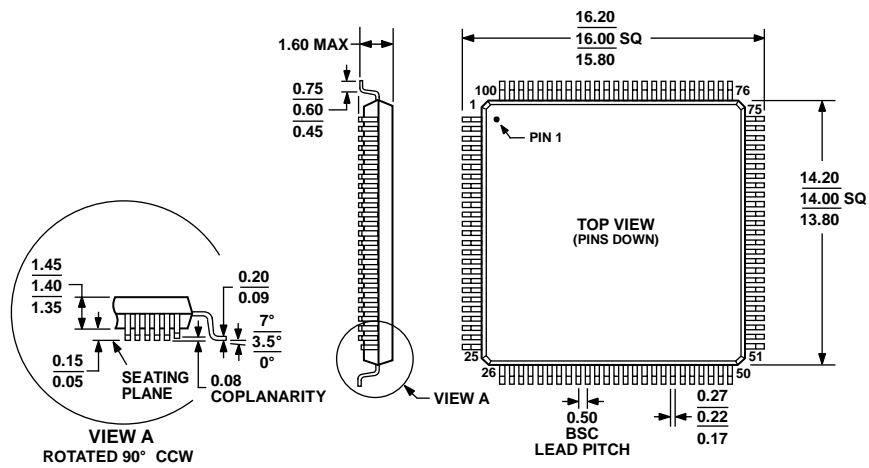


图9.ADV7403 典型连接图

ADV7403

外形尺寸



COMPLIANT TO JEDEC STANDARDS MS-026-BED

图10.100引脚薄型四方扁平封装[LQFP]
(ST-100)

图示尺寸单位: mm

051706-A

订购指南

型号 ^{1,2}	温度范围	封装描述	封装选项
ADV7403BSTZ-110	-40°C至+85°C	100引脚薄型四方扁平封装 [LQFP]	ST-100
ADV7403KSTZ-140	0°C至70°C	100引脚薄型四方扁平封装 [LQFP]	ST-100
EVAL-ADV7403EBZ		评估板	

¹ ADV7403是一款无铅环保产品。它采用最新材料和工艺制造。每个器件引脚上的涂层均为100%纯锡电镀。该器件适用于无铅应用，并且可耐受高达255°C (±5°C) 的表贴焊接温度。此外，还向后兼容传统的SnPb焊接工艺。这意味着可在传统回流温度(220°C至235°C)下，用SnPb焊膏焊接电镀Sn涂层。

² Z = 符合RoHS标准的器件。