

特性

超低噪声：9 $\mu\text{V rms}$ ，与 V_{OUT} 无关

无需额外噪声旁路电容

1 μF 陶瓷输入和输出电容下稳定工作

最大输出电流：150 mA

输入电压范围：2.2 V至5.5 V

低静态电流

$$I_{\text{GND}} = 10 \mu\text{A (空载)}$$

低关断电流：< 1 μA

低压差：105 mV(150 mA负载)

初始输出电压精度： $\pm 1\%$

多达14种固定输出电压选项：1.8 V至3.3 V

PSRR性能：70 dB (10 kHz)

限流和热过载保护

逻辑控制使能

5引脚TSOT封装

4引脚0.8 mm \times 0.8 mm、0.4 mm间距WLCSP封装

应用

移动电话

数码相机和音频设备

便携式和电池供电设备

后置DC-DC调节

便携式医疗设备

RF、PLL、VCO和时钟电源

概述

ADP150是一款超低噪声(9 μV)、低压差线性调节器，采用2.2 V至5.5 V电源供电，最大输出电流为150 mA。驱动150 mA负载时压差仅为105 mV，这种低压差特性不仅可提高效率，而且能使器件在很宽的输入电压范围内工作。

ADP150采用新颖的电路拓扑结构，实现了超低噪声性能，而无需额外的噪声旁路电容，非常适合对噪声敏感的模拟和RF应用。ADP150在提供超低噪声性能的同时，并不影响其电源抑制(PSRR)或线路与负载瞬态响应性能。它

典型应用电路

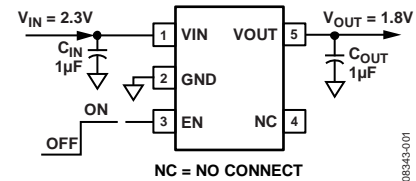


图1. 5引脚TSOT封装，固定输出电压1.8 V

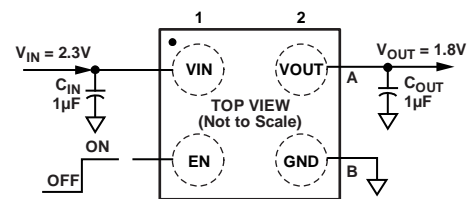


图2. 4引脚WLCSP封装，固定输出电压1.8 V

实现了超低噪声与低静态功耗的最佳组合，使便携式应用的电池使用时间可达到最长。

ADP150经过专门设计，在1 $\mu\text{F} \pm 30\%$ 小陶瓷输入和输出电容便可稳定工作，适合高性能、空间受限应用的要求。它可提供1.8 V至3.3 V范围内的14种固定输出电压选项。

短路和热过载保护电路可以防止器件在不利条件下受损。ADP150提供5引脚TSOT和4引脚、0.4 mm间距WLCSP两种小型封装，是适合各种便携式供电应用的业界最小尺寸解决方案。

Rev. B

Document Feedback

Information furnished by Analog Devices is believed to be accurate and reliable. However, no responsibility is assumed by Analog Devices for its use, nor for any infringements of patents or other rights of third parties that may result from its use. Specifications subject to change without notice. No license is granted by implication or otherwise under any patent or patent rights of Analog Devices. Trademarks and registered trademarks are the property of their respective owners.

One Technology Way, P.O. Box 9106, Norwood, MA 02062-9106, U.S.A.
Tel: 781.329.4700 ©2009-2013 Analog Devices, Inc. All rights reserved.
Technical Support www.analog.com

ADI中文版数据手册是英文版数据手册的译文，敬请谅解翻译中可能存在的语言组织或翻译错误，ADI不对翻译中存在的差异或由此产生的错误负责。如需确认任何词语的准确性，请参考ADI提供的最新英文版数据手册。

目录

特性.....	1	典型性能参数.....	7
应用.....	1	工作原理.....	11
典型应用电路.....	1	应用信息.....	12
概述.....	1	电容选择.....	12
修订历史.....	2	欠压闭锁.....	13
技术规格.....	3	使能特性.....	13
推荐规格：输入和输出电容.....	4	限流和热过载保护.....	13
绝对最大额定值.....	5	散热考虑.....	14
热数据.....	5	PCB布局考虑.....	17
热阻.....	5	外形尺寸.....	18
ESD警告.....	5	订购指南.....	19
引脚配置和功能描述.....	6		

修订历史

2013年8月—修订版A至修订版B

更改“订购指南”..... 19

2010年4月—修订版0至修订版A

更改图21..... 9

2009年10月—修订版0：初始版

技术规格

除非另有说明, $V_{IN} = (V_{OUT} + 0.4 V)$ 或 $2.2 V$ (取较大者), $EN = V_{IN}$, $I_{OUT} = 10 mA$, $C_{IN} = C_{OUT} = 1 \mu F$, $T_A = 25^\circ C$ 。

表1.

参数	符号	条件	最小值	典型值	最大值	单位
输入电压范围	V_{IN}	$T_J = -40^\circ C$ 至 $+125^\circ C$	2.2		5.5	V
工作电源电流	I_{GND}	$I_{OUT} = 0 \mu A$		10		μA
		$I_{OUT} = 0 \mu A, T_J = -40^\circ C$ 至 $+125^\circ C$			22	μA
		$I_{OUT} = 100 \mu A$		20		μA
		$I_{OUT} = 100 \mu A, T_J = -40^\circ C$ 至 $+125^\circ C$			40	μA
		$I_{OUT} = 10 mA$		60		μA
		$I_{OUT} = 10 mA, T_J = -40^\circ C$ 至 $+125^\circ C$			100	μA
关断电流	I_{GND-SD}	$EN = GND$		0.2		μA
		$EN = GND, T_J = -40^\circ C$ 至 $+125^\circ C$			1.0	μA
输出电压精度 5引脚TSOT	V_{OUT}	$I_{OUT} = 10 mA$	-1		+1	%
		$100 \mu A < I_{OUT} < 150 mA, V_{IN} = (V_{OUT} + 0.4 V)$ 至 $5.5 V, T_J = -40^\circ C$ 至 $+125^\circ C$	-2.5		+1.5	%
4引脚WLCSP	V_{OUT}	$I_{OUT} = 10 mA$	-1		+1	%
		$100 \mu A < I_{OUT} < 150 mA, V_{IN} = (V_{OUT} + 0.4 V)$ 至 $5.5 V, T_J = -40^\circ C$ 至 $+125^\circ C$	-2.0		+1.5	%
调整率 电压调整率 负载调整率 ¹	$\Delta V_{OUT}/\Delta V_{IN}$	$V_{IN} = (V_{OUT} + 0.4 V)$ 至 $5.5 V, T_J = -40^\circ C$ 至 $+125^\circ C$	-0.05		+0.05	%/V
		$I_{OUT} = 100 \mu A$ 至 $150 mA$		0.003		%/mA
		$I_{OUT} = 100 \mu A$ 至 $150 mA, T_J = -40^\circ C$ 至 $+125^\circ C$			0.0075	%/mA
5引脚TSOT	$\Delta V_{OUT}/\Delta I_{OUT}$	$I_{OUT} = 100 \mu A$ 至 $150 mA$		0.002		%/mA
		$I_{OUT} = 100 \mu A$ 至 $150 mA, T_J = -40^\circ C$ 至 $+125^\circ C$			0.006	%/mA
4引脚WLCSP	$\Delta V_{OUT}/\Delta I_{OUT}$	$I_{OUT} = 100 \mu A$ 至 $150 mA$				%/mA
		$I_{OUT} = 100 \mu A$ 至 $150 mA, T_J = -40^\circ C$ 至 $+125^\circ C$				%/mA
电压差 ²	$V_{DROPOUT}$	$I_{OUT} = 10 mA$		10		mV
		$I_{OUT} = 10 mA, T_J = -40^\circ C$ 至 $+125^\circ C$			35	mV
		$I_{OUT} = 150 mA$		105		mV
		$I_{OUT} = 150 mA, T_J = -40^\circ C$ 至 $+125^\circ C$			160	mV
启动时间 ³	$T_{START-UP}$	$V_{OUT} = 3.3 V$		150		μs
限流阈值 ⁴	I_{LIMIT}		190	260	400	mA
欠压闭锁 输入电压上升 输入电压下降 迟滞	UVLO	$UVLO_{RISE}$	$T_J = -40^\circ C$ 至 $+125^\circ C$		1.96	V
		$UVLO_{FALL}$	$T_J = -40^\circ C$ 至 $+125^\circ C$	1.28		V
		$UVLO_{HYS}$	$T_J = -40^\circ C$ 至 $+125^\circ C$		115	mV
热关断 热关断阈值 热关断迟滞	T_{SSD}	T_J 上升		150		$^\circ C$
				15		$^\circ C$
EN输入 EN输入逻辑高电平 EN输入逻辑低电平 EN输入漏电流	V_{IH} V_{IL} $V_{I-LEAKAGE}$	$2.2 V \leq V_{IN} \leq 5.5 V$	1.2			V
		$2.2 V \leq V_{IN} \leq 5.5 V$			0.4	V
		$EN = IN$ 或 GND $EN = IN$ 或 $GND, T_J = -40^\circ C$ 至 $+125^\circ C$		0.001		1
输出噪声	OUT_{NOISE}	10 Hz 至 100 kHz, $V_{IN} = 5 V, V_{OUT} = 3.3 V$		9		μV rms
		10 Hz 至 100 kHz, $V_{IN} = 5 V, V_{OUT} = 2.5 V$		9		μV rms
		10 Hz 至 100 kHz, $V_{IN} = 5 V, V_{OUT} = 1.8 V$		9		μV rms

ADP150

参数	符号	条件	最小值	典型值	最大值	单位
电源抑制比 ($V_{IN} = V_{OUT} + 0.5\text{ V}$)	PSRR	10 kHz, $V_{IN} = 3.8\text{ V}$, $V_{OUT} = 3.3\text{ V}$, $I_{OUT} = 10\text{ mA}$		70		dB
		10 kHz, $V_{IN} = 2.3\text{ V}$, $V_{OUT} = 1.8\text{ V}$, $I_{OUT} = 10\text{ mA}$		70		dB
		100 kHz, $V_{IN} = 3.8\text{ V}$, $V_{OUT} = 3.3\text{ V}$, $I_{OUT} = 10\text{ mA}$		55		dB
		100 kHz, $V_{IN} = 2.3\text{ V}$, $V_{OUT} = 1.8\text{ V}$, $I_{OUT} = 10\text{ mA}$		55		dB
电源抑制比 ($V_{IN} = V_{OUT} + 1\text{ V}$)		10 kHz, $V_{IN} = 4.3\text{ V}$, $V_{OUT} = 3.3\text{ V}$, $I_{OUT} = 10\text{ mA}$		70		dB
		100 kHz, $V_{IN} = 4.3\text{ V}$, $V_{OUT} = 3.3\text{ V}$, $I_{OUT} = 10\text{ mA}$		55		dB

¹ 基于使用1 mA和150 mA负载的端点计算。1 mA以下负载的典型负载调整性能见图6。

² 电压差定义为当输入电压设为标称输出电压时，输入电压与输出电压的差值。这仅适用于2.2 V以上的输出电压。

³ 启动时间定义为EN上升沿到VOUT达到其标称值90%的时间。

⁴ 限流阈值定义为输出电压降至额定典型值90%时的电流。例如，3.0 V输出电压的限流阈值定义为导致输出电压降至3.0 V的90%或2.7 V时的电流。

推荐规格：输入和输出电容

表2.

参数	符号	条件	最小值	典型值	最大值	单位
输入和输出电容						
最小输入和输出电容 ¹	C_{MIN}	$T_A = -40^\circ\text{C}$ 至 $+125^\circ\text{C}$	0.7			μF
电容ESR	R_{ESR}	$T_A = -40^\circ\text{C}$ 至 $+125^\circ\text{C}$	0.001		0.2	Ω

¹ 在所有工作条件下，输入和输出电容至少应大于0.7 μF 。选择器件时必须考虑应用的所有工作条件，确保达到最小电容要求。配合LDO使用时，建议使用X7R型和X5R型电容，不建议使用Y5V和Z5U电容。

绝对最大额定值

表3.

参数	额定值
VIN至GND	-0.3 V至+6.5 V
VOUT至GND	-0.3 V至VIN
EN至GND	-0.3 V至+6.5 V
存储温度范围	-65°C至+150°C
工作结温范围	-40°C至+125°C
工作环境温度范围	-40°C至+85 °C
焊接条件	JEDEC J-STD-020

注意，超出上述绝对最大额定值可能会导致器件永久性损坏。这只是额定最值，不表示在这些条件下或者在任何其它超出本技术规范操作章节中所示规格的条件下，器件能够正常工作。长期在绝对最大额定值条件下工作会影响器件的可靠性。

热数据

各绝对最大额定值只能单独应用，而不能一起应用。如果温度超过结温限值，ADP150可能会受损。监控环境温度并不能保证 T_J 不会超出额定温度限值。在高功耗和热阻不佳的应用中，额定最高环境温度可能必须降低。

在功耗中等且印刷电路板(PCB)热阻较低的应用中，只要结温在额定限值以内，则最高环境温度可以超过最大限值。器件的结温(T_J)取决于环境温度(T_A)、器件的功耗(P_D)和封装的结至环境热阻(θ_{JA})。

最高结温(T_J)可由环境温度(T_A)和功耗(P_D)通过下式计算：

$$T_J = T_A + (P_D \times \theta_{JA})$$

封装的结至环境热阻(θ_{JA})基于使用4层板的建模和计算方法，主要取决于应用和板布局。在最大功耗较高的应用中，需要特别注意热板设计。 θ_{JA} 的值因PCB材料、布局和环境条件而异。 θ_{JA} 额定值基于一个4层、4英寸 × 3英寸电路板。有关电路板结构的详细信息，请参考JESD 51-7和JESD 51-9。更多信息请参阅应用笔记AN-617：“MicroCSP™晶圆级芯片规模封装”。

Ψ_{JB} 是结板热特性参数，单位为°C/W。封装的 Ψ_{JB} 基于使用4层板的建模和计算方法。JESD51-12“报告和使用封装热信息指南”中声明，热特性参数与热阻不是一回事。 Ψ_{JB} 衡量沿多条热路径流动的器件功率，而 θ_{JB} 只涉及一条路径。因此， Ψ_{JB} 热路径包括来自封装顶部的对流和封装的辐射，这些因素使得 Ψ_{JB} 在现实应用中更有用。最高结温(T_J)可由板温度(T_B)和功耗(P_D)通过下式计算：

$$T_J = T_B + (P_D \times \Psi_{JB})$$

有关 Ψ_{JB} 的更详细信息，请参考JESD51-8和JESD51-12。

热阻

θ_{JA} 和 Ψ_{JB} 针对最差条件，即器件焊接在电路板上以实现表贴封装。

表4. 热阻

封装类型	θ_{JA}	Ψ_{JB}	单位
5引脚TSOT	170	43	°C/W
4引脚、0.4 mm间距WLCSP	260	58	°C/W

ESD警告



ESD(静电放电)敏感器件。

带电器件和电路板可能会在没有察觉的情况下放电。尽管本产品具有专利或专有保护电路，但在遇到高能量ESD时，器件可能会损坏。因此，应当采取适当的ESD防范措施，以避免器件性能下降或功能丧失。

ADP150

引脚配置和功能描述

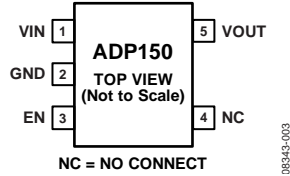


图3. 5引脚TSOT引脚配置

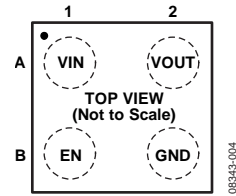


图4. 4引脚WLCSP引脚配置

图5. 5引脚TSOT引脚功能描述

引脚编号	引脚名称	描述
1	VIN	稳压器输入电源。采用1 μ F或数值更高的电容，将VIN旁路至GND。
2	GND	地。
3	EN	使能输入。将EN接到高电平，调节器启动；将EN接到低电平，调节器关闭。若要实现自动启动，请将EN接VIN。
4	NC	不连接。内部不连接。
5	VOUT	调节输出电压。采用1 μ F或数值更高的电容，将VIN旁路至GND。

图6. 4引脚WLCSP引脚功能描述

引脚编号	引脚名称	描述
A1	VIN	稳压器输入电源。采用1 μ F或数值更高的电容，将VIN旁路至GND。
A2	VOUT	调节输出电压。采用1 μ F或数值更高的电容，将VIN旁路至GND。
B1	EN	使能输入。将EN接到高电平，调节器启动；将EN接到低电平，调节器关闭。若要实现自动启动，请将EN接VIN。
B2	GND	地。

典型性能参数

除非另有说明, $V_{IN} = 3.7V$, $V_{OUT} = 3.3V$, $I_{OUT} = 1mA$, $C_{IN} = C_{OUT} = 1\mu F$, $T_A = 25^\circ C$.

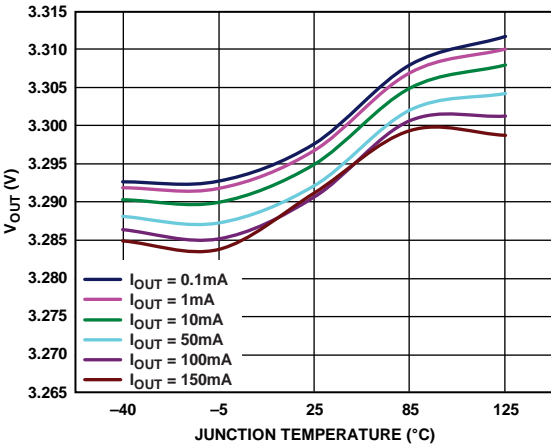


图5. 输出电压(V_{OUT})与结温的关系

08343-005

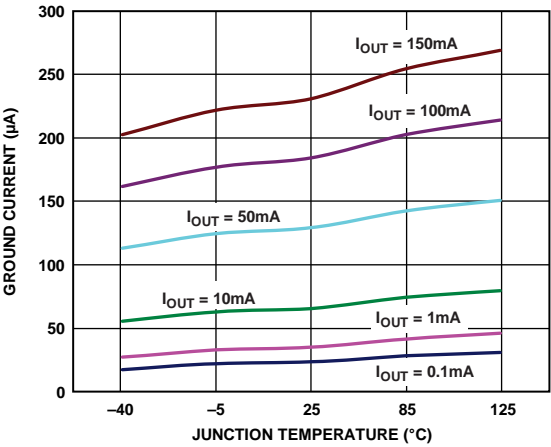


图8. 地电流与结温的关系

08343-008

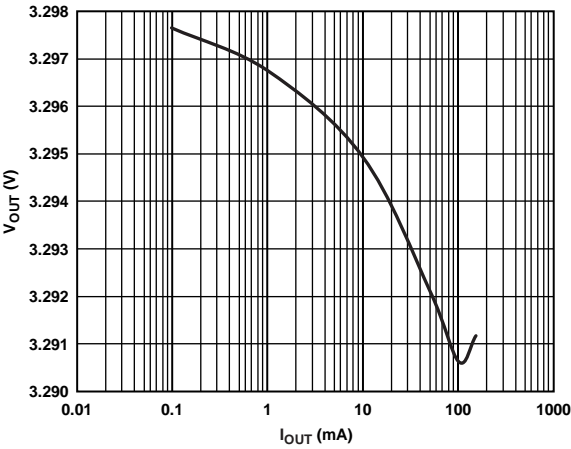


图6. 输出电压(V_{OUT})与负载电流(I_{OUT})的关系

08343-006

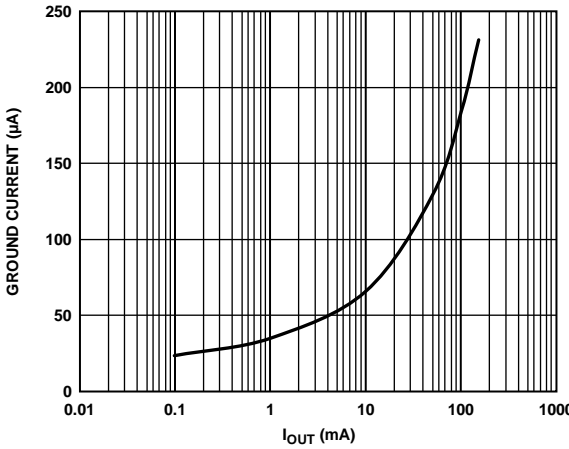


图9. 地电流与负载电流(I_{OUT})的关系

08343-009

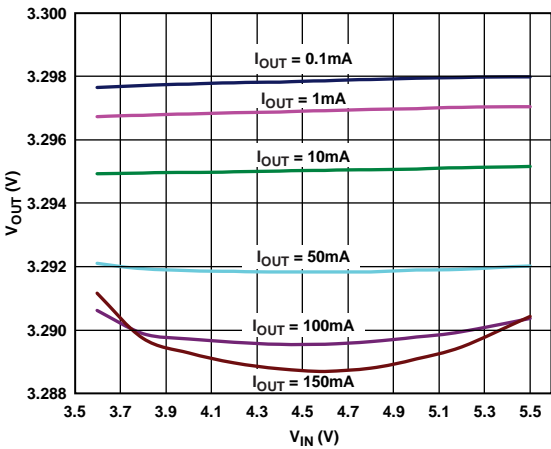


图7. 输出电压(V_{OUT})与输入电压(V_{IN})的关系

08343-007

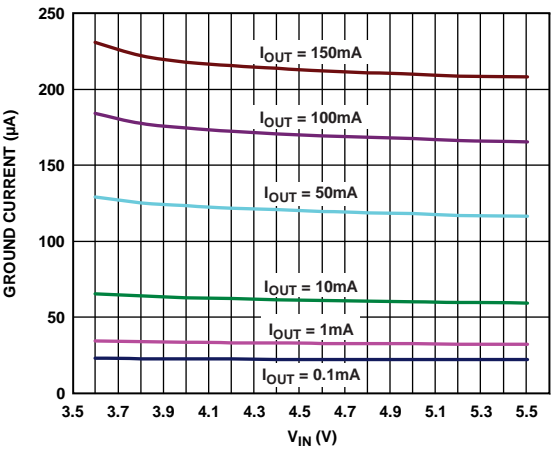


图10. 地电流与输入电压(V_{IN})的关系

08343-010

ADP150

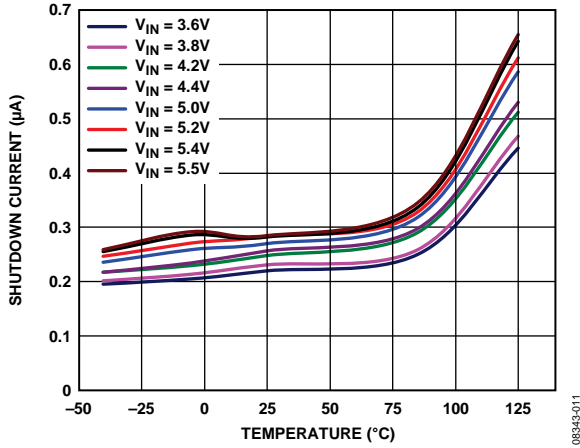


图11. 不同输入电压下关断电流与温度的关系

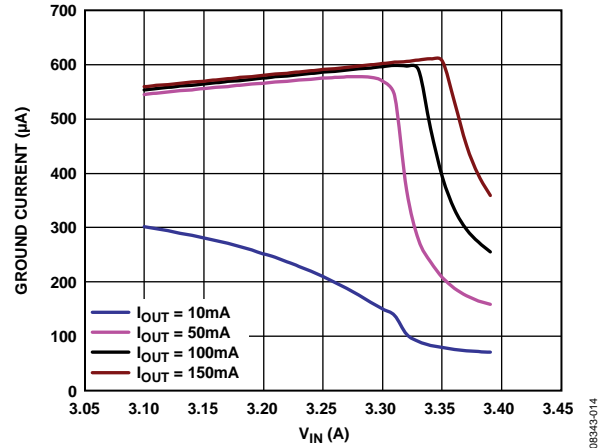


图14. 低压差下接地电流与输入电压(VIN)的关系

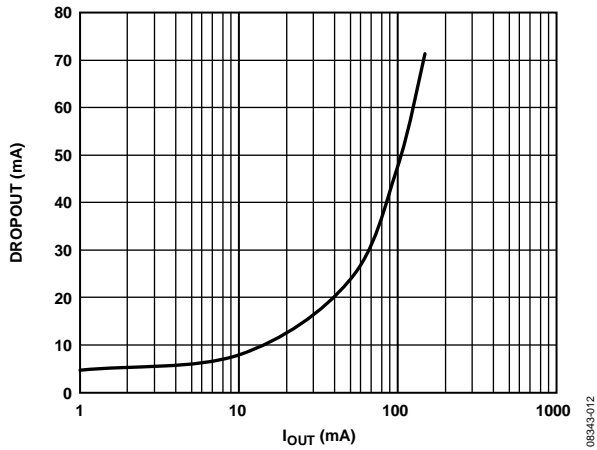


图12. 电压差与负载电流(ILOAD)的关系

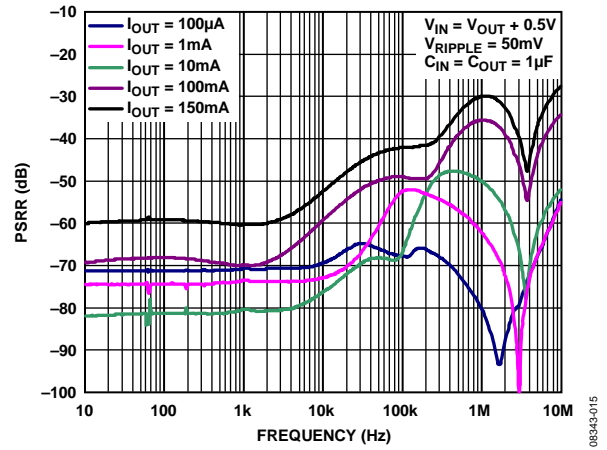


图15. 电源抑制比(PSRR)与频率的关系, $V_{OUT} = 1.8V$, $V_{IN} = 2.3V$

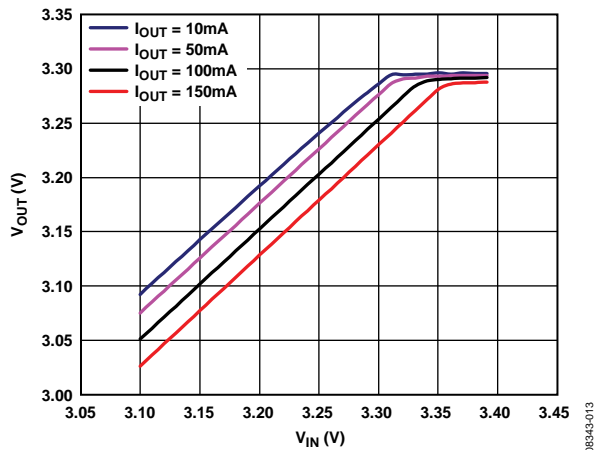


图13. 低压差下输出电压(VOUT)与输入电压(VIN)的关系

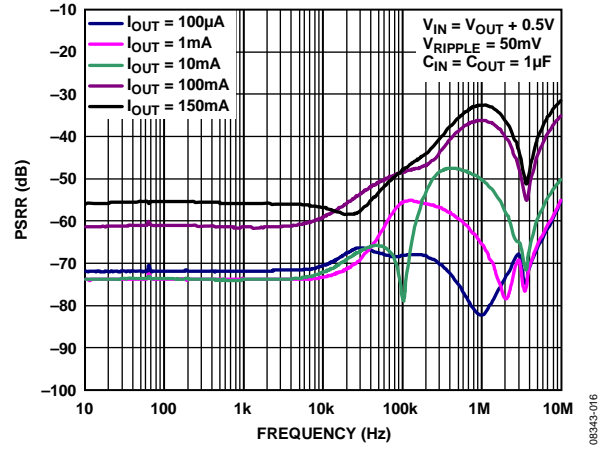


图16. 电源抑制比(PSRR)与频率的关系, $V_{OUT} = 2.8V$, $V_{IN} = 3.3V$

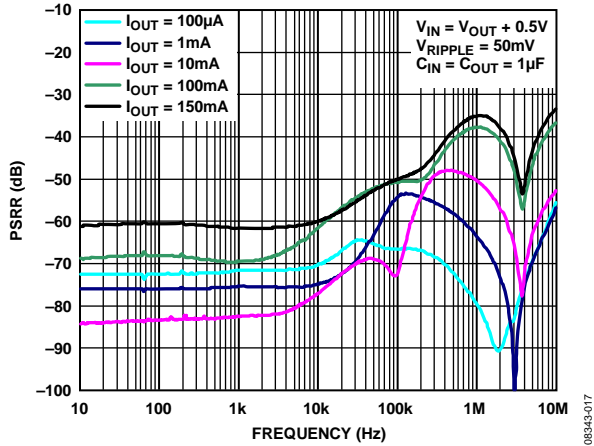


图17. 电源抑制比(PSRR)与频率的关系,
 $V_{OUT} = 3.3V$, $V_{IN} = 3.8V$

08343-017

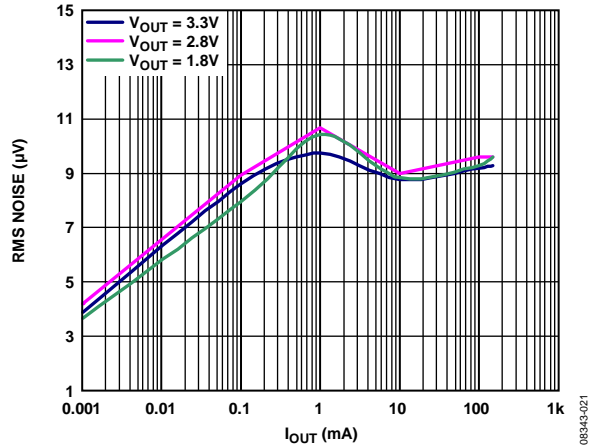


图20. 输出均方根噪声与负载电流(I_{OUT})和输出电压(V_{OUT})的关系, $V_{IN} = 5V$, $C_{OUT} = 1\mu F$

08343-021

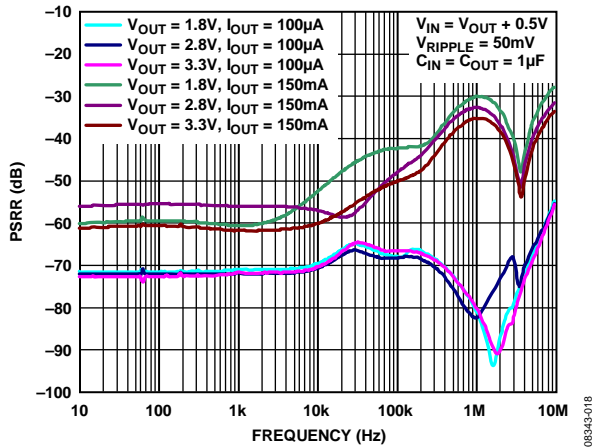


图18. 各种输出电压和负载电流下电源抑制比(PSRR)与频率的关系

08343-018

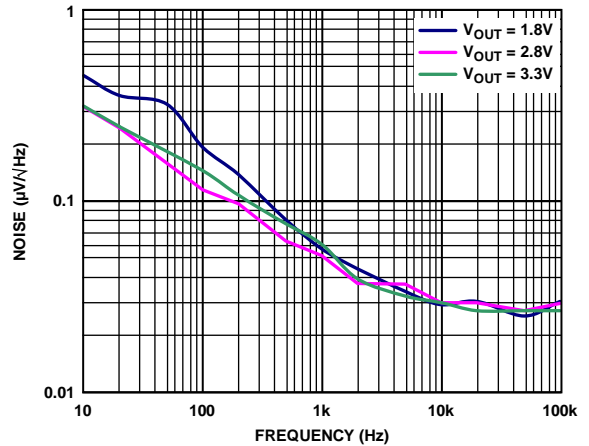


图21. 输出噪声频谱, $V_{IN} = 5V$,
 $I_{LOAD} = 10mA$, $C_{OUT} = 1\mu F$

08343-020

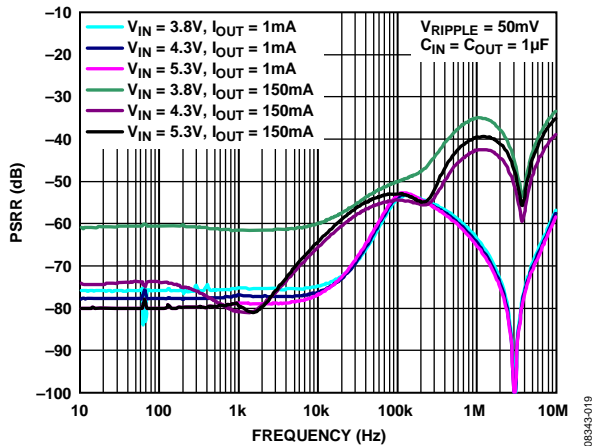


图19. 不同压差($V_{IN} - V_{OUT}$)下电源抑制比(PSRR)与频率的关系, $V_{OUT} = 3.3V$

08343-019

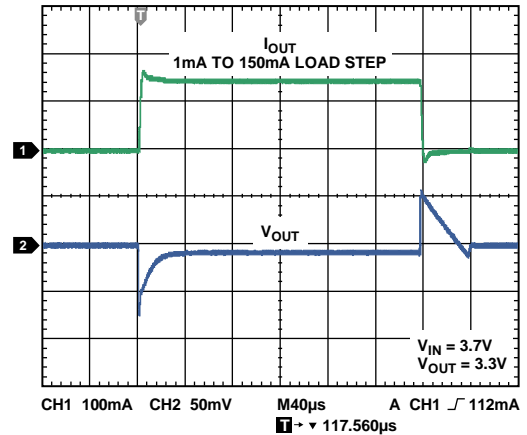


图22. 负载瞬态响应, $C_{OUT} = 1\mu F$

08343-022

ADP150

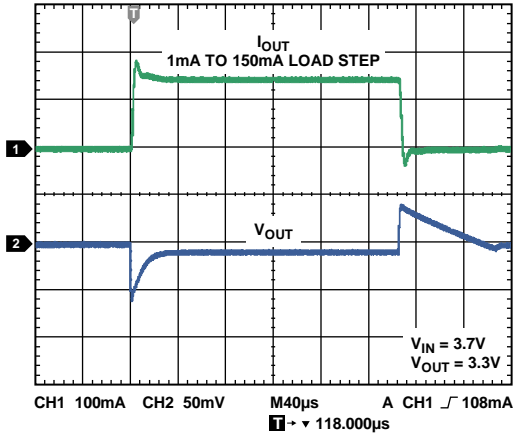


图23.负载瞬态响应, $C_{OUT} = 4.7 \mu F$

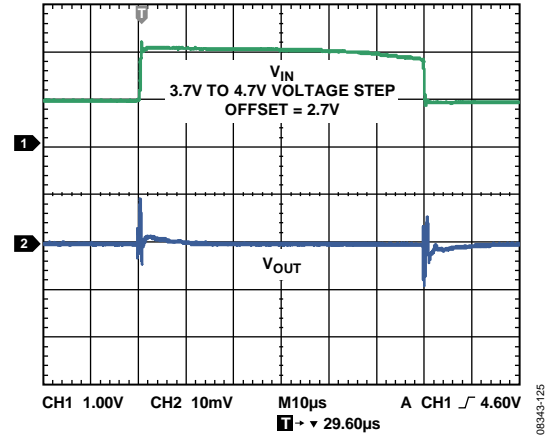


图25.线性瞬态响应, $C_{IN}, C_{OUT} = 1 \mu F, I_{LOAD} = 150 mA$

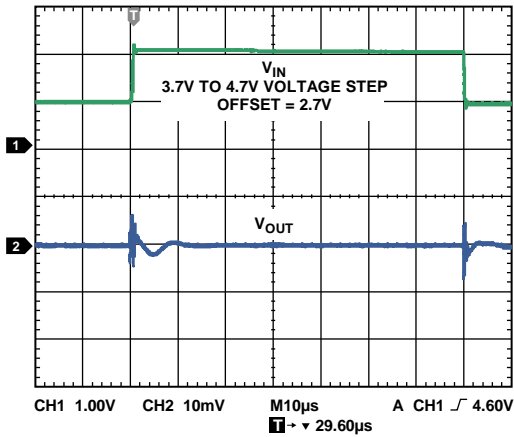


图24.线性瞬态响应, $C_{IN}, C_{OUT} = 1 \mu F, I_{LOAD} = 1 mA$

工作原理

ADP150是一款超低噪声、低静态电流、低压差线性调节器，采用2.2 V至5.5 V电源供电，最大输出电流为150 mA。满负载时静态电流典型值低至220 μ A，因此ADP150非常适合电池供电的便携式设备使用。关断电流典型值为200 nA。

ADP150采用创新的设计技术，噪声性能出色，无需噪声旁路电容，适合对噪声敏感的模拟和RF应用。它还进行了优化，利用1 μ F小型陶瓷电容即可实现稳定工作。

ADP150内置基准电压源、误差放大器、反馈分压器和PMOS调整管。输出电流经由PMOS调整管提供，PMOS调整管受误差放大器控制。误差放大器比较基准电压与输出端的反馈电压，并放大该差值。如果反馈电压低于基准电压，PMOS器件的栅极将被拉低，以便通过更多电流，提高输出电压。如果反馈电压高于基准电压，PMOS器件的栅极将被拉高，以便通过较少电流，降低输出电压。

ADP150可提供1.8 V至3.3 V范围内的14种输出电压选项。在正常工作条件下，ADP150利用EN引脚使能和禁用VOUT引脚。EN为高电平时，VOUT开启；EN为低电平时，VOUT关闭。若要实现自动启动，可将EN与VIN相连。

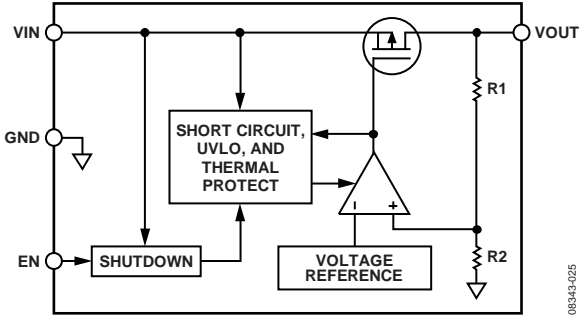


图26. 内部框图

应用信息

电容选择

输出电容

ADP150设计采用小型、节省空间的陶瓷电容，但只要注意有效串联电阻(ESR)值要求，便可以采用大多数常用电容。输出电容的ESR会影响LDO控制回路的稳定性。为了确保ADP150稳定工作，推荐使用至少1 μF 、ESR为1 Ω 或更小的电容。输出电容还会影响对负载电流变化的瞬态响应。使用较大值的输出电容可改善ADP150对负载电流较大变化的瞬态响应。图27和图28分别显示了输出电容值为1 μF 和4.7 μF 时的瞬态响应。

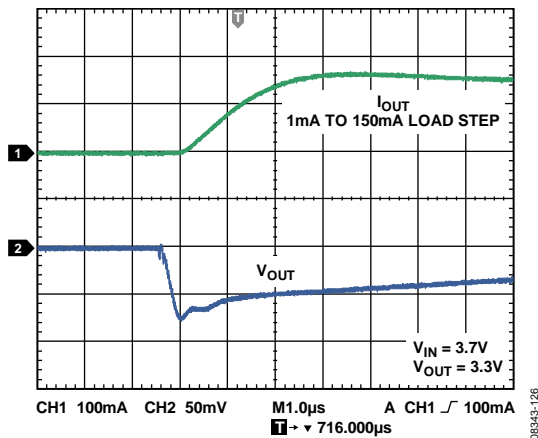


图27.输出瞬态响应, $C_{OUT} = 1 \mu\text{F}$

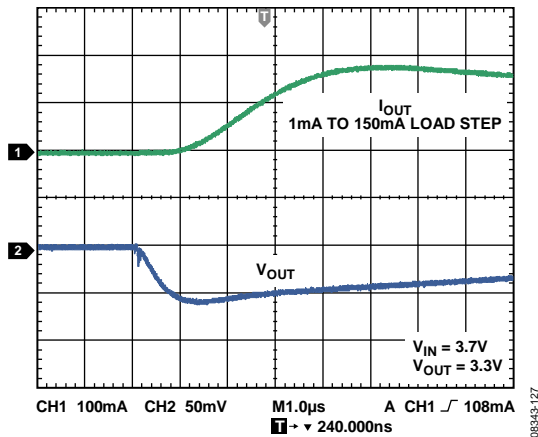


图28.输出瞬态响应, $C_{OUT} = 4.7 \mu\text{F}$

输入旁路电容

在 V_{IN} 至GND之间连接一个1 μF 电容可以降低电路对PCB布局的敏感性，特别是当在长输入走线或高信号源阻抗时。如果要求大于1 μF 的输出电容，则应提高输入电容，使之与输出电容一致。

输入和输出电容特性

只要符合最小电容和最大ESR要求，ADP150可以采用任何质量良好的电容。陶瓷电容可采用各种各样的电介质制造，温度和所施加的电压不同，其特性也不相同。电容必须具有足以在必要的温度范围和直流偏置条件下确保最小电容的电介质。推荐使用额定电压为6.3 V或10 V的X5R或X7R电介质。Y5V和Z5U电介质的温度和直流偏置特性不佳，建议不要使用。

图29显示了一个0402、1 μF 、10 V、X5R电容的电容值与电压偏置特性的关系。电容的电压稳定性受电容尺寸和电压额定值影响极大。一般而言，封装较大或电压额定值较高的电容具有较好的稳定性。在 -40°C 至 $+85^\circ\text{C}$ 的温度范围内，X5R电介质的温度变化约为 $\pm 15\%$ ，与封装和电压额定值无关。

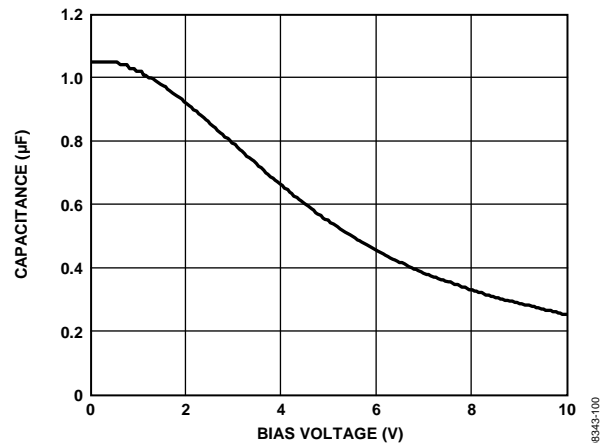


图29. 电容与电压偏置特性的关系

考虑电容随温度、元件容差和电压的变化，可以利用公式1确定最差情况下的电容。

$$C_{EFF} = C_{BIAS} \times (1 - TEMPCO) \times (1 - TOL) \quad (1)$$

其中：

C_{BIAS} 是工作电压下的有效电容。

TEMPCO是最差情况下的电容温度系数。

TOL是最差情况下的元件容差。

本例中，对于X5R电介质， -40°C 至 $+85^\circ\text{C}$ 温度范围内的最差情况温度系数(TEMPCO)假设为15%。电容容差(TOL)假设为10%， C_{BIAS} 在1.8 V时为0.94 μF ，如图29所示。

将这些值代入公式1中可得到：

$$C_{EFF} = 0.94 \mu\text{F} \times (1 - 0.15) \times (1 - 0.1) = 0.719 \mu\text{F}$$

因此，本例所选的电容符合LDO在温度和容差范围内及所选输出电压时的最小电容要求。

为了保证ADP150的性能，必须评估直流偏置、温度和容差对各电容特性的影响。

欠压闭锁

ADP150内置欠压闭锁电路，当输入电压低于约2.0 V时，它会禁用所有输入和输出。这可确保上电时ADP150的输入和输出是可预测的。

使能特性

在正常工作条件下，ADP150利用EN引脚使能和禁用V_{OUT}引脚。如图30所示，当EN上的上升电压越过有效阈值时，V_{OUT}开启。当EN上的下降电压越过无效阈值时，V_{OUT}关闭。

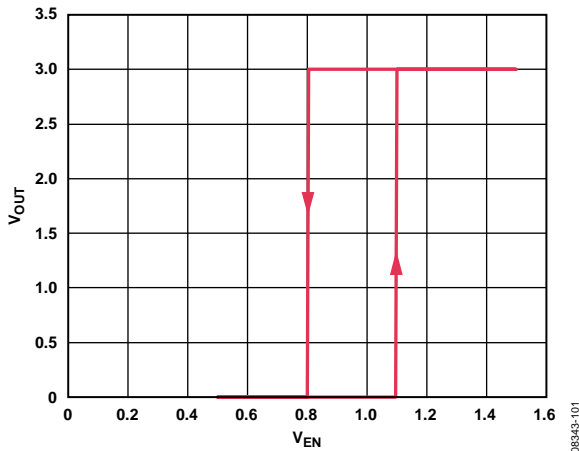


图30. EN引脚典型工作方式

如图30所示，EN引脚本身带有迟滞。这可以防止EN引脚上的噪声在经过阈值点时引起开关振荡。

EN引脚有效/无效阈值是从VIN电压获得，因此，这些阈值会随着输入电压而变化。图31显示了输入电压从2.2 V变化到5.5 V时EN引脚的典型有效/无效阈值。

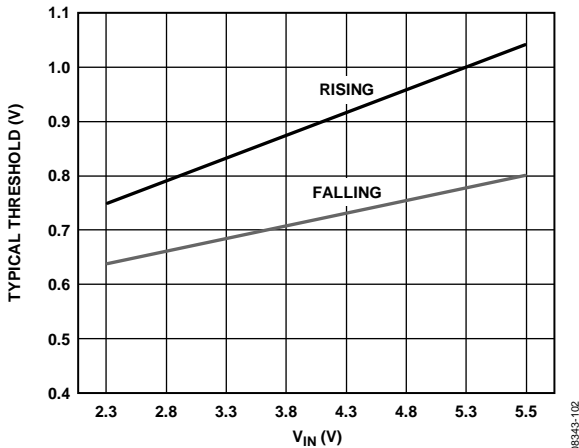


图31. EN引脚典型阈值与输入电压(VIN)的关系

输出使能时，ADP150利用内置软启动功能限制浪涌电流。对于3.3 V选项，从越过EN有效阈值到输出达到其最终值90%的启动时间约为150 μs。如图32所示，启动时间取决于输出电压设置。

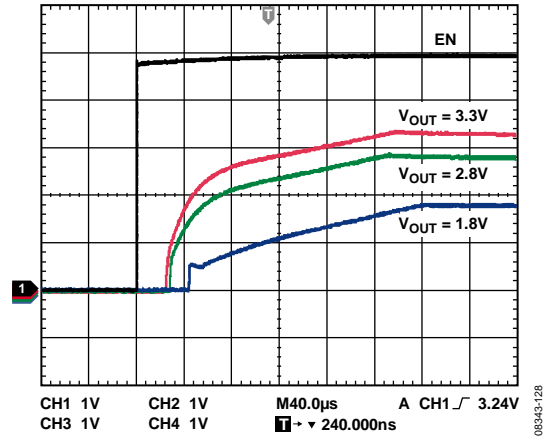


图32. 典型启动时间

限流和热过载保护

ADP150内置限流和热过载保护电路，可防止功耗过大导致受损。当输出负载达到260 mA(典型值)时，限流电路就会起作用。当输出负载超过260 mA时，输出电压会被降低，以保持恒定的电流限制。

热过载保护电路将结温限制在150°C(典型值)以下。在极端条件下(即高环境温度和高功耗)，当结温开始升至150°C以上时，输出就会关闭，从而将输出电流降至0。当结温降至135°C以下时，输出又会开启，输出电流恢复为标称值。

考虑V_{OUT}至GND发生负载短路的情况。首先，ADP150限制电流，使得短路路径中只有260 mA电流。如果结的自发热量足够大，使其温度升至150°C以上，热关断功能就会激活，输出关闭，输出电流降至0。当结温冷却下来，降至135°C以下时，输出开启，将260 mA电流传导至短路路径中，再次导致结温升至150°C以上。结温在135°C至150°C范围内的这种热振荡导致电流在260 mA与0 mA范围内振荡，只要输出仍然存在短路，振荡就会持续下去。

限流和热过载保护旨在保护器件免受偶然过载条件影响。为实现可靠工作，必须在外部限制器件功耗，使得结温不会超过125°C。

ADP150

散热考虑

ADP150的效率很高，在多数应用中不会产生大量热量。然而，在环境温度很高且电源电压与输出电压差很大的应用中，封装发出的热量可能非常大，导致芯片结温超过最高结温125°C。

当结温超过150°C时，转换器进入热关断模式。只有当结温降至135°C以下时，它才会恢复，以防永久性受损。因此，为了保证器件在所有条件下具有可靠性能，必须对具体应用进行热分析。芯片的结温为环境温度与功耗所引起的封装温升之和，如公式2所示。

为保证可靠工作，ADP150的结温不得超过125°C。为了确保结温低于125°C，应当注意引起结温变化的参数，包括环境温度、器件的功耗以及结与周围空气之间的热阻(θ_{JA})。 θ_{JA} 值取决于所用的封装填充物和将封装GND引脚焊接到PCB所用的覆铜数量。表7给出了各种PCB覆铜尺寸时5引脚TSOT和4引脚WLCSP封装的典型 θ_{JA} 值。表8给出了5引脚TSOT和4引脚WLCSP封装的典型 Ψ_{JB} 值。

表7. 典型 θ_{JA} 值

覆铜面积(mm ²)	θ_{JA} (°C/W)	
	TSOT	WLCSP
0 ¹	170	260
50	152	159
100	146	157
300	134	153
500	131	151

¹ 器件焊接在最小尺寸引脚走线上。

表8. 典型 Ψ_{JB} 值

Ψ_{JB} (°C/W)	
TSOT	WLCSP
42.8	58.4

利用公式2计算结温。

$$T_J = T_A + (P_D \times \theta_{JA}) \quad (2)$$

其中：

T_A 为环境温度。

P_D 为芯片的功耗，通过下式计算：

$$P_D = [(V_{IN} - V_{OUT}) \times I_{LOAD}] + (V_{IN} \times I_{GND})$$

其中：

I_{LOAD} 为负载电流。

I_{GND} 为接地电流。

V_{IN} 和 V_{OUT} 分别为输入和输出电压。

接地电流引起的功耗相当小，可忽略不计。因此，结温等式可简化为：

$$T_J = T_A + \{[(V_{IN} - V_{OUT}) \times I_{LOAD}] \times \theta_{JA}\} \quad (3)$$

如上式所示，针对给定的环境温度、输入与输出电压差和连续负载电流，为了确保结温不超过125°C，对PCB存在一个最小覆铜尺寸要求。图33至图46显示了不同环境温度、负载电流、 V_{IN} 与 V_{OUT} 差和PCB覆铜面积的结温计算结果。

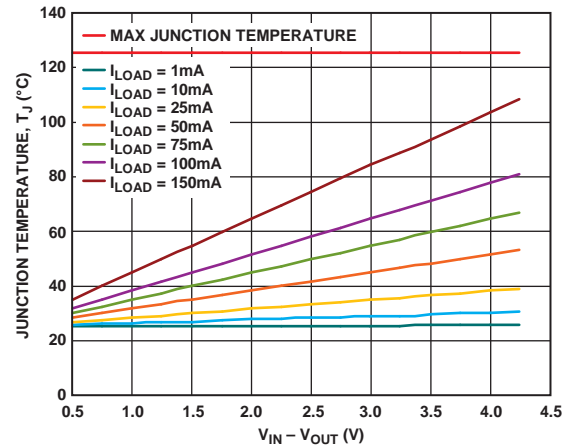


图33. TSOT, 500 mm² PCB覆铜, $T_A = 25^\circ\text{C}$

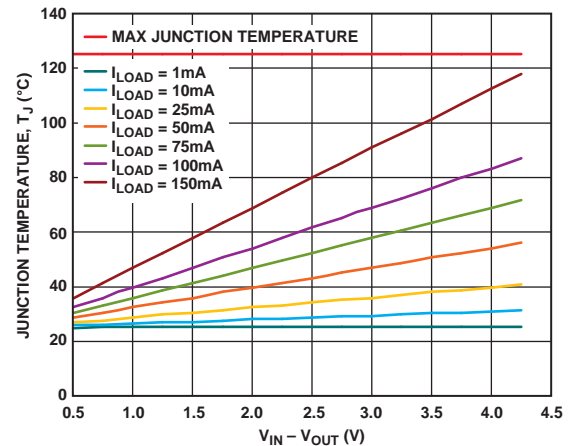


图34. TSOT, 100 mm² PCB覆铜, $T_A = 25^\circ\text{C}$

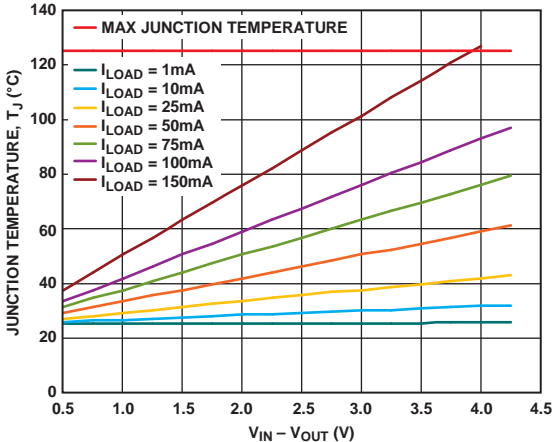


图35. TSOT, 0 mm² PCB覆铜, T_A = 25°C

08349-230

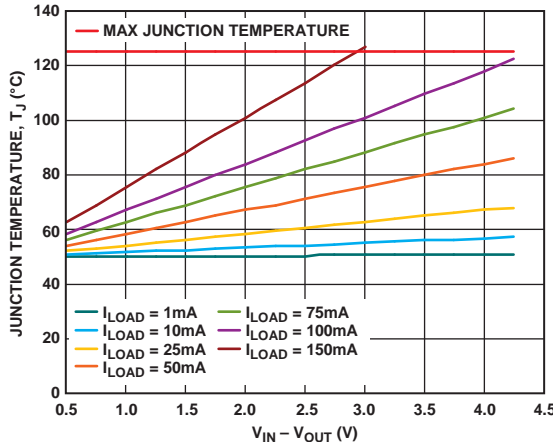


图38. TSOT, 0 mm² PCB覆铜, T_A = 50°C

08349-233

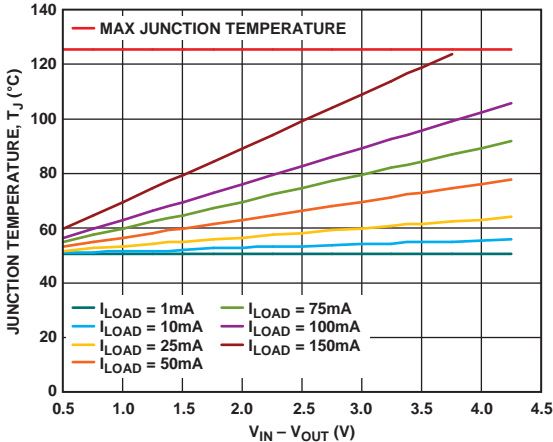


图36. TSOT, 500 mm² PCB覆铜, T_A = 50°C

08349-231

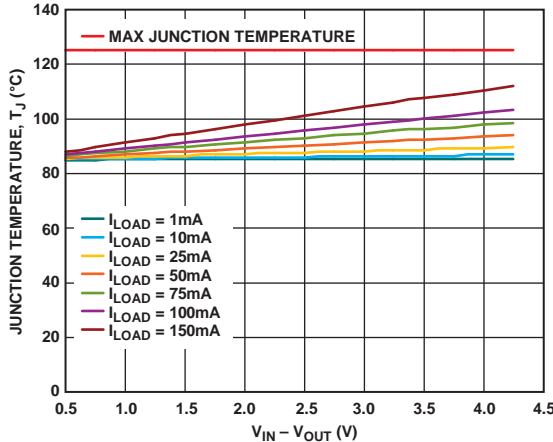


图39. TSOT, 100 mm² PCB覆铜, 电路板温度 = 85°C

08349-248

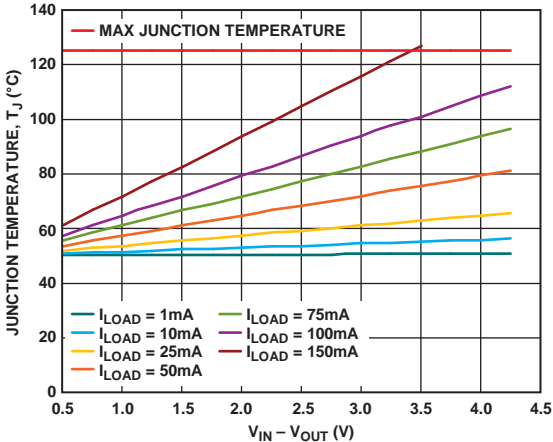


图37. TSOT, 100 mm² PCB覆铜, T_A = 50°C

08349-232

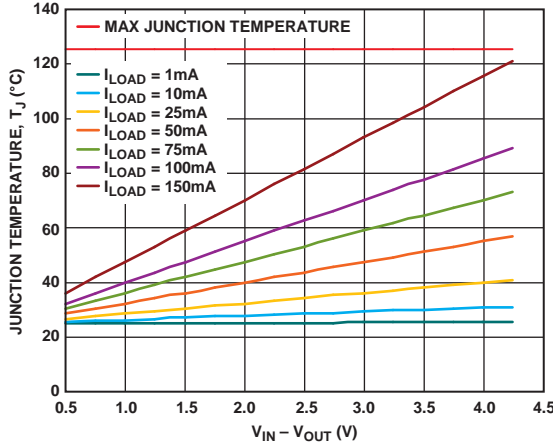


图40. WLCSF, 500 mm² PCB覆铜, T_A = 25°C

08349-042

ADP150

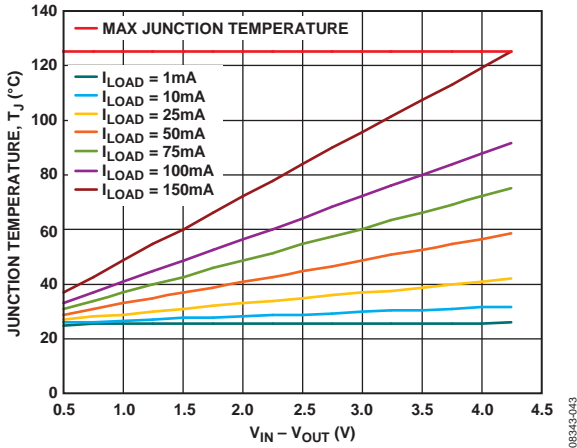


图41. WLCSP, 100 mm² PCB覆铜, T_A = 25°C

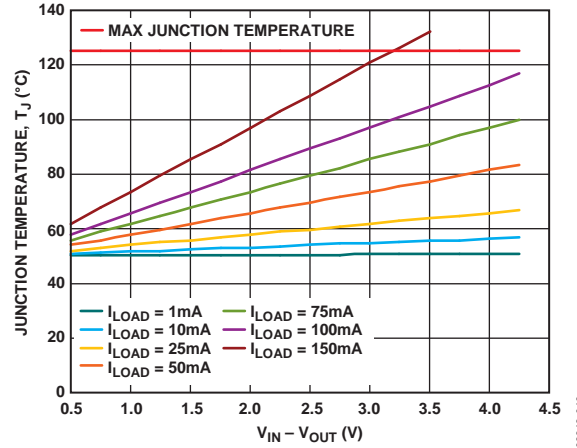


图44. WLCSP, 100 mm² PCB覆铜, T_A = 50°C

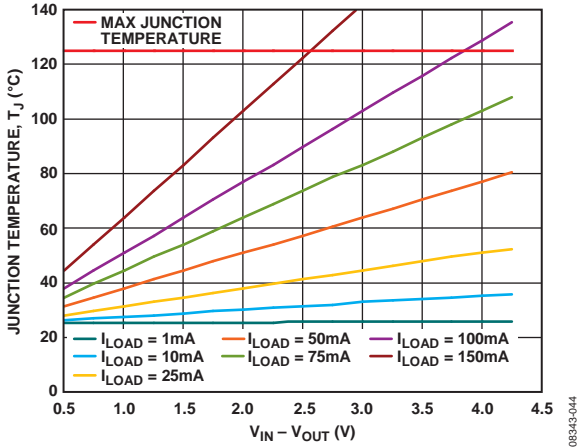


图42. WLCSP, 0 mm² PCB覆铜, T_A = 25°C

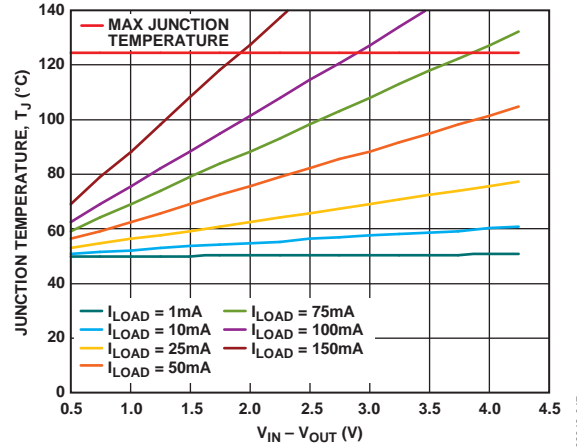


图45. WLCSP, 0 mm² PCB覆铜, T_A = 50°C

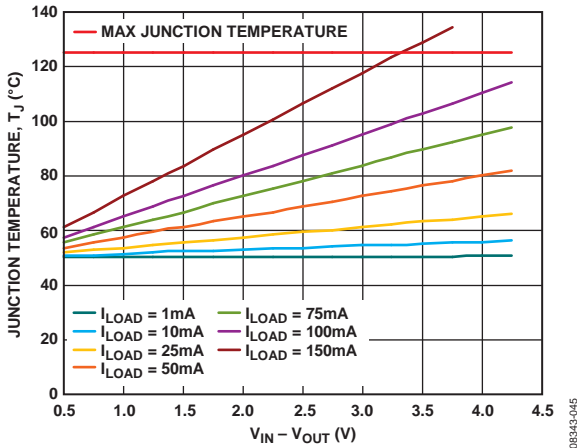


图43. WLCSP, 500 mm² PCB覆铜, T_A = 50°C

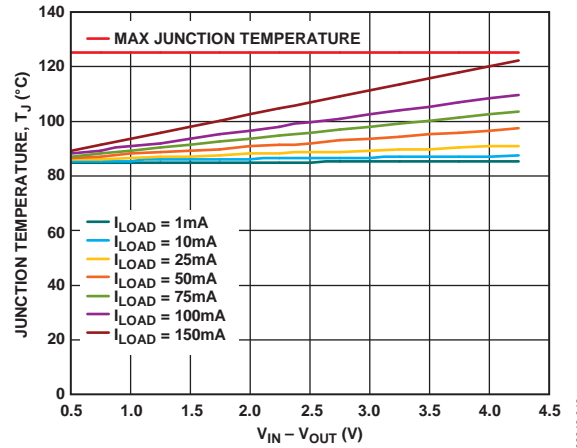


图46. WLCSP, 100 mm² PCB覆铜, 电路板温度 = 85°C

PCB布局考虑

增加ADP150引脚上的覆铜用量可以改善封装的散热性能。但是，如表7所示，这种增加存在“效益递减”现象，超过某一点后，覆铜尺寸的增加便不会带来明显的散热效益。

输入电容应尽可能靠近VIN和GND引脚放置。输出电容应尽可能靠近VOUT和GND引脚放置。在板面积受限的应用中，使用0402或0603尺寸的电容和电阻可实现最小尺寸解决方案。

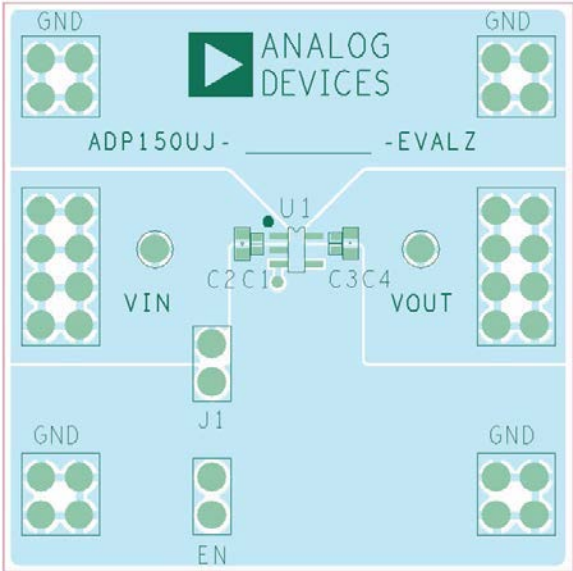


图47. TSOT PCB布局示例

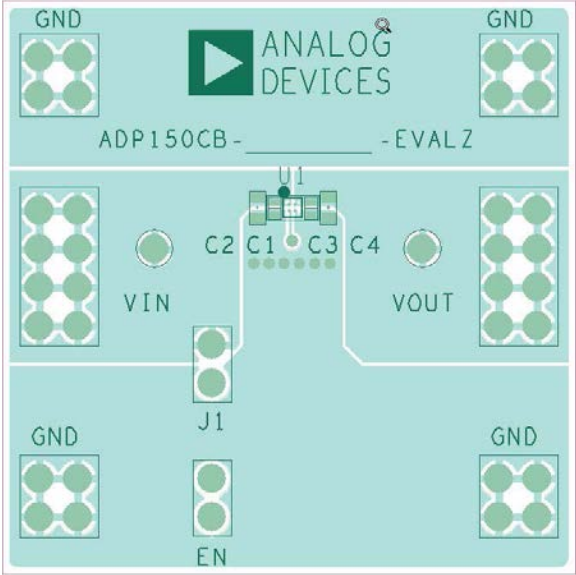
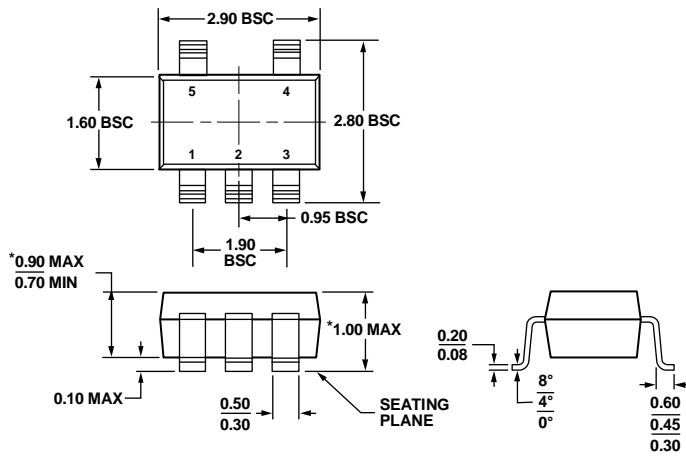


图48. WLCSP PCB布局示例

外形尺寸



*COMPLIANT TO JEDEC STANDARDS MO-193-AB WITH THE EXCEPTION OF PACKAGE HEIGHT AND THICKNESS.

图49.5引脚超薄小型晶体管封装[TSOT] (UJ-5)

尺寸单位: 毫米

100708-A

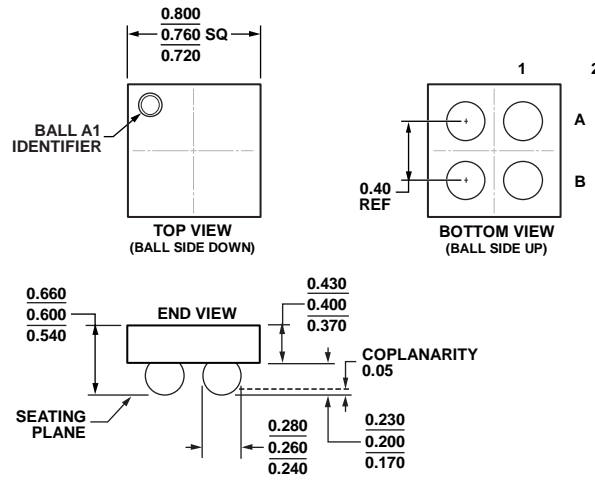


图50.4引脚晶圆级芯片规模封装[WLCSP] (CB-4-3)

尺寸单位: 毫米

04-18-2012-A

订购指南

型号 ¹	温度范围(T)	输出电压(V) ²	封装描述	封装选项	标识
ADP150ACBZ-1.8-R7	-40°C至+125°C	1.8	4引脚晶圆级芯片规模封装[WLCSP]	CB-4-3	36
ADP150ACBZ-2.5-R7	-40°C至+125°C	2.5	4引脚晶圆级芯片规模封装[WLCSP]	CB-4-3	3V
ADP150ACBZ-2.6-R7	-40°C至+125°C	2.6	4引脚晶圆级芯片规模封装[WLCSP]	CB-4-3	63
ADP150ACBZ-2.75R7	-40°C至+125°C	2.75	4引脚晶圆级芯片规模封装[WLCSP]	CB-4-3	3X
ADP150ACBZ-2.8-R7	-40°C至+125°C	2.8	4引脚晶圆级芯片规模封装[WLCSP]	CB-4-3	46
ADP150ACBZ-2.85R7	-40°C至+125°C	2.85	4引脚晶圆级芯片规模封装[WLCSP]	CB-4-3	3Y
ADP150ACBZ-3.0-R7	-40°C至+125°C	3.0	4引脚晶圆级芯片规模封装[WLCSP]	CB-4-3	47
ADP150ACBZ-3.3-R7	-40°C至+125°C	3.3	4引脚晶圆级芯片规模封装[WLCSP]	CB-4-3	48
ADP150AUJZ-1.8-R7	-40°C至+125°C	1.8	5引脚超薄小型晶体管封装[TSOT]	UJ-5	LDS
ADP150AUJZ-2.5-R7	-40°C至+125°C	2.5	5引脚超薄小型晶体管封装[TSOT]	UJ-5	LDZ
ADP150AUJZ-2.65-R7	-40°C至+125°C	2.65	5引脚超薄小型晶体管封装[TSOT]	UJ-5	LPE
ADP150AUJZ-2.8-R7	-40°C至+125°C	2.8	5引脚超薄小型晶体管封装[TSOT]	UJ-5	LE3
ADP150AUJZ-3.0-R7	-40°C至+125°C	3.0	5引脚超薄小型晶体管封装[TSOT]	UJ-5	LE2
ADP150AUJZ-3.3-R7	-40°C至+125°C	3.3	5引脚超薄小型晶体管封装[TSOT]	UJ-5	LEJ
ADP150CB-3.3-EVALZ		3.3	WLCSP封装评估板		
ADP150UJZ-REDYKIT			评估板		

¹ Z = 符合RoHS标准的兼容器件。

² 提供多达14种固定输出电压选项：1.8V至3.3V。如需其它电压选项，请联系当地的ADI公司办事处或代理商。

注释