



产品特性

- 串行数据输入：6.5 Mbps至11.3 Gbps
- 无需参考时钟
- 超过SONET/SDH抖动传递/产生/容差要求
- 量化器灵敏度：7.3 mV(典型值，限幅放大器模式)
- 可选限幅放大器、均衡器和旁路输入
- 可编程抖动传递带宽，支持G.8251 OTN
- 可编程限幅电平
- 采样相位调整(5.65 Gbps或更高)
- 输出极性反转
- 可通过I²C设置LOS阈值
- 通过I²C访问可选特性
- 信号丢失(LOS)报警(仅限限幅放大器模式)
- 失锁(LOL)指示器
- PRBS发生器和检测器
- 根据应用调整功耗
 - 11.3 Gbps时430 mW，均衡器使能，无时钟输出
 - 6.144 Gbps时380 mW，限幅放大器模式，无时钟输出
 - 622 Mbps时340 mW，输入旁路模式，无时钟输出
- 电源：1.2 V、1.8 V至3.3 V灵活范围和3.3 V
- 4 mm × 4 mm、24引脚LFCSP封装

应用

- SONET/SDH OC-1/OC-3/OC-12/OC-48/OC-192和所有相关FEC速率
- 1GF、2GF、4GF、8GF、10GF、1GE和10GE
- WDM应答器
- 所有速率再生器/中继器

概述

ADN2915提供下列接收器功能：量化、信号电平检测、时钟和数据恢复，适用于从6.5 Mbps到11.3 Gbps的连续数据速率。它可自动锁定至所有数据速率，而无需外部参考时钟或编程。ADN2915抖动性能超越全部SONET/SDH抖动要求，包括抖动传递、抖动产生和抖动容差。

ADN2915提供手动或自动限幅调整和手动采样相位调整。此外，用户还可选择限幅放大器、均衡器或旁路输入。均衡器为自适应或可手动设置。

当输入信号电平降至用户可编程阈值以下时，接收器前端信号丢失(LOS)检测电路会予以提示。LOS检测电路具有迟滞特性，可防止LOS输出震颤。此外，可通过I²C寄存器读取输入信号强度。

ADN2915还支持伪随机二进制序列(PRBS)生成、位错误检测和输入数据速率回读功能。

ADN2915采用紧凑型4 mm × 4 mm、24引脚芯片级(LFCSP)封装。所有规格均相对于-40°C至+85°C环境温度而言，除非另有说明。

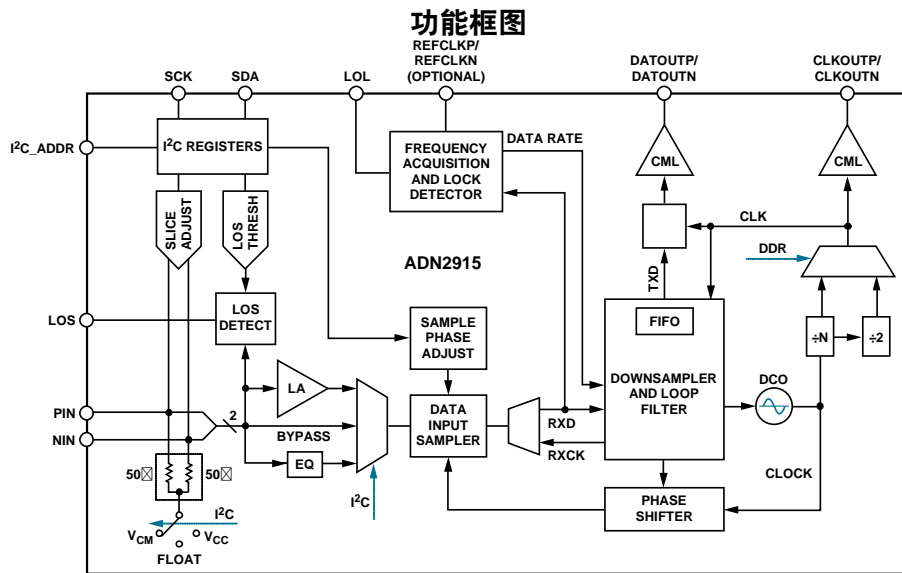


图1.

Rev. 0

[Document Feedback](#)

Information furnished by Analog Devices is believed to be accurate and reliable. However, no responsibility is assumed by Analog Devices for its use, nor for any infringements of patents or other rights of third parties that may result from its use. Specifications subject to change without notice. No license is granted by implication or otherwise under any patent or patent rights of Analog Devices. Trademarks and registered trademarks are the property of their respective owners.

One Technology Way, P.O. Box 9106, Norwood, MA 02062-9106, U.S.A.
 Tel: 781.329.4700 ©2013 Analog Devices, Inc. All rights reserved.
[Technical Support](#) www.analog.com

ADI中文版数据手册是英文版数据手册的译文，敬请谅解翻译中可能存在的语言组织或翻译错误，ADI不对翻译中存在的差异或由此产生的错误负责。如需确认任何词语的准确性，请参考ADI提供的最新英文版数据手册。

目录

产品特性	1	频率采集	22
应用	1	限幅放大器	22
概述	1	限幅调整	22
功能框图	1	边沿选择	22
修订历史	2	信号丢失(LOS)检测器	23
技术规格	3	无源均衡器	24
抖动规格	5	旁路	24
输出和时序规格	6	锁定检测器操作	25
时序图	8	谐波检波器	25
绝对最大额定值	9	输出禁用和静噪	26
热特性	9	I ² C接口	26
ESD警告	9	参考时钟(可选)	26
引脚配置和功能描述	10	可通过I ² C接口访问的其他特性	28
典型性能参数	11	输入配置	30
I ² C接口时序和内部寄存器描述	14	直流耦合应用	32
寄存器映射	15	外形尺寸	33
工作原理	20	订购指南	33
功能描述	22		

修订历史

2013年7月—修订版0：初始版

技术规格

除非另有说明, $T_A = T_{MIN}$ 至 T_{MAX} , $VCC = VCC_{MIN}$ 至 VCC_{MAX} , $VCC1 = VCC1_{MIN}$ 至 $VCC1_{MAX}$, $VDD = VDD_{MIN}$ 至 VDD_{MAX} , $VEE = 0 V$, 输入数据模式: PRBS $2^{23} - 1$, 交流耦合, I²C寄存器默认设置。

表1.

参数	测试条件/注释	最小值	典型值	最大值	单位
数据速率支持范围		0.0065		11.3	Gbps
输入—直流特性					
峰峰值差分输入 ¹	PIN – NIN			1.0	V
输入电阻	差分	95	100	105	Ω
旁路路径—CML输入					
输入电压范围	在PIN或NIN处, 直流耦合, RX_TERM_FLOAT = 1(悬空)	0.5		VCC	V
输入共模电平	直流耦合(见图39), 600 mV p-p差分, RX_TERM_FLOAT = 1(悬空)	0.65		VCC – 0.15	V
差分输入灵敏度					
OC-192	交流耦合, RX_TERM_FLOAT = 0 ($V_{CM} = 1.2 V$), 误码率(BER) = 1×10^{-10}		200		mV p-p
8GFC ²	抖动容差加扰模式(JTSPAT), 交流耦合, RX_TERM_FLOAT = 0 ($V_{CM} = 1.2 V$), 误码率(BER) = 1×10^{-12}		200		mV p-p
限幅放大器输入路径					
差分输入灵敏度					
OC-48	BER = 1×10^{-10}		7.0		mV p-p
OC-192	BER = 1×10^{-10}		9.2		mV p-p
8GFC ²	JTSPAT, BER = 1×10^{-12}		8.3		mV p-p
10.3125 Gbps	JTSPAT, BER = 1×10^{-12}		11.0		mV p-p
均衡器输入路径					
差分输入灵敏度	15英寸FR-4, 100 Ω差分传输线, 自适应EQ开启				
8GFC ²	JTSPAT, BER = 1×10^{-12}		115		mV p-p
OC-192	BER = 1×10^{-10}		184		mV p-p
输入—交流特性					
S11	7.5 GHz, 差分回损, 参见图14		-12		dB
信号丢失检测(LOS)					
信号丢失检测			10		mV p-p
迟滞(电气)	信号丢失最小编程值		5		mV p-p
LOS置位时间	信号丢失最大编程值		128		mV p-p
LOS解除置位时间	交流耦合 ³		5.7		dB
失锁(LOL)检测	交流耦合 ³		135		μs
LOL置位的DCO频率误差	交流耦合 ³		110		μs
LOL解除置位的DCO频率误差	相对标称值, 数据在锁定参考(LTR) 模式下采集		1000		ppm
LOL置位响应时间	相对标称值, 数据在LTR模式下采集		250		ppm
10.0 Mbps	10.0 Mbps		10		ms
2.5 Gbps	2.5 Gbps		51		μs
8.5 Gbps, JTSPAT	8.5 Gbps, JTSPAT		25		μs
10 Gbps	10 Gbps		18		μs
采集时间					
锁定数据(LTD)模式					
10 Mbps	10 Mbps		24		ms
2.5 Gbps	2.5 Gbps		0.5		ms
8.5 Gbps, JTSPAT	8.5 Gbps, JTSPAT		0.5		ms
10 Gbps	10 Gbps		0.5		ms
可选LTR模式 ⁴			6.0		ms

ADN2915

参数	测试条件/注释	最小值	典型值	最大值	单位
数据速率回读精度					
粗调回读			±5		%
精调回读	除参考时钟精度以外		±100		ppm
电源电压					
VCC		1.14	1.2	1.26	V
VDD		2.97	3.3	3.63	V
VCC1		1.62	1.8	3.63	V
电源电流	限幅放大器模式，时钟输出使能				
VCC	1.25 Gbps		277.1	311.0	mA
	3.125 Gbps		256.2	288.3	mA
	4.25 Gbps		270.1	304.0	mA
	6.144 Gbps		303.1	340.4	mA
	8GFC, ² JTSPAT		319.1	359.5	mA
	OC-192		333	377.4	mA
VDD	1.25 Gbps		7.24	8.28	mA
	3.125 Gbps		7.21	8.21	mA
	4.25 Gbps		7.23	8.33	mA
	6.144 Gbps		7.26	8.17	mA
	8GFC, ² JTSPAT		7.20	8.1	mA
VCC1	OC-192		7.21	8.59	mA
	1.25 Gbps		35.6	46.8	mA
	3.125 Gbps		19.0	24.1	mA
	4.25 Gbps		22.2	28.2	mA
	6.144 Gbps		19.4	24.6	mA
	8GFC, ² JTSPAT		22.2	28.4	mA
	OC-192		35.1	47.4	mA
总功耗	限幅放大器模式，时钟输出使能				
	1.25 Gbps		420.4		mW
	3.125 Gbps		365.5		mW
	4.25 Gbps		388		mW
	6.144 Gbps		422.5		mW
	8GFC, ² JTSPAT		446.6		mW
	OC-192		486.5		mW
工作温度范围		-40		+85	°C

¹ 参见图40。

² 光纤通道物理接口4标准FC-P1-4，修订版8.00，2008年5月21日。

³ 交流耦合时，LOS置位和解除置位时间以ADN2915输入级的交流耦合电容与100 Ω差分输入终端的RC时间常数为主。

⁴ 此典型采集规格适用于11.05 MHz到176.8 MHz范围内的所有可选参考时钟频率。

抖动规格

除非另有说明, $T_A = T_{MIN}$ 至 T_{MAX} , $VCC = VCC_{MIN}$ 至 VCC_{MAX} , $VCC1 = VCC1_{MIN}$ 至 $VCC1_{MAX}$, $VDD = VDD_{MIN}$ 至 VDD_{MAX} , $VEE = 0 V$, 输入数据模式: PRBS $2^{23} - 1$, 交流耦合到 100Ω 差分端接负载, I²C 寄存器默认设置。

表2.

参数	测试条件/注释	最小值	典型值	最大值	单位
锁相环特性					
抖动传递带宽(BW) ¹					
OC-192	TRANBW[2:0] = 3	1064		1650	kHz
	OTN模式 ² , TRANBW[2:0] = 1	294		529	kHz
8GFC ³		1242		1676	kHz
OC-48	TRANBW[2:0] = 4(默认值)	663		896	kHz
	OTN模式 ² , TRANBW[2:0] = 1	157		181	kHz
OC-12		175			kHz
OC-3		44			kHz
抖动峰化					
OC-192	20 kHz至80 MHz	0.014		0.024	dB
8GFC ³	20 kHz至80 MHz	0.004		0.021	dB
OC-48	20 kHz至10 MHz	0.004		0.023	dB
OC-12		0.01			dB
OC-3		0.01			dB
抖动产生					
OC-192	未滤波	0.0045		0.0067	UI rms
	未滤波	0.076			UI p-p
8GFC ³	未滤波	0.005			UI rms
	未滤波	0.044			UI p-p
OC-48	12 kHz至20 MHz	0.0025			UI rms
	未滤波			0.0046	UI rms
	12 kHz至20 MHz	0.0156			UI p-p
	未滤波			0.0276	UI p-p
OC-12	12 kHz至5 MHz	0.0007			UI rms
	未滤波			0.0011	UI rms
	12 kHz至5 MHz	0.0038			UI p-p
	未滤波			0.0076	UI p-p
OC-3	12 kHz至1.3 MHz	0.0002			UI rms
	未滤波			0.0003	UI rms
	12 kHz至1.3 MHz	0.0008			UI p-p
	未滤波			0.0018	UI p-p
抖动容差	TRANBW[2:0] = 4(默认值)				
OC-192	2000 Hz	4255			UI p-p
	20 kHz	106			UI p-p
	400 kHz	3.78			UI p-p
	4 MHz	0.46			UI p-p
	80 MHz	0.42			UI p-p
8GFC, ³ JTSPAT					
正弦抖动(340 kHz)		6.7			UI p-p
正弦抖动(5.098 MHz)		0.53			UI p-p
正弦抖动(80 MHz)		0.59			UI p-p
Rx抖动跟踪测试 ⁴	电压调制幅度(VMA) = 170 mV p-p (100 MHz), 425 mV p-p (100 MHz), 170 mV p-p (2.5 GHz), 425 mV p-p (2.5 GHz激励频率) ⁵				
510 kHz, 1 UI		10^{-12}	$<10^{-12}$		BER
100 kHz, 5 UI		10^{-12}	$<10^{-12}$		BER

ADN2915

参数	测试条件/注释	最小值	典型值	最大值	单位
OC-48	600 Hz		1528		UI p-p
	6 kHz		378		UI p-p
	100 kHz		16.6		UI p-p
	1 MHz		0.70		UI p-p
	20 MHz		0.63		UI p-p
OC-12	30 Hz		193		UI p-p
	300 Hz		44		UI p-p
	25 kHz		19.2		UI p-p
	250 kHz		0.82		UI p-p
	5 MHz		0.60		UI p-p
OC-3	30 Hz		50.0		UI p-p
	300 Hz		24.0		UI p-p
	6500 Hz		14.4		UI p-p
	65 kHz		0.80		UI p-p
	1.3 MHz		0.61		UI p-p

¹ 抖动传递带宽可通过DPLLA寄存器(0x10)中的TRANBW[2:0]编程。

² 设置TRANBW[2:0] = 1可进入OTN模式。OTN是ITU G.709定义的光传输网络。

³ 光纤通道物理接口4标准FC-P1-4, 修订版8.00, 2008年5月21日。

⁴ FC-P1-4的条件, 修订版8.00, 表27, 适用800-DF-EL-5。

⁵ 为使 $\leq 10^{-12}$ BER的时间间隔通过测试, 测试期间必须具有零误差。

输出和时序规格

除非另有说明, $T_A = T_{MIN}$ 至 T_{MAX} , $V_{CC} = V_{CC_{MIN}}$ 至 $V_{CC_{MAX}}$, $V_{CC1} = V_{CC1_{MIN}}$ 至 $V_{CC1_{MAX}}$, $V_{DD} = V_{DD_{MIN}}$ 至 $V_{DD_{MAX}}$,

$V_{EE} = 0 V$, 输入数据模式: PRBS $2^{23} - 1$, 交流耦合到100 Ω 差分端接负载, I²C寄存器默认设置。

表3.

参数	测试条件/注释	最小值	典型值	最大值	单位
CML输出特性					
数据差分输出摆幅	OC-192, DATA_SWING[3:0]设置 = 0xC(默认值)	535	600	672	mV p-p
	OC-192, DATA_SWING[3:0]设置 = 0xF(最大值)	668	724	771	mV p-p
	OC-192, DATA_SWING[3:0]设置 = 0x4(最小值)	189	219	252	mV p-p
时钟差分输出摆幅	OC-192, CLOCK_SWING[3:0]设置 = 0xC(默认值)	406	508	570	mV p-p
	OC-192, CLOCK_SWING[3:0]设置 = 0xF(最大值)	448	583	659	mV p-p
	OC-192, CLOCK_SWING[3:0]设置 = 0x4(最小值)	162	217	249	mV p-p
数据差分输出摆幅	8GFC, DATA_SWING[3:0]设置 = 0xC(默认值)	540	600	666	mV p-p
	8GFC, DATA_SWING[3:0]设置 = 0xF(最大值)	662	725	778	mV p-p
	8GFC, DATA_SWING[3:0]设置 = 0x4(最小值)	190	214	245	mV p-p
时钟差分输出摆幅	8GFC, CLOCK_SWING[3:0]设置 = 0xC(默认值)	426	518	588	mV p-p
	8GFC, CLOCK_SWING[3:0]设置 = 0xF(最大值)	489	603	680	mV p-p
	8GFC, CLOCK_SWING[3:0]设置 = 0x4(最小值)	166	213	245	mV p-p
输出高电压	V_{OH} , 直流耦合	$V_{CC} - 0.05$	$V_{CC} - 0.025$	V_{CC}	V
输出低电压	V_{OL} , 直流耦合	$V_{CC} - 0.36$	$V_{CC} - 0.325$	$V_{CC} - 0.29$	V
CML输出时序特性					
上升时间	20%至80%, OC-192, DATOUTN/DATOUTP	17.4	32.6	46.5	ps
	20%至80%, OC-192, CLKOUTN/CLKOUTP	22.2	28.3	33.1	ps
	20%至80%, 8GFC1, DATOUTN/DATOUTP	20.4	33.1	44	ps
	20%至80%, 8GFC1, CLKOUTN/CLKOUTP	23.1	29.7	35.8	ps
	80%至20%, OC-192, DATOUTN/DATOUTP	17.5	33	49.1	ps
下降时间	20%至80%, OC-192, CLKOUTN/CLKOUTP	23.9	29.2	33.7	ps
	80%至20%, 8GFC1, DATOUTN/DATOUTP	23	34.2	46.8	ps
	20%至80%, 8GFC1, CLKOUTN/CLKOUTP	25	31.3	37.1	ps
建立时间, 全速率时钟	t_s (见图2)		0.5		UI
保持时间, 全速率时钟	t_h (见图2)		0.5		UI
建立时间, DDR时钟	t_s (见图3)		0.5		UI
保持时间, DDR时钟	t_h (见图3)		0.5		UI

参数	测试条件/注释	最小值	典型值	最大值	单位
I ² C接口直流特性	LVTTL				
输入高电压	V _{IH}	2.0			V
输入低电压	V _{IL}			0.8	V
输入电流	V _{IN} = 0.1 x VDD或V _{IN} = 0.9 x VDD	-10.0		+10.0	μA
输出低电压	V _{OL} , I _{OL} = 3.0 mA			0.4	V
I ² C接口时序	参见图24				
SCK时钟频率				400	kHz
SCK高电平脉冲宽度	t _{HIGH}	600			ns
SCK低电平脉冲宽度	t _{LOW}	1300			ns
起始条件保持时间	t _{HD,STA}	600			ns
起始条件建立时间	t _{SU,STA}	600			ns
数据建立时间	t _{SU,DAT}	100			ns
数据保持时间	t _{HD,DAT}	300			ns
SCK/SDA上升/下降时间	t _r /t _f	20 + 0.1 C _b ²		300	ns
停止条件建立时间	t _{SU,STO}	600			ns
停止条件和起始条件之间的 总线空闲时间	t _{BUF}	1300			ns
LVTTL直流输入特性 (I ² C_ADDR)					
输入电压					
高电平	V _{IH}	2.0			V
低电平	V _{IL}			0.8	V
输入电流					
高电平	I _{IH} , V _{IN} = 2.4 V			+5	μA
低电平	I _{IL} , V _{IN} = 0.4 V	-5			μA
LVTTL直流输出特性 (LOS/LOL)					
输出电压					
高电平	V _{OH} , I _{OH} = +2.0 mA	2.4			V
低电平	V _{OL} , I _{OL} = -2.0 mA			0.4	V
参考时钟特性	可选LTR模式				
输入顺从电压 (单端)	V _{CM} (无输入失调、无输入电流), 参见图32, 交流耦合输入	0.55		1.0	V
最小输入驱动	参见图32, 交流耦合, 差分输入		100		mV p-p diff
参考频率		11.05		176.8	MHz
精度要求 ³	交流耦合, 差分输入		100		ppm

¹ 光纤通道物理接口4标准FC-P1-4, 修订版8.00, 2008年5月21日。

² C_b是一条总线的总电容(单位: pF)。与高速(HS)模式器件混用时, 支持更快的上升/下降时间(参见Philips I²C总线规范2.1版)。

³ 直流耦合模式下的精度要求通过设计保证, 只要时钟共模电压输出与参考时钟共模电压范围一致。

时序图

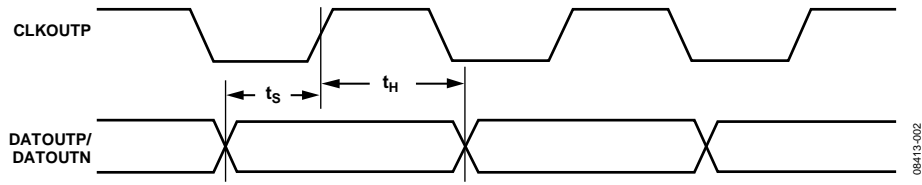


图2. 数据至时钟时序(全速率时钟模式)

08413-002

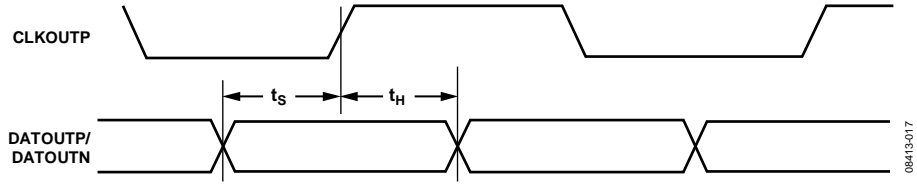


图3. 数据至时钟时序(半速率时钟/DDR模式)

08413-017

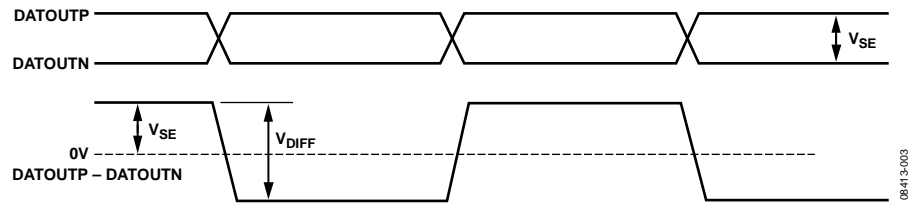


图4. 单端与差分输出幅度关系

08413-003

绝对最大额定值

表4.

参数	额定值
电源电压(VCC = 1.2 V)	1.26 V
电源电压(VDD和VCC1 = 3.3 V)	3.63 V
最大输入电压(REFCLKP/REFCLKN、NIN/PIN)	1.26 V
最小输入电压(REFCLKP/REFCLKN、NIN/PIN)	$V_{EE} - 0.4 V$
最大输入电压(SDA、SCK、I ² C_ADDR)	3.63 V
最小输入电压(SDA、SCK、I ² C_ADDR)	$V_{EE} - 0.4 V$
最高结温	125°C
存储温度范围	-65°C至+150°C
引脚温度(焊接, 10秒)	300°C

注意, 超出上述绝对最大额定值可能会导致器件永久性损坏。这只是额定最值, 并不能以这些条件或者在任何其它超出本技术规范操作章节中所示规格的条件下, 推断器件能否正常工作。长期在绝对最大额定值条件下工作会影响器件的可靠性。

热特性

热阻

热阻针对最差条件, 也就是将器件焊接在电路板上以实现表贴封装, 带裸露焊盘的4层板焊接到VEE。

表5. 热阻

封装类型	θ_{JA} ¹	θ_{JB} ²	θ_{JC} ³	单位
24引脚LFCSP	45	5	11	°C/W

¹ 结至环境。

² 结至基极。

³ 结至壳。

ESD警告

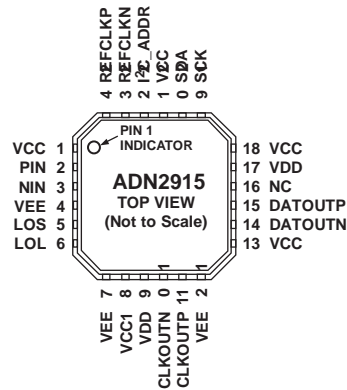


ESD(静电放电)敏感器件。

带电器件和电路板可能会在没有察觉的情况下放电。尽管本产品具有专利或专有保护电路, 但在遇到高能量ESD时, 器件可能会损坏。因此, 应当采取适当的ESD防范措施, 以避免器件性能下降或功能丧失。

ADN2915

引脚配置和功能描述



NOTES
 1. NC = NO CONNECT.
 2. EXPOSED PADDLE ON BOTTOM OF DEVICE PACKAGE MUST BE CONNECTED TO VEE ELECTRICALLY.

08413-004

图5. 引脚配置

表6. 引脚功能描述

引脚编号	引脚名称	类型 ¹	描述
1	VCC	P	限幅放大器的1.2 V电源。
2	PIN	AI	正差分数据输入(CML)。
3	NIN	AI	负差分数据输入(CML)。
4	VEE	P	限幅放大器地。
5	LOS	DO	信号丢失输出(高电平有效)。
6	LOL	DO	失锁输出(高电平有效)。
7	VEE	P	数字控制振荡器(DCO)地。
8	VCC1	P	1.8 V至3.3 V DCO电源。
9	VDD	P	3.3 V高电源。
10	CLKOUTN	DO	负差分恢复时钟输出(CML)。
11	CLKOUTP	DO	正差分恢复时钟输出(CML)。
12	VEE	P	CML输出驱动器地。
13	VCC	P	CML输出驱动器的1.2 V电源。
14	DATOUTN	DO	负差分重定时数据输出(CML)。
15	DATOUTP	DO	正差分重定时数据输出(CML)。
16	NC	DI	不连接。接地。
17	VDD	P	3.3 V高电源。
18	VCC	P	1.2 V内核数字电源。
19	SCK	DI	I ² C时钟。
20	SDA	DIO	I ² C双向数据。
21	VCC	P	1.2 V内核电源。
22	I ² C_ADDR	DI	设置器件I ² C地址 = 0x80(I ² C_ADDR = 0时), 器件I ² C地址 = 0x82(I ² C_ADDR = 1时)。
23	REFCLKN	DI	负参考时钟输入(可选)。
24	REFCLKP	DI	正参考时钟输入(可选)。
	EPAD	P	裸露焊盘(VEE)。器件封装底部的裸露焊盘必须电气连接到VEE。裸露焊盘充当散热器。

¹ P = 电源, AI = 模拟输入, DI = 数字输入, DO = 数字输出, DIO = 数字输入/输出。

典型性能参数

除非另有说明, $T_A = 25^\circ\text{C}$, $V_{CC} = 1.2\text{V}$, $V_{CC1} = 1.8\text{V}$, $V_{DD} = 3.3\text{V}$, $V_{EE} = 0\text{V}$, 输入数据模式: PRBS $2^{15} - 1$, 交流耦合输入和输出。

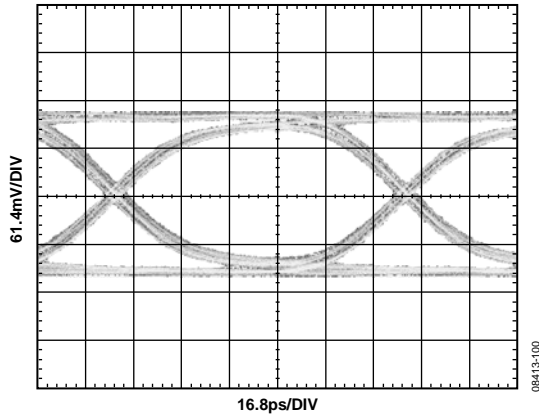


图6. 输出眼图(OC-192)

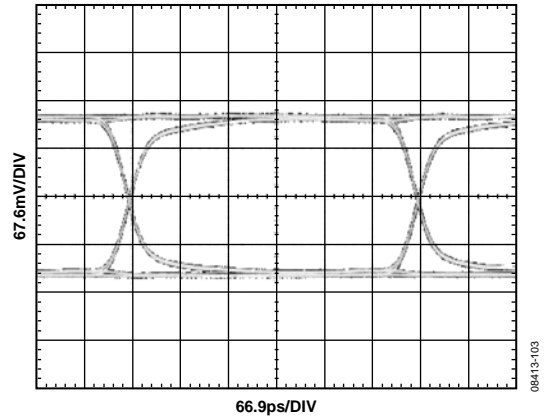


图9. 输出眼图(OC-48)

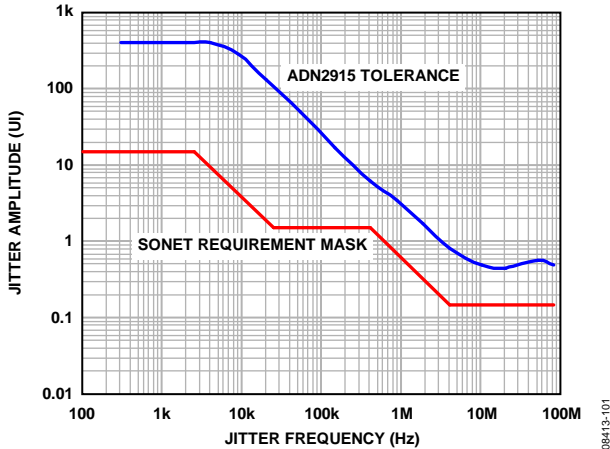


图7. 抖动容差: OC-192

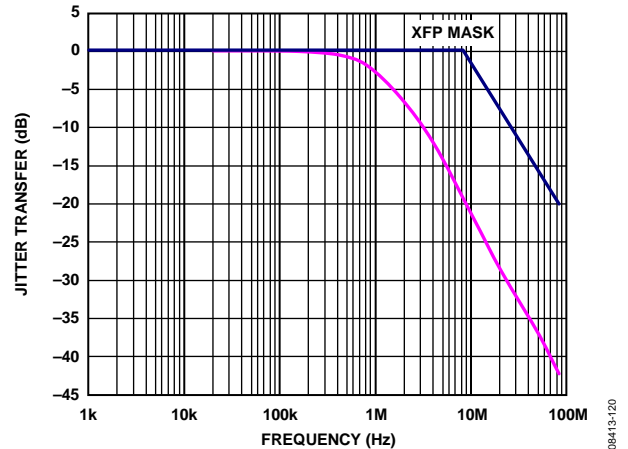


图10. 抖动传递: OC-192 (TRANBW[2:0] = 3)

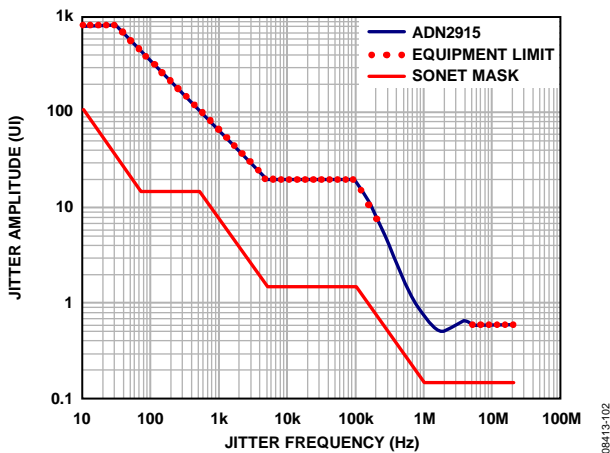


图8. 抖动容差: OC-48

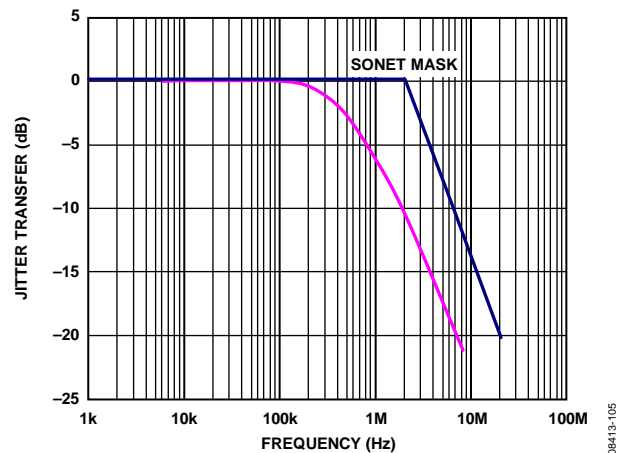


图11. 抖动传递: OC-48

ADN2915

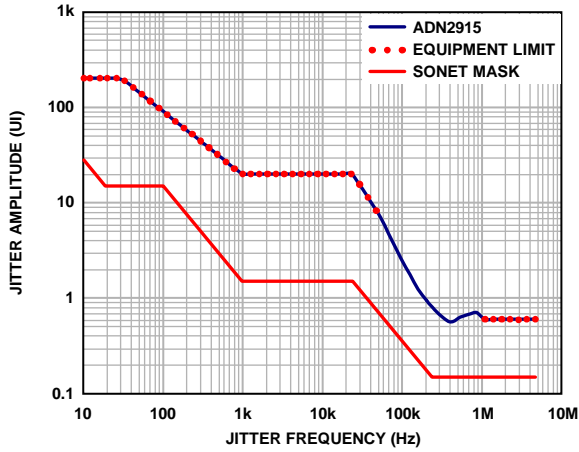


图12. 抖动容差: OC-12

08413-106

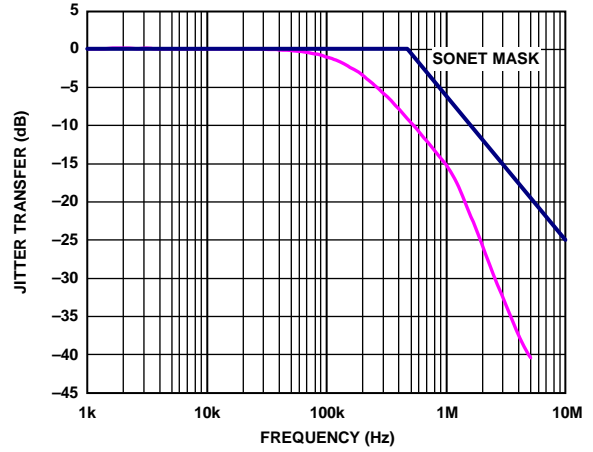


图15. 抖动传递: OC-12

08413-109

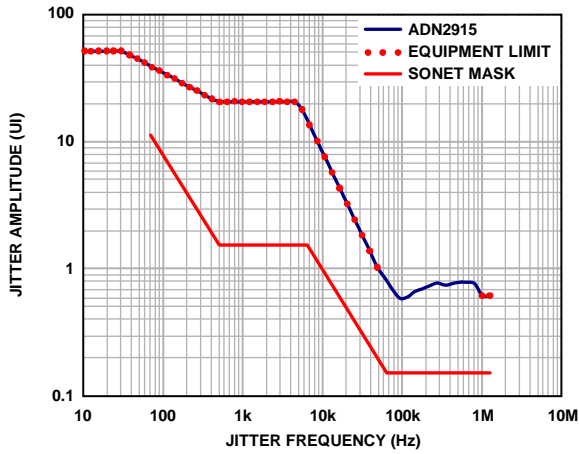


图13. 抖动容差: OC-3

08413-107

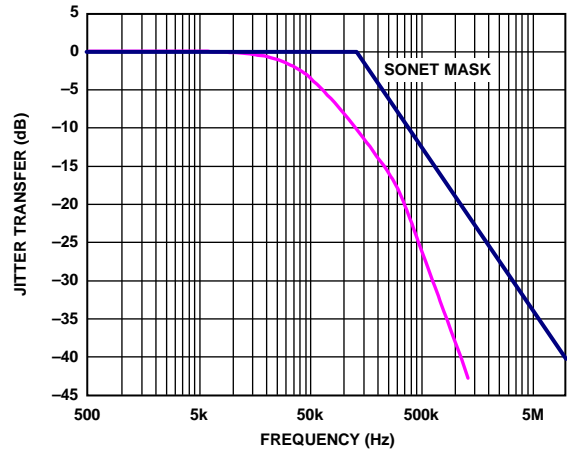


图16. 抖动传递: OC-3

08413-110

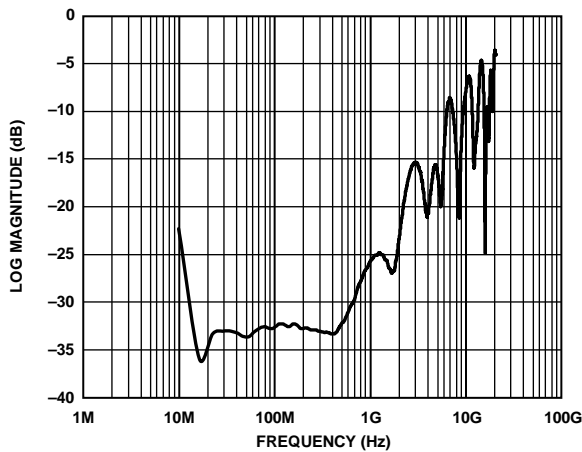


图14. 典型S11频谱性能

08413-114

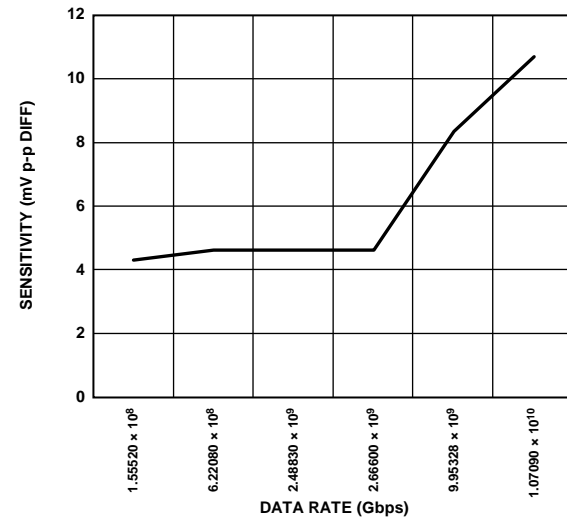


图17. SONET/SDH数据速率的灵敏度(BER = 10⁻¹⁰)

08413-121

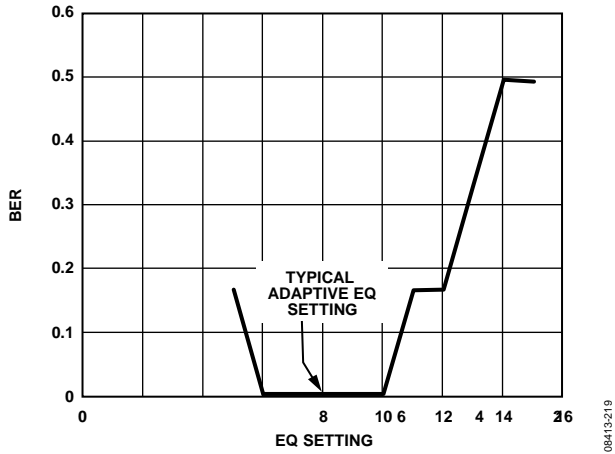


图18. 均衡器模式下的BER与OC-192时EQ补偿的关系 (用400 mV p-p差分的OC-192信号在15英寸FR4走线上测量, 各种EQ补偿, 包括自适应EQ)

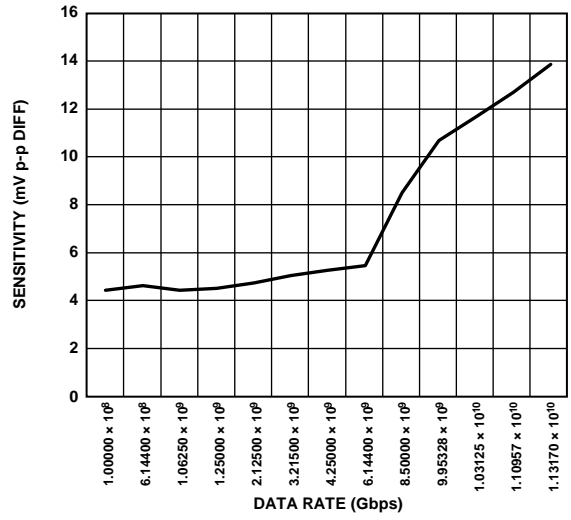


图19. 非SONET/SDH数据速率的灵敏度(BER = 10⁻¹²)

寄存器映射

不宜写入未清楚标明的寄存器位，否则可能产生意外结果。

表7. 内部寄存器映射

寄存器名称	R/W	地址(十六进制)	默认值(十六进制)	D7	D6	D5	D4	D3	D2	D1	D0	
回读/状态												
FREQMEAS0	R	0x0	不适用	FREQ0[7:0] (RATE_FREQ[7:0])								
FREQMEAS1	R	0x1	不适用	FREQ1[7:0] (RATE_FREQ[15:8])								
FREQMEAS2	R	0x2	不适用	FREQ2[7:0] (RATE_FREQ[23:16])								
FREQ_RB1	R	0x4	不适用	VCOSEL[7:0]								
FREQ_RB2	R	0x5	不适用		FULLRATE	DIVRATE[3:0]				VCOSEL[9:8]		
STATUSA	R	0x6	不适用			LOS status	LOL status	LOS done	Static LOL		RATE_MEAS_COMP	
一般控制												
CTRLA	R/W	0x8	0x00	0	CDR_MODE[2:0]			0	Reset static LOL	RATE_MEAS_EN	RATE_MEAS_RESET	
CTRLB	R/W	0x9	0x00	SOFTWARE_RESET	INIT_FREQ_ACQ	CDR bypass	LOL config	LOS PDN	LOS polarity	0	0	
CTRLC	R/W	0xA	0x05	0	0	0	0	0	REFCLK_PDN	0	1	
FLL控制												
LTR_MODE	R/W	0xF	0x00	0	LOL data	FREF_RANGE[1:0]		DATA_TO_REF_RATIO[3:0]				
D/PLL控制												
DPLLA	R/W	0x10	0x1C	0	0	0	EDGE_SEL[1:0]		TRANBW[2:0]			
DPLLD	R/W	0x13	0x06	0	0	0	0	0	ADAPTIVE_SLICE_EN	DLL_SLEW[1:0]		
Phase	R/W	0x14	0x00	0	0	0	0	SAMPLE_PHASE[3:0]				
Slice	W	0x15	不适用	Extended slice	Slice[6:0]							
LA_EQ	R/W	0x16	0x08	RX_TERM_FLOAT	INPUT_SEL[1:0]		ADAPTIVE_EQ_EN	EQ_BOOST[3:0]				
Slice Readback	R	0x73	不适用	SLICE_RB[7:0]								
输出控制												
OUTPUTA	R/W	0x1E	0x00	0	0	Data squelch	DATOUT_DISABLE	CLKOUT_DISABLE	DDR_DISABLE	DATA_POLARITY	CLOCK_POLARITY	
OUTPUTB	R/W	0x1F	0xCC	DATA_SWING[3:0]				CLOCK_SWING[3:0]				
LOS控制												
LOS_DATA	R/W	0x36	0x00	LOS_DATA[7:0]								
LOS_CTRL	R/W	0x74	0x00	0	0	LOS_WRITE	LOS_ENABLE	LOS_RESET	LOS_ADDRESS[2:0]			
LOS_THRESH	R/W	0x38	0x0A	LOS_THRESHOLD[7:0]								
PRBS控制												
PRBS Gen 1	R/W	0x39	0x00	0	0	DATA_CID_BIT	DATA_CID_EN	0	DATA_GEN_EN	DATA_GEN_MODE[1:0]		
PRBS Gen 2	R/W	0x3A	0x00	DATA_CID_LENGTH[7:0]								
PRBS Gen 3	R/W	0x3B	0x00	PROG_DATA[7:0]								
PRBS Gen 4	R/W	0x3C	0x00	PROG_DATA[15:8]								
PRBS Gen 5	R/W	0x3D	0x00	PROG_DATA[23:16]								
PRBS Gen 6	R/W	0x3E	0x00	PROG_DATA[31:24]								
PRBS Rec 1	R/W	0x3F	0x00	0	0	0	0	DATA_RECEIVER_CLEAR	DATA_RECEIVER_ENABLE	DATA_RECEIVER_MODE[1:0]		
PRBS Rec 2	R	0x40	0x00	PRBS_ERROR_COUNT[7:0]								
PRBS Rec 3	R	0x41	0x00	PRBS_ERROR								

ADN2915

寄存器名称	R/W	地址(十六进制)	默认值(十六进制)	D7	D6	D5	D4	D3	D2	D1	D0
PRBS Rec 4	R	0x42	不适用	DATA_LOADED[7:0]							
PRBS Rec 5	R	0x43	不适用	DATA_LOADED[15:8]							
PRBS Rec 6	R	0x44	不适用	DATA_LOADED[23:16]							
PRBS Rec 7	R	0x45	不适用	DATA_LOADED[31:24]							
ID/版本											
REV	R	0x48	0x54	Rev[7:0]							
ID	R	0x49	0x15	ID[7:0]							

表8. 状态寄存器STATUSA(地址0x6)

位	位名称	位功能描述
D5	LOS status	0 = 无信号丢失 1 = 信号丢失
D4	LOL status	0 = 已锁定 1 = 频率采集模式
D3	LOS done	0 = LOS操作未完成 1 = LOS操作已完成
D2	Static LOL	0 = 上次复位以来无LOL事件 1 = 上次复位以来有LOL事件；
D0	RATE_MEAS_COMP	通过CTRLA[2]速率测量完成清0 0 = 频率测量未完成 1 = 频率测量已完成；通过CTRLA[0]清0

表9. 控制寄存器CTRLA(地址0x8)

位	位名称	位功能描述
D7 D6:D4	CDR_MODE[2:0]	保留，置0。 CDR模式。 000 = 锁定数据(LTD)。 010 = 锁定参考(LTR)。 001、011 = 保留。
D3		保留，置0。
D2	Reset static LOL	置1清除静态LOL。
D1	RATE_MEAS_EN	精调数据速率测量使能。置1启动速率测量。
D0	RATE_MEAS_RESET	速率测量复位。置1清除速率测量。

表10. 控制寄存器CTRLB(地址0x9)

位	位名称	位功能描述
D7	SOFTWARE_RESET	软件复位。写入1再写入0将复位器件。
D6	INIT_FREQ_ACQ	启动频率采集。写入1再写入0将启动频率采集(可选)。
D5	CDR bypass	CDR旁路。 0 = CDR使能。 1 = CDR旁路。
D4	LOL config	LOL配置。 0 = 正常LOL。 1 = 静态LOL。
D3	LOS PDN	LOS关断。 0 = 正常LOS。 1 = LOS关断。
D2	LOS polarity	LOS极性。 0 = 高电平有效LOS引脚。 1 = 低电平有效LOS引脚。
D1:D0		保留，置0。

表11. 控制寄存器CTRLC(地址0xA)

位	位名称	位功能描述
D7:D3 D2 D1 D0	REFCLK_PDN	保留, 置0。 参考时钟关断。写入0可使能参考时钟。 保留, 置0。 保留, 置1。

表12. 锁定参考时钟模式编程寄存器LTR_MODE¹(地址0xF)

位	位名称	位功能描述
D7 D6	LOL data	保留, 置0。 LOL数据 0 = 跟踪期间CLK与参考时钟的关系 1 = 跟踪期间CLK与数据的关系
D5:D4	FREF_RANGE[1:0]	f _{REF} 范围 00 = 11.05 MHz至22.1 MHz 01 = 22.1 MHz至44.2 MHz 10 = 44.2 MHz至88.4 MHz 11 = 88.4 MHz至176.8 MHz
D3:D0	DATA_TO_REF_RATIO	数据与参考之比 0000 = 1/2 0001 = 1 0010 = 2 N = 2 ⁽ⁿ⁻¹⁾ 1010 = 512

¹ DIV_f_{REF} 是积分频的参考, 以11.05 MHz到22.1 MHz频段为基准(参见“参考时钟(可选)”部分)。
数据速率/2^(LTR_MODE[3:0]-1) = REFCLK/2^(LTR_MODE[5:4])

表13. D/PLL控制寄存器DPLLA(地址0x10)

位	位名称	位功能描述
D7:D5 D4:D3	EDGE_SEL[1:0]	保留, 置0。 相位检测边沿。详情参见“边沿选择”部分。 00 = 上升和下降沿数据。 01 = 上升沿数据。 10 = 下降沿数据。 11 = 上升和下降沿数据。
D2:D0	TRANBW[2:0]	传递带宽。传递带宽比例放大。默认值为4, 由此产生的OC-192默认带宽参见表2。 详情参见“传递带宽”部分。 传递带宽 = 默认带宽 × (TRANBW[2:0]/4)

表14. D/PLL控制寄存器DPLLD(地址0x13)

位	位名称	位功能描述
D7:D3 D2 D1:D0	ADAPTIVE_SLICE_EN DLL_SLEW[1:0]	保留, 置0。 自适应限幅使能。1 = 使能自动限幅调整。 DLL压摆。设置DLL的带宽。详情参见“DLL压摆”部分。

表15. 相位控制寄存器Phase(地址0x14)

位	位名称	位功能描述
D7:D4 D3:D0	SAMPLE_PHASE[3:0]	保留, 置0。 对于5.65 Gbps以上的数据速率, 调整采样时刻的相位, 步长为1/32 UI。 此寄存器使用二进制补码格式。详情参见“采样相位调整”部分。

ADN2915

表16. 限幅电平控制寄存器Slice(地址0x15)

位	位名称	位功能描述
D7	Extended slice	扩展限幅使能。 0 = 正常限幅模式。 1 = 扩展限幅模式。
D6:D0	Slice[6:0]	限幅。限幅是设置输入阈值的数字字。详情参见“限幅调整”部分。 Slice[6:0] = 0000000时，限幅功能禁用。

表17. 输入级编程寄存器LA_EQ(地址0x16)

位	位名称	位功能描述
D7	RX_TERM_FLOAT	Rx终端悬空。 0 = 终端共模驱动。 1 = 终端共模悬空。
D6:D5	INPUT_SEL[1:0]	输入级选择。 00: 限幅放大器。 01: 均衡器。 10: 0dB缓冲器。 11: 未定义。
D4	ADAPTIVE_EQ_EN	使能自适应EQ。 0 = 手动EQ控制。 1 = 自适应EQ使能。
D3:D0	EQ_BOOST[3:0]	均衡器增益。这些位设置EQ增益。详情参见“无源均衡器”部分。

表18. 输出控制寄存器OUTPUTA(地址0x1E)

位	位名称	位功能描述
D7:D6	Data squelch	保留，置0。
D5		静音
D4	DATOUT_DISABLE	0 = 正常数据 1 = 静音数据 数据输出禁用
D3	CLKOUT_DISABLE	0 = 数据输出使能 1 = 数据输出禁用 时钟输出禁用
D2	DDR_DISABLE	0 = 时钟输出使能 1 = 时钟输出禁用 双倍数据速率
D1	DATA_POLARITY	0 = DDR时钟使能 1 = DDR时钟禁用 数据极性
D0	CLOCK_POLARITY	0 = 正常数据极性 1 = 反转数据极性 时钟极性
		0 = 正常时钟极性 1 = 反转时钟极性

表19. 输出摆幅寄存器OUTPUTB(地址0x1F)

位	位名称	位功能描述
D7:D4	DATA_SWING[3:0]	<p>调整数据输出幅度。步长约为50 mV差分。 默认寄存器值为0xC。典型差分数据输出幅度如下：</p> <p>0x1 = 无效。 0x2 = 无效。 0x3 = 无效。 0x4 = 200 mV。 0x5 = 250 mV。 0x6 = 300 mV。 0x7 = 345 mV。 0x8 = 390 mV。 0x9 = 440 mV。 0xA = 485 mV。 0xB = 530 mV。 0xC = 575 mV。 0xD = 610 mV。 0xE = 640 mV。 0xF = 655 mV。</p>
D3:D0	CLOCK_SWING[3:0]	<p>调整时钟输出幅度。步长约为50 mV差分。 默认寄存器值为0xC。典型差分时钟输出幅度如下：</p> <p>0x1 = 无效。 0x2 = 无效。 0x3 = 无效。 0x4 = 200 mV。 0x5 = 250 mV。 0x6 = 300 mV。 0x7 = 345 mV。 0x8 = 390 mV。 0x9 = 440 mV。 0xA = 485 mV。 0xB = 530 mV。 0xC = 575 mV。 0xD = 610 mV。 0xE = 640 mV。 0xF = 655 mV。</p>

工作原理

ADN2915实现了时钟和数据恢复功能，支持6.5 Mbps到11.3 Gbps的数据速率。一个前端可配置用来将不归零(NRZ)输入波形放大或均衡到满量程数字逻辑电平，或旁路满量程数字逻辑信号。

用户可选择三个输入级之一来处理数据：一个灵敏度优于10 mV的高增益限幅放大器，一个最高增强10 dB (5 GHz)的高通无源均衡器，或一个灵敏度为600 mV的旁路缓冲器。

片内信号丢失(LOS)检测器配合高灵敏度限幅放大器使用。LOS的默认阈值是该器件的灵敏度，最大阈值电平为128 mV p-p。限幅放大器限幅阈值可使用工厂调整设置、用户通过I²C设置的自定义阈值或一个调整电平，以便在鉴相器上实现最佳眼图开口效果。

当输入信号因为FR-4或PCB走线中的其他障碍而损坏时，无源均衡器是确保信号完整性的选项之一。均衡器高频增强可通过I²C寄存器配置，以代替工厂默认设置。用户可以启用自适应功能来自动调整均衡器，以实现最宽眼图开口。使用手动设置时，均衡器支持任意数据速率，但自适应仅支持5.5 Gbps以上的数据速率。

将一个信号送至时钟和数据恢复(CDR)部分时，ADN2915是一个延迟锁定且相位锁定的环路，用于从NRZ编码数据流中恢复时钟并重定时数据。输入数据通过一个高速时钟采样。数字下采样器支持横跨三个数量级的数据速率。下采样数据应用于二进制鉴相器。

输入数据信号的相位通过两个独立的反馈环路跟踪。一个高速延迟锁定环路将一个数字积分器与数字控制振荡器(DCO)时钟上的数字控制移相器级联，以跟踪抖动的高频

成分。另一个由数字积分器和DCO组成的相位控制环路则跟踪抖动的低频成分。DCO的初始频率由第三个环路设置，它比较DCO频率与输入数据频率。第三个环路还设置数字下采样器的抽取比。

延迟锁定环路和相位锁定环路共同跟踪输入数据的相位。例如，当时钟落后于输入数据时，鉴相器将DCO驱动到更高频率，并通过移相器减少时钟延迟，这两个操作一起降低时钟与数据之间的相位误差。由于环路滤波器是一个积分器，因此静态相位误差变为0。

还可以从另一个角度看该电路，那就是移相器实现了二阶锁相环的频率补偿所需的零点，并且该零点被置于反馈路径中，因此不出现在闭环传递函数中。由于该电路的闭环传递中无零点，因此抖动峰化得以消除。

延迟锁定环路和相位锁定环路一起同时提供宽带抖动适应和窄带抖动滤波。图25中的简化框图显示， $Z(s)/X(s)$ 是一个二阶低通抖动传递函数，可提供出色的滤波。低频极点是通过将PLL的增益除以DLL的增益而形成；在环路的传递带宽，DLL中的上采样和零阶保持的增益接近N。注意，与普通二阶锁相环不同，该抖动传递无零点。这意味着主PLL环路无抖动峰化。因此，该电路非常适合信号再生应用；在此类应用中，抖动峰化与再生器级联可能引起危险的抖动积累。

配合二进制鉴相器使用时，在DLL的压摆率限值以下，该电路的误差传递函数 $e(s)/X(s)$ 具有与普通锁相环相同的高通形式。可以对此传递函数进行任意优化以实现出色的宽带抖动适应，因为抖动传递函数 $Z(s)/X(s)$ 提供窄带抖动滤波。

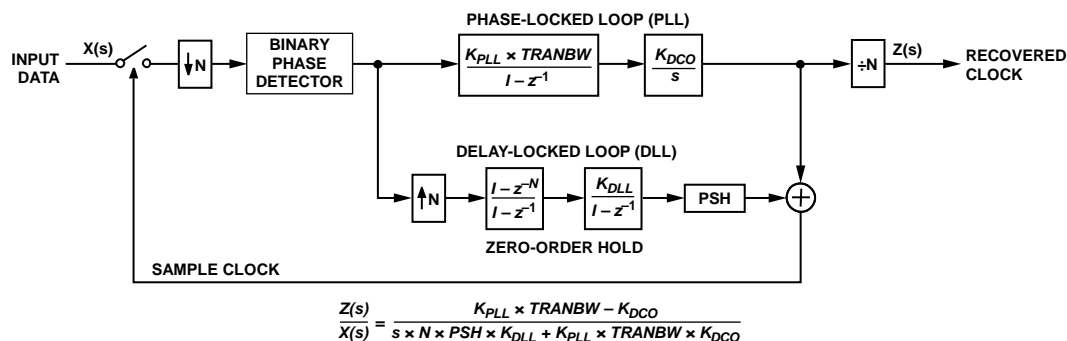


图25. CDR抖动功能框图

延迟锁定环路和相位锁定环路对总抖动适应均有贡献。在数据信号输入抖动的低频部分，环路滤波器中的积分器提供高增益来跟踪大抖动幅度，相位误差很小。这种情况下，振荡器进行频率调制，抖动跟踪像在普通锁相环中一样。可跟踪的低频抖动量与DCO调谐范围相关。调谐范围越宽，则对低频抖动的适应能力越强。对于低抖动频率，内部环路控制字保持较小的值，移相器仍然接近其范围的中心，因此对低频抖动适应的贡献很小。

在中等抖动频率，DCO的增益和调谐范围不足以跟踪输入抖动。这种情况下，DCO控制字变得很大且饱和。结果，DCO频率停留在其调谐范围的极值。因此，DCO调谐范围

的大小对抖动适应的影响非常小。现在，延迟锁定环路控制范围变大，因而移相器开始担负起跟踪输入抖动的任务。时钟上使用无限范围的移相器。因此，FIFO的深度将数据采样器的时钟与输出端的重定时时钟之间的最小时序不匹配范围限制在32 UI。

有两种方法可获得数据速率。默认模式是频率锁定输入数据，一个有限状态机从数据中提取频率测量结果，以设置DCO和环路分频比，使得采样频率与数据速率匹配，精度在250 ppm以内。PLL使能，驱动该频率差至0 ppm。第二种模式是锁定参考，用户提供11.05 MHz到176.8 MHz之间的参考时钟。必须将分频比写入串行端口寄存器。

功能描述

频率采集

ADN2915从数据中采集频率，支持的数据频率范围是6.5 Mbps到11.3 Gbps。锁定检测器电路比较DCO的频率与传入数据的频率。如果这些频率的差异超过1000 ppm，则置位LOL并启动新的频率采集周期。DCO频率复位到其范围的下限，内部分频比设置为最低值 $N=1$ ，这是数据速率的最高倍频程。然后，频率检测器将该采样速率频率与数据速率频率相比较，如果采样速率频率大于数据速率频率，则将 N 提高2倍；如果数据速率频率大于数据采样速率，则提高DCO频率。开始时，DCO频率以较大的步长递增以支持快速采集。当DCO频率接近数据频率时，步长减小，直到DCO频率在数据频率的250 ppm范围内，此时LOL解除置位。

当LOL解除置位时，频率锁定环路关闭。PLL或DLL拉近DCO频率，直到DCO频率与数据速率相等。

限幅放大器

限幅放大器具有差分输入(PIN和NIN)，各输入通过50 Ω电阻内部端接到片内基准电压源($V_{CM} = 0.95$ V典型值)。输入必须交流耦合。输入失调经过工厂调整，典型灵敏度优于10 mV p-p，漂移极小。限幅放大器可以采用差分或单端方式驱动。限幅放大器无法直流耦合，因为用户需要一个共模电压以精确匹配内部共模电压；否则，内部50 Ω端接电阻会吸收共模电压之差。

限幅放大器不能直流耦合的另一个原因是工厂调整的输入失调会变得无效。该失调通过限幅调整DAC提供的差分电流调整到0(参见图1)。交流耦合时，全部电流进入ADN2915的50 Ω端接电阻。若是直流耦合，此电流会与外部驱动电路共享，失调校准就会丢失。此外，限幅调整要求限幅调整DAC提供的所有电流进入电阻；否则，校准会丢失(参见“限幅调整”部分)。

限幅调整

量化器限幅电平可以按1.6 mV步长偏移±100 mV，或按0.24 mV步长偏移±15 mV，从而减小放大自发辐射(ASE)噪声的影响或占空比失真。量化器限幅调整电平通过I²C寄存器0x15中的slice[6:0]位设置。

为了准确控制限幅阈值，用户需要回读工厂调整的失调，后者是一个7位数，存储在I²C限幅回读寄存器(寄存器0x73)中。根据表20解码器件的实测失调，1 LSB相当于0.24 mV。

表20. 设置限幅电平，正常限幅模式(Extended Slice = 0)

Slice[6:0]	十进制值	失调
0000000	0	限幅功能禁用
0000001	1	-15 mV
...
1000000	64	0 mV
...
1111111	127	+14.75 mV

需要手动限幅调整的失调量是将所需的限幅调整电平减去器件的失调而得到。根据表20或表21确定要写入I²C限幅寄存器的代码字。

表21为扩展限幅，每LSB步长对应的粒度更粗。将寄存器0x15中的扩展限幅位(位7)设为1时，限幅调整的满量程范围放大6倍。

表21. 设置限幅电平，扩展限幅模式(Extended Slice = 1)

Slice[6:0]	十进制值	失调
0000000	128	限幅功能禁用
0000001	129	-100 mV
...
1000000	192	0 mV
...
1111111	255	+100 mV

需要手动限幅时，应禁用直流失调环路(它会将数据的占空比失真驱动到0)。将DPLLDD寄存器(0x13)中的ADAPTIVE_SLICE_EN设为0时，自适应限幅功能禁用。

边沿选择

一个二进制或Alexander鉴相器驱动所有分频比的DLL和PLL环路。若同时在上升和下降数据跃迁上测量相位误差，则接收数据的占空比失真将导致鉴相器传递函数中出现死区。该死区引起未知频谱成分的抖动产生，其峰峰值幅度可能很大。

直流失调环路禁用时，器件的推荐用法是仅在上升数据沿(寄存器0x10中的EDGE_SEL[1:0](DPLLA[4:3]) = 十进制1)或下降数据沿(EDGE_SEL[1:0] = 2)计算相位误差。EDGE_SEL[1:0] = 1时，时钟与上升数据沿对齐用图26上方的两条曲线表示。

“窄1”的占空比失真会把数据采样的重要采样时刻移至中心偏右。EDGE_SEL[1:0] = 2时，时钟与下降数据沿对齐用图26的第一条和第三条曲线表示。重要采样时刻移至中心偏左。对于5.65 Gbps以上的速率，可以利用采样相位调整功能将重要采样时刻移至“窄1”(或“窄0”)的中心，以实现最佳抖动容差。

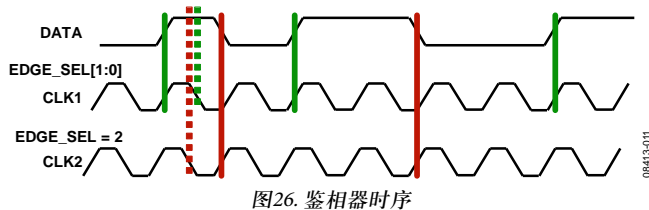


图26. 鉴相器时序

DLL压摆

CDR传递带宽以外的抖动容差由延迟锁定环路的压摆率确定，该环路实现了一个对相位的 Δ 调制器。设置DPLL寄存器(寄存器0x13)中的DLL_SLEW[1:0] = 2(默认值)，可配置DLL以SONET/SDH抖动容差屏蔽中的最高频率断点跟踪0.75 UI p-p抖动。该频率与速率成正比， $f_{p4} = \text{速率}(\text{Hz})/2500$ (例如，OC-192为4 MHz)。 f_{p4} 时的峰峰值跟踪(以UI为单位)遵循以下表达式： $(1 + \text{DLL_SLEW})/4 \text{ UI p-p}$ 。

某些应用不需要全部SONET/SDH抖动容差。这种情况下，DPLL[1:0]可设置为0，以降低恢复时钟的抖动产生并提高高频抖动容差性能。

采样相位调整

以5.65 Gbps或更高的数据速率工作时，通过写入寄存器0x14中的SAMPLE_PHASE[3:0]位(Phase[3:0])，便可通过I²C调整采样时刻的相位。此特性允许用户调整采样时刻，从而改善BER和抖动容差。虽然CDR选择的默认采样时刻在多数应用中是足够的，但在处理某些较差的输入信号时，手动调整相位可改善BER和抖动容差相位。

总调整范围为0.5 UI，每个方向0.25 UI，调整增量为1/32 UI。SAMPLE_PHASE[3:0]是一个二进制补码数，数据与采样时钟之间的关系如图28所示。

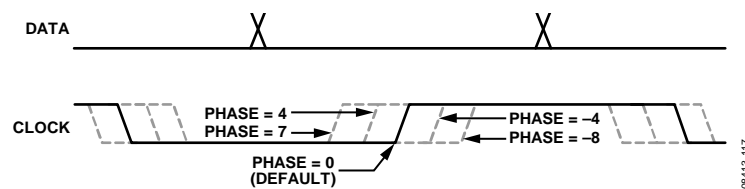


图28. 数据与采样时钟的关系

传递带宽

传递带宽可通过I²C写入DPLLA寄存器(0x10)中的TRANBW[2:0]位来调整。默认值为4。设置为4以下的值时，传递带宽会降低；设置为4以上的值时，传递带宽会提高。计算传递带宽的公式如下：

$$\text{Transfer BW} = (\text{Default Transfer BW}) \times \left(\frac{\text{TRANBW}[2:0]}{4} \right)$$

例如，对于OC-192，默认传递带宽为2 MHz。当TRANBW[2:0]改变时，相应的传递带宽为：

TRANBW[2:0] = 1：传递带宽 = 500 kHz

TRANBW[2:0] = 2：传递带宽 = 1.0 MHz

TRANBW[2:0] = 3：传递带宽 = 1.5 MHz

TRANBW[2:0] = 4：传递带宽 = 2.0 MHz(默认值)

TRANBW[2:0] = 5：传递带宽 = 2.5 MHz

TRANBW[2:0] = 6：传递带宽 = 3.0 MHz

TRANBW[2:0] = 7：传递带宽 = 3.5 MHz

OTN应用中通常会降低传递带宽。切勿设置TRANBW[2:0] = 0，因为这将使CDR变成开环。另请注意，将TRANBW[2:0]设置为4以上的值时，抖动产生和潜在的抖动峰化可能会略有提高。

信号丢失(LOS)检测器

当输入信号电平降至用户可调阈值以下时，接收器前端LOS检测电路会检测到这一情况。

LOS检测器通常有6 dB的电气迟滞，目的是防止LOS引脚震颤。这意味着，如果输入电平降至设定的LOS阈值以下，导致LOS引脚置位，则LOS引脚只有等到输入电平升至LOS阈值以上6 dB(2倍)时才会解除置位(见图27)。

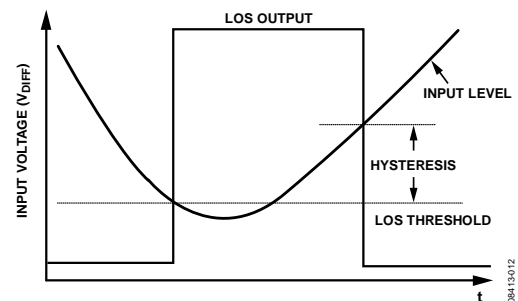


图27. LOS检测器迟滞

ADN2915

ADN2915的LOS检测器和限幅电平调整功能可以同时使用。因此，限幅调整引脚增加到输入信号的任何失调都不会影响LOS检测器的绝对输入电平测量。

LOS关断

LOS默认使能并消耗电源。将寄存器0x9中的LOS_PDN (CTRLB [3])设为1，可将LOS置于低功耗模式。

LOS阈值

LOS阈值的范围是0 mV到128 mV，设置方法是将毫伏(mV)数写入LOS_DATA寄存器(0x36)，然后在LOS_ADDRESS设为1的同时，切换LOS_CTRL寄存器(寄存器0x74)中的LOS_ENABLE位。下面是写入LOS阈值的步骤：

1. 将0x21写入LOS_CTRL(寄存器0x74)。
2. 将所需的阈值(单位为毫伏)写入LOS_DATA(寄存器0x36)。
3. 将0x31写入LOS_CTRL(寄存器0x74)。
4. 将0x21写入LOS_CTRL(寄存器0x74)。

LOS阈值可以按1 mV步长设置为0 mV到63 mV之间的值，按2 mV步长设置为64 mV到128 mV之间的值。在较低范围中，所有位均有效，因而分辨率为1 mV/LSB，其中位D0是LSB。

但在较高范围中，位D0禁用(即D0 = 0)，因而位D1是新的LSB，分辨率变为2 mV/LSB。

I²C寄存器LOS_CTRL包含设置LOS阈值所需的地址和写入使能位。

信号强度测量

LOS测量接收信号的峰峰值幅度并进行数字化处理。按顺序将下列字节写入到I²C地址0x74的LOS_CTRL时，执行单次测量：0x7、0x17、0x7。LOS_ENABLE变为低电平时，峰峰值幅度(单位为毫伏)载入LOS_DATA(寄存器0x36)。LOS_DATA的内容仅在寄存器0x74中的LOS_ENABLE (LOS_CTRL[4])发生低-高-低变换且指向LOS_ADDRESS [2:0] (LOS_CTRL[2:0]) = 7时改变。

无源均衡器

输入端提供无源均衡器，用以均衡因PCB走线、过孔和连接器而造成失真的大信号。自适应EQ仅在数据速率大于5.5 Gbps时有效。因此，在5.5 Gbps以下的速率时，EQ必须手动设置。

均衡器可通过寄存器LA_EQ(寄存器0x16)手动设置。此外还有自适应环路，它根据鉴相器接收眼的特征优化EQ设

置。如果事先知道通道特性，可手动设置EQ以获得最佳性能，但在多数情况下，自适应EQ会找到最佳设置。

表22列出了多种走线长度的典型EQ设置。表22中的值基于测试版上利用简单的FR-4走线进行测量的结果。表23列出了多种数据速率下FR-4上EQ的典型最大范围，单位为英寸。如果实际通道包括损耗较大的连接器或过孔，FR-4范围长度将更短。对于实际系统，强烈建议用实际通道测试多种EQ设置，以确保信号完整性最佳。

表22. EQ设置与FR-4上的走线长度

走线长度(英寸)	典型EQ设置
6	10
10	12
15	14
20至30	15

表23. FR-4上典型EQ范围与支持的最大数据速率

最大数据速率(Gbps)	FR-4上的典型EQ范围(英寸)
4	30
8	20
10	15
11	10

旁路

旁路路径将输入直接连到ADN2915内部的数字逻辑。这有利于数据速率较低、信号较大(因而无需限幅放大器，禁用限幅放大器还可省电)且未受损(因而无需均衡器)的应用。内部数字电路的信号摆幅为600 mV p-p差分，这是旁路模式下必须提供作为输入的最小信号幅度。

在旁路模式下，内部50 Ω端接电阻有两种配置方式：悬空或连接到V_{CC} = 1.2 V(见图33和表26)。通过将I²C寄存器LA_EQ(寄存器0x16)中的RX_TERM_FLOAT位(D7)设为1，这些50 Ω端接电阻便在ADN2915内部悬空(见图36)。通过将RX_TERM_FLOAT位(D7)设为0，这些50 Ω端接电阻便连接到V_{CC} = 1.2 V(见图37)。这两种情况下，用户都必须确保输入端存在有效的共模电压。

在终端悬空的情况下，两个50 Ω电阻纯粹是差分终端。输入必须符合图39所示的信号范围。

在端接到1.2 V V_{CC}电源的情况下(见图37和图38)，共模电压由ADN2915的驱动器电路和50 Ω电阻共同产生。例如，驱动器可以是一个开漏开关电流(见图37)，50 Ω电阻将此电流送回V_{CC}。在图37中，共模电压由该电流和上述电阻共同产生。这种情况下，应确保电流至少为6 mA，从而产生300 mV的单端摆幅或600 mV p-p的差分摆幅，V_{CM} = 1.05 V(见图39)。最大电流为10 mA，产生500 mV单端摆幅和1.0 V p-p差分摆幅，V_{CM} = 0.95 V(见图40)。

另一种可能是让开关电流驱动器后部端接，如图38所示，两个 V_{CC} 电源具有相同的电位。本例中，电流由两个并联50 Ω 电阻(或25 Ω)送回 V_{CC} ，因而最小电流为12 mA，最大电流为20 mA。

锁定检测器操作

ADN2915的锁定检测器有三种工作模式：正常模式、LTR模式和静态LOL模式。

正常模式

正常模式下，ADN2915是一个连续速率CDR，可锁定6.5 Mbps至11.3 Gbps的任意数据速率，无需使用参考时钟来帮助采集。这种模式下，锁定检测器监控DCO与输入数据频率之间的频率差，当DCO在数据频率的250 ppm范围内时，LOL(引脚6)上的失锁信号解除置位。这将使能数字PLL(D/PLL)，消除DCO频率的剩余差异，从而获得相位锁定。锁定后，如果输入频率误差超过1000 ppm(0.1%)，失锁信号将再次置位，控制权回到频率环路，该回路开始新的频率采集过程。LOL引脚保持置位，直到DCO以250 ppm以内的频率误差锁定有效输入数据流为止。该迟滞如图29所示。

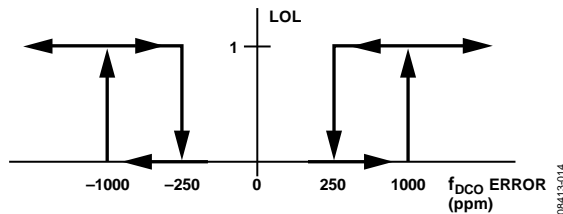


图29. LOL的传递函数

使用参考时钟的LOL检测器操作

这种模式下，ADN2915使用一个参考时钟作为辅助采集工具来锁定DCO。将CTRLA寄存器(寄存器0x8)中的CDR_MODE[2:0]设为2，即可使能锁定参考模式。用户还必须写入LTR_MODE寄存器(寄存器0xF)中的FREF_RANGE[1:0]和DATA_TO_REF_RATIO[3:0]，以设置参考频率范围和数据速率相对于参考频率的分频比。最后，必须向CTRLC寄存器(寄存器0xA)中的I²C位REFCLK_PDN写入0，以禁用参考时钟关断到参考时钟缓冲器。为使采集速度最快，CTRLC[0]应保持置1。

详情参见“参考时钟(可选)”部分。这种模式下，锁定检测器监控分频后的DCO与分频后的参考时钟之间的频率差。当DCO在所需频率的250 ppm范围内时，LOL(引脚6)上的失锁信号解除置位。这将使能D/PLL，消除DCO频率相对于输入数据的剩余差异，从而获得相位锁定。锁定后，如果频率误差超过1000 ppm(0.1%)，失锁信号将再次置位，控制权回到频率环路，该回路根据参考时钟重新采集频率。LOL引脚保持置位，直到DCO频率在所需频率的250 ppm范围内为止。该迟滞如图29所示。

静态LOL模式

ADN2915实现了静态LOL特性，可指示是否发生失锁并保持置位，即使ADN2915重新获得锁定也是如此，直到寄存器0x6中的静态LOL位(STATUSA[2])手动复位为止。如果曾经发生失锁，此位将内部置位逻辑高电平。甚至在ADN2915重新锁定新数据速率之后，静态LOL位仍会保持高电平。要复位此位，可先写入1再写入0到I²C寄存器0x8中的复位静态LOL位(CTRLA[2])。复位后，静态LOL位(STATUSA[2])保持解除置位状态，直到再次发生失锁。

写入1到I²C寄存器0x9中的LOL config位(CTRLB[4])，将使LOL引脚(引脚6)变为静态LOL指示器。这种模式下，LOL引脚镜像寄存器0x6中的静态LOL位(STATUSA[2])的内容，并具有上述功能。LOL config位(CTRLB[4])默认值为0。这种模式下，LOL引脚在正常模式下工作，也就是仅当ADN2915处于采集模式时置位，并在ADN2915重新获得锁定后解除置位。

谐波检波器

ADN2915提供一个谐波检波器，用于检测输入数据是否改变到比采样时钟当前锁定的数据速率要低的谐波。例如，输入数据从OC-12 622.08 Mbps瞬时变为OC-3 155.52 Mbps位流时，这可以被视为有效的OC-12位流，因为OC-3数据模式恰好比OC-12模式慢4倍。因此，如果数据速率的变化是瞬时的，OC-3的101模式将被ADN2915视为OC-12的111100001111模式。如果到较低谐波的变化是瞬时的，典型的低级CDR可能仍然锁定较高数据速率。

ADN2915实现了一个谐波检波器，可自动识别输入数据是否切换到比DCO当前锁定的数据速率要低的谐波。确定谐波后，LOL引脚置位，并启动新的频率采集过程。ADN2915自动锁定新的数据速率，LOL引脚解除置位。

ADN2915

检测锁定谐波的时间为：

$$2^{16} \times (T_d / \rho)$$

其中：

$1/T_d$ 为新数据速率。例如，若数据速率从OC-12切换到OC-3，则 $T_d = 1/155.52$ MHz。 ρ 为数据跃迁密度。大部分编码方案力求确保 $\rho = 0.5$ ，例如PRBS和8B/10B。

当ADN2915处于锁定参考模式时，谐波检波器禁用。

输出禁用和静噪

ADN2915有两类输出禁用/静噪。DATOUTP/DATOUTN和CLKOUTP/CLKOUTN输出可以通过将寄存器0x1E中的DATOUT_DISABLE (OUTPUTA[4])和CLKOUT_DISABLE (OUTPUTA[3])分别设为高电平而禁用。输出禁用时便完全关断，每路输出可节省大约30 mW的功耗。禁用DATOUTP/DATOUTN也会禁用CLKOUTP/CLKOUTN输出，总共节省大约60 mW的功耗。

若希望选通数据输出但让时钟保持开启，可以将寄存器0x1E中的数据静噪位(OUTPUTA[5])设为高电平，使输出数据静噪。这种模式下，数据驱动器仍然有电，但数据本身始终是0(或1，取决于寄存器0x1E中的DATA_POLARITY (OUTPUTA[1])设置)。

I²C接口

ADN2915支持2线(I²C兼容)串行总线驱动多个外设。串行数据(SDA)和串行时钟(SCK)两路输入承载任何连接到总线的器件之间的信息。每个从机都通过一个唯一的地址识别。从机地址由一个8位字的7位MSB组成。7位从机地址的高6位(位[6:1])经工厂编程为100000。从机地址的LSB(位0)由引脚22 (I2C_ADDR)设置。该字的LSB设置读或写操作(见图20)。逻辑1对应于读操作，逻辑0对应于写操作。

要控制总线上的器件，必须遵守以下协议。首先，主机通过建立起始条件而启动数据传输；起始条件要求SDA发生高低转换，同时SCK保持高电平。这表示随后将出现地址/数据流。所有外设都对起始条件做出响应，并对接下来的8个位(7位地址加R/W位)移位。这些位以MSB到LSB的方式传输。能够识别所传输地址的外设在第9个时钟脉冲期间将数据线拉低，从而做出响应。这称为应答位。此时，所有其它器件从总线退出，保持空闲状态。空闲条件是指器件监控SDA和SCK线有无起始条件和正确的传输地址。

R/W位决定数据的方向。如果第一个字节的LSB为逻辑0，则意味着主机向外设写入信息。如果第一个字节的LSB为逻辑1，则意味着主机从外设读取信息。

ADN2915在总线上用作标准从器件。SDA引脚上的数据为8位，支持7位地址加R/W位。ADN2915具有子地址以支持用户访问内部寄存器(见表7)。

因此，ADN2915将第一个字节解释器件地址，将第二个字节解释为起始子地址。它支持自动递增模式，数据可以读出或写入起始子地址及后续各地址，而无需手动寻址后续子地址。数据传输始终由停止条件终止。用户也可以逐个访问任一唯一的子地址寄存器，而无需更新所有寄存器。

数据传输过程中的任何阶段都可以检测停止和起始条件。如果正常的读写操作导致这些条件置位失序，器件将立即跳入空闲状态。在给定SCK高电平期间，发送一个起始条件或一个停止条件，或者先发送单一停止条件，再发送单一起始条件。如果用户发送的子地址无效，ADN2915不会发送应答，而是直接返回到空闲状态。在自动递增模式下回读时，如果用户超过了最高子地址，最高子地址寄存器内容将继续输出，直到主器件不应答。这表示读取结束。不应答条件是指在第9个时钟脉冲期间，SDA线未被拉低。读取和写入数据传输示例参分别如图22和图21所示，更详细时序图参见图23。

参考时钟(可选)

通过ADN2915执行时钟和数据恢复时，无需采用参考时钟。不过，它仍然支持可选参考时钟。参考时钟可以采用差分或单端方式驱动。如果不使用参考时钟，REFCLKP和REFCLKN均应悬空。

两个50 Ω串联电阻提供REFCLKP与REFCLKN之间的差分负载。共模电压通过VCC与VEE之间的电阻分压器内部设置为0.56 x VCC。配置示例参见图30、图31和图32。

参考时钟输入缓冲器接受峰峰值差分幅度大于100 mV的任何差分信号。参考时钟的相位噪声和占空比不太重要，100 ppm精度即足够。

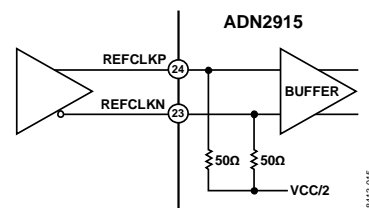


图30. 直流耦合差分REFCLKx配置

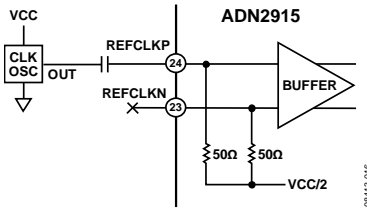


图31. 交流耦合单端REFCLKx配置

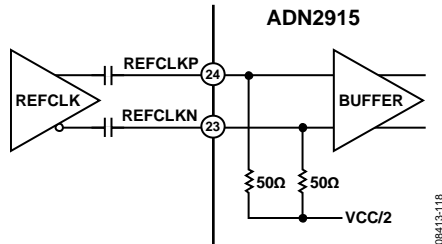


图32. 交流耦合差分REFCLKx配置

参考时钟既可作为辅助采集工具来帮助ADN2915锁定数据，也可用来以0.01%的精度测量输入数据的频率。两种模式是互斥的，因为在第一种用法中，用户可强制器件仅锁定一个已知数据速率，而在第二种用法中，用户可以测量未知数据速率。

写入2到寄存器0x8中的CDR_MODE[2:0] (CTRLA[6:4])，即可使能锁定参考模式。还必须将0写入寄存器0xA中的REFCLK_PDWN (CTRLC[2])，以使片内时钟缓冲器上电。写入1到寄存器0x8中的RATE_MEAS_EN (CTRLA[1])，可使能精密数据数量回读模式。若同时使能锁定参考和数据速率回读，将导致不确定状态；本器件不支持这种设置。

使用参考时钟锁定数据

这种模式下，ADN2915锁定至根据下式从参考时钟衍生而来的频率：

$$\text{数据速率} / 2^{(\text{LTR_MODE}[3:0] - 1)} = \text{REFCLK} / 2^{\text{LTR_MODE}[5:4]}$$

用户必须确切地知道数据速率是多少，并提供一个与该速率相关的参考时钟。在这种配置中，如果用户能够提供一个可变频率的参考时钟，则ADN2915仍可作为连续速率器件(参见AN-632应用笔记)。

参考时钟可以是11.05 MHz到176.8 MHz的任意值。默认情况下，ADN2915期待11.05 MHz至22.1 MHz之间的参考时钟。若它是在22.1 MHz到44.2 MHz、44.2 MHz到88.4 MHz或88.4 MHz到176.8 MHz之间，则用户必须设置寄存器0xF中的两位FREF_RANGE[1:0] (LTR_MODE[5:4])，从而配置ADN2915使用正确的参考频率范围。

表24. LTR_MODE设置

LTR_MODE[5:4]	范围(MHz)	LTR_MODE[3:0]	比率
00	11.05至22.1	0000	2^{-1}
01	22.1至44.2	0001	2^0
10	44.2至88.4	n	2^{n-1}
11	88.4至176.8	1010	2^9

用户可以使用寄存器0xF中的DATA_TO_REF_RATIO[3:0] (LTR_MODE[3:0])，指定要锁定的参考时钟的固定整数倍数。设置

$$\text{DATA_TO_REF_RATIO}[3:0] = \text{数据速率} \div \text{DIV}_{f_{\text{REF}}}$$

其中， $\text{DIV}_{f_{\text{REF}}}$ 表示经过分频的参考，以11.05 MHz到22.1 MHz频段为基准。

例如，若参考时钟频率是38.88 MHz，输入数据速率是622.08 Mbps，则FREF_RANGE[1:0]设为01可提供19.44 MHz的分频参考时钟。DATA_TO_REF_RATIO[3:0]设为0110(即6)，因为

$$622.08 \text{ Mbps} / 19.44 \text{ MHz} = 2^{(6-1)}$$

当ADN2915在锁定参考模式下工作时，如果用户更改参考频率，即 f_{REF} 范围(LTR_MODE[5:4])或 f_{REF} 比率(LTR_MODE[3:0])，随后必须将0-1-0变换写入寄存器0x9中的INIT_FREQ_ACQ (CTRLB[6])位，以启动新的锁定参考命令。

在锁定参考时钟模式下，当实现锁定且ADN2915处于跟踪模式时，DCO的频率默认与参考时钟的频率相比较。如果频率误差超过1000 ppm，则锁定丢失，LOL置位，它将重新锁定参考时钟，同时继续输出稳定的时钟。

设置LOL数据(LTR_MODE[6])=1可使能另一种配置。在这种配置中，当器件处于跟踪模式时，DCO的频率与输入数据的频率相比较，而不是与参考时钟的频率相比较。如果频率误差超过1000 ppm，则锁定丢失，LOL置位，它将重新锁定参考时钟，同时继续输出稳定的时钟。

使用参考时钟测量数据频率

用户还可提供参考时钟来测量恢复的数据频率。这种情况下，用户提供一个参考时钟，ADN2915比较输入数据的频率与输入参考时钟的频率，并以0.01% (100 ppm)的精度返回这两个频率之比。参考时钟的精度误差增加到ADN2915数据速率测量的精度之上。例如，若使用100 ppm精度的参考时钟，则测量精度为200 ppm。

ADN2915

参考时钟可以介于11.05 MHz到176.8 MHz之间。利用参考时钟回读数据速率之前，必须根据表24将LTR_MODE[5:4]位设置为相对于参考时钟的适当频率范围。然后按照如下步骤执行精密数据速率回读：

1. 施加参考时钟。
2. 写入0到寄存器0xA中的REFCLK_PDN (CTRLC[2])以启用参考时钟电路。
3. 写入寄存器0xF中的FREF_RANGE[1:0] (LTR_MODE[5:4])以选择适当的参考时钟频率电路。
4. 写入1到寄存器0x8中的RATE_MEAS_EN (CTRLA[1])。这将使能ADN2915的精密数据速率测量功能。该位对电平敏感，不需要复位便可执行后续频率测量。
5. 写入0-1-0到寄存器0x8中的RATE_MEAS_RESET (CTRLA[0])。这将启动新的数据速率测量。
6. 回读寄存器0x6中的RATE_MEAS_COMP (STATUSA[0])。若为0，则测量未完成。若为1，则测量已完成，可通过RATE_FREQ[23:0]和FREQ_RB2[6:2]回读数据速率(见表7)。数据速率测量的大致时间由公式2给出。

通过下式确定数据速率：

$$f_{\text{Datarate}} = \frac{(\text{RATE_FREQ}[23:0]) \times f_{\text{REFCLK}}}{2^{\text{LTR}[5:4]} \times 2^7 \times 2^{\text{FULLRATE}} \times 2^{\text{DIVRATE}}} \quad (1)$$

其中：

f_{Datarate} 为数据速率(Mbps)。

$\text{FREQ}[23:0]$ 来自 $\text{FREQ2}[7:0]$ (最高有效字节)、 $\text{FREQ1}[7:0]$ 和 $\text{FREQ0}[7:0]$ (最低有效字节)。参见表7。

f_{REFCLK} 为参考时钟频率(MHz)。

$\text{FULLRATE} = \text{FREQ_RB2}[6]$ 。

$\text{DIVRATE} = \text{FREQ_RB2}[5:2]$ 。

MSB

LSB

D23至D16	D15至D8	D7至D0
FREQ2[7:0]	FREQ1[7:0]	FREQ0[7:0]

考虑这样一个例子：PIN/NIN和REFCLKP/REFCLKN端口上分别有1.25 Gbps (GbE)的输入信号和32 MHz的参考时钟源。这种情况下， $\text{FREF_RANGE}[1:0]$ ($\text{LTR_MODE}[5:4]$) = 01，参考频率属于22.1 MHz至44.2 MHz的范围。执行步骤1到步骤6后， $\text{RATE_FREQ}[23:0]$ 的回读值为0x13880，等于 8×104 。 FULLRATE ($\text{FREQ_RB2}[6]$)的回读值为1， $\text{DIVRATE}[3:0]$ ($\text{FREQ_RB2}[5:2]$)的回读值为2。将这些值代入方程式1中可得到：

$$((8 \times 10^4) \times (32 \times 10^6)) / (2^1 \times 2^7 \times 2^1 \times 2^2) = 1.25 \text{ Gbps}$$

如果随后还需要进行频率测量， RATE_MEAS_EN ($\text{CTRLA}[1]$)应保持置1，它不需要复位。先写入1再写入0到

RATE_MEAS_RESET ($\text{CTRLA}[0]$)，即可复位测量过程。这将启动新的数据速率测量。执行步骤2至步骤6以回读新的数据速率。注意，数据速率回读仅在LOL引脚为低电平时有效。若LOL为高电平，数据速率回读将无效。

写入0-1-0到 RATE_MEAS_RESET ($\text{CTRLA}[0]$)以启动频率测量时，还会复位 RATE_MEAS_COMP ($\text{STATUSA}[0]$)位。完成频率测量(从写入0-1-0变换到 RATE_MEAS_RESET ($\text{CTRLA}[0]$)至 RATE_MEAS_COMP ($\text{STATUSA}[0]$)位返回高电平)所需的大致时间由下式给出：

$$\text{MeasurementTime} = \frac{2^{11} \times 2^{\text{LTR}[5:4]}}{f_{\text{REFCLK}}} \quad (2)$$

LOS配置

LOS检测器输出LOS(引脚5)可配置为高电平有效或低电平有效。若寄存器0x9中的LOS极性($\text{CTRLB}[2]$)设为逻辑0(默认)，则当检测到信号丢失状况时，LOS引脚为高电平有效。

可通过I²C接口访问的其他特性

粗调数据速率回读

数据速率可通过I²C接口以大约±5%的误差回读，而无需外部参考时钟，如下式所示：

$$\text{Data} = \frac{f_{\text{DCO}}}{2^{\text{FULLRATE}} \times 2^{\text{DIVRATE}}} \quad (1)$$

其中：

$\text{FULLRATE} = \text{FREQ_RB2}[6]$ 。

$\text{DIVRATE} = \text{FREQ_RB2}[5:2]$ 。

f_{DCO} 是DCO的频率，根据表25得出。

寄存器0x5中的 $\text{VCOSEL}[9:8]$ ($\text{FREQ_RB2}[1:0]$)定义的四个振荡器内核涵盖数据速率的最高倍频程，如表25所示。

表25. DCO中心频率与VCOSEL[9:8] (FREQ_RB2[1:0])

内核 = (FREQ_RB2[1:0])	最低频率 (MHz) = Min_f(core)	最高频率 (MHz) = Max_f(core)
0	5570	7105
1	7000	8685
2	8610	10,330
3	10,265	11,625

f_{DCO} 依据下式利用 FREQ_RB1 和 $\text{FREQ_RB2}[1:0]$ 确定：

$f_{\text{DCO}} =$

$$\text{Min}_f(\text{core}) + \frac{\text{Max}_f(\text{core}) - \text{Min}_f(\text{core})}{256} \times \text{FREQ_RB1}$$

成功范例

回读FREQ_RB1和FREQ_RB2寄存器的内容。例如，将一个OC-192信号提供给PIN/NIN端口。

```
FREQ_RB1 = 0xCE
FREQ_RB2 = 0x02
FULLRATE (FREQ_RB2[6]) = 0
DIVRATE (FREQ_RB2[5:2]) = 0
core (FREQ_RB2[1:0]) = 2
```

那么

$$f_{DCO} = 8610 \text{ Mbps} + \frac{10300 \text{ Mbps} - 8610 \text{ Mbps}}{256} \times 206 = 9994.06 \text{ Mbps}$$

且

$$f_{data} = \frac{9994.06 \text{ Mbps}}{2^0 \times 2^0} = 9.99406 \text{ Gbps}$$

启动频率采集

先写入1再写入0到I²C寄存器0x9中的INIT_FREQ_ACQ (CTRLB[6])，即可启动频率采集。这将启动新的频率采集，而ADN2915则处于CTRLA、CTRLB和CTRLC寄存器先前设置的工作模式。

PRBS发生器/接收器

ADN2915集成了PRBS发生器和检测器，用于系统测试目的。这些器件可配置为PRBS检测器或PRBS发生器。

配置PRBS检测器的步骤如下：

1. 将DATA_RECEIVER_ENABLE (PRBS Rec 1[2])设为1，同时根据所需的PRBS模式(0：PRBS7；1：PRBS15；2：PRBS31)设置DATA_RECEIVER_MODE[1:0] (PRBS Rec 1[1:0])。将DATA_RECEIVER_MODE[1:0]设置为3，以对恢复数据进行一次采样并载入DATA_LOADED[15:0]。
2. 将DATA_RECEIVER_CLEAR (PRBS Rec 1[3])先设为1再设为0，以清除PRBS_ERROR和PRBS_ERROR_COUNT。
3. 将DATA_RECEIVER_ENABLE (PRBS Rec 1[2])设为0，可冻结PRBS_ERROR (PRBS Rec 3[1])和PRBS_ERROR_COUNT [7:0] (PRBS Rec 2[7:0])的状态。

配置PRBS发生器的步骤如下：

1. 设置DATA_GEN_EN (PRBS Gen 1[2]) = 1以使能PRBS发生器，同时根据所需的PRBS输出模式(0：PRBS7；1：PRBS15；2：PRBS31)设置DATA_GEN_MODE[1:0] (PRBS Gen 1[1:0])。将DATA_GEN_MODE[1:0]设为3，以激活一个存储为PROG_DATA[31:0]的任意32位模式。
2. DATA_CID_EN (PRBS Gen 1[4])设为1时，发生器可引入

检测到的DATA_CID_BIT (PRBS Gen 1[5])的连续相同数字串。CID的长度为8 x DATA_CID_LENGTH，通过寄存器0x3A中的PRBS Gen 2[7:0]设置。

表26. PRBS设置

PRBS模式	DATA_GEN_MODE[1:0]	PRBS多项式
PRBS7	0x00	$1 + X^6 + X^7$
PRBS15	0x01	$1 + X^{14} + X^{15}$
PRBS31	0x10	$1 + X^{28} + X^{31}$
PROG_DATA[31:0]	0x11	不适用

双倍数据速率模式

默认输出时钟模式是双倍数据速率(DDR)时钟，输出时钟频率是数据速率的½。这种模式下，器件可与同时支持上升沿和下降沿时钟的FPGA直接接口。设置寄存器0x1E中的DDR_D (OUTPUTA[2]) = 1，即可使能全数据速率模式。对于5.6 Gbps至11.3 Gbps的最高倍频程中的数据速率，器件不支持全数据速率模式。

CDR旁路模式

设置CDR旁路位(CTRLB[5]) = 1时，可旁路ADN2915中的CDR。这种模式下，ADN2915通过输入放大器将输入直接馈入输出缓冲器，从而完全旁路CDR。CDR旁路路径主要用于测试或调试系统。只能在3.0 Gbps或更低的数据速率下使用CDR旁路路径。

禁用输出缓冲器

ADN2915提供了禁用输出缓冲器以便省电的选项。设置CLKOUT_DISABLE (OUTPUTA[3]) = 1可禁用时钟输出缓冲器，总输出功率降低30 mW。在低功耗待机模式下，设置DATOUT_DISABLE (OUTPUTA[4]) = 1，可同时禁用CLKOUT和DATOUT缓冲器，总计节省60 mW的功耗。

传输线路

为最大程度地降低反射，所有高频输入和输出信号都需要采用50 Ω传输线路：PIN、NIN、CLKOUTP、CLKOUTN、DATOUTP和DATOUTN(如果使用高频参考时钟，如155 MHz，则还有REFCLKP和REFCLKN)。PIN和NIN输入走线的长度必须一致，CLKOUTP、CLKOUTN、DATOUTP和DATOUTN输出走线的长度也必须一致，以免不同走线产生偏斜。

高速输入(PIN和NIN)各通过50 Ω电阻内部端接到片内基准电压源(见图33)。像所有高速混合信号电路一样，所有高速数字走线必须远离敏感的模拟节点。

高速输出(DATOUTP、DATOUTN、CLKOUTP和CLKOUTN)通过50 Ω电阻端接到VCC。

ADN2915

引线框芯片级封装焊接原则

24引脚LFCSP封装上的引脚焊盘为方形。印刷电路板焊盘比封装引脚焊盘长0.1 mm，宽0.05 mm。为确保焊点最大，引脚焊盘应位于电路板焊盘中央。引线框芯片级封装的底部有一个中央裸露的焊盘。印刷电路板上的至少必须与该裸露焊盘一样大。用户必须利用堵住的过孔将裸露焊盘连接到VEE，防止回流焊期间焊料通过过孔泄漏。这可确保裸露焊盘到VEE的连接牢固。

将裸露焊盘连接到VEE时，强烈建议包括尽可能多的过孔。这可最大程度地减小芯片与VEE之间的热阻，从而最大程度地降低芯片温度。为了改善散热，建议将过孔连接到VEE层，而不要连接到信号走线，如图34所示。

将外部VEE层放在电路板上与ADN2915相反的背面，可带来额外的好处，因为这时热量更容易消散到环境中。

输入配置

ADN2915输入级支持交流耦合或直流耦合配置的信号源。为了更好地适应要求的应用环境，ADN2915支持下列输入模式：限幅放大器、均衡器或旁路。通过I²C总线很容易设

表27. 输入信号配置

所选输入	INPUT_SEL[1:0]	RX_TERM_FLOAT = 0	RX_TERM_FLOAT = 1
限幅放大器	00	V _{REF}	未定义
均衡器	01	V _{REF}	未定义
旁路(0 dB缓冲器)	10	V _{CC}	悬空
未定义	11	未定义	未定义

置ADN2915以使用任何需要的输入配置。图33所示为输入级电路的功能框图。

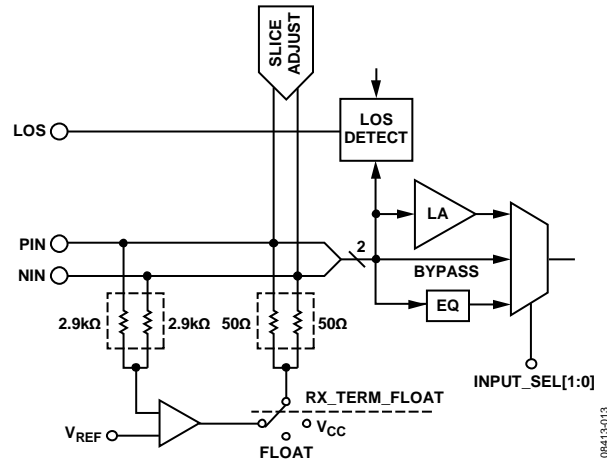


图33. 输入级功能框图

正确的输入信号通路可通过寄存器0x16中的INPUT_SEL[1:0]位(LA_EQ[6:5])配置。表27列出了INPUT_SEL[1:0]位和输入信号配置。

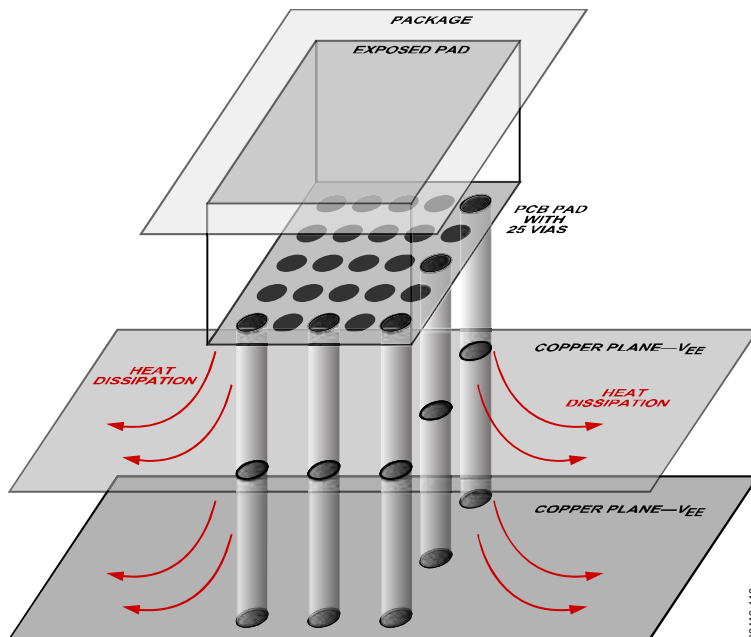


图34. 过孔连接到VEE

选择交流耦合电容

必须适当选择ADN2915输入端(PIN、NIN)和输出端(DATOUTP、DATOUTN)的交流耦合电容,使得器件能够在应用要求的整个数据速率范围内正常工作。选择电容时,必须考虑电容与信号路径中的两个50Ω电阻形成的时间常数。施加大量连续相同的数字(CID)时,由于基线漂移(见图35),电容电压可能会下降,引起模式相关的抖动(PDJ)。

用户必须确定允许的下降量,据此选择交流耦合电容。然后,PDJ量可根据所选的电容进行估算。实际选择的电容值可能需要权衡电压下降与PDJ。

例如,假设可以接受2%的下降,则最大差分下降为4%。

归一化到V p-p,

$$\text{下降} = \Delta V = 0.04 V = 0.5 V_{p-p} (1 - e^{-t/\tau})$$

因此,

$$\tau = 12t$$

其中:

τ 为RC时间常数(C为耦合电容, R = C看到的电阻100Ω)。

t 为总放电时间:

$$t = nT$$

其中:

n 为CID数。

T 为位周期。

合并 τ 和 t 的公式以计算电容值:

$$C = 12nT/R$$

选择电容值后, PDJ可按下式近似计算:

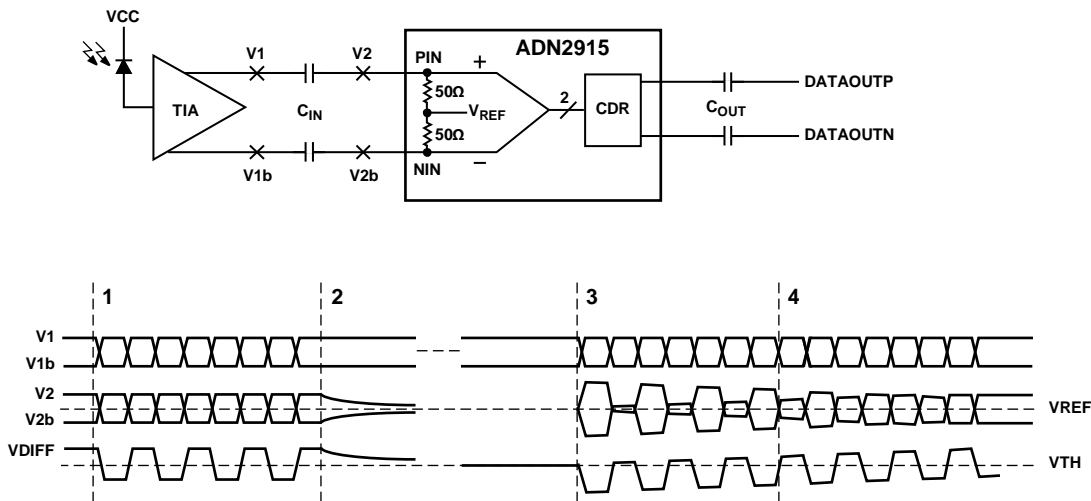
$$PDJ_{ps-p-p} = 0.5t_r(1 - e^{-(nT/RC)})/0.6$$

其中:

PDJ_{ps-p-p} 为允许的模式相关抖动量,通常小于0.01 UI p-p。

t_r 为上升时间,等于0.22/BW, BW ≈ 0.7(比特率)。

注意, t_r 的表达式仅对输入是准确的。ADN2915的输出上升时间约为30 ps,与数据速率无关。



VDIFF = V2 - V2b
VTH = ADN2915 QUANTIZER THRESHOLD

NOTES

1. DURING THE DATA PATTERNS WITH HIGH TRANSITION DENSITY, DIFFERENTIAL DC VOLTAGE AT V1 AND V2 IS ZERO.
2. WHEN THE TIA OUTPUTS CONSECUTIVE IDENTICAL DIGITS, V1 AND V1b ARE DRIVEN TO DIFFERENT DC LEVELS. V2 AND V2b DISCHARGE TO THE V_{REF} LEVEL, WHICH EFFECTIVELY INTRODUCES A DIFFERENTIAL DC OFFSET ACROSS THE AC COUPLING CAPACITORS.
3. WHEN THE BURST OF DATA STARTS AGAIN, THE DIFFERENTIAL DC OFFSET ACROSS THE AC COUPLING CAPACITORS IS APPLIED TO THE INPUT LEVELS, CAUSING A DC SHIFT IN THE DIFFERENTIAL INPUT. THIS SHIFT IS LARGE ENOUGH SUCH THAT ONE OF THE STATES, EITHER HIGH OR LOW, DEPENDING ON THE LEVELS OF V1 AND V1b WHEN THE TIA WENT TO CID, IS CANCELLED OUT. THE QUANTIZER DOES NOT RECOGNIZE THIS AS A VALID STATE.
4. THE DC OFFSET SLOWLY DISCHARGES UNTIL THE DIFFERENTIAL INPUT VOLTAGE EXCEEDS THE SENSITIVITY OF THE ADN2915. THE QUANTIZER RECOGNIZES BOTH HIGH AND LOW STATES AT THIS POINT.

图35. 基线漂移示例

084134018

ADN2915

直流耦合应用

ADN2915的输入也可以是直流耦合。在CID周期很长和不能容忍基线漂移的突发模式应用中，可能就需要直流耦合输入。如果ADN2915的输入是直流耦合，必须注意不能违反ADN2915的输入范围和共模电平要求(见图39或图40)。如果需要直流耦合，但跨阻放大器(TIA)的输出电平不符合图39或图40所示的电平，则TIA输出与ADN2915输入之间必须进行电平转换和/或衰减。

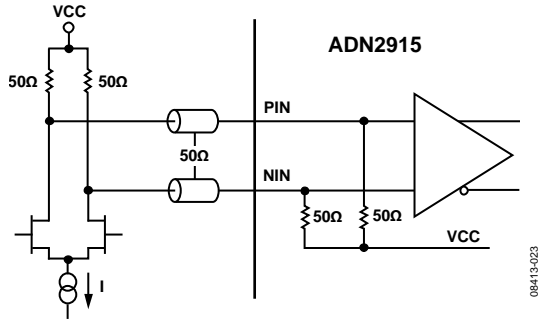


图38. 直流耦合应用，旁路输入(后部端接模式)

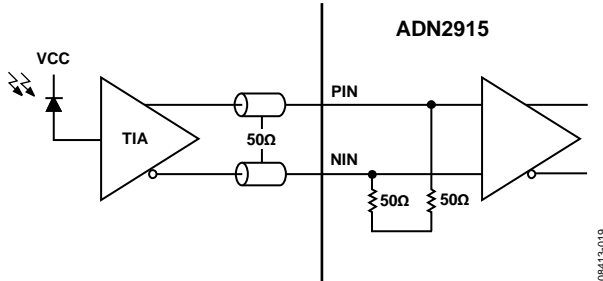


图36. 直流耦合应用，旁路输入(Rx项浮动模式)

图37显示了使用旁路输入时的默认直流耦合情况。两项以普通CML方式直接连到VCC，共模电平由驱动芯片的直流信号强度设置。旁路输入具有高共模范围，可承受最高达到VCC的 V_{CM} 。

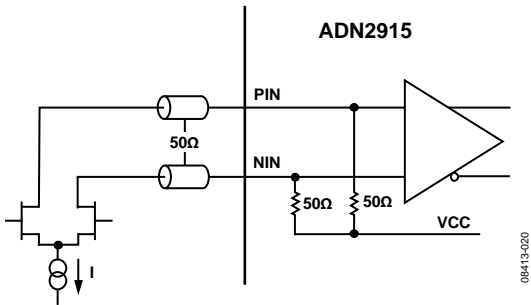


图37. 直流耦合应用，旁路输入(正常模式)

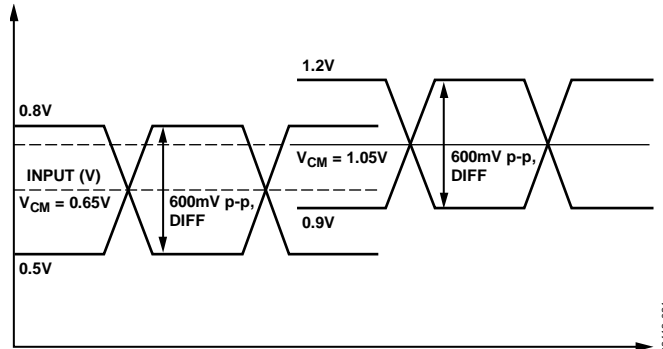


图39. 允许的最小直流耦合输入电平

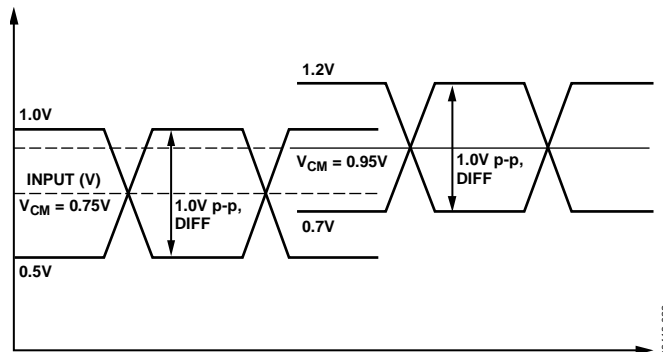
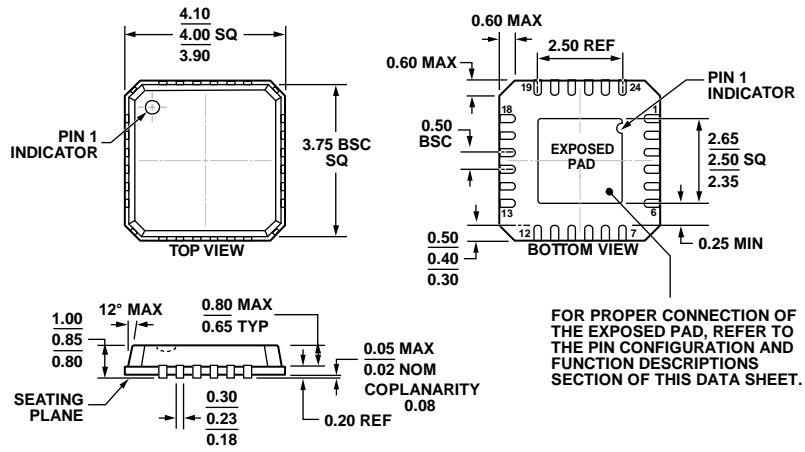


图40. 允许的最大直流耦合输入电平

外形尺寸



COMPLIANT TO JEDEC STANDARDS MO-220-VGGD-8

图41. 24引脚引线框芯片级封装[LFCSP_VQ]
4 mm x 4 mm超薄体
(CP-24-3)
图示尺寸单位: mm

04-11-2012-A

订购指南

型号 ¹	温度范围	封装描述	封装选项	订购数量
ADN2915ACPZ EVALZ-ADN2915	-40°C至+85°C	24引脚 LFCSP_VQ 评估板	CP-24-3	490

¹ Z = 符合RoHS标准的器件。

注释

注释

注释

I²C指最初由Philips Semiconductors(现为NXP Semiconductors)开发的一种通信协议。