

特性

- RF带宽达6.1 GHz
- 25位固定模数可提供次赫兹频率分辨率
- 频率与相位调制能力
- 频域中的锯齿波和三角波
- 抛物线斜坡
- 斜坡与FSK叠加
- 具有2种不同扫描速率的斜坡
- 斜坡延迟
- 斜坡频率回读
- 斜坡中断
- 2.7 V至3.3 V电源供电
- 独立的电荷泵电源VP可提供扩展的调谐电压
- 可编程电荷泵电流
- 三线式串行接口
- 数字锁定检测
- 关断模式
- 减少周跳以缩短锁定时间
- 在宽带宽内快速锁定模式
- 通过汽车应用认证

应用

- FMCW雷达
- 通信测试设备

概述

ADF4158是一款具有调制和波形产生能力的6.1 GHz小数N分频频率合成器，包含25位固定模数，可在6.1 GHz下提供次赫兹频率分辨率。它由低噪声数字鉴频鉴相器(PFD)、精密电荷泵和可编程参考分频器组成。该器件内置一个 Σ - Δ 型小数插值器，能够实现可编程模数小数N分频。INT和FRAC寄存器可构成一个总N分频器($N = INT + (FRAC/2^{25})$)。

ADF4158可用于实现频移键控(FSK)和相移键控(PSK)调制。可用的频率扫描模式也有很多，可在频域内产生各种波形，例如锯齿波和三角波。ADF4158具有周跳减少电路，可进一步缩短锁定时间，而无需修改环路滤波器。

所有片内寄存器均通过简单的三线式接口进行控制。该器件采用2.7 V至3.3 V电源供电，不用时可以关断。

功能框图

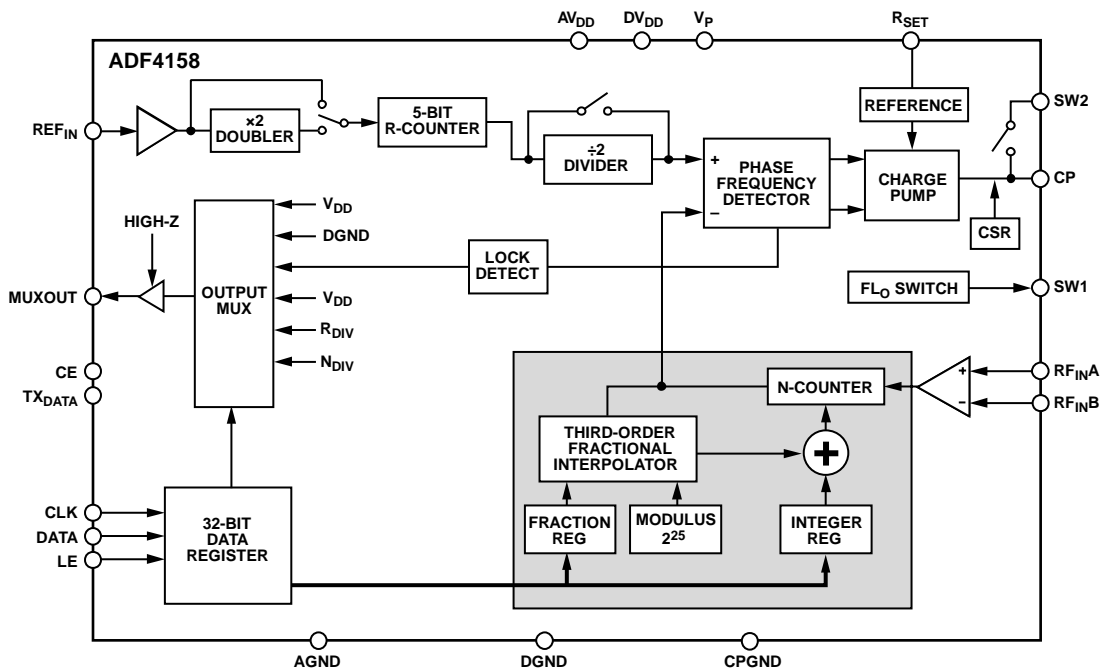


图1.

Rev. E

Document Feedback

Information furnished by Analog Devices is believed to be accurate and reliable. However, no responsibility is assumed by Analog Devices for its use, nor for any infringements of patents or other rights of third parties that may result from its use. Specifications subject to change without notice. No license is granted by implication or otherwise under any patent or patent rights of Analog Devices. Trademarks and registered trademarks are the property of their respective owners.

One Technology Way, P.O. Box 9106, Norwood, MA 02062-9106, U.S.A.
Tel: 781.329.4700 ©2009–2013 Analog Devices, Inc. All rights reserved.
Technical Support www.analog.com

ADI中文版数据手册是英文版数据手册的译文，敬请谅解翻译中可能存在的语言组织或翻译错误，ADI不对翻译中存在的差异或由此产生的错误负责。如需确认任何词语的准确性，请参考ADI提供的最新英文版数据手册。

目录

特性.....	1	R分频器寄存器(R2)映射.....	17
应用.....	1	功能寄存器(R3)映射.....	19
概述.....	1	测试寄存器(R4)映射.....	21
功能框图.....	1	偏差寄存器(R5)映射.....	22
修订历史.....	3	步进寄存器(R6)映射.....	23
技术规格.....	4	延迟寄存器(R7)映射.....	24
时序规格.....	5	应用信息.....	25
绝对最大额定值.....	7	初始化序列.....	25
ESD警告.....	7	RF频率合成器：一个成功范例.....	25
引脚配置和引脚功能描述.....	8	参考倍频器和参考分频器.....	25
典型性能参数.....	9	减少周跳以缩短锁定时间.....	25
电路描述.....	11	调制.....	26
基准电压输入部分.....	11	波形产生.....	26
RF输入级.....	11	其他波形.....	28
RF INT分频器.....	11	快速锁定定时器和寄存器序列.....	32
25位固定模数.....	11	快速锁定示例.....	32
INT、FRAC和R关系.....	11	快速锁定：环路滤波器拓扑.....	32
R计数器.....	11	杂散机制.....	33
鉴频鉴相器(PFD)和电荷泵.....	12	滤波器设计—ADIsimPLL.....	33
MUXOUT和LOCK检测.....	12	芯片级封装的PCB设计指南.....	33
输入移位寄存器.....	12	ADF4158在FMCW雷达中的应用.....	34
编程模式.....	12	外形尺寸.....	35
寄存器映射.....	13	订购指南.....	35
FRAC/INT寄存器(R0)映射.....	15	汽车应用级产品.....	35
LSB FRAC寄存器(R1)映射.....	16		

修订历史**2013年3月—修订版D至修订版E**

更改图7、图8、图9和图10	9
更改图22	14
更改“负泄漏电流”部分、 “回读至MUXOUT”部分和图27	21
更改图28	22
更改“FMCW雷达斜坡设置成功范例”部分	27

2012年6月—修订版C至修订版D

更改表3和图3	6
增加图4；重新排序	6
增加“负泄漏电流”部分	21
更改图27	21

2011年11月—修订版B至修订版C

更改“特性”部分	1
更改图6至图9的标题	9
更改图11	10
更改图19	12
更改图20	13
将“12位MOD分频器”部分改为 “12位CLK ₁ 分频器”部分	17
更改“12位CLK ₁ 分频器”部分	17
更改图24	18
更改“延迟时钟选择”部分和图29	24
更改“超时间隔”部分	27
更改“FMCW雷达斜坡设置成功范例”部分	28
更改“延迟启动示例”部分和“斜坡间延迟示例”部分	29

更改“快速锁定定时器和寄存器序列”部分和 “快速锁定：一个示例”部分	32
更改订购指南	35
添加“汽车应用级产品”部分	35

2011年9月—修订版A至修订版B

更改噪声特性参数	3
----------------	---

2011年7月—修订版0至修订版A

更改图21	13
更改图25	19
更改“12位时钟分频器值”部分	20
更改图28	22
更改“FMCW雷达斜坡设置成功范例”部分	26
增加“斜坡编程序列”部分， 以及增加“其他波形”标题	27
更改图36	28
增加“斜坡完成信号”至“Muxout”部分并更改图40	29
增加图42；重新排序	30
更改图45	31
更改图46	33

2010年4月—修订版0：初始版

ADF4158

技术规格

除非另有说明, $AV_{DD} = DV_{DD} = 2.7\text{ V}$ 至 3.3 V , $V_P = AV_{DD}$ 至 5.5 V , $AGND = DGND = 0\text{ V}$, $T_A = T_{MIN}$ 至 T_{MAX} , dBm以 $50\ \Omega$ 为基准。

表1.

参数	C级 ¹			单位	测试条件/注释
	最小值	典型值	最大值		
RF特性					
RF输入频率(RF_{IN})	0.5		6.1	GHz	-10 dBm(最小值)至0 dBm(最大值); 如果频率较低, 确保压摆率(SR) > 400 V/ μ s -15 dBm(最小值)至0 dBm(最大值), 针对2 GHz至4 GHz RF输入频率
参考特性					
REF _{IN} 输入频率	10		260	MHz	如果f < 10 MHz, 使用兼容直流耦合CMOS的方波, 压摆率 > 25 V/ μ s
REF _{IN} 输入灵敏度	0.4		16	MHz	如果使能内部参考倍频器
REF _{IN} 输入电容			10	pF	偏置 $AV_{DD}/2^2$
REF _{IN} 输入电流			± 100	μ A	
鉴相器					
鉴相器频率 ³			32	MHz	
电荷泵					
I _{CP} 吸/源电流					可编程
高值		5		mA	$R_{SET} = 5.1\text{ k}\Omega$
低值		312.5		μ A	
绝对精度		2.5		%	$R_{SET} = 5.1\text{ k}\Omega$
R _{SET} 范围	2.7		10	k Ω	
I _{CP} 三态漏电流		1		nA	吸电流和源电流
匹配		2		%	$0.5\text{ V} < V_{CP} < V_P - 0.5\text{ V}$
I _{CP} 与V _{CP}		2		%	$0.5\text{ V} < V_{CP} < V_P - 0.5\text{ V}$
I _{CP} 与温度		2		%	$V_{CP} = V_P/2$
逻辑输入					
高输入电压V _{INH}	1.4			V	
低输入电压V _{INL}			0.6	V	
输入电流I _{INH} /I _{INL}			± 1	μ A	
输入电容C _{IN}			10	pF	
逻辑输出					
高输出电压V _{OH}	1.4			V	选择开漏输出; 1 k Ω 上拉至1.8 V
高输出电压V _{OH}	V _{DD} - 0.4			V	选择CMOS输出
高输出电流I _{OH}			100	μ A	
输出低电压V _{OL}			0.4	V	I _{OL} = 500 μ A
电源					
AV _{DD}	2.7		3.3	V	
DV _{DD}		AV _{DD}			
V _P	AV _{DD}		5.5	V	
I _{DD}		23	32	mA	

参数	C级 ¹			单位	测试条件/注释
	最小值	典型值	最大值		
噪声特性					
归一化相位噪声(PN_{SYNTH}) ⁴		-216		dBc/Hz	PLL环路带宽 = 500 kHz; 在100 kHz偏移下测量
归一化1/f噪声($PN_{1/f}$) ⁵		-110		dBc/Hz	100 kHz偏移; 归一化为1 GHz
相位噪声性能 ⁶					在VCO输出下
5805 MHz输出 ⁷		-93		dBc/Hz	在5 kHz偏移、32 MHz PFD频率下

¹ C级工作温度范围为-40°C至+125°C。

² 交流耦合确保 $AV_{DD}/2$ 偏置。

³ 通过设计保证。样片经过测试，以确保符合标准要求。

⁴ 频率合成器相位噪声的估算方法如下：测量VCO输出端的带内相位噪声，然后减去 $20 \log(N)$ (其中N为N分频器的值)和 $10 \log(F_{PFD})$ 。 $PN_{SYNTH} = PN_{TOT} - 10 \log(F_{PFD}) - 20 \log(N)$ 。

⁵ PLL相位噪声由1/f(闪烁)噪声加归一化PLL噪底组成。RF频率为 F_{RF} ，频率偏移为 f ，计算1/f噪声贡献的公式如下： $PN = PN_{1/f} + 10 \log(10 \text{ kHz}/f) + 20 \log(F_{RF}/1 \text{ GHz})$ 。
归一化相位噪声和闪烁噪声均在ADIsimPLL中进行了模拟。

⁶ 相位噪声使用EVAL-ADF4158EB1Z和Agilent E5052A相位噪声系统进行测量。

⁷ $f_{REFIN} = 128 \text{ MHz}$; $f_{PFD} = 32 \text{ MHz}$; 偏移频率= 5 kHz; $F_{OUT} = 5805 \text{ MHz}$; INT = 181; FRAC = 13631488; 环路带宽= 100 kHz。

时序规格

除非另有说明， $AV_{DD} = DV_{DD} = SDV_{DD} = 2.7 \text{ V}$ 至 3.3 V ； $V_P = AV_{DD}$ 至 5.5 V ； $AGND = DGND = SDGND = 0 \text{ V}$ ； $T_A = T_{MIN}$ 至 T_{MAX} ，dBm以 50Ω 为基准。

表2. 写入时序

参数	在 T_{MIN} 至 T_{MAX} 下的限值(C级)	单位	测试条件/注释
t_1	20	ns, 最小值	LE建立时间
t_2	10	ns, 最小值	DATA到CLK建立时间
t_3	10	ns, 最小值	DATA到CLK保持时间
t_4	25	ns, 最小值	CLK高电平持续时间
t_5	25	ns, 最小值	CLK低电平持续时间
t_6	10	ns, 最小值	CLK到LE建立时间
t_7	20	ns, 最小值	LE脉冲宽度

写入时序图

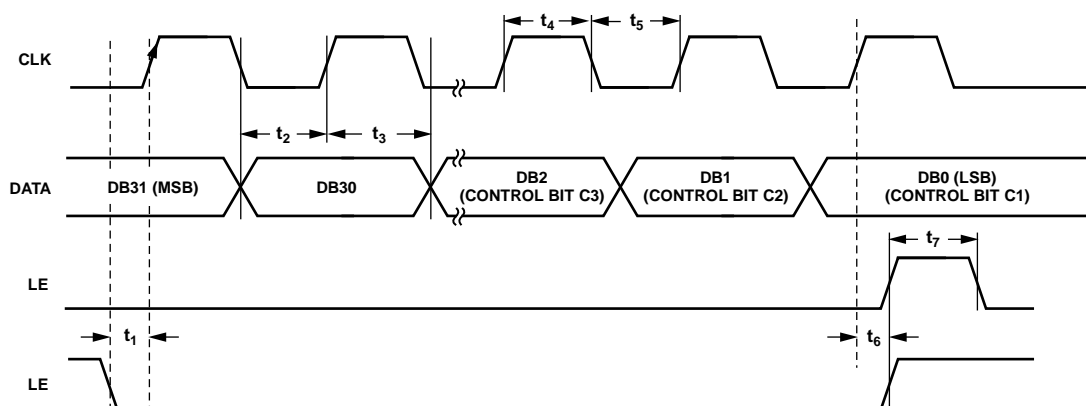


图2. 写入时序图

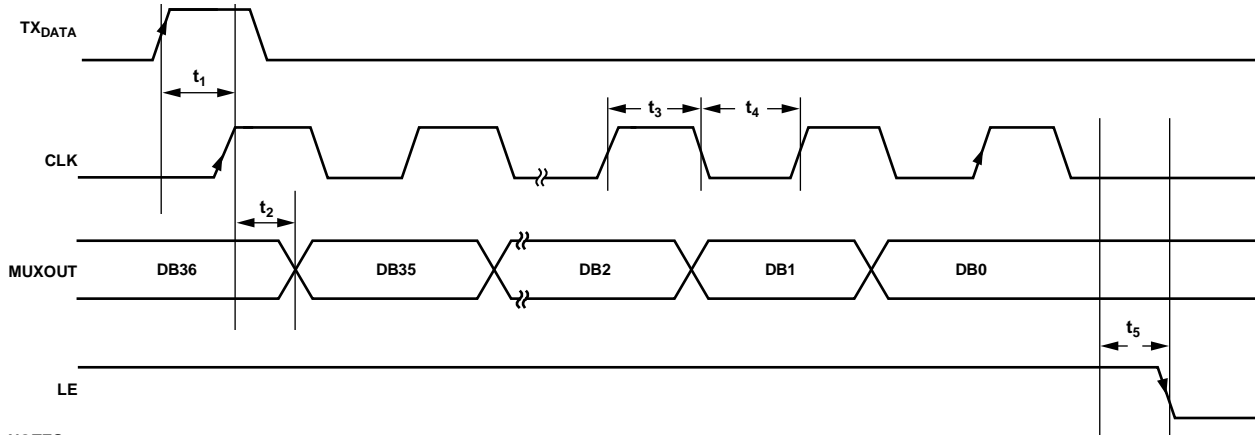
08128-026

ADF4158

表3. 读取时序

参数	在 T_{MIN} 至 T_{MAX} 下的限值(C级)	单位	测试条件/注释
t_1	20	ns, 最小值	TX_{DATA} 建立时间
t_2	20	ns, 最小值	CLK到DATA(MUXOUT上)建立时间
t_3	25	ns, 最小值	CLK高电平持续时间
t_4	25	ns, 最小值	CLK低电平持续时间
t_5	10	ns, 最小值	CKJ到LE建立时间

读取时序图



NOTES
1. LE SHOULD BE KEPT HIGH DURING READBACK.

图3. 读取时序图

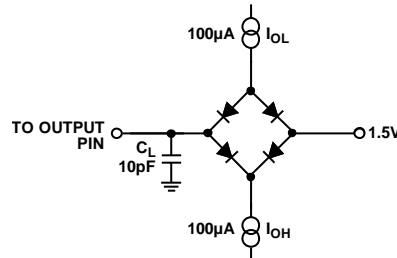


图4. MUXOUT时序的负载电路($C = 10 \text{ pF}$)

绝对最大额定值

除非另有声明, $T_A = 25^\circ\text{C}$, $\text{GND} = \text{AGND} = \text{DGND} = \text{SDGND} = 0\text{ V}$, $V_{\text{DD}} = \text{AV}_{\text{DD}} = \text{DV}_{\text{DD}} = \text{SDV}_{\text{DD}}$ 。

表4.

参数	额定值
V_{DD} 至 GND	-0.3 V 至 +4 V
V_{DD} 至 V_{DD}	-0.3 V 至 +0.3 V
V_{p} 至 GND	-0.3 V 至 +5.8 V
V_{p} 至 V_{DD}	-0.3 V 至 +5.8 V
数字 I/O 电压至 GND	-0.3 V 至 $V_{\text{DD}} + 0.3\text{ V}$
模拟 I/O 电压至 GND	-0.3 V 至 $V_{\text{DD}} + 0.3\text{ V}$
REF_{IN} 、 RF_{IN} 至 GND	-0.3 V 至 $V_{\text{DD}} + 0.3\text{ V}$
工作温度范围	
工业 (C 级)	-40°C 至 +125°C
存储温度范围	-65°C 至 +125°C
最高结温	150°C
LFCSP θ_{JA} 热阻 (焊盘焊接)	30.4°C/W
回流焊	
峰值温度	260°C
峰值温度时间	40 sec

注意, 超出上述绝对最大额定值可能会导致器件永久性损坏。这只是额定最大值, 并不能以这些条件或者在任何其它超出本技术规范操作章节中所示规格的条件下, 推断器件能否正常工作。长期在绝对最大额定值条件下工作会影响器件的可靠性。

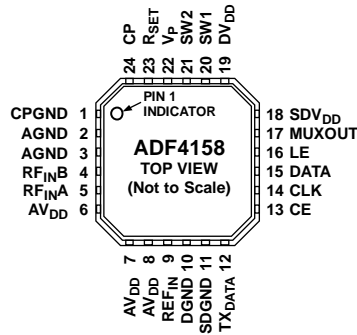
ESD 警告



ESD (静电放电) 敏感器件。

带电器件和电路板可能会在没有察觉的情况下放电。尽管本产品具有专利或专有保护电路, 但在遇到高能量 ESD 时, 器件可能会损坏。因此, 应当采取适当的 ESD 防范措施, 以避免器件性能下降或功能丧失。

引脚配置和引脚功能描述



NOTES
1. THE LFCSP HAS AN EXPOSED PADDLE THAT MUST BE CONNECTED TO GND.

08729-003

图5. 引脚配置

表5. 引脚功能描述

引脚编号	引脚名称	描述
1	CPGND	电荷泵接地。这是电荷泵的接地回路。
2, 3	AGND	模拟地。这是预分频器的接地回路。
4	RF _{INB}	RF预分频器的互补输入。通过小旁路电容(通常为100 pF)将此点去耦至接地层。
5	RF _{INA}	RF预分频器的输入。此小信号输入通常从VCO交流耦合。
6, 7, 8	AV _{DD}	RF部分的正电源。将去耦电容放置到数字接地层并尽可能靠近此引脚。AV _{DD} 的电压必须与DV _{DD} 相同。
9	REF _{IN}	基准输入。这是一个CMOS输入，标称阈值为V _{DD} /2，并具有100 kΩ的等效输入电阻。它可以采用TTL或CMOS晶振驱动，或者交流耦合。
10	DGND	数字地。
11	SDGND	数字Σ-Δ调制器地。Σ-Δ调制器的接地回路。
12	TX _{DATA}	Tx数据引脚。在此引脚上提供以FSK或PSK模式发送的数据。
13	CE	芯片使能。此引脚的逻辑低电平将关断器件，并使电荷泵输出进入三态模式。
14	CLK	串行时钟输入。此串行时钟用来将串行数据逐个输入寄存器。数据在CLK上升沿锁存到移位寄存器内。此输入为高阻抗CMOS输入。
15	DATA	串行数据输入。串行数据以MSB优先方式加载，三个LSB用作控制位。此输入为高阻抗CMOS输入。
16	LE	加载使能，CMOS输入。当LE变为高电平时，存储在移位寄存器内的数据将载入八个锁存器中的一个，锁存器使用控制位选择。
17	MUXOUT	多路复用器输出。此引脚允许从外部访问RF锁定检测、经过缩放的RF或基准频率。
18	SDV _{DD}	数字Σ-Δ调制器的电源引脚。此引脚的电压应与AV _{DD} 相同。将去耦电容放置到接地层并尽可能靠近此引脚。
19	DV _{DD}	数字部分的正电源。将去耦电容放置到数字接地层并尽可能靠近此引脚。DV _{DD} 的电压必须与AV _{DD} 相同。
20, 21	SW1, SW2	用于快速锁定的开关。
22	V _p	电荷泵电源。此引脚应大于或等于V _{DD} 。在V _{DD} 为3V的系统中，可设置为5.5V并用于驱动调谐范围最高为5.5V的VCO。
23	R _{SET}	在此引脚与地之间连一个电阻可设置最大电荷泵输出电流。I _{CP} 与R _{SET} 的关系为： $I_{CPmax} = \frac{25.5}{R_{SET}}$ 其中： I _{CPmax} = 5 mA。 R _{SET} = 5.1 kΩ。
24	CP	电荷泵输出。使能时，此引脚提供±I _{CP} 到外部环路滤波器，后者又驱动外部VCO。
25	EPAD	裸露焊盘。LFCSP具有一个必须连接至GND的裸露焊盘。

典型性能参数

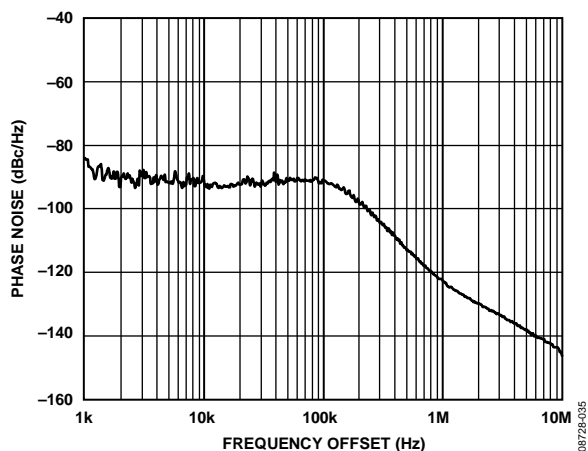


图6. 5805 MHz、 $PF_D = 32$ MHz、环路带宽 = 100 kHz时的相位噪声

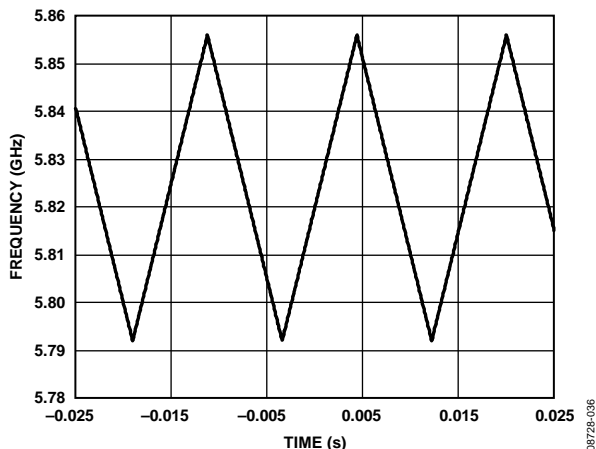


图7. 三角波, $PF_D = 32$ MHz, $INT = 181$, $FRAC = 0$, DEV 失调 = 4, DEV 字 = 20972, 步进字 = 200, CLK_2 分频器 = 10, CLK_1 分频器 = 125

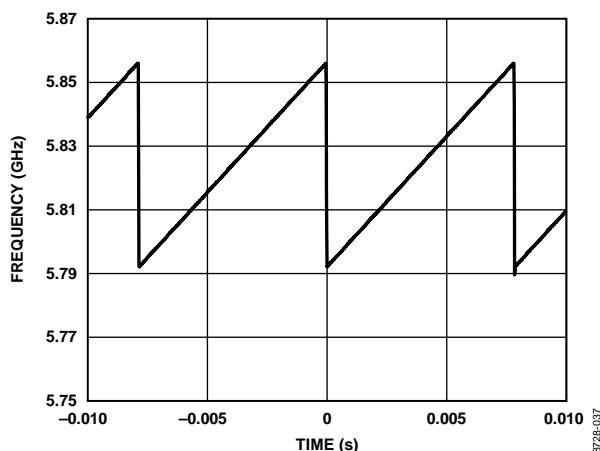


图8. 锯齿波, $PF_D = 32$ MHz, $INT = 181$, $FRAC = 0$, DEV 失调 = 4, DEV 字 = 20972, 步进字 = 200, CLK_2 分频器 = 10, CLK_1 分频器 = 125

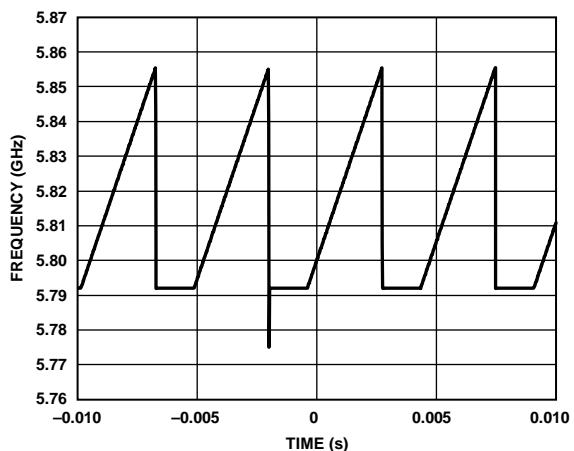


图9. 锯齿波斜坡间延迟, $PF_D = 32$ MHz, $INT = 181$, $FRAC = 0$, DEV 失调 = 4, DEV 字 = 20972, 步进字 = 200, CLK_2 分频器 = 10, CLK_1 分频器 = 125, DEL 起始字 = 1025

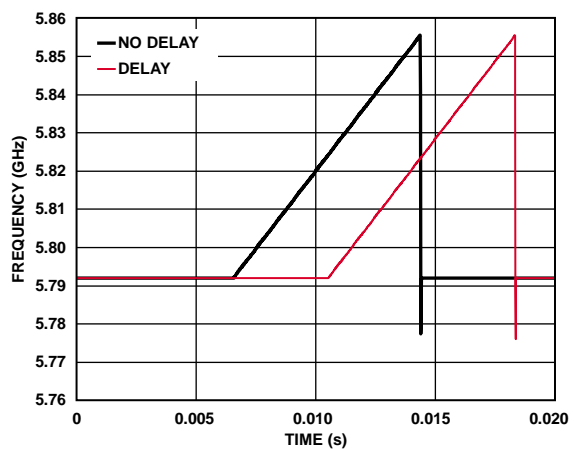


图10. 三角突发脉冲延迟启动, $PF_D = 32$ MHz, $INT = 181$, $FRAC = 0$, DEV 失调 = 4, DEV 字 = 20972, 步进字 = 200, CLK_2 分频器 = 10, CLK_1 分频器 = 125, DEL 起始字 = 1000

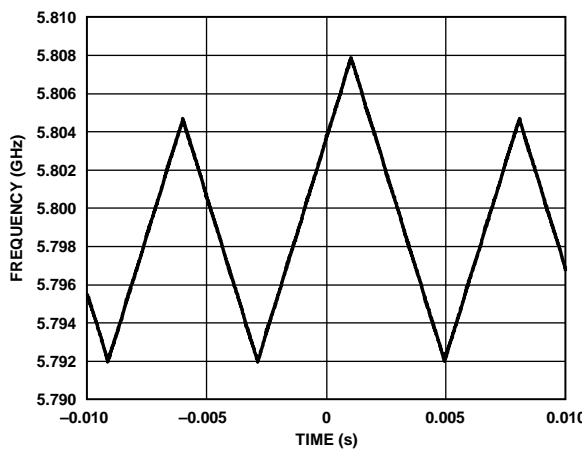


图11. 双斜率波形, $PF_D = 32$ MHz, $INT = 181$, $FRAC = 0$, 斜坡1: DEV 失调 = 3, DEV 字 = 16777, 步进字 = 100, 斜坡2: DEV 失调 = 3, DEV 字 = 20792, 步进字 = 80

ADF4158

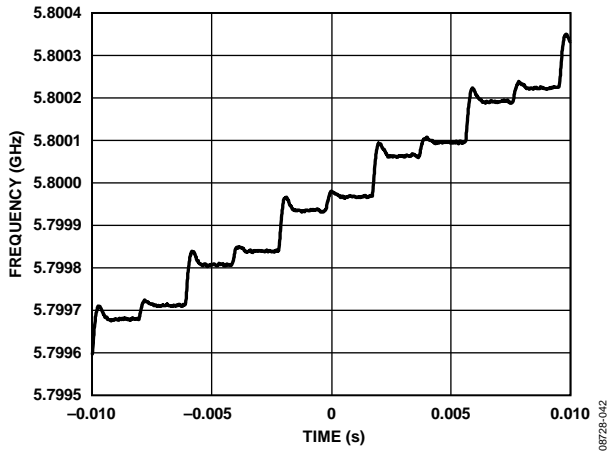


图12 叠加于三角波上升沿上的FSK;
 斜坡设置: PFD = 32 MHz, INT = 181, FRAC = 0, DEV失调 = 4,
 DEV字 = 20972, 步进字 = 200, CLK DIV = 10, CLK₁分频器 = 125;
 FSK设置: DEV失调 = 3, DEV字 = 4194

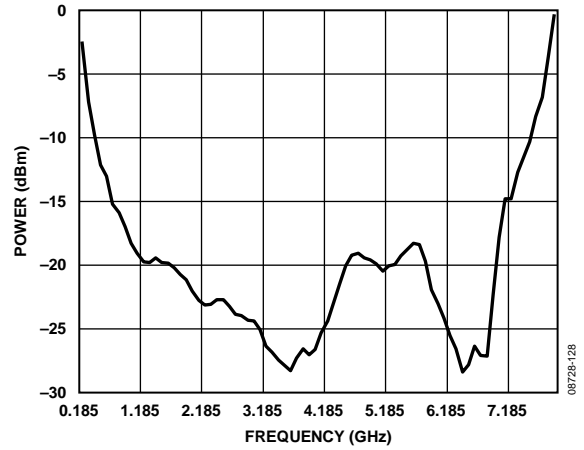


图14. 整个温度范围和V_{DD}上的RF_{IN}平均灵敏度

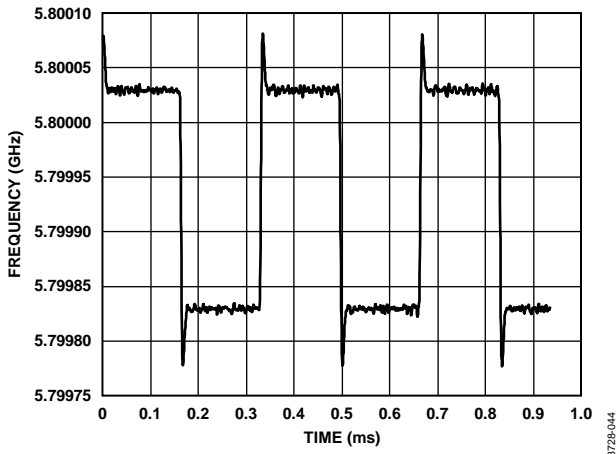


图13. FSK; 设置: 频率偏差 = 100 kHz, 数据速率 = 3 kHz

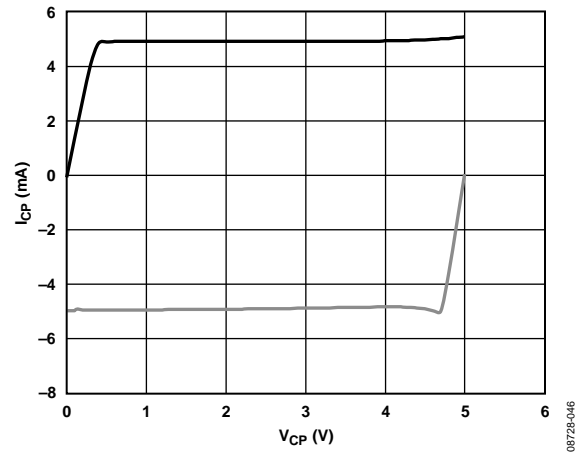


图15. 电荷泵输出特性

电路描述

基准电压输入部分

基准电压输入级如图16所示。SW1和SW2为常闭开关。SW3常开。启动关断程序后，SW3闭合，SW1和SW2断开，确保关断期间REFIN引脚无负载。

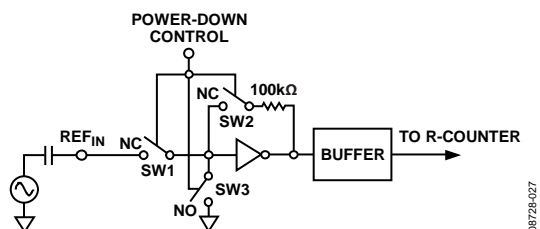


图16. 基准电压输入级

RF输入级

RF输入级如图17所示。紧跟其后的是2级限幅放大器，用以产生预分频器需要的电流模式逻辑(CML)时钟电平。

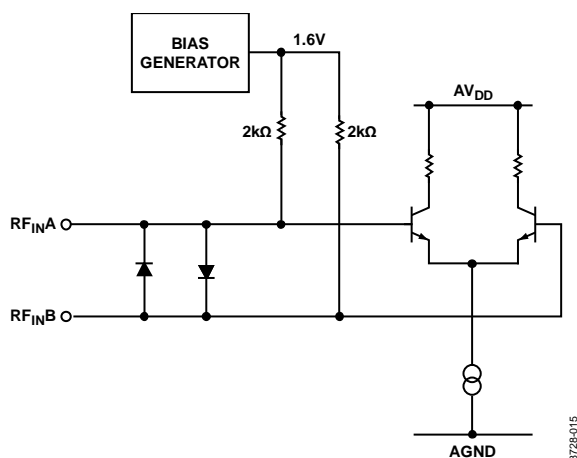


图17. RF输入级

RF INT分频器

RF INT CMOS计数器可以在PLL反馈计数器中提供一个分频比。分频比可以为23至4095。

25位固定模数

ADF4158具有25位固定模数。因此，输出频率间隔分辨率为：

$$f_{RES} = f_{PFD} / 2^{25} \quad (1)$$

其中 f_{PFD} 是鉴频鉴相器(PFD)的频率。例如，PFD频率为10 MHz时，可实现0.298 Hz的频率步进。

INT、FRAC和R关系

利用INT和FRAC的值以及R计数器，可以产生间隔为鉴频鉴相器(PFD)的分数的输出频率。RF VCO频率(f_{OUT})公式为：

$$f_{OUT} = f_{PFD} \times (INT + (FRAC / 2^{25})) \quad (2)$$

其中：

f_{OUT} 是外部电压控制振荡器(VCO)的输出频率。

INT是12位计数器的预设分频比(23至4095)。FRAC是小数分频的分子(0至 $2^{25} - 1$)。

$$f_{PFD} = REF_{IN} \times [(1 + D) / (R \times (1 + T))] \quad (3)$$

其中：

REF_{IN} 是基准输入频率；

D是 REF_{IN} 倍频器位(0或1)；

T是 REF_{IN} 2分频位(0或1)；

R是二进制5位可编程参考计数器的预设分频比(1至32)。

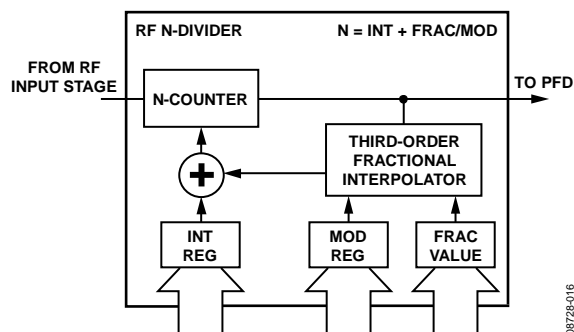


图18. RF N分频器

R计数器

利用5位R计数器，可以细分输入基准频率(REF_{IN})以产生PFD的基准时钟。分频比可以为1至32。

ADF4158

鉴频鉴相器(PFD)和电荷泵

PFD接受R计数器和N计数器的输入，产生与二者的相位和频率差成正比的输出。图19显示了PFD的简化原理图。PFD内置一个固定延迟元件，用来设置反冲防回差脉冲宽度，其典型值为3 ns。此脉冲可确保PFD传递函数中无死区，从而提供一致的参考杂散水平。

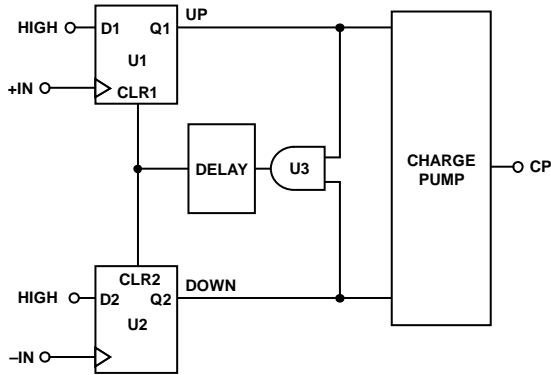


图19. PFD简化原理图

MUXOUT和LOCK检测

ADF4158的输出多路复用器允许用户访问芯片的各种内部点。MUXOUT状态由M4、M3、M2和M1位控制(参见图23)。图20以框图形式显示了MUXOUT部分。

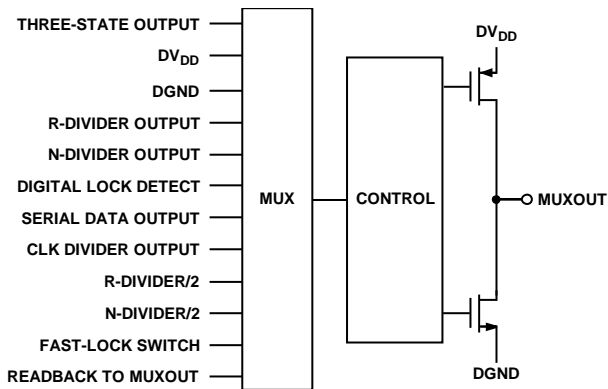


图20. MUXOUT原理图

输入移位寄存器

ADF4158数字部分包括一个5位RF R计数器、一个12位RF N计数器和一个25位FRAC计数器。数据在CLK的每个上升沿时逐个输入32位移位寄存器。数据输入方式是MSB优先。在LE上升沿时，数据从移位寄存器传输至八个锁存器之一。目标锁存器由移位寄存器中的三个控制位(C3、C2和C1)的状态决定。这些控制位是三个LSB: DB2、DB1和DB0，如图2所示。表6为这些位的真值表。图21和图22总结了这些锁存器的编程方式。

编程模式

表6和图23至图30显示了如何设置ADF4158的编程模式。

ADF4158的几个设置采用双缓冲，包括LSB小数值、R计数器值、参考倍频器、电流设置和RDIV2。这意味着，该器件要使用任何双缓冲设置的新值，必须发生两个事件。首先，通过写入适当的寄存器，将新值锁存至器件中。其次，必须对R0执行一次新的写操作。

例如，更新小数值可能需要在R1中写入13个LSB位以及在R0中写入12个MSB位。R1应首先写入，然后写入R0。频率变化在写入R0后开始。双缓冲确保了写入R1的位不会在写入R0前生效。

表6. C3、C2和C1真值表

控制位			寄存器
C3	C2	C1	
0	0	0	R0
0	0	1	R1
0	1	0	R2
0	1	1	R3
1	0	0	R4
1	0	1	R5
1	1	0	R6
1	1	1	R7

寄存器映射

FRAC/INT REGISTER (R0)

RAMP ON	MUXOUT CONTROL					12-BIT INTEGER VALUE (INT)											12-BIT MSB FRACTIONAL VALUE (FRAC)										CONTROL BITS				
	DB31	DB30	DB29	DB28	DB27	DB26	DB25	DB24	DB23	DB22	DB21	DB20	DB19	DB18	DB17	DB16	DB15	DB14	DB13	DB12	DB11	DB10	DB9	DB8	DB7	DB6	DB5	DB4	DB3	DB2	DB1
R1	M4	M3	M2	M1	N12	N11	N10	N9	N8	N7	N6	N5	N4	N3	N2	N1	F25	F24	F23	F22	F21	F20	F19	F18	F17	F16	F15	F14	C3(0)	C2(0)	C1(0)

LSB FRAC REGISTER (R1)

RESERVED					13-BIT LSB FRACTIONAL VALUE (FRAC) (DBB)													RESERVED										CONTROL BITS			
DB31	DB30	DB29	DB28	DB27	DB26	DB25	DB24	DB23	DB22	DB21	DB20	DB19	DB18	DB17	DB16	DB15	DB14	DB13	DB12	DB11	DB10	DB9	DB8	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
0	0	0	0	F13	F12	F11	F10	F9	F8	F7	F6	F5	F4	F3	F2	F1	0	0	0	0	0	0	0	0	0	0	0	0	C3(0)	C2(0)	C1(0)

R-DIVIDER REGISTER (R2)

RESERVED				CSR EN	DBB CP CURRENT SETTING					RESERVED	PRESCALER	RDIV2 DBB	REFERENCE DOUBLER DBB	DBB 5-BIT R-COUNTER					12-BIT CLK ₁ DIVIDER										CONTROL BITS		
DB31	DB30	DB29	DB28		DB27	DB26	DB25	DB24	DB23					DB22	DB21	DB20	DB19	DB18	DB17	DB16	DB15	DB14	DB13	DB12	DB11	DB10	DB9	DB8	DB7	DB6	DB5
0	0	0	CR1	CPI4	CPI3	CPI2	CPI1	0	P1	U2	U1	R5	R4	R3	R2	R1	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	C3(0)	C2(1)	C1(1)

FUNCTION REGISTER (R3)

RESERVED																	N SEL	SD RESET	RESERVED	RAMP MODE	PSK ENABLE	FSK ENABLE	LDP	PD POLARITY	POWER-DOWN	CP THREE-STATE COUNTER RESET	CONTROL BITS					
DB31	DB30	DB29	DB28	DB27	DB26	DB25	DB24	DB23	DB22	DB21	DB20	DB19	DB18	DB17	DB16	DB15											DB14	DB13	DB12	DB11	DB10	DB9
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	NS1	U12	0	0	RM2	RM1	PE1	FE1	U11	U10	U9	U8	U7	C3(0)	C2(1)	C1(1)

NOTES
1. DBB = DOUBLE-BUFFERED BIT(S).

图21. 寄存器小结1

08728-010

ADF4158

TEST REGISTER (R4)

LE SEL	RESERVED							NEG BLEED CURR-ENT	READ-BACK TO MUXOUT	CLK DIV MODE	12-BIT CLOCK DIVIDER VALUE												RESERVED				CONTROL BITS					
	DB31	DB30	DB29	DB28	DB27	DB26	DB25				DB24	DB23	DB22	DB21	DB20	DB19	DB18	DB17	DB16	DB15	DB14	DB13	DB12	DB11	DB10	DB9	DB8	DB7	DB6	DB5	DB4	DB3
LS1	0	0	0	0	0	0	0	NB2	NB1	R2	R1	C2	C1	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	0	0	0	0	C3(1)	C2(0)	C1(0)

DEVIATION REGISTER (R5)

RESERVED	TX RAMP CLK	PAR RAMP	INTERRUPT	FSK RAMP EN	RAMP 2 EN	DEV SEL	4-BIT DEV OFFSET WORD				16-BIT DEVIATION WORD																CONTROL BITS				
							DB23	DB22	DB21	DB20	DB19	DB18	DB17	DB16	DB15	DB14	DB13	DB12	DB11	DB10	DB9	DB8	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0	
0	0	TR1	PR1	I2	I1	FRE1	R2E1	DS1	DO4	DO3	DO2	DO1	D16	D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	C3(1)	C2(0)	C1(0)

STEP REGISTER (R6)

RESERVED								STEP SEL	20-BIT STEP WORD																			CONTROL BITS			
DB31	DB30	DB29	DB28	DB27	DB26	DB25	DB24		DB23	DB22	DB21	DB20	DB19	DB18	DB17	DB16	DB15	DB14	DB13	DB12	DB11	DB10	DB9	DB8	DB7	DB6	DB5	DB4	DB3	DB2	DB1
0	0	0	0	0	0	0	0	SSE1	S20	S19	S18	S17	S16	S15	S14	S13	S12	S11	S10	S9	S8	S7	S6	S5	S4	S3	S2	S1	C3(0)	C2(0)	C1(0)

DELAY REGISTER (R7)

RESERVED													RAMP DEL FL	RAMP DEL	DEL CLK SEL	DEL START EN	12-BIT DELAY START DIVIDER												CONTROL BITS			
DB31	DB30	DB29	DB28	DB27	DB26	DB25	DB24	DB23	DB22	DB21	DB20	DB19					DB18	DB17	DB16	DB15	DB14	DB13	DB12	DB11	DB10	DB9	DB8	DB7	DB6	DB5	DB4	DB3
0	0	0	0	0	0	0	0	0	0	0	0	0	0	RDF1	RD1	DC1	DSE1	DS12	DS11	DS10	DS9	DS8	DS7	DS6	DS5	DS4	DS3	DS2	DS1	C3(0)	C2(0)	C1(1)

图22. 寄存器小结2

08728-110

ADF4158

LSB FRAC寄存器(R1)映射

寄存器R1 DB[2:0]设置为[0, 0, 1]时，片内LSB FRAC寄存器的编程方式如图24所示。

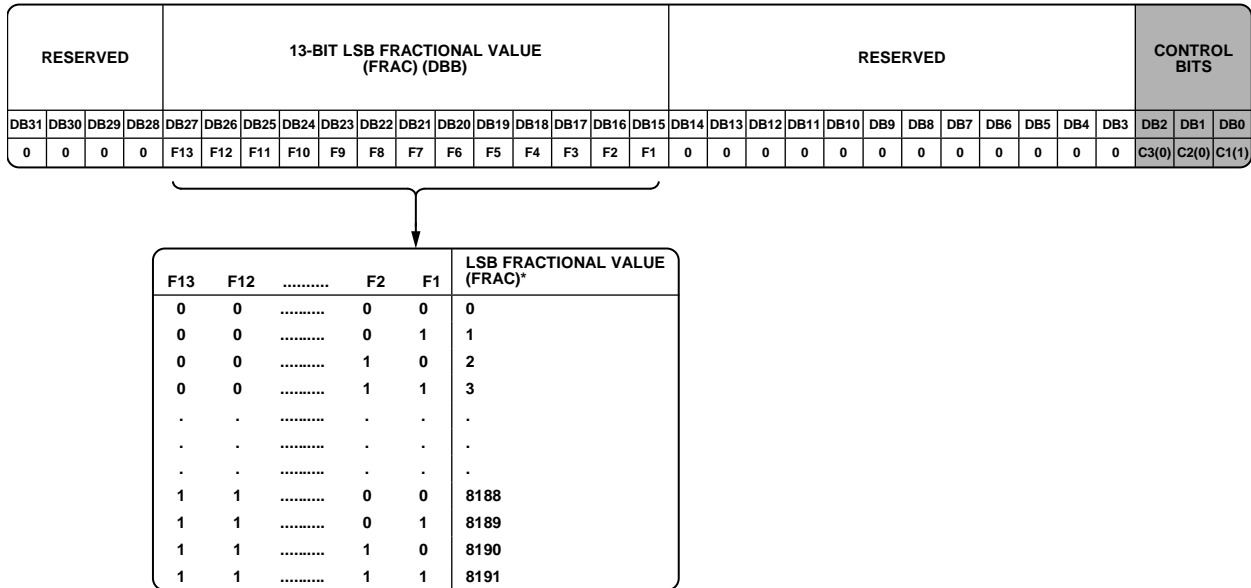
13位LSB FRAC值

这13位与FRAC/INT寄存器(寄存器R0)的DB[14:3]位一起控制载入小数插值器的FRAC值。它是决定整体反馈分频系数的一部分因素。同样用于公式2中。

这13位是25位FRAC值的最低有效位(LSB)，INT/FRAC寄存器的DB[14:3]位是最高有效位(MSB)。详情见“RF频率合成器：一个成功范例”部分。

保留位

正常工作时，所有保留位应设置为0。



*THE FRAC VALUE IS MADE UP OF THE 12-BIT MSB STORED IN REGISTER R0, AND THE 13-BIT LSB REGISTER STORED IN REGISTER R1. FRAC VALUE = 13-BIT LSB + 12-BIT MSB x 2¹³.

- NOTES
1. DBB = DOUBLE-BUFFERED BITS.

图24. LSB FRAC寄存器(R1)映射

08728-012

R分频器寄存器(R2)映射

寄存器R2 DB[2:0]设置为[0, 1, 0]时，片内R分频器寄存器的编程方式如图25所示。

保留位

正常工作时，所有保留位应设置为0。

CSR使能

此位设置为1将使能周跳减少功能。利用此功能可缩短锁定时间。请注意，为使周跳减少有效，PFD的信号必须有50%的占空比。此外，电荷泵电流设置也必须设置为最小值。详情见“减少周跳以缩短锁定时间”部分。

另外请注意，周跳减少功能只能在鉴相器极性设置为正(寄存器R3的DB6)时运行。如果鉴相器极性设置为负，此功能无法使用。

电荷泵电流设置

DB[27:24]用于设置电荷泵的电流(参见图25)。应将这些位设置为环路滤波器的设计电荷泵电流。

预分频器(P/P + 1)

双模预分频器(P/P + 1)与INT、FRAC和MOD计数器一起，决定从RFIN到PFD输入的整体分频比。

预分频器工作在CML电平，从RF输入级获得时钟，并针对计数器进行分频。它基于同步4/5内核。当设置为4/5时，容许的最大RF频率为3 GHz。因此，当ADF4158的工作频率超过3 GHz时，必须将预分频器设置为8/9。预分频器限制INT值。

$$P = 4/5 \text{ 时, } N_{MIN} = 23.$$

$$P = 8/9 \text{ 时, } N_{MIN} = 75.$$

RDIV2

将DB21设置为1可在R计数器与PFD之间插入一个二分频触发器。这可用于在PFD提供50%的占空比信号，以便使用周跳减少功能。

参考倍频器

当DB20设置为0时，倍频器禁用，REF_{IN}信号直接馈送至5位RF R计数器。当此位设置为1时，REF_{IN}频率加倍，然后将信号馈送至5位R计数器。倍频器禁用时，REF_{IN}下降沿是小数频率合成器的PFD输入端的有效沿。倍频器使能时，REF_{IN}的上升沿和下降沿均是PFD输入端的有效沿。

倍频器使能时，最大容许REF_{IN}频率为30 MHz。

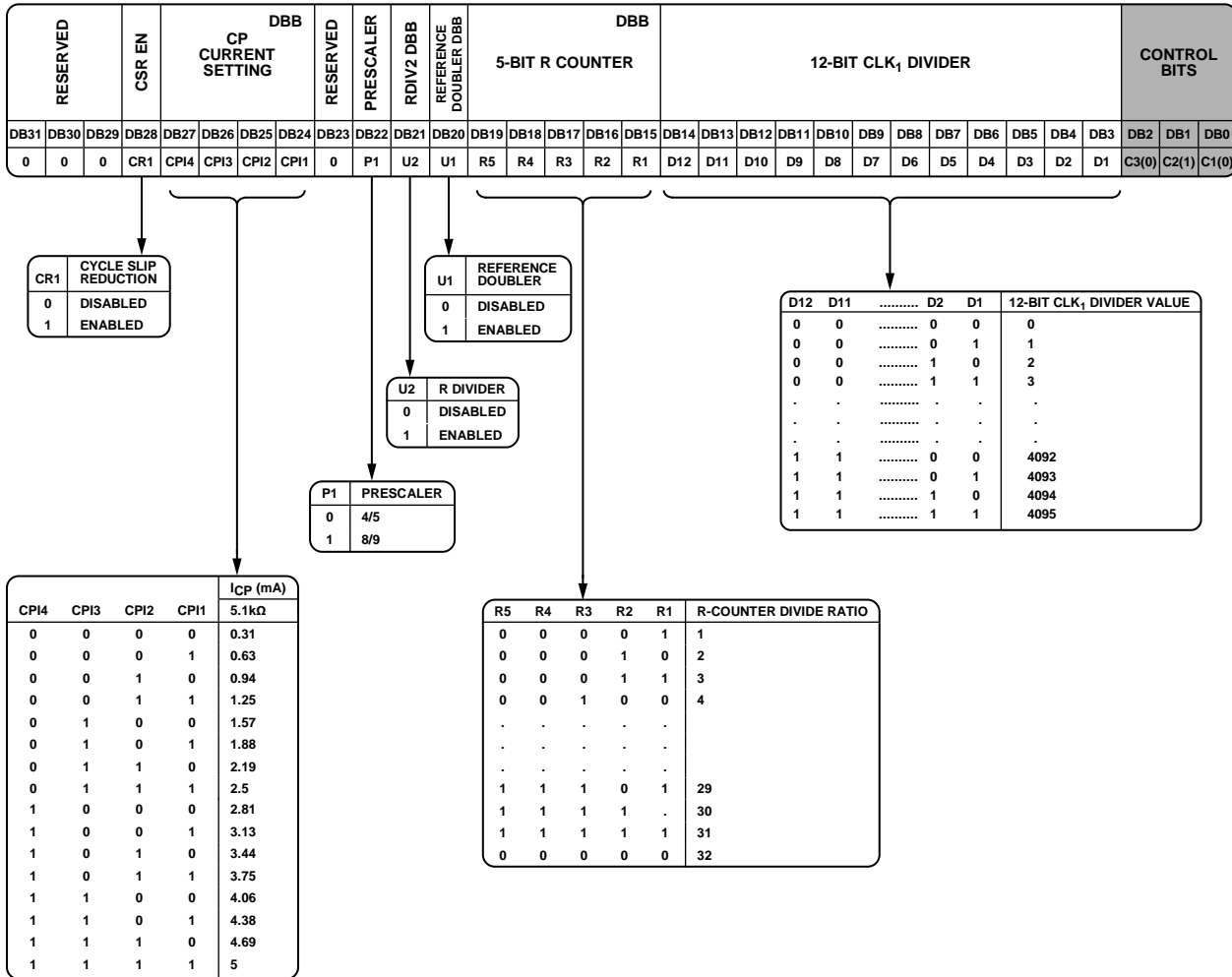
5位R计数器

利用5位R计数器，可以细分输入基准频率(REF_{IN})以产生鉴频鉴相器(PFD)的基准时钟。分频比可以为1至32。

12位CLK₁分频器

DB[14:3]位用于编程CLK₁分频器，后者决定了斜坡模式中时间步进的持续时间。

ADF4158



NOTES
1. DBB = DOUBLE-BUFFERED BITS.

图25. R分频器寄存器(R2)映射

08728-013

功能寄存器(R3)映射

寄存器R3 DB[2:0]设置为[0, 1, 1]时，片内功能寄存器的编程方式如图26所示。

保留位

正常工作时，所有保留位应设置为0。

N SEL

此设置用于避开N计数器中整数和小数值更新之间的流水线延迟问题。通常，INT值首先载入，然后是FRAC值。这可能导致N计数器值在相当于流水线延迟(约四个PFD周期)的短时间内变为错误值。如果INT值还未更新，这一错误无影响。然而，如果INT值已经更新，这可能导致PLL在尝试锁定暂时错误值时发生频率过冲。载入正确的小数值后，PLL迅速锁定至正确频率。利用N SEL位给INT值的载入引入额外延迟可使INT和FRAC值同时载入，从而避免频率过冲。延迟的开启方法是将DB15位设置为1。

SD复位

对于大多数应用，DB14应设置为0。当DB14设置为0时， Σ - Δ 调制器在每次写入寄存器R0时复位。如果不需要在每次寄存器R0写入时复位 Σ - Δ 调制器，则将此位设置为1。

斜坡模式

DB[11:10]决定产生波形的类型。

PSK使能

当DB9设置为1时，PSK调制使能。置0时，PSK调制禁用。

FSK使能

当DB8设置为1时，FSK调制使能。置0时，FSK调制禁用。

锁定检测精度(LDP)

如果DB7通过编程设置为0，则必须经过24个连续的15 ns PFD周期后，才能设置数字锁定检测。如果此位设置为1，则必须经过40个连续的15 ns参考周期后，才能设置数字锁定检测。

鉴相器(PD)极性

DB6设置鉴相器极性。VCO特性为正时，将此位设为1。VCO特性为负时，将此位设为0。

关断

DB5提供可编程关断模式。当此位设置为1时，执行关断程序。当此位设置为0时，频率合成器恢复正常工作。在软件关断模式下，器件会保留寄存器中的所有信息。只有当切断电源时，寄存器内容才会丢失。

激活关断时，将发生下列事件：

1. 所有活动的直流电流路径切断。
2. 强制频率合成器的计数器进入加载状态。
3. 强制电荷泵进入三态模式。
4. 数字锁定检测电路复位。
5. RF_{IN}输入去偏置。
6. 输入寄存器保持活动状态，能够加载并锁存数据。

电荷泵三态

DB4设置为1时，电荷泵进入三态模式。正常工作时，此位应设置为0。

计数器复位

DB3是RF计数器复位位。当此位设置为1时，RF频率合成器计数器保持复位状态。正常工作时，此位应设置为0。

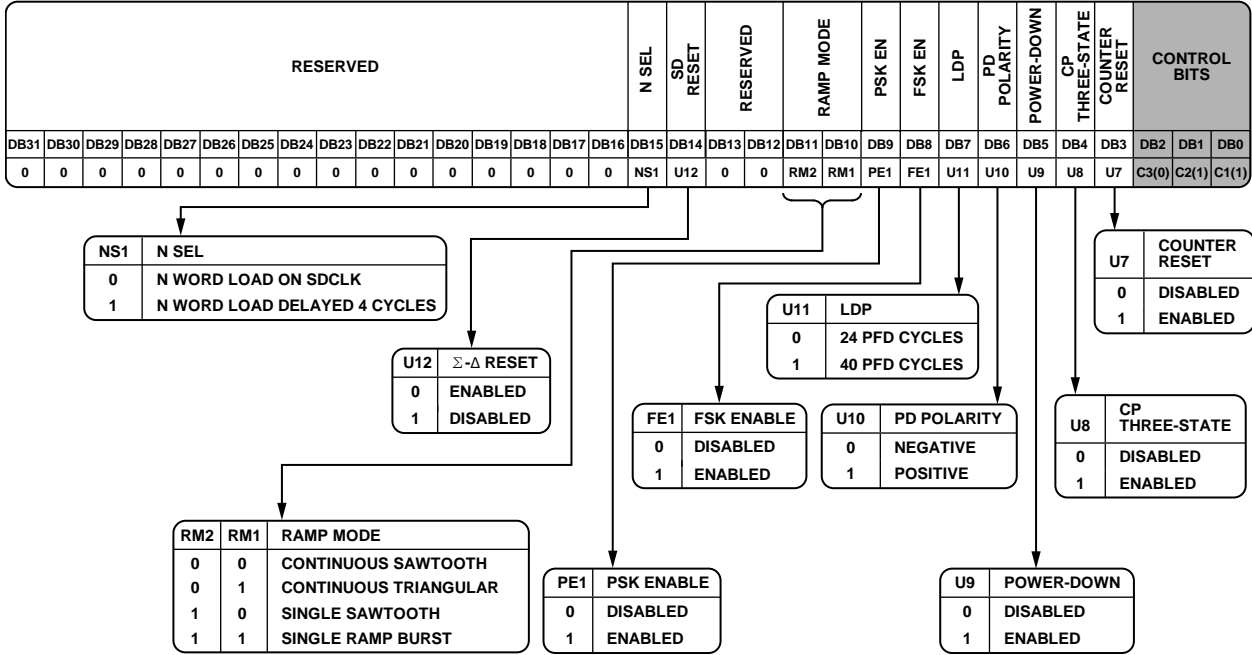


图26. 功能寄存器(R3)映射

087728-014

测试寄存器(R4)映射

寄存器R4 DB[2:0]设置为[1, 0, 0]时，片内测试寄存器(R4)的编程方式如图27所示。

LE SEL

在某些应用中，有必要使LE与参考信号同步。为此，DB31应设置为1。同步在器件内部完成。

保留位

正常工作时，所有保留位应设置为0。

负渗透电流

将位DB[24:23]设为11可开启恒定负渗透电流。这样可确保电荷泵在死区之外工作，从而使相位噪声性能不下降，且杂散水平较低。对于靠近多个PFD频率的通道而言，使能恒定负渗透电流尤为重要。有关负渗透电流的更多信息，请参阅AN-1154应用笔记。使用负渗透电流时，必须禁用MUXOUT回读。

回读MUXOUT

DB[22:21]可使能或禁用回读MUXOUT功能。此功能允许回读中断时的频率合成器频率。使用MUXOUT回读时，必须关闭负渗透电流。

CLK DIV模式

根据DB[20:19]的设置的不同，12位时钟分频器可以作为开关式R快速锁定斜坡的计数器(CLK2)，或者可关闭。

12位时钟分频器值

DB[18:7]用于编程时钟分频器，后者在以斜坡模式工作时用作斜坡的定时器 CLK_2 。详情见“波形偏差和时序”部分。该定时器还决定了当使用开关式R快速锁定技术时，环路保持在宽带模式中的时间。详情见“快速锁定定时器和寄存器序列”部分。

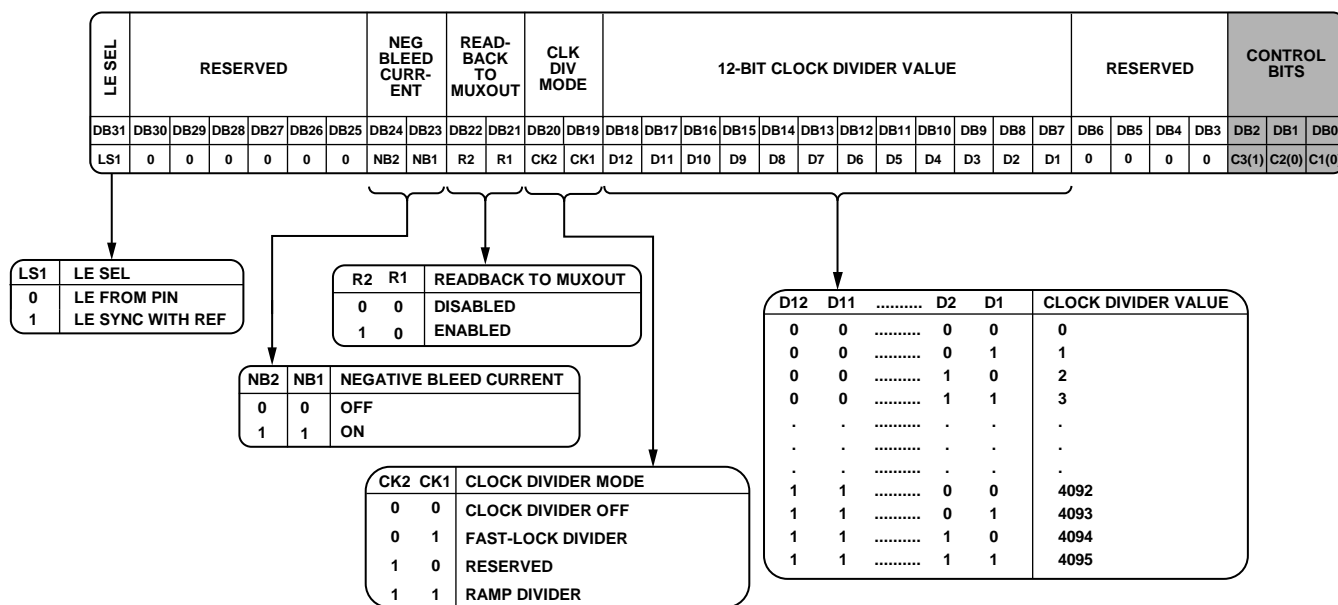


图27. 测试寄存器(R4)映射

08728-115

ADF4158

偏差寄存器(R5)映射

寄存器R5 DB[2:0]设置为[1, 0, 1]时，片内偏差寄存器的编程方式如图28所示。

保留位

正常工作时，所有保留位应设置为0。

Tx斜坡CLK

DB29设置为0可将时钟分频器时钟用于斜坡时钟。DB29设置为1可将Tx数据时钟用于斜坡时钟。

PAR斜坡

DB28设置为1将使能抛物线斜坡。DB28设置为0将禁用抛物线斜坡。

中断

DB[27:26]决定了所使用的中断类型。此特性用于在给定时刻回读斜坡的INT和FARC值(TX_{DATA}引脚的上升沿触发中断)。频率可从这些位获得。回读后，扫描可继续或停止在回读频率上。

FSK斜坡使能

DB25设置为1将使能FSK斜坡。DB25设置为0将禁用FSK斜坡。

斜坡2使能

DB24设置为1将使能第二斜坡。DB24设置为0将禁用第二斜坡。

偏差选择

DB23设置为0将选择第一偏差字。DB23设置为1将选择第二偏差字。

4位偏差偏移字

DB[22:19]决定偏差偏移。偏差偏移可影响偏差分辨率。

16位偏差字

DB[18:3]决定带符号的偏差字。偏差字将定义偏差步进。

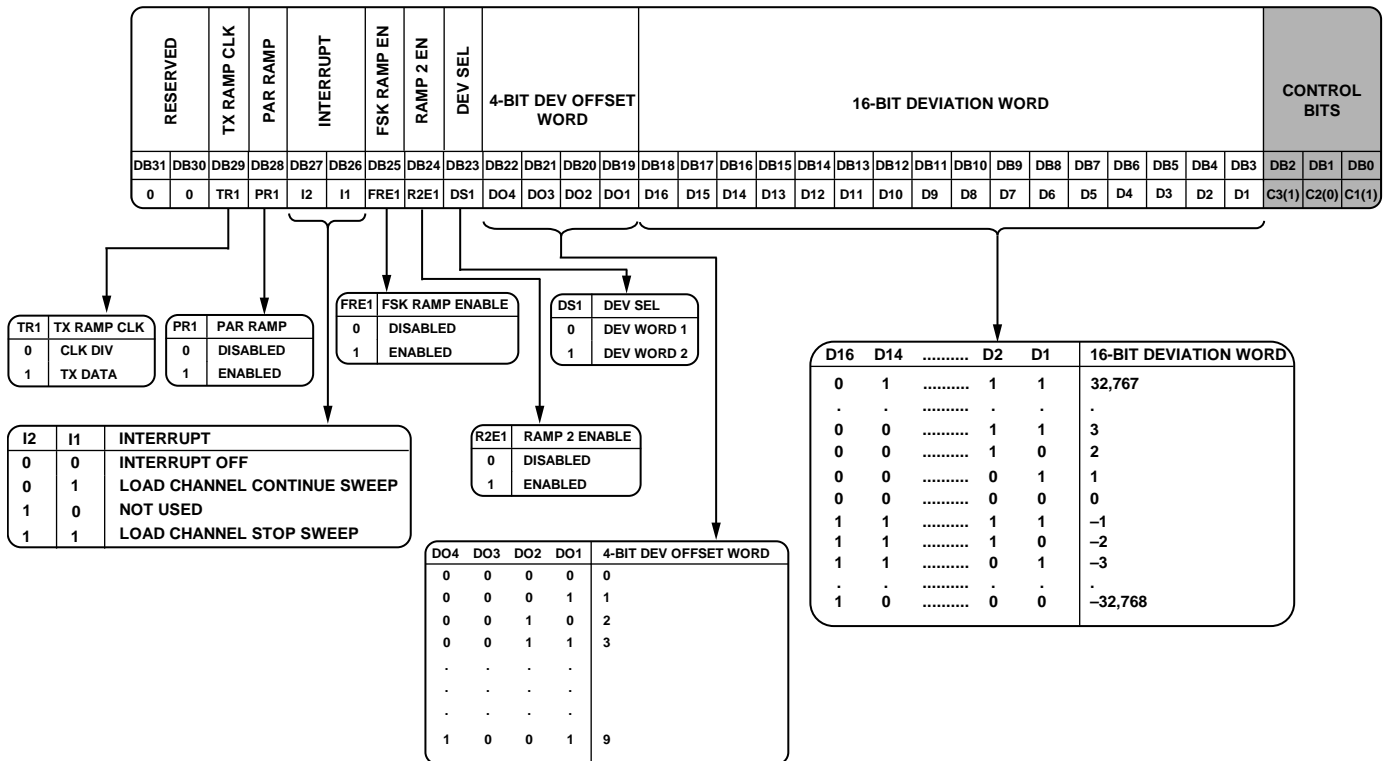


图28. 偏差寄存器(R5)映射

步进寄存器(R6)映射

寄存器R6 DB[2:0]设置为[1, 1, 0]时，片内步进寄存器的编程方式如图29所示。

保留位

正常工作时，所有保留位应设置为0。

步进SEL

DB23设置为0将选择步进字1。DB23设置为1将选择步进字2。

20位步进字

DB[22:3]决定步进字。步进字是斜坡内的步进数。

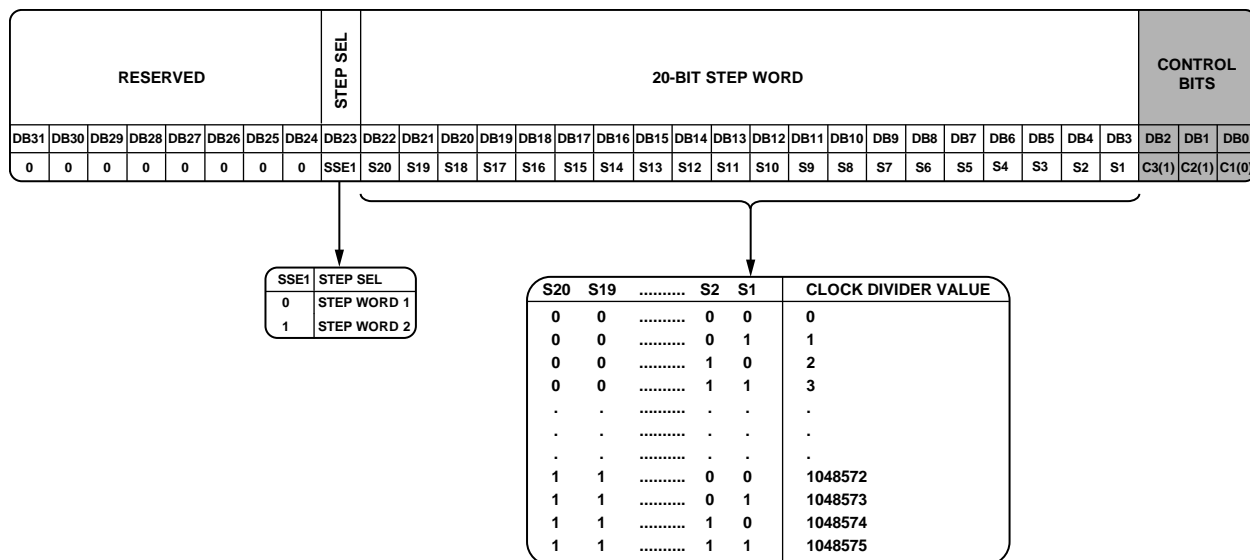


图29. 步进寄存器(R6)映射

08728-117

ADF4158

延迟寄存器(R7)映射

寄存器R7 DB[2:0]设置为[1, 1, 1]时，片内延迟寄存器的编程方式如图30所示。

保留位

正常工作时，所有保留位应设置为0。

斜坡延迟快速锁定

DB18设置为1将使能斜坡延迟快速锁定功能。DB18设置为0将禁用此功能。

斜坡延迟

DB17设置为1将使能斜坡延迟功能。DB17设置为0将禁用此功能。

延迟时钟选择

DB16设置为0将选择PFD时钟作为延迟时钟。DB16设置为1将选择PFD × CLK1 (CLK1由寄存器R2的DB[14:3]设置)作为延迟时钟。

延迟启动使能

DB15设置为1将使能延迟启动。DB15设置为0将禁用延迟启动。

12位延迟启动字

DB[14:3]决定延迟启动字。延迟启动字将影响斜坡启动延迟的持续时间。

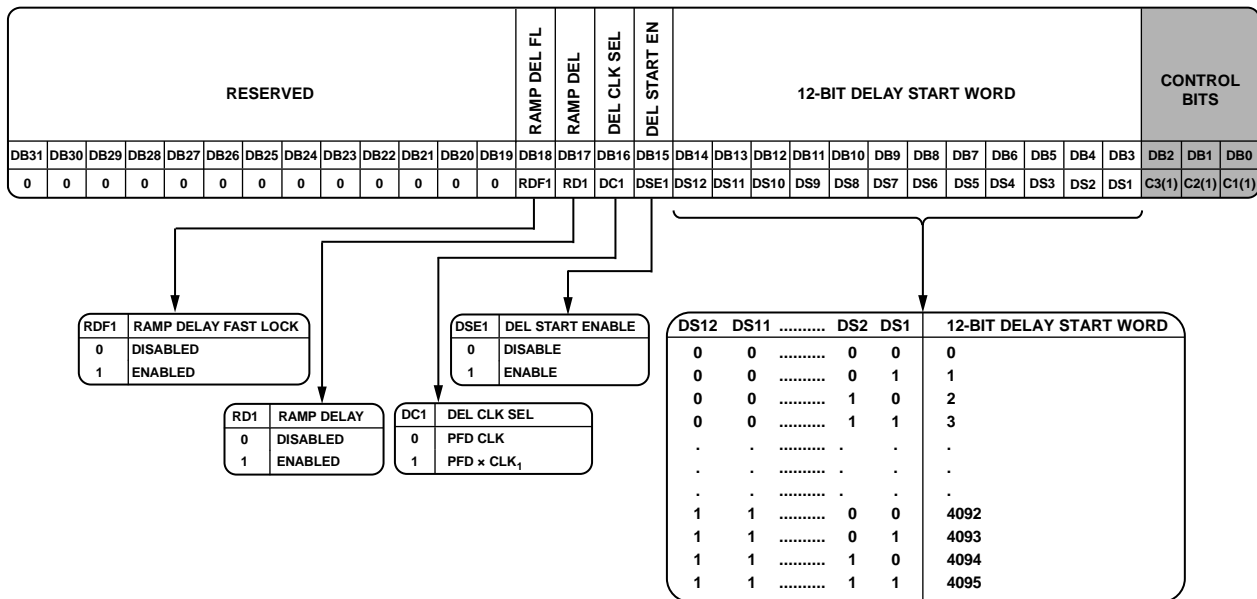


图30. 延迟寄存器(R7)映射

08725-118

应用信息

初始化序列

器件上电后，请使用以下编程序列：

1. 延迟寄存器(R7)
2. 步进寄存器(R6)—加载步进寄存器(R6)两次，首先是STEP SEL = 0，然后是STEP SEL = 1
3. 偏差寄存器(R5)—加载偏差寄存器(R5)两次，首先是DEV SEL = 0，然后是DEV SEL = 1
4. 测试寄存器(R4)
5. 功能寄存器(R3)
6. R分频器寄存器(R2)
7. LSB FRAC寄存器(R1)
8. FRAC/INT寄存器(R0)

RF频率合成器：一个成功范例

以下公式决定频率合成器的编程方式：

$$RF_{OUT} = [N + (FRAC/2^{25})] \times [f_{PFD}] \quad (4)$$

其中：

RF_{OUT} 是RF频率输出；

N 是整数分频系数；

$FRAC$ 是小数。

$$f_{PFD} = REF_{IN} \times [(1 + D)/(R \times (1 + T))] \quad (5)$$

其中：

REF_{IN} 是基准频率输入；

D 是RF REF_{IN} 倍频器位；

R 是RF基准分频系数；

T 是基准2分频位(0或1)。

例如，一个系统要求5.8002 GHz RF频率输出(RF_{OUT})，基准频率输入(REF_{IN})为10 MHz，则频率分辨率为

$$f_{RES} = REF_{IN}/2^{25} \quad (6)$$

$$f_{RES} = 10 \text{ MHz}/2^{25}$$

$$= 0.298 \text{ Hz}$$

根据公式5，

$$\begin{aligned} f_{PFD} &= [10 \text{ MHz} \times (1 + 0)/1] = 10 \text{ MHz} \\ 5.8002 \text{ GHz} &= 10 \text{ MHz} \times (N + FRAC/2^{25}) \end{aligned}$$

计算 N 和 $FRAC$ 值，

$$N = \text{int}(RF_{OUT}/f_{PFD}) = 580$$

$$FRAC = F_{MSB} \times 2^{13} + F_{LSB}$$

$$F_{MSB} = \text{int}(((RF_{OUT}/f_{PFD}) - N) \times 2^{12}) = 81$$

$$F_{LSB} = \text{int}((((RF_{OUT}/f_{PFD}) - N) \times 2^{12}) - F_{MSB}) \times 2^{13}) = 7537$$

其中：

F_{MSB} 是寄存器R0的12位MSB FRAC值；

F_{LSB} 是寄存器R1的13位LSB FRAC值；

$\text{int}()$ 使括号中的自变量成为整数。

参考倍频器和参考分频器

片内参考倍频器可以使输入参考信号频率加倍，这可用于提高PFD比较频率。提高PFD频率可改善系统的噪声性能。PFD频率加倍一般可使噪声性能改善3 dB。

必须注意，由于N分频器的 Σ - Δ 电路速度有限，PFD无法在高于32 MHz的频率下工作。

减少周跳以缩短锁定时间

在快速锁定应用中，需要宽环路滤波器带宽以实现快速频率采集，这就造成积分相位噪声增加，杂散衰减降低。使用周跳减少功能，环路带宽可保持较窄，在减少积分相位噪声和衰减杂散的同时缩短锁定时间。

周跳

当环路带宽比PFD频率窄时，整数N分频/小数N分频频率合成器就会发生周跳。PFD输入端的相位误差积累过快，PLL来不及校正，电荷泵暂时沿错误方向吸入电荷，使锁定时间急剧延长。ADF4158包含周跳减少电路，可扩展PFD的线性范围，从而加快锁定，而无需更改环路滤波器。

当ADF4158检测到将要发生周跳时，就会启动额外的电荷泵电流单元。它将向环路滤波器输出恒定的电流，或者从环路滤波器移除恒定的电流(取决于是要提高还是降低VCO调谐电压，以便得到新的频率)。其结果是，PFD的线性范围得以扩展。稳定性仍然得以保持，因为该电流恒定且不是脉冲电流。

如果相位误差再次增大到可能又要发生周跳，ADF4158将再启动一个电荷泵单元。这一过程将持续下去，直至ADF4158检测到VCO频率已超过所需的频率。接着它开始逐个关闭额外的电荷泵单元，直至所有额外电荷泵单元都已关闭，并且频率达到稳定。

最多可以启动7个额外电荷泵单元。大多数应用中，这足以彻底消除周跳，从而大幅缩短锁定时间。

ADF4158

将R分频器寄存器(寄存器R2)中的DB28位设置为1可使能周跳减少。请注意,为使CSR正常工作,PFD的信号需要45%至55%的占空比。参考2分频触发器可帮助在PFD提供50%的占空比。例如,如果基准频率为100 MHz,而用户想要在10 MHz下运行PFD,则R分频系数设置为10将产生占空比非50%的10 MHz PFD信号。通过将分频系数设置为5并使能参考2分频位,可实现占空比为50%的10 MHz信号。

请注意,周跳减少功能只能在鉴相器极性设置为正(寄存器R3的DB6)时运行。如果鉴相器极性为负,此功能无法使用。

调制

ADF4158可在频移键控(FSK)和相移键控(PSK)模式下工作。

频移键控(FSK)

FSK的实现方法是设置ADF4158 N分频器的中心频率,然后切换TX_{DATA}引脚。中心频率偏差通过下式设置

$$f_{DEV} = (f_{PFD}/2^{25}) \times (DEV \times 2^{DEV_OFFSET}) \quad (7)$$

其中:

DEV是16位字;

DEV_OFFSET是4位字;

f_{PFD} 为PFD频率。

ADF4158通过将已设置的N分频值递增或递减 $DEV \times 2^{DEV_OFFSET}$ 来实现此特性。

相移键控(PSK)

将ADF4158设置为PSK模式时,可在0°至180°间切换ADF4158的输出相位。TX_{DATA}引脚用于控制相位。

FSK设置成功范例

例如,假如一个FSK系统以5.8 GHz工作,具有25 MHz PFD、250 kHz偏差且DEV_OFFSET = 4。按如下方式整理公式4

$$DEV = \frac{f_{DEV}}{\frac{f_{PFD}}{2^{25}} \times 2^{DEV_OFFSET}} \quad (8)$$

$$DEV = \frac{250 \text{ kHz}}{\frac{25 \text{ MHz}}{2^{25}} \times 2^4} = 20,971.52$$

将DEV值四舍五入到20,972。切换TX_{DATA}引脚可让频率在已设置的中心频率±250 kHz间跳跃。

波形产生

ADF4158能够在频域内产生四种波形:单一斜坡突发脉冲、单一锯齿突发脉冲、锯齿斜坡和三角斜坡。图31至34显示了可用波形的类型。

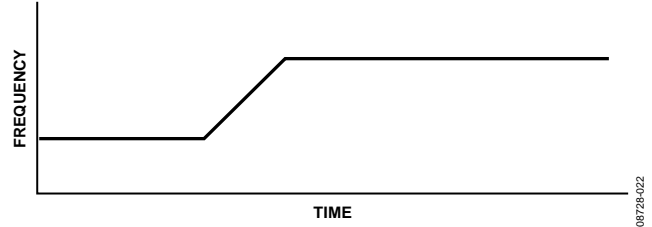


图31. 单一斜坡突发脉冲

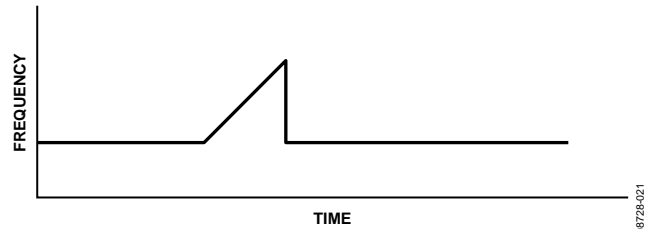


图32. 单一锯齿突发脉冲

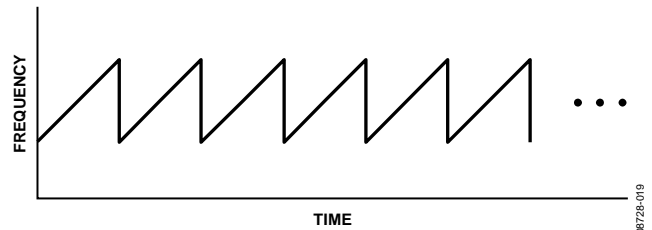


图33. 锯齿斜坡

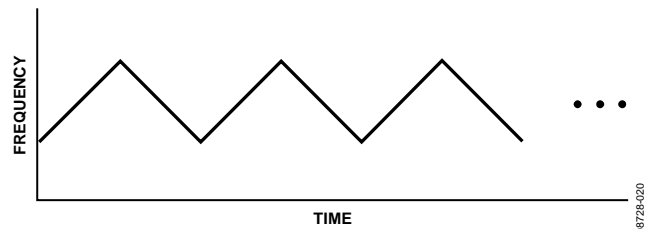


图34. 三角斜坡

波形偏差和时序

图35显示了一种突发脉冲或斜坡。定义突发脉冲或斜坡的关键参数为：

- 频率偏差
- 超时间隔
- 步进数

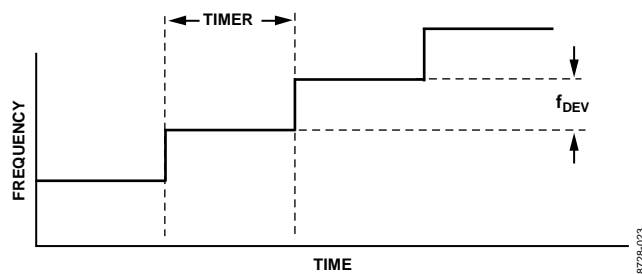


图35. 波形时序

频率偏差

每次跳频的频率偏差由下式设置

$$f_{DEV} = (f_{PFD}/2^{25}) \times (DEV \times 2^{DEV_OFFSET}) \quad (9)$$

其中：

DEV 是16位字；

DEV_OFFSET 是4位字。

超时间隔

各跳频间的时间由下式设置

$$Timer = CLK_1 \times CLK_2 \times (1/f_{PFD}) \quad (10)$$

其中：

CLK_1 和 CLK_2 是12位时钟值(R2内的12位 CLK_1 分频器、R4内的12位时钟分频器— CLK_DIV 设置为RAMP DIV)。 f_{PFD} 为PFD频率。

步进数

20位步进值定义了发生跳频的次数。从起始值起，INT值的递增幅度不得超过 $2^8 = 256$ 。

单一斜坡突发脉冲

最基本的波形是单一斜坡突发脉冲。所有其他波形均是在此基础上略加变化。

在单一斜坡突发脉冲中，ADF4158被锁定至FRAC/INT寄存器内定义的频率。当使能斜坡模式时，ADF4158将N分频值递增 $DEV \times 2^{DEV_OFFSET}$ ，造成各定时器间隔上的频移 f_{DEV} 。此情形一直持续至设置的步进数为止。然后ADF4158便保留最终N分频值。

单一锯齿突发脉冲

在单一锯齿突发脉冲中，N分频值在步进数后的下一个超时间隔中复位至初始值。ADF4158将保留此N分频值。

锯齿斜坡

锯齿斜坡是单一锯齿突发脉冲的重复版本。波形重复至禁用斜坡为止。

三角斜坡

三角斜坡类似于单一斜坡突发脉冲。不过，完成步进后，ADF4158开始在每个超时间隔中将N分频值递减 $DEV \times 2^{DEV_OFFSET}$ 。当再次完成步进数时，它会重新递增N分频值。重复这一过程便产生三角波形。波形重复至禁用斜坡为止。

FMCW雷达斜坡设置成功范例

例如，每隔2 ms，FMCW雷达系统就需要50 MHz范围内的RF LO至锯齿斜坡。PFD频率为25 MHz，RF输出范围为5800 MHz至5850 MHz。

斜坡内每次跳频的频率偏差设置为~250 kHz。

ADF4158的频率分辨率通过下式计算：

$$f_{RES} = f_{PFD}/2^{25} \quad (11)$$

代入数字则为：

$$f_{RES} = 25 \text{ MHz}/2^{25} = 0.745 \text{ Hz}$$

整理公式9便可计算出 DEV_OFFSET ：

$$DEV_OFFSET = \log_2(f_{DEV}/(f_{RES} \times DEV_{MAX})) \quad (12)$$

以 $\log_{10}(x)$ 表示，公式10可转换为以下公式：

$$DEV_OFFSET = \log_{10}(f_{DEV}/(f_{RES} \times DEV_{MAX}))/\log_{10}(2) \quad (13)$$

其中：

$$DEV_{MAX}(\text{偏差字最大值}) = 2^{15}$$

f_{DEV} = 频率偏差；

DEV_OFFSET = 4位字。

使用公式13， DEV_OFFSET 可通过下式计算： $DEV_OFFSET = \log_{10}(250 \text{ kHz}/(0.745 \text{ Hz} \times 2^{15}))/\log_{10}(2) = 3.356$ 。四舍五入后， $DEV_OFFSET = 4$ 。

根据 DEV_OFFSET ，频域分辨率可通过下式计算：

$$f_{DEV_RES} = f_{RES} \times 2^{DEV_OFFSET} \quad (14)$$

$$f_{DEV_RES} = 0.745 \text{ Hz} \times 2^4 = 11.92 \text{ Hz}$$

ADF4158

要计算DEV字，请使用公式12.

$$DEV = f_{DEV} / (f_{RES} \times 2^{DEV_OFFSET}) \quad (15)$$

$$DEV = \frac{250 \text{ kHz}}{\frac{25 \text{ MHz}}{2^{25}} \times 2^4} = 20,971.52$$

将此值四舍五入为20,972，使用公式9重新计算便得到实际偏差频率 f_{DEV} ，产生以下结果：

$$f_{DEV} = (25 \text{ MHz} / 2^{25}) \times (20,972 \times 2^4) = 250.006 \text{ kHz}$$

涵盖50 MHz范围所需的 f_{DEV} 步进数为50 MHz/250.006 kHz = 200。要在2 ms内涵盖50 MHz范围，ADF4158必须每隔2 ms/200 = 10 μ s跳频一次。

重新整理公式10以设置定时器值(并将CLK₂固定为1)：

$$CLK_1 = \text{Timer} \times f_{PFD} / CLK_2 = 10 \mu\text{s} \times 25 \text{ MHz} / 1 = 250$$

总结一下设置：DEV = 20,972，步进数 = 200，CLK₁ = 250(R2内的12位CLK₁分频器)，CLK₂ = 1(R4-CLK DIV设置为RAMP DIV)。使用这些设置将ADF4158编程为5800 MHz的中心频率，并使能锯齿斜坡以产生所需波形。如果将三角斜坡用于相同的设置，ADF4158将从5800 MHz扫描至5850 MHz，然后再次下降。整个扫描耗时4 ms。

激活斜坡

设置完所有前述参数后，必须激活斜坡。选择所需类型的斜坡(寄存器R3内的DB[11:10])并启动斜坡(寄存器R0内的DB31 = 1)即可实现。

斜坡编程序列

依“FMCW雷达斜坡设置成功范例”部分所述设置参数，并依“激活斜坡”部分所述，以下列寄存器写入顺序激活斜坡。

1. 延迟寄存器(R7)
2. 步进寄存器(R6)
3. 偏差寄存器(R5)
4. 测试寄存器(R4)
5. 功能寄存器(R3)
6. R分频器寄存器(R2)
7. LSB FRAC寄存器(R1)
8. FRAC/INT寄存器(R0)

其他波形

双斜坡速率

此特性允许两个斜坡具有不同步进和偏差设置。还可在另一斜坡运行时对斜坡速率重新编程。

示例

假如

- 将PLL锁定至5790 MHz， $f_{PFD} = 25\text{MHz}$ ；
- 斜坡1跳跃100步，每一步持续10 μ s，频率偏差为100 kHz；
- 斜坡2跳跃80步，每一步持续10 μ s，频率偏差为125 kHz。

则

1. 寄存器R5内的DB24应设置为1，从而激活斜坡2速率模式；
2. 按如下方式对斜坡1和斜坡2编程，以获得两个斜坡速率：
斜坡1：寄存器R5 DB[18:3] = 16,777，DB[22:19] = 3且DB23 = 0；寄存器R6 DB[22:3] = 100，DB23 = 0；
斜坡2：寄存器R5 DB[18:3] = 20,972，DB[22:19] = 3且DB23 = 1；寄存器R6 DB[22:3] = 80，DB23 = 1。

图36显示了具有两种不同速率的所得斜坡。最后，斜坡必须依“激活斜坡”部分所述予以激活。

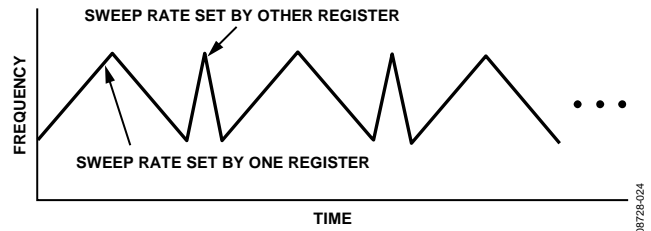


图36. 双扫描速率

FSK信号位于斜坡上的斜坡模式

在传统方法中，FMCW雷达使用线性频率调制(LFM)或FSK调制。这些独立使用的调制为测量的距离与速度带来不定性，特别是在多目标情况下。为克服此问题并实现明确的(范围-速度)多目标检测，应使用具有FSK的斜坡。

示例

假如

- 将PLL锁定至5790 MHz， $f_{PFD} = 25\text{MHz}$ ；
- 共有100步，每一步持续10 μ s，偏差为100 kHz；
- FSK信号为25 kHz。

则

1. 依“FMCW雷达斜坡设置成功范例”部分所述对斜坡编程。编程时，寄存器R5内的DB23和寄存器R6内的DB23应设置为0。
2. 按如下方式设置寄存器R5内的位，将斜坡上的FSK编程为25 kHz：DB[18:3] = 4194(偏差字)，DB[22:19] = 3(偏差偏移)，DB23 = 1(斜坡上FSK的偏差选择)，DB25 = 1(使能FSK的斜坡)。

顶部有FSK的斜坡示例如图37所示。最后，斜坡必须依“激活斜坡”部分所述予以激活。

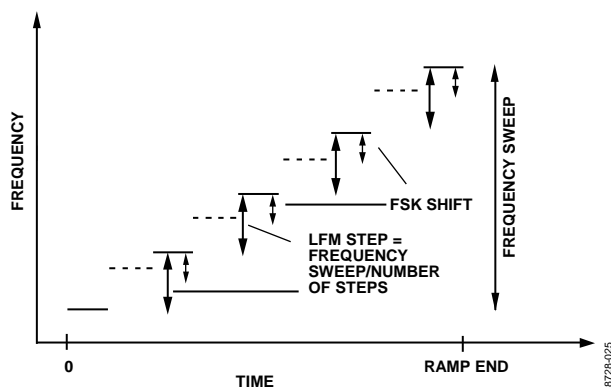


图37. 组合FSK和LFM波形(N对应于LFM步进数)

延迟启动

延迟启动可配合两种不同器件使用以控制启动时间。延迟启动的概念如图38所示。

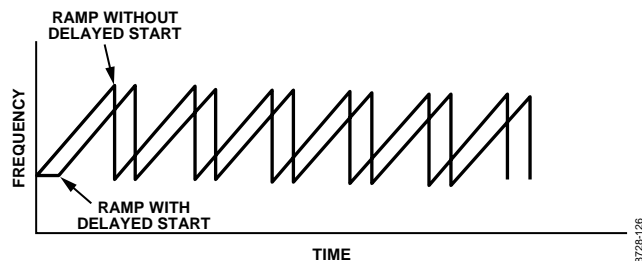


图38. 锯齿斜坡的延迟启动

示例

例如，要用两种不同器件对延迟启动编程以控制启动时间：

1. 将寄存器R7内的DB15设置为1以使能斜坡延迟启动选项；
2. 将寄存器R7内的DB16位设置为0，12位延迟启动字(寄存器R7内的DB[14:3])设置为125，从而将第一器件上的斜坡延迟5 μs， $f_{\text{PFD}} = 25 \text{ MHz}$ 。延迟可通过下式计算：

$$\begin{aligned} \text{延迟} &= t_{\text{PFD}} \times \text{延迟启动字} \\ &= 40 \text{ ns} \times 125 = 5 \mu\text{s} \end{aligned}$$

3. 将寄存器R7内的DB16位设置为1，12位延迟启动字(寄存器R7内的DB[14:3])设置为125，从而将第二器件上的斜坡延迟125 μs。使用以下公式计算延迟：

$$\begin{aligned} \text{延迟} &= t_{\text{PFD}} \times \text{CLK}_1 \times \text{延迟启动字} \\ &= 40 \text{ ns} \times 25 \times 125 = 125 \mu\text{s} \end{aligned}$$

最后，斜坡必须依“激活斜坡”部分所述予以激活。

斜坡间延迟

此特性可在斜坡内的突发脉冲间添加延迟。图39显示了锯齿模式中的斜坡间延迟。

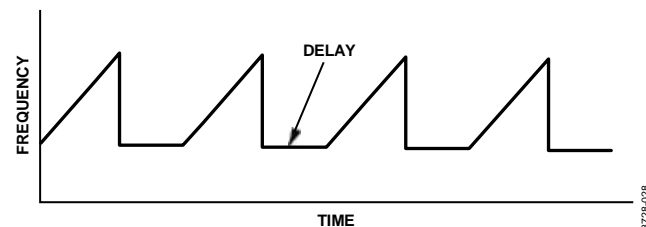


图39. 锯齿模式中的斜坡间延迟

示例

例如，要在斜坡内的突发脉冲间添加延迟，

1. 将寄存器R7内的DB17设置为1以使能斜坡间延迟选项；
2. 将寄存器R7内的DB16位设置为0，12位延迟启动字(寄存器R7内的DB[14:3])设置为125，从而将斜坡延迟5 μs， $f_{\text{PFD}} = 25 \text{ MHz}$ 。延迟可通过下式计算：

$$\begin{aligned} \text{延迟} &= t_{\text{PFD}} \times \text{延迟启动字} \\ &= 40 \text{ ns} \times 125 = 5 \mu\text{s} \end{aligned}$$

如果需要更长延迟，例如125 μs，寄存器R7内的DB16位应设置为1，12位延迟启动字(寄存器R7内的DB[14:3])应设置为125。延迟可通过下式计算

$$\begin{aligned} \text{延迟} &= t_{\text{PFD}} \times \text{CLK}_1 \times \text{延迟启动字} \\ &= 40 \text{ ns} \times 25 \times 125 = 125 \mu\text{s} \end{aligned}$$

还可在延迟的第一周期内激活快速锁定操作。为此，应将寄存器R7内的DB18位设置为1。此特性可帮助锯齿斜坡减少从一个锯齿过渡至下一个锯齿时的频率过冲。最后，斜坡必须依“激活斜坡”部分所述予以激活。

非线性斜坡模式

ADF4158能够产生抛物线斜坡。输出频率根据下式产生：

$$f_{\text{OUT}}(n+1) = f_{\text{OUT}}(n) + n \times f_{\text{DEV}} \quad (16)$$

其中：

f_{OUT} 是输出频率；

f_{DEV} 是频率偏差；

n 是步进数。

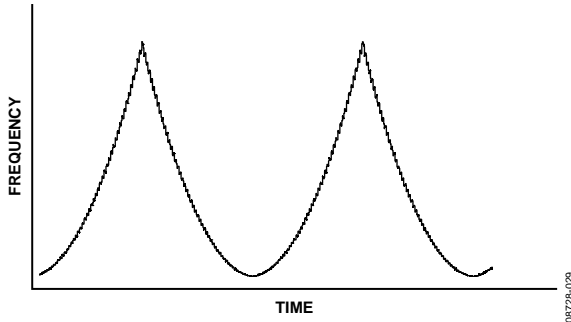


图40. 抛物线斜坡

以下示例解释了如何设置和使用此功能。

示例

$$f_{OUT} = 5790 \text{ MHz}$$

$$f_{DEV} = 100 \text{ kHz}$$

步进数 = 50

单个步进持续时间 = 10 μ s

斜坡模式必须是三角(寄存器R3, DB[11:10] = 01)或单一斜坡突发脉冲(寄存器R3, DB[11:10] = 11)。

前一情况下, 产生的频率范围通过下式计算:

$$\begin{aligned} \Delta f &= f_{DEV} \times (\text{步进数} + 2) \times (\text{步进数} + 1) / 2 \\ &= 132.6 \text{ MHz} \end{aligned}$$

后一情况下, 产生的频率范围通过下式计算:

$$\begin{aligned} \Delta f &= f_{DEV} \times (\text{步进数} + 1) \times \text{步进数} / 2 \\ &= 127.5 \text{ MHz} \end{aligned}$$

定时器设置方式与线性斜坡相同, 如“波形产生”部分所述。

抛物线斜坡的激活通过将寄存器R5内的DB28位设置为1来实现。

接下来, 计数器复位(寄存器R3内的DB3)应首先设置为1, 然后设置为0。

最后, 斜坡必须依“激活斜坡”部分所述予以激活。

斜坡完成信号至Muxout

Muxout上的斜坡完成信号如图41所示。

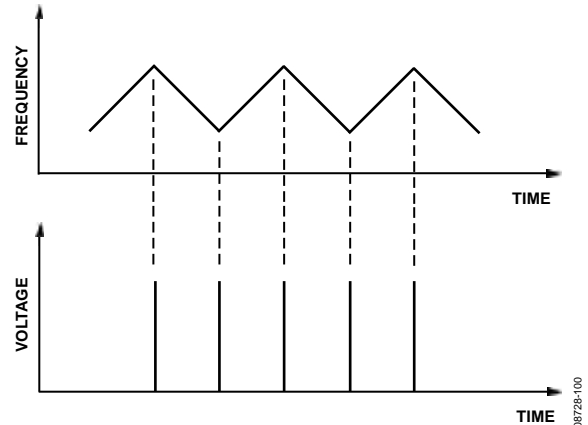


图41. Muxout上的斜坡完成信号

为了激活此功能, 寄存器0内的DB[30:27] = 1111, 寄存器4内的DB[25:21] = 00011。

中断模式和频率回读

中断模式从TX_{DATA}的上升沿触发。根据寄存器R5内DB[27:26]的设置, 激活表7中的模式。

表7. 中断模式

模式	操作
DB[27:26] = 00	中断关闭
DB[27:26] = 01	TX _{DATA} 上中断, 扫描继续
DB[27:26] = 11	TX _{DATA} 上中断, 扫描停止

中断发生时, 由INT和FRAC值组成的数据可通过MUXOUT回读。数据由37位构成, 其中12位代表INT值, 25位代表FRAC值。

频率回读概念显示于图42中。

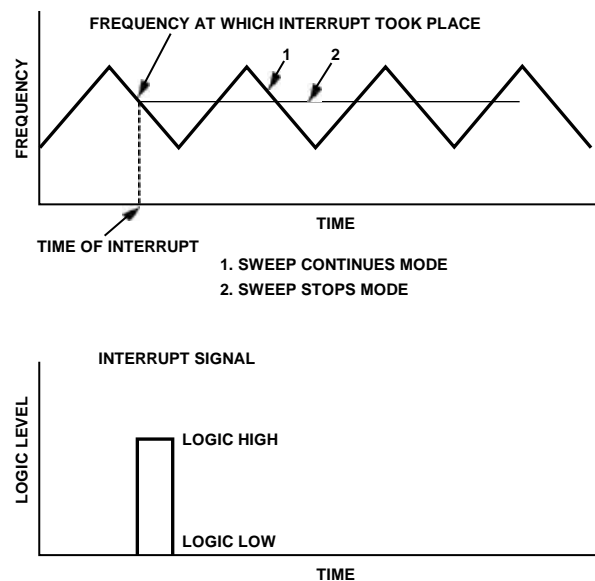


图42. 中断和频率回读

请注意，寄存器R4内的DB[22:21]应设置为2，寄存器R0内的DB[30:27](MUXOUT控制)应设置为15 (1111)。

单一位的回读机制显示于图43中。

对于连续频率回读，应使用下列序列：

- 寄存器0写入
- LE变为高电平
- TX_{DATA}上产生脉冲

- 频率回读(如“中断模式和频率回读”部分开始及图43所述)
- TX_{DATA}上产生脉冲
- 寄存器R4写入
- 频率回读(如“中断模式和频率回读”部分开始及图43所述)
- TX_{DATA}上产生脉冲
- ...

该序列还显示于图44中。

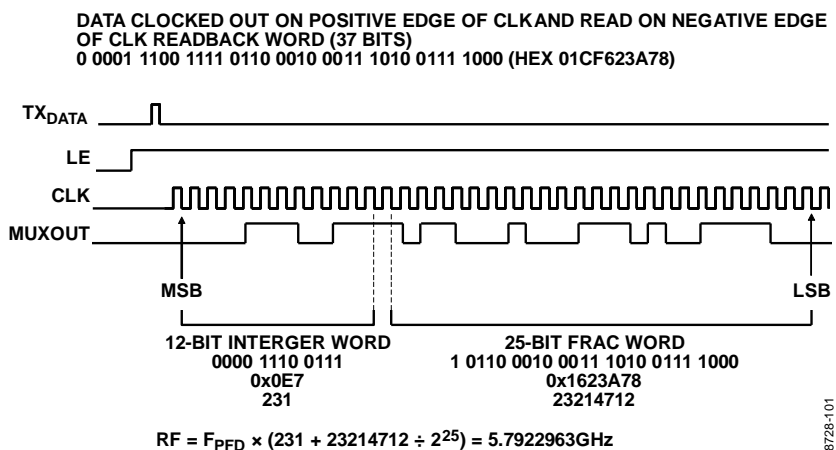


图43. 回读单一位以确定中断时刻的输出频率

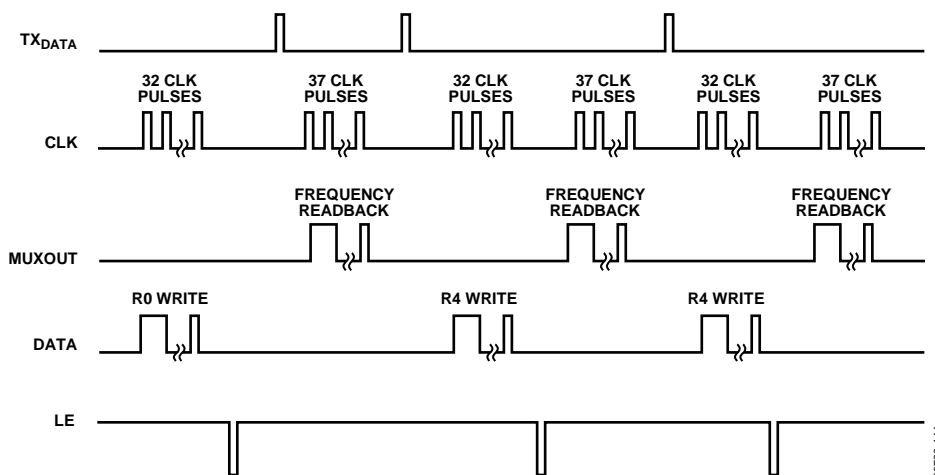


图44. 连续频率回读

快速锁定定时器和寄存器序列

如果使用快速锁定模式，需要将一个定时器值载入PLL，以确定宽带宽模式所花的时间。

当位寄存器4 (R4)中的DB[20:19]位设置为01(快速锁定分频器)时，定时器值通过12位时钟分频器值加载。要使用快速锁定，PLL必须按下列序列写入：

1. 初始化序列(参见“初始化序列”部分)。此动作只能在器件上电后执行一次。
2. 加载寄存器R4 DB[20:19] = 01和选择的快速锁定定时器值(DB[18:7])。
3. 如果在宽环路带宽中需要更长时间，使用CLK₁分频器值(DB[14:3])加载寄存器R2。

请注意，PLL保持宽带宽模式的持续时间等于CLK₁ × 快速锁定时间/f_{PFD}，其中CLK₁是寄存器R2内的12位CLK₁分频器。

此外，应注意快速锁定功能无法在斜坡模式下使用。

快速锁定范例

如果PLL具有13 MHz的基准频率，即f_{PFD} = 13 MHz，CLK₁ = 10 (寄存器R2内的12位CLK₁分频器)，并且要求的锁定时间为50 μs，将PLL设置为宽带宽可实现40 μs。

如果宽带宽周期设置为40 μs，则

快速锁定定时器值 = 宽带宽持续时间 × f_{PFD}/MOD

快速锁定定时器值 = 40 μs × 13 MHz / 10 = 52.

因此，在“快速锁定计时器和寄存器序列”部分所述序列的第2步中，必须将值52载入寄存器R4中的时钟分频器值。

快速锁定：环路滤波器拓扑

要使用快速锁定模式，需要一个从PLL至环路滤波器的额外连接。环路滤波器中的阻尼电阻必须降至宽带宽模式下该电阻值的1/4。这是因为电荷泵电流在宽带宽模式下提高16，必须确保稳定性。要进一步增强稳定性，减少频率变化中的频率过冲(宽带宽模式下)，请连接电阻R3。快速锁定期间，SW1引脚对地短路，SW2连接至CP(通过将寄存器R4内的DB[20:19]位设置为01来完成，即快速锁定分频器)。可使用下列两种拓扑：

- 阻尼电阻(R1)分为两个值(R1和R1A)，二者之比为1:3(参见图45)。
- 直接从SW1连一个额外电阻(R1A)，如图46所示。选择额外电阻时必须确保额外电阻与阻尼电阻(R1)的并联结果应为R1初始值的1/4。

对于这两种拓扑，R3:R2之比应等于1:4。

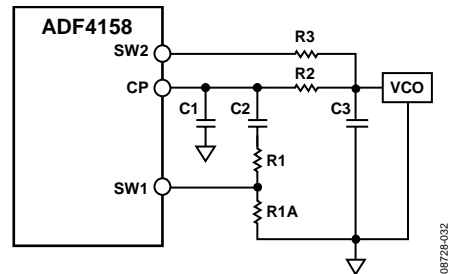


图45. 快速锁定环路滤波器拓扑—拓扑1

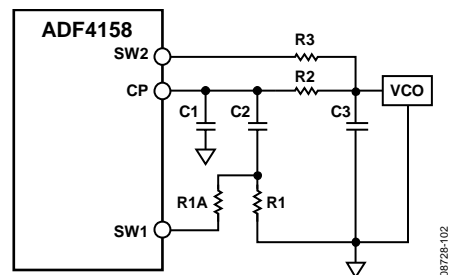


图46. 快速锁定环路滤波器拓扑—拓扑2

杂散机制

ADF4158中的小数插值器是具有25位固定模数(MOD)的三阶 Σ - Δ 调制器(SDM)。SDM时钟频率为PFD基准频率(f_{PFD})，允许PLL输出频率以 $f_{\text{PFD}}/\text{MOD}$ 的通道步进分辨率合成。本节讨论了小数N分频频率合成器可实现的各种杂散机制及其对ADF4158的影响。

小数杂散

在大多数小数频率合成器中，小数杂散出现间隔可等于频率合成器的设置通道间隔。在ADF4158中，这些杂散没有出现。ADF4158的高固定模数使SDM量化误差频谱看似宽带噪声，将小数杂散有效散布到噪声内。

整数边界杂散

RF VCO频率与PFD频率间的交互可导致杂散，称为整数边界杂散。当这些频率不是整数关系时(小数N分频频率合成器的目的)，杂散边带将以一定的偏移频率出现在VCO输出频谱上，该偏移频率与整数倍数的PFD和VCO频率之间的拍频或差频相对应。

这些杂散在靠近PFD整数倍数的通道上表现得更为明显，对于这些通道，差频率可能位于环路带宽以内，“整数边界杂散”的名称正是由此而来。在远离PFD整数倍数的通道上，这些杂散由环路滤波器予以衰减。

参考杂散

在小数N分频频率合成器中，参考杂散一般不是问题，因为参考偏移远远超出了环路带宽。不过，旁路环路的任何参考馈通机制可能会引起问题。一种此类机制是经由 RF_{IN} 引脚回到VCO的低电平片内参考切换噪声的馈通，可能会产生高达-90 dBc的参考杂散。PCB布局需要确保VCO与输入参考之间充分隔离，避免电路板上可能出现馈通路径。

低频应用

RF输入的最小值规格为0.5 GHz；不过，如果满足400 V/ μs 的最低压摆率规格，可使用低于此点的RF频率。适当的LVDS驱动器可用于清理RF信号，然后将其反馈至ADF4158 RF输入端。Fairchild Semiconductor的FIN1001便是此种LVDS驱动器。

滤波器设计—ADIsimPLL

ADI公司提供了滤波器设计和分析程序以帮助用户实现PLL设计。请访问www.analog.com/pll，免费下载ADIsimPLL™软件。该软件可设计、仿真和分析整个PLL频域和时域响应。允许使用各种无源和有源滤波器架构。

芯片级封装的PCB设计指南

芯片级封装(CP-24)上的引脚焊盘为方形。印刷电路板(PCB)焊盘应比封装引脚焊盘长0.1 mm，宽0.05 mm。为确保焊点最大，引脚焊盘应位于电路板焊盘中央。

芯片级封装的底部有一个居中的裸露焊盘用于散热，PCB的散热垫至少应与此裸露焊盘一样大。在PCB上，散热焊盘与焊盘图形内边的间距至少应为0.25 mm，以确保不会发生短路。

PCB散热焊盘上可以开散热通孔，以改善封装的散热性能。散热通孔应与散热焊盘合为一体，间距为1.2 mm。通孔直径应在0.3 mm至0.33 mm之间，通孔管应镀以1盎司的铜，以堵住通孔。请将PCB散热焊盘连接到AGND。

ADF4158

ADF4158在FMCW雷达中的应用

FMCW雷达中的ADF4158用于产生此类型雷达所必需的斜坡(锯齿或三角)。过去, PLL直接由直接数字频率合成器(DDS)驱动以产生所需类型的波形。

由于ADF4158上实现的波形产生机制, DDS不再使用, 使成本得以降低。而且, PLL解决方案优于另一种产生

FMCW斜坡的方法(以DAC直接驱动VCO), 这种方法需要补偿VCO调谐特性的非线性度。PLL方法无需校准便可提供高度线性的斜坡。

图47中显示了ADF4158在FMCW雷达中的应用。

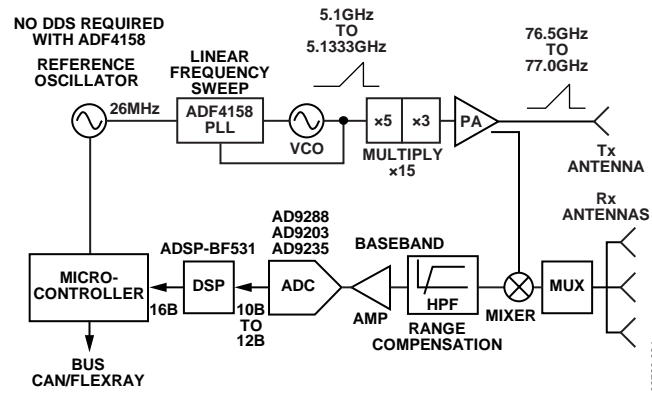
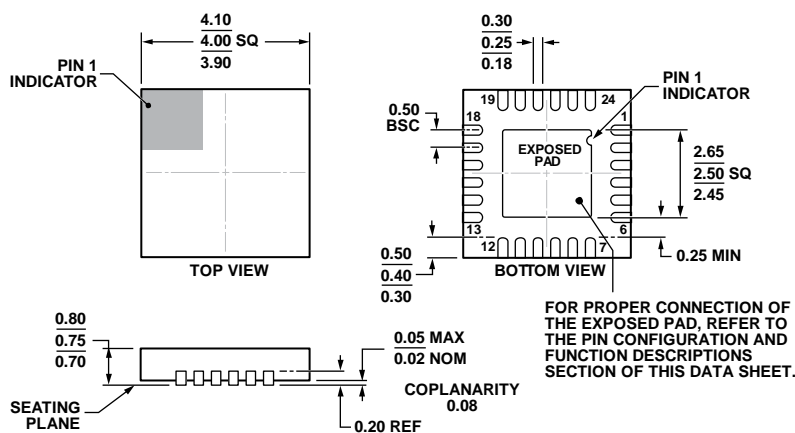


图47. 采用ADF4158的FMCW雷达

外形尺寸



COMPLIANT TO JEDEC STANDARDS MO-220-WGGD.

图48. 24引脚引脚架构芯片级封装[LFCSP_WQ]
4 mm × 4 mm, 超薄体(CP-24-7),
尺寸单位: mm

04-12-2012-A

订购指南

型号 ^{1,2}	温度范围	封装描述	封装选项
ADF4158CCPZ	-40°C至+125°C	24引脚引脚架构芯片级封装[LFCSP_WQ]	CP-24-7
ADF4158CCPZ-RL7	-40°C至+125°C	24引脚引脚架构芯片级封装[LFCSP_WQ]	CP-24-7
ADF4158WCCPZ	-40°C至+125°C	24引脚引脚架构芯片级封装[LFCSP_WQ]	CP-24-7
ADF4158WCCPZ-RL7	-40°C至+125°C	24引脚引脚架构芯片级封装[LFCSP_WQ]	CP-24-7
EVAL-ADF4158EB1Z		评估板	

¹ Z = 符合RoHS标准的器件。

² W = 通过汽车应用认证。

汽车应用级产品

ADF4158W型号的生产工艺受到严格控制，以满足汽车应用的质量和可靠性要求。请注意，车用型号的技术规格可能不同于商用型号；因此，设计人员应仔细阅读本数据手册的技术规格部分。只有显示为汽车应用级的产品才能用于汽车应用。欲了解特定产品的订购信息并获得这些型号的汽车可靠性报告，请联系当地ADI客户代表。

注释

I²C指最初由Philips Semiconductors(现为NXP Semiconductors)开发的一种通信协议。