

产品特性

- 最高18 GHz RF输入频率
- 集成式SiGe预分频器
- 与ADF4106/ADF4107/ADF4108系列PLL软件兼容
- 2.85 V至3.15 V PLL电源供电
- 可编程双模预分频器
8/9, 16/17, 32/33, 64/65
- 可编程电荷泵电流
- 三线式串行接口
- 模拟和数字锁定检测
- 硬件和软件关断模式
- ESD性能: 4,000 V HBM/1,500 V CDM

应用

- 微波点对点/多点无线电
- 无线基础设施
- VSAT无线电
- 测试设备
- 仪器仪表

概述

ADF41020频率合成器在无线接收机和发射机的上变频和下变频部分中，可用来实现高达18 GHz的本振。它由低噪声数字鉴频鉴相器(PFD)、精密电荷泵、可编程参考分频器和高频可编程反馈分频器(A、B和P)组成。如果频率合成器与一个外部环路滤波器和电压控制振荡器(VCO)一起使用，则可以实现完整的锁相环(PLL)。该频率合成器可以通过有源环路滤波器驱动外部微波VCO。其带宽极高，因此可以省去倍频器级，从而简化系统架构并降低成本。ADF41020与ADI公司现有的ADF4106/ADF4107/ADF4108系列器件软件兼容。除ADF41020的单端RF输入引脚外，这些器件的引脚排列非常相似，当升级当前设计时，电路布局只需进行很小的更改。

功能框图

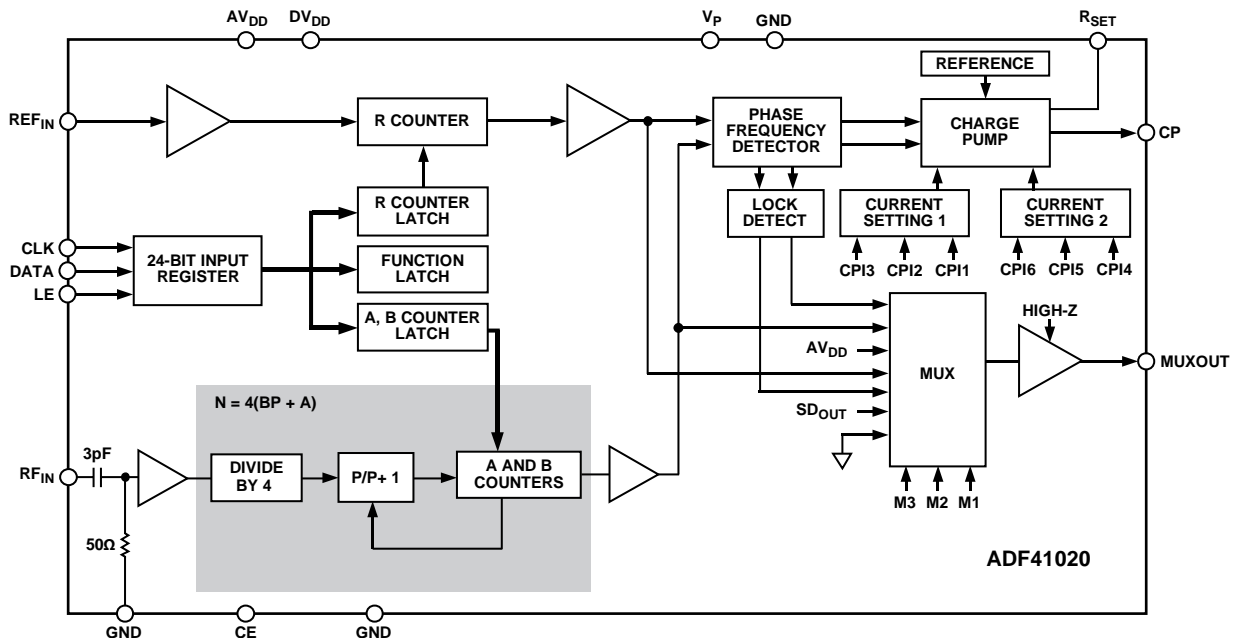


图1.

Rev. B

Document Feedback

Information furnished by Analog Devices is believed to be accurate and reliable. However, no responsibility is assumed by Analog Devices for its use, nor for any infringements of patents or other rights of third parties that may result from its use. Specifications subject to change without notice. No license is granted by implication or otherwise under any patent or patent rights of Analog Devices. Trademarks and registered trademarks are the property of their respective owners.

One Technology Way, P.O. Box 9106, Norwood, MA 02062-9106, U.S.A.
Tel: 781.329.4700 ©2012–2014 Analog Devices, Inc. All rights reserved.
Technical Support www.analog.com

ADI中文版数据手册是英文版数据手册的译文，敬请谅解翻译中可能存在的语言组织或翻译错误，ADI不对翻译中存在的差异或由此产生的错误负责。如需确认任何词语的准确性，请参考ADI提供的最新英文版数据手册。

目录

产品特性	1	RF输入级	8
应用	1	预分频器	8
概述	1	A计数器和B计数器	8
功能框图	1	R计数器	9
修订历史	2	PFD和电荷泵	9
技术规格	3	MUXOUT和锁定检测	9
时序特性	4	输入移位寄存器	9
绝对最大额定值	5	函数锁存器	13
ESD警告	5	应用信息	15
引脚配置和功能描述	6	接口	15
典型性能参数	7	PCB设计指南	15
工作原理	8	外形尺寸	16
参考输入部分	8	订购指南	16

修订历史

2014年1月—修订版A至修订版B

更改图6	7
------------	---

2013年11月—修订版0至修订版A

更改“产品特性”部分	1
更改“绝对最大额定值”部分和表3	5

2012年10月—修订版0：初始版

技术规格

除非另有说明， $DV_{DD} = AV_{DD} = V_P = 3.0\text{ V} \pm 5\%$ ， $GND = 0\text{ V}$ ， $R_{SET} = 5.1\text{ k}\Omega$ ，dBm以 $50\ \Omega$ 为基准， $T_A = T_{MAX}$ 至 T_{MIN} 。

表1.

参数	最小值	典型值	最大值	单位	测试条件/注释
RF特性					输入电路见图1
RF输入频率(RF_{IN})	4.0		18.0	GHz	
RF输入灵敏度	-10		+10	dBm	
最大容许预分频器输出频率 ¹			350	MHz	
REF _{IN} 特性					如果 $f < 10\text{ MHz}$ ，确保压摆率大于 $50\text{ V}/\mu\text{s}$ 输入为交流耦合时在 $DV_{DD}/2$ 处偏置
REF _{IN} 输入频率	10		400	MHz	
REF _{IN} 输入灵敏度	0.8		DV_{DD}	V p-p	
REF _{IN} 输入电容			10	pF	
REF _{IN} 输入电流			± 100	μA	
鉴相器					
鉴相器频率 ²			100	MHz	
电荷泵					可编程，见图17
I_{CP} 吸/源电流					
高值		5.0		mA	$R_{SET} = 5.1\text{ k}\Omega$
低值		625		μA	
绝对精度		3		%	$R_{SET} = 5.1\text{ k}\Omega$
R_{SET}	5.1	5.1	5.1	k Ω	参见图17
I_{CP} 三态漏电		1	2	nA	$T_A = 25^\circ\text{C}$
吸电流与源电流匹配		2		%	$0.5\text{ V} \leq V_{CP} \leq V_P - 0.5\text{ V}$
I_{CP} 与 V_{CP}		1		%	$0.5\text{ V} \leq V_{CP} \leq V_P - 0.5\text{ V}$
I_{CP} 与温度		2		%	$V_{CP} = V_P/2$
逻辑输入					
输入高电压 V_{IH}	1.4			V	SPI接口与1.8 V和3 V逻辑兼容
输入低电压 V_{IL}			0.6	V	
输入电流 I_{INH}/I_{INL}			± 1	μA	
输入电容 C_{IN}			10	pF	
逻辑输出					
输出高电压 V_{OH}	1.4			V	选择开漏输出；1 k Ω 上拉电阻至1.8 V
输出高电压 V_{OH}	$DV_{DD} - 0.4$			V	选择CMOS输出
高输出电流 I_{OH}			500	μA	
输出低电压 V_{OL}			0.4	V	
输出低电流 I_{OL}			500	μA	
电源					
AV_{DD}	2.85		3.15	V	
DV_{DD}	2.85		3.15	V	
V_P	2.85		3.15	V	
I_{DD}^3		27	30	mA	$T_A = 25^\circ\text{C}$
I_P^3		4.5	5	mA	$T_A = 25^\circ\text{C}$
掉电模式		1		μA	$T_A = 25^\circ\text{C}$

ADF41020

参数	最小值	典型值	最大值	单位	测试条件/注释
噪声特性					
归一化相位噪声 ⁴		-221		dBc/Hz	PLL环路带宽 = 500 kHz
归一化1/f噪声 ⁵		-118		dBc/Hz	10 kHz偏移; 归一化为1 GHz
相位噪声性能 ⁶					在VCO输出下
5.7 GHz		-89		dBc/Hz	1 kHz偏移和2.5 MHz PFD频率, 20 kHz环路带宽
12.5 GHz ⁷		-82		dBc/Hz	3 kHz偏移和2.5 MHz PFD频率, 20 kHz环路带宽
17.64 GHz		-96		dBc/Hz	100 kHz偏移和90 MHz PFD频率, 700 kHz环路带宽
杂散信号					
5.7 GHz		-80/-86		dBc	2.5 MHz/5 MHz和2.5 MHz PFD频率
12.5 GHz ⁷		-98/<-110		dBc	2.5 MHz/5 MHz和2.5 MHz PFD频率
17.64 GHz		-109/-113		dBc	90 MHz/180 MHz和90 MHz PFD频率

¹ 这是CMOS计数器的最大工作频率。应选择预分频器值, 确保RF输入分频为小于该值的频率。

² 通过设计保证。样片经过测试, 以确保符合标准要求。

³ $T_A = 25^\circ\text{C}$; $AV_{DD} = DV_{DD} = V_p = 3.0\text{ V}$; $P = 16$; $f_{REFIN} = 100\text{ MHz}$; $f_{PFD} = 100\text{ MHz}$; $RF_{IN} = 12.8\text{ GHz}$ 。

⁴ 频率合成器相位噪声的估算方法如下: 测量VCO输出端的带内相位噪声, 然后减去 $20 \log N$ (其中N为N分频器的值)和 $10 \log \text{PFDF}$ 。 $PN_{SYNTH} = PN_{VCO} - 20 \log f_{REF} - 20 \log N$ 。

⁵ PLL相位噪声由1/f(闪烁)噪声加归一化PLL噪声组成。RF频率为 f_{RF} , 频率偏移为 f 时, 计算1/f噪声贡献的公式如下: $PN = PN_{1/f} + 10 \log(10 \text{ kHz}/f) + 20 \log(f_{RF}/1 \text{ GHz})$ 。归一化相位噪声和闪烁噪声均在ADIsimPLL中进行了模拟。

⁶ 采用Rohde & Schwarz FSUP频谱分析仪测量相位噪声。Rohde & Schwarz SMA100A提供了基准值。

⁷ 采用EV-ADF41020EB1Z评估板和Rohde & Schwarz FSUP频谱分析仪测量相位噪声和杂散噪声。

时序特性

除非另有说明, $AV_{DD} = DV_{DD} = V_p = 3.0\text{ V}$, $GND = 0\text{ V}$, $R_{SET} = 5.1\text{ k}\Omega$, dBm以 $50\ \Omega$ 为基准, $T_A = T_{MAX}$ 至 T_{MIN} 。

表2.

参数	限值	单位	测试条件/注释
t_1	10	ns(最小值)	DATA到CLK建立时间
t_2	10	ns(最小值)	DATA到CLK保持时间
t_3	25	ns(最小值)	CLK高电平持续时间
t_4	25	ns(最小值)	CLK低电平持续时间
t_5	10	ns(最小值)	CLK到LE建立时间
t_6	20	ns(最小值)	LE脉冲宽度

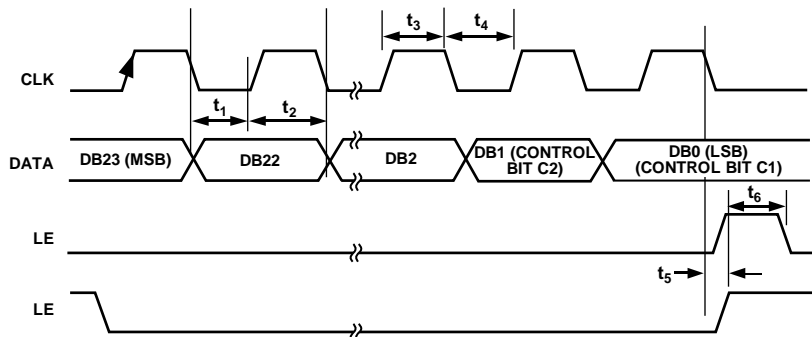


图2. 时序图

10904-002

绝对最大额定值

除非另有说明， $T_A = 25^\circ\text{C}$ 。

表3.

参数	额定值
AV_{DD} 至GND	-0.3 V至+3.9 V
AV_{DD} 至DVDD	-0.3 V至+0.3 V
V_P 至GND	-0.3 V至+3.9 V
V_P 至 AV_{DD}	-0.3 V至+0.3 V
数字I/O电压 REF_{IN} 至GND	-0.3 V至 $DV_{DD} + 0.3 V$
模拟I/O电压至GND	-0.3 V至 $V_P + 0.3 V$
REF_{IN} 、 RF_{IN} 至GND	-0.3 V至 $AV_{DD} + 0.3 V$
工业温度范围	-40°C至+85°C
存储温度范围	-65°C至+125°C
最高结温	150°C
LFCSP θ_{JA} 热阻 ¹ (焊盘焊接)	62.82°C/W
回流焊	
峰值温度	260°C
峰值温度时间	40秒
晶体管数量	
CMOS	6610
双极性	358
ESD(充电器件模型)	1500 V
ESD(人体模型)	4000 V

¹ 两个信号层(即电路板顶面和底面)，两个埋入层和四个过孔。

注意，超出上述绝对最大额定值可能会导致器件永久性损坏。这只是额定最值，并不能以这些条件或者在任何其它超出本技术规范操作章节中所示规格的条件下，推断器件能否正常工作。长期在绝对最大额定值条件下工作会影响器件的可靠性。

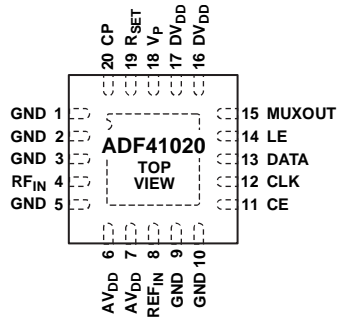
ESD警告



ESD(静电放电)敏感器件。

带电器件和电路板可能会在没有察觉的情况下放电。尽管本产品具有专利或专有保护电路，但在遇到高能量ESD时，器件可能会损坏。因此，应当采取适当的ESD防范措施，以避免器件性能下降或功能丧失。

引脚配置和功能描述



NOTES
1. THE EXPOSED PAD MUST BE CONNECTED TO GND.

10304-003

图3. 引脚配置

表4. 引脚功能描述

引脚编号	引脚名称	描述
1, 2, 3, 5, 9, 10	GND	接地引脚。
4	RF _{IN}	RF预分频器的输入。该输入内部交流耦合。
6, 7	AV _{DD}	模拟电源。可能的范围是2.85 V至3.15 V。至地层的去耦电容应尽可能靠近此引脚。引脚6为固定的4分频预分频器供电。
8	REF _{IN}	基准电压输入。这是一个CMOS输入，标称阈值为DV _{DD} /2，并具有100 kΩ的直流等效输入电阻(见图9)。此输入可以采用TTL或CMOS晶振驱动，或者交流耦合。
11	CE	芯片使能。此引脚的逻辑低电平将关断器件，并使电荷泵输出进入三态模式。根据关断位PD1的状态不同，此引脚置于高电平将使器件上电。
12	CLK	串行时钟输入。此串行时钟用来将串行数据逐个输入寄存器。数据在CLK上升沿锁存到24位移位寄存器内。这是高阻抗CMOS输入。
13	DATA	串行数据输入。串行数据以MSB优先方式加载，两个LSB用作控制位。这是高阻抗CMOS输入。
14	LE	加载使能，CMOS输入。当LE变为高电平时，存储在移位寄存器内的数据将载入四个锁存器中的一个，锁存器使用控制位选择。
15	MUXOUT	此多路复用器输出允许从外部访问锁定检测、经过缩放的RF或基准频率。
16, 17	DV _{DD}	数字电源。可能的范围是2.85 V至3.15 V。至地层的去耦电容应尽可能靠近此引脚。DV _{DD} 的值必须与AV _{DD} 相同。
18	V _P	电荷泵电源。
19	R _{SET}	在此引脚与GND之间连一个电阻可设置最大电荷泵输出电流。R _{SET} 引脚的标称电位为0.66 V。I _{CP} 和R _{SET} 的关系为 $I_{CP\ MAX} = \frac{25.5}{R_{SET}}$ 其中，R _{SET} = 5.1 kΩ，I _{CP\ MAX} = 5.0 mA。
20	CP EP	电荷泵输出。使能时，此引脚提供±I _{CP} 到外部环路滤波器，后者又驱动外部VCO。 裸露焊盘。裸露焊盘必须连接到GND。

典型性能参数

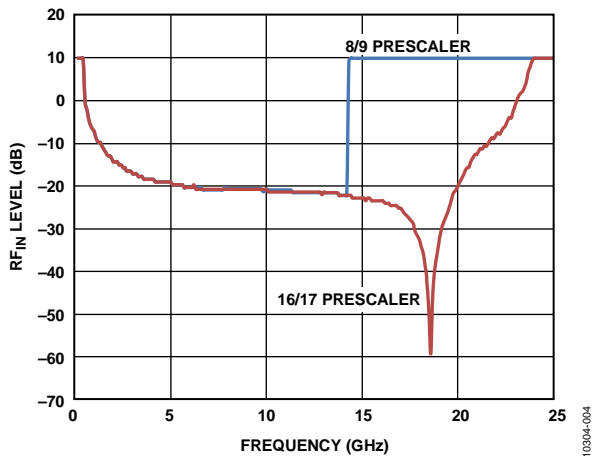


图4. RF输入灵敏度

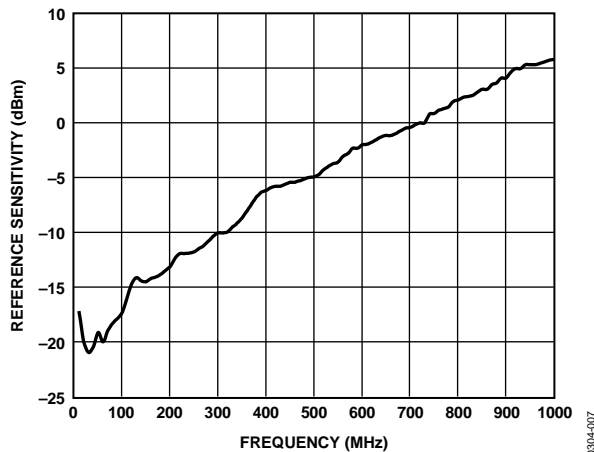


图7. REF_{IN}灵敏度

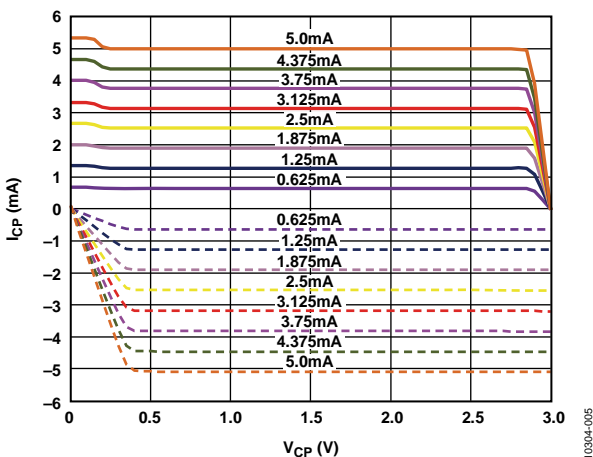


图5. 电荷泵输出特性

FREQ UNIT: GHz KEYWORD: R			PARAM TYPE: s		
DATA FORMAT: MA					
FREQ	MAGS11	ANGS11	FREQ	MAGS11	ANGS11
4.0	0.20099200	-133.9429000	10.2	0.05542031	130.0581000
4.2	0.19669930	-134.7069000	10.4	0.05306025	126.9556000
4.4	0.19140480	-135.0024000	10.6	0.05123230	115.8989000
4.6	0.18317790	-135.1249000	10.8	0.04471957	102.0333000
4.8	0.17232760	-135.0415000	11.0	0.03846882	86.3895600
5.0	0.16071930	-135.1840000	11.4	0.03402513	51.1515300
5.2	0.14943970	-136.0447000	11.8	0.04456061	21.0829700
5.4	0.13791310	-137.7694000	12.2	0.05158395	16.8124600
5.6	0.12833340	-140.5623000	12.6	0.06039219	16.5178200
5.8	0.12090700	-144.7454000	13.0	0.05580344	31.4631600
6.0	0.11516160	-149.8260000	13.4	0.08402054	36.3540700
6.2	0.11252430	-155.1801000	13.8	0.10374910	18.8428500
6.4	0.11213720	-160.0477000	14.2	0.11639920	0.2817307
6.6	0.11236920	-164.5794000	14.6	0.13647950	-15.4473000
6.8	0.11323590	-168.1217000	15.0	0.16700580	-22.3273100
7.0	0.11401910	-170.9163000	15.2	0.18309070	-24.3333900
7.2	0.11361600	-173.2882000	15.4	0.19458010	-25.3870800
7.4	0.11225360	-175.2539000	15.6	0.20377790	-25.0101800
7.6	0.10909150	-176.9327000	15.8	0.21170140	-24.2554800
7.8	0.10484100	-179.0774000	16.0	0.21883690	-23.4312200
8.0	0.09871251	-178.5525000	16.2	0.22280700	-23.5596400
8.2	0.09258573	-175.9697000	16.4	0.22488210	-24.4111000
8.4	0.08667851	-172.5878000	16.6	0.22589250	-26.5202700
8.6	0.08075383	-168.3692000	16.8	0.22572100	-30.3773300
8.8	0.07542522	-163.5676000	17.0	0.22596830	-36.2808700
9.0	0.07048169	-159.0954000	17.2	0.23197900	-42.8398200
9.2	0.06751262	-154.6976000	17.4	0.24339450	-50.7222200
9.4	0.06561201	-149.2067000	17.6	0.26023130	-57.6344600
9.6	0.06380879	-142.2284000	17.8	0.28636130	-63.0764200
9.8	0.05995205	-137.8226000	18.0	0.31905490	-67.5389600
10.0	0.05666475	-134.1730000			

图8. S参数

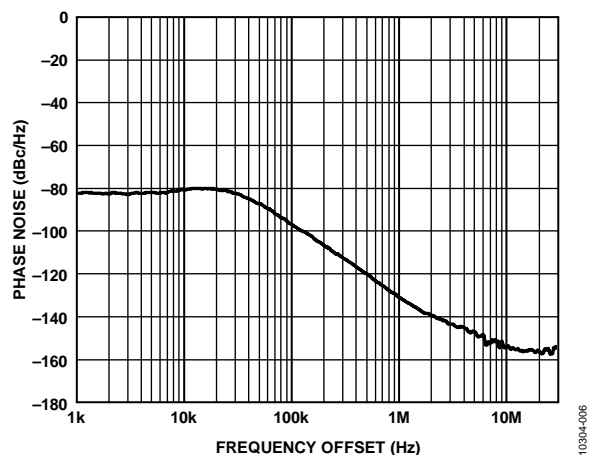


图6. RF = 12.5 GHz、PFD = 2.5 MHz且环路带宽 = 20 kHz时的闭环相位噪声

工作原理

基准电压输入部分

参考输入级如图9所示。SW1和SW2为常闭开关。SW3为常开开关。启动关断程序后，SW3闭合，SW1和SW2断开，确保关断期间REF_{IN}引脚无负载。

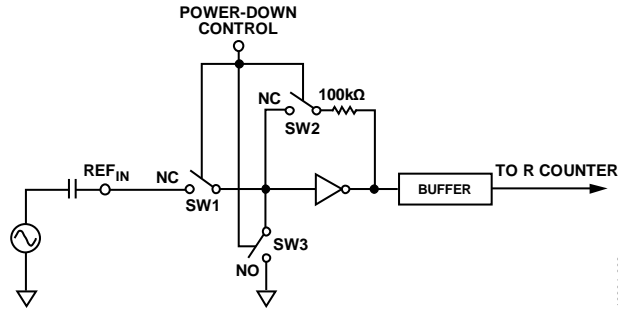


图9. 参考输入级

RF输入级

RF输入级如图10所示。紧跟其后的是缓冲器，用以产生预分频器需要的差分CML电平。

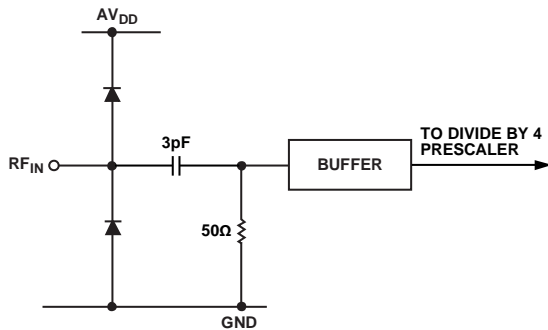


图10. RF输入级

预分频器

ADF41020使用双预分频器的方法来实现高达18 GHz的工作频率。第一个预分频器是一个固定的4分频模块。第二个预分频器将4分频输出作为其输入，实现双模预分频器(P/P + 1)，从而通过固定的预分频器达到更精细的频率分辨率。与计数器A和B一起，实现大分频比N，N = 4(BP + A)。双模预分频器工作在CML电平，从固定的预分频器级获取时钟，将其分频为可管理的频率用于CMOS计数器A和计数器B。第二个预分频器可编程。可以在软件中设置为8/9、16/17、32/33或64/65。该预分频器基于同步的4/5内核。可能存在最小分频比用于邻接输出频率。该最小值可根据4(P² - P)来算出。

A计数器和B计数器

A和B计数器结合两个预分频器，允许PLL反馈计数器有宽广的分频比范围。这两个计数器的额定工作条件为预分频器输出不超过350 MHz。

脉冲吞没功能

因为固定的4分频模块，生成的输出频率间距为四倍基准频率除以R。VCO频率的公式为

$$f_{VCO} = [(P \times B) + A] \times \frac{4 \times f_{REFIN}}{R}$$

其中：

f_{VCO} 是外部电压控制振荡器(VCO)的输出频率。
 P是双模预分频器(例如8/9、16/17)的预设模数。
 B是二进制13位计数器(2至8191)的预设分频比。
 A是二进制6位吞没计数器(0至63)的预设分频比。
 f_{REFIN} 为外部基准频率振荡器。

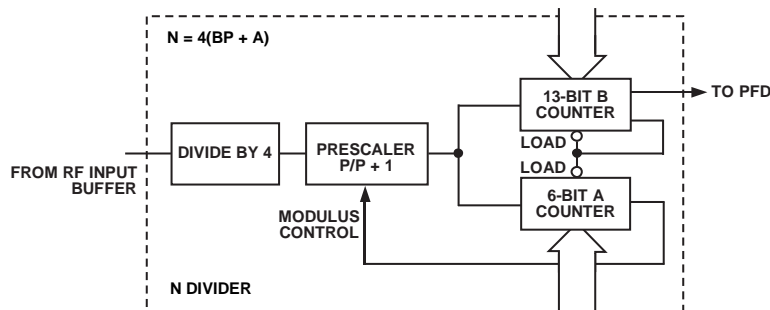


图11. 预分频器、组成N分频值的A和B计数器

R计数器

利用14位R计数器，可以细分输入基准频率以产生鉴频鉴相器(PFD)的基准时钟。分频比可以为1至16,383。

PFD和电荷泵

PFD接受R分频器和N分频器的输入，产生与二者的相位和频率差成正比的输出。图13简化的原理图。PFD内置一个固定的延迟元件，用来控制防反冲脉冲的宽度。此脉冲可确保PFD传递函数中无死区，并使相位噪声和参考杂散最小。电荷泵将鉴相器输出转换为电流脉冲，并通过PLL环路滤波器进行积分。

MUXOUT和LOCK检测

ADF41020的输出多路复用器允许用户访问芯片的各种内部点。MUXOUT状态由函数锁存器中的M3、M2和M1控制。图17显示了完整的真值表。图12以框图形式显示了MUXOUT部分。

锁定检测

MUXOUT可编程用于两类锁定检测：数字锁定检测和模拟锁定检测。

数字锁定检测为高电平有效。当连续五个鉴相器周期的相位误差低于15 ns时，数字锁定检测设为高电平。在没有检测到任意后续鉴相器周期的相位误差大于25 ns之前，均保持高电平。

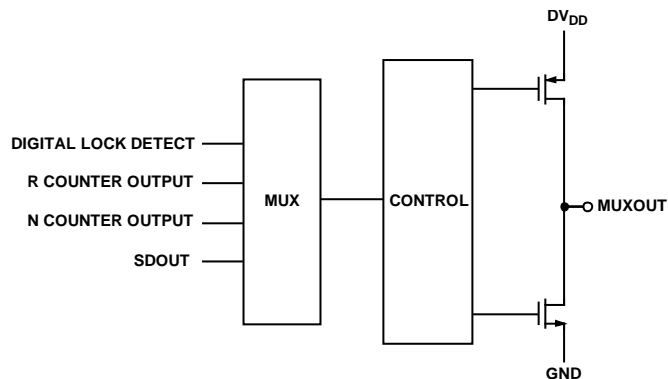


图12. MUXOUT电路

输入移位寄存器

ADF41020数字部分包括一个24位输入移位寄存器、一个14位R计数器和一个19位N计数器(由6位A计数器和13位B计数器组成)。数据在CLK的每个上升沿时逐个输入24位移位寄存器。数据输入方式是MSB优先。在LE上升沿时，数据从移位寄存器传输至三个锁存器之一。目标锁存器由移位寄存器中的两个控制位(C2和C1)的状态决定。如图2的时序图所示，C2和C1是两个LSB；DB1和DB0。表5显示了这些位的真值表。表5还总结说明了这些锁存器如何编程。SPI与1.8 V和3 V兼容。

表5. C1和C2真值表

控制位		数据锁存器
C2	C1	
0	0	R计数器
0	1	N计数器(A和B)
1	0	函数锁存器(包括预分频器)

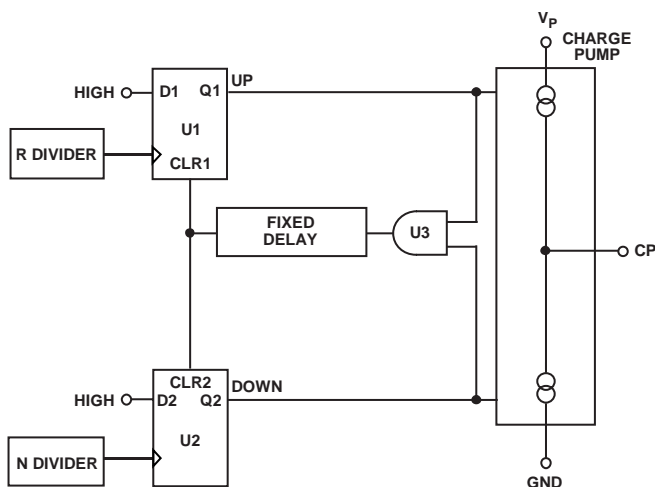


图13. PFD简化原理图

REFERENCE COUNTER LATCH

RESERVED								14-BIT REFERENCE COUNTER														CONTROL BITS	
DB23	DB22	DB21	DB20	DB19	DB18	DB17	DB16	DB15	DB14	DB13	DB12	DB11	DB10	DB9	DB8	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
1	0	0					1	R14	R13	R12	R11	R10	R9	R8	R7	R6	R5	R4	R3	R2	R1	C2 (0)	C1 (0)

N COUNTER LATCH

RESERVED		CP GAIN	13-BIT B COUNTER													6-BIT A COUNTER						CONTROL BITS	
DB23	DB22	DB21	DB20	DB19	DB18	DB17	DB16	DB15	DB14	DB13	DB12	DB11	DB10	DB9	DB8	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
	0	G1	B13	B12	B11	B10	B9	B8	B7	B6	B5	B4	B3	B2	B1	A6	A5	A4	A3	A2	A1	C2 (0)	C1 (1)

FUNCTION LATCH

PRESCALER VALUE		POWER-DOWN 2	CURRENT SETTING 2			CURRENT SETTING 1			TIMER COUNTER CONTROL				FAST LOCK MODE	FAST LOCK ENABLE	CP THREE-STATE	PD POLARITY	MUXOUT CONTROL			POWER-DOWN 1	COUNTER RESET	CONTROL BITS	
DB23	DB22	DB21	DB20	DB19	DB18	DB17	DB16	DB15	DB14	DB13	DB12	DB11	DB10	DB9	DB8	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
P2	P1	PD2	CPI6	CPI5	CPI4	CPI3	CPI2	CPI1	TC4	TC3	TC2	TC1	F5	F4	F3	F2	M3	M2	M1	PD1	F1	C2 (1)	C1 (0)

图14. 锁存器小结

10304-014

RESERVED								14-BIT REFERENCE COUNTER														CONTROL BITS	
DB23	DB22	DB21	DB20	DB19	DB18	DB17	DB16	DB15	DB14	DB13	DB12	DB11	DB10	DB9	DB8	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
1	0	0					1	R14	R13	R12	R11	R10	R9	R8	R7	R6	R5	R4	R3	R2	R1	C2 (0)	C1 (0)

R14	R13	R12	R3	R2	R1	DIVIDE RATIO
0	0	0	0	0	1	1
0	0	0	0	1	0	2
0	0	0	0	1	1	3
0	0	0	1	0	0	4
.
.
.
1	1	1	1	0	0	16380
1	1	1	1	0	1	16381
1	1	1	1	1	0	16382
1	1	1	1	1	1	16383

图15. 参考计数器锁存映射图

10304-015

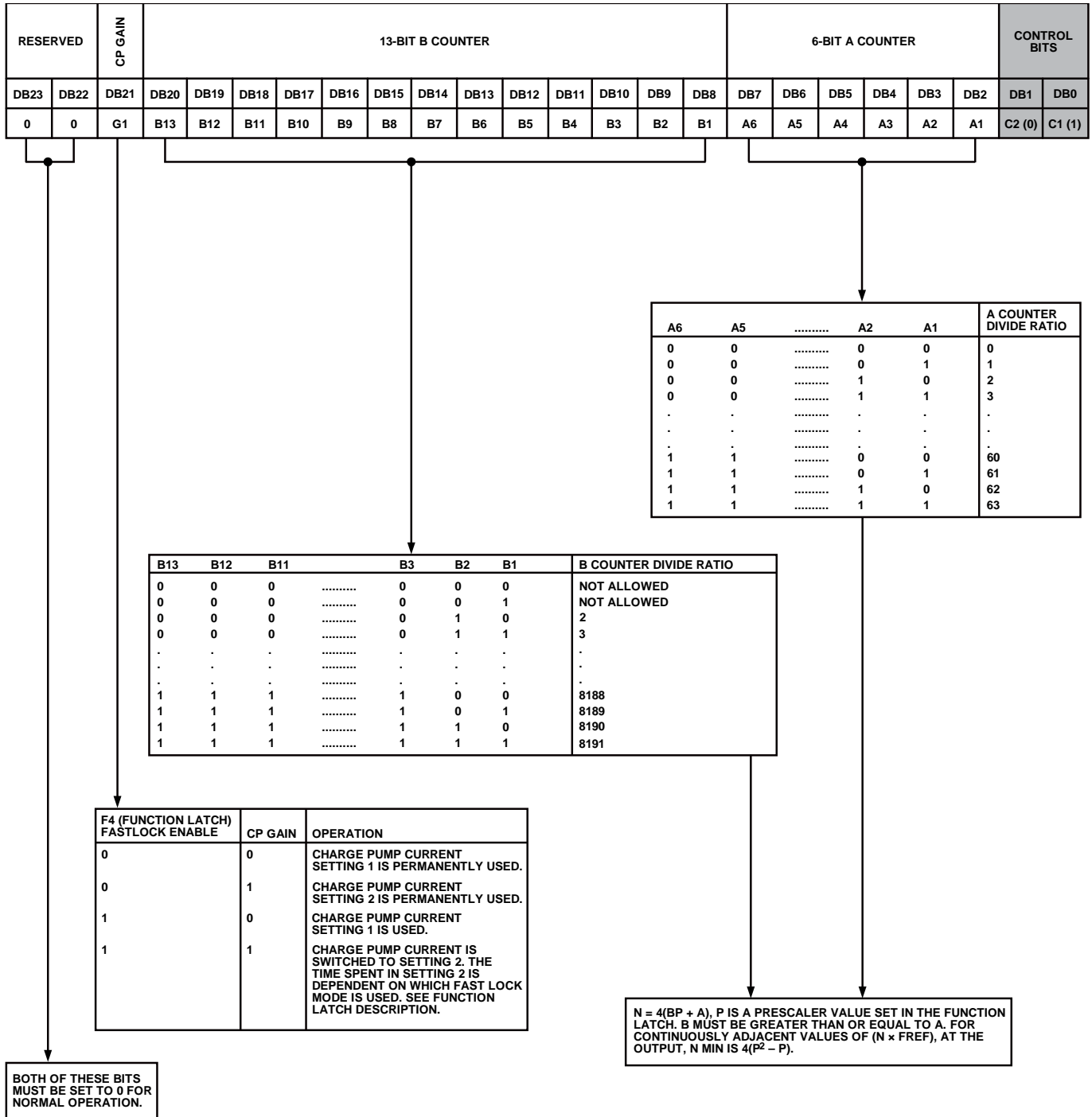


图16. N (A, B)计数器锁存映射图

ADF41020

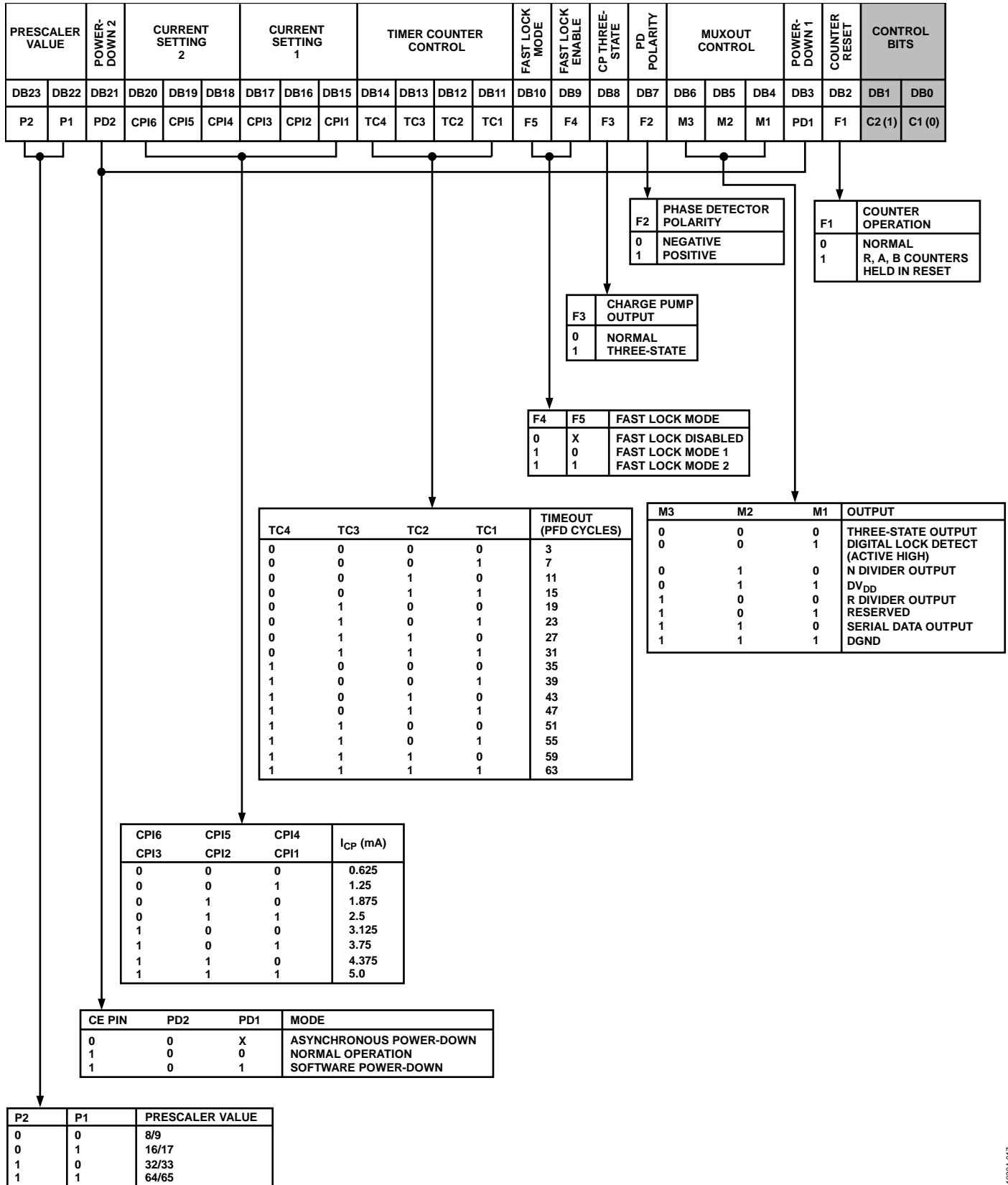


图17. 函数锁存器映射图

函数锁存器

将C2设置为1，而C1设置为0，可对片内函数锁存器编程。图17显示对此函数锁存器进行编程的输入数据格式。

分频器复位

DB2 (F1)是计数器复位的位。该位为1时，可复位R计数器和N (A, B)计数器。正常工作时，此位应设置为0。上电后，禁用F1位(设置为0)。然后N计数器恢复计数，与R计数器精准对齐。(最大误差是一个预分频器周期)。

掉电

DB3 (PD1)位提供软件掉电模式，可降低器件消耗的总电流。用CE引脚来使能此功能。CE引脚为低电平时，不管PD1的状态，立即禁用该器件。

在编程设置的软件掉电期间，该器件会在1锁存到PD1位后立即掉电。PD2是保留位，应清0。

激活关断时，将发生下列事件：

- 去除主频率合成器部分的所有活动的直流电流路径。但RF 4分频预分频器保持活动状态。
- 强制R、N和超时计数器进入加载状态。
- 强制电荷泵进入三态模式。
- 数字时钟检测电路复位。
- RF_{IN} 输入去偏置。
- 禁用基准输入缓冲电路。
- 输入寄存器保持活动状态，能够加载并锁存数据。

MUXOUT控制

片内多路复用器由ADF41020上的M3、M2和M1控制。图17显示了真值表。

快速锁定使能位

函数锁存器的DB9 (F4)位是快速锁定使能位。此位为1时，使能快速锁定。

快速锁定模式位

函数锁存器的DB10 (F5)位是快速锁定模式位。使能快速锁定后，此位会决定使用哪个快速锁定模式。如果快速锁定模式位是0，则选择快速锁定模式1；如果快速锁定模式位是1，则选择快速锁定模式2。

快速锁定模式1

电荷泵电流切换为电流设置2的内容。将1写入N (A, B)计数锁存器的CP增益位时，此器件进入快速锁定。将0写入N (A, B)计数锁存器的CP增益位时，此器件退出快速锁存。

快速锁定模式2

电荷泵电流切换为电流设置2的内容。将1写入N (A, B)计数锁存器的CP增益位时，此器件进入快速锁定。此器件在定时计数器的控制下退出快速锁定。TC4到TC1的值确定的超时周期之后，N (A, B)计数锁存器中的CP增益位自动复位为0，此器件返回正常模式，而不是快速锁定。有关超时周期信息，参见图17。

定时计数器控制

用户可选择编程两个电荷泵电流。其目的是在RF输出稳定且系统处于稳定状态时使用电流设置1。系统处于动态和变更状态时(即，对新的输出频率编程时)，使用电流设置2。正常的事件顺序如下。

用户先要确定首选的电荷泵电流将是怎样的。例如，选择0.85 mA为电流设置1，而选择1.7 mA为电流设置2。

同时在返回初级电流之前，必须决定次级电流保持有效多长时间。这个时间长度由函数锁存器中的定时计数器控制位DB14至DB11(TC4至TC1)进行控制。真值表如图17所示。

若要编程新的输出频率，只需用A和B计数器的新值对N (A, B)计数锁存器编程。同时，CP增益位可以设置为1，这会针对TC4至TC1确定的周期使用CPI6至CPI4的值来设置电荷泵。该时间到期后，电荷泵电流返回为CPI3至CPI1设置的值。同时，N (A, B)计数锁存器中的CP增益位复位为0，并为用户下一次更改频率做好准备。

请注意，定时计数器上存在使能功能。通过将函数锁存器中的快速锁定模式位(DB10)设置为1，在选定快速锁定模式2时可以使能该功能。

电荷泵电流

CPI3、CPI2和CPI1编程电荷泵的电流设置1。CPI6、CPI5和CPI4编程电荷泵的电流设置2。真值表如图17所示。

预分频器值

函数锁存器中的P2和P1设置可编程的P预分频器值。应选择P值，以便预分频器输出频率始终小于或等于350 MHz。

PD极性

DB7 (F2)位设置鉴相器极性位。参见图17。

ADF41020

CP三态

DB8 (F3)位控制CP输出引脚。此位设置为高电平时，CP输出处于三态。如果此位设置为低电平，则使能CP输出。

初始上电之后器件编程

器件初始上电之后，有三种方法对器件编程：函数锁存器、CE引脚和计数器复位。

函数锁存器方法

1. 施加 V_{DD} 。
2. 对函数锁存器负载(控制字的两个LSB中为10)编程，确保F1位编程为0。
3. 施加R负载(两个LSB中为00)。
4. 施加N (A, B)负载(两个LSB中为01)。

CE引脚方法

1. 施加 V_{DD} 。
2. 拉低CE电平可将器件置于省电模式。这是异步省电，可立即实现。
3. 对函数锁存器(10)编程。
4. 对R计数锁存器(00)编程。
5. 对N (A, B)计数锁存器(01)编程。

6. 拉高CE电平可令器件退出省电模式。现在R和N (A, B)计数器精准对齐，恢复计数。

请注意，CE拉高之后，预分频器带隙电压和振荡器输入缓冲偏置达到稳态，可能需要1 μ s的时间。

CE可用于给器件上电和掉电，以检查通道活动情况。每次禁用和使能器件时，只要初始施加 V_{DD} 后至少有过一次编程，就不需要再次对输入寄存器编程。

计数器复位方法

1. 施加 V_{DD} 。
2. 施加函数锁存器负载(两个LSB中为10)。作为其组成部分，负载1加到F1位。这会禁用计数器复位。
3. 施加R计数器负载(两个LSB中为00)。
4. 施加N (A, B)计数器负载(两个LSB中为01)。
5. 施加函数锁存器负载(两个LSB中为10)。作为其组成部分，负载0加到F1位。这会禁用计数器复位。

此序列可直接控制内部计数器复位。

应用信息

接口

ADF41020具有一个简易的1.8 V和3 V SPI兼容型串行接口，用于将数据写入器件。在CLK、DATA和LE控制数据传输。在CLK每个上升沿将24位数据逐位写入对应输入寄存器，当LE变为高电平时，数据波传输至对应的锁存器。时序图见图2，锁存器真值表见表5。

最大容许串行时钟速率为20 MHz。

ADuC7020接口

图18显示ADF41020与ADuC7019至ADuC7023系列模拟微控制器之间的接口。ADuC70xx系列基于AMR7内核，该接口可以用于任何基于8051的微控制器。微控制器设置为SPI主机模式，CPHA = 0。若要启动操作，驱动LE的I/O端口应变为低电平。ADF41020的每个锁存器需要一个24位字。这可通过将三个8位字节从微控制器写入该器件来实现。写入第三个字节之后，LE输入变为高电平，以完成传输。

ADF41020初始通电时，为使输出有效，器件需要三次写操作(分别写入函数锁存器、R计数锁存器和N计数锁存器)。

该微控制器的I/O端口线也可用来控制关断(CE输入)和检测锁定(MUXOUT配置为锁定检测，并由输入端口进行轮询)。

当工作在所述模式时，ADuC7023的最大SPI传输速率为20 Mbps。这意味着，输出频率变化的最大速率为833 kHz。如果使用较快的SPI时钟，应确保满足表1所列的SPI时序要求。

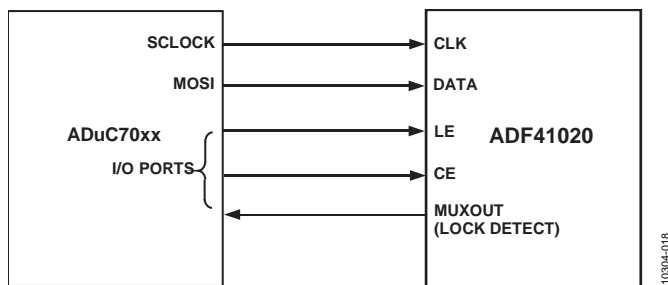


图18. ADuC70xx与ADF41020接口

Blackfin BF527接口

图19显示ADF41020与Blackfin® ADSP-BF527数字信号处理器之间的接口。ADF41020的每个锁存器写入需要一个24位串行字。对此，使用Blackfin系列的最简单实现方法是利用帧交替式自缓冲传输工作模式。这样，中断产生之前，可以传输整块的串行数据。将字长度设置为8位，每个24位字使用三个存储器位置。为对各24位锁存器进行编程，存储三个8位字节，使能自缓冲模式，然后写入DSP的传输寄存器。最后一个操作启动自缓冲传输。类似于微控制器情形，确保时钟速度不超过表1规定的最大限值。

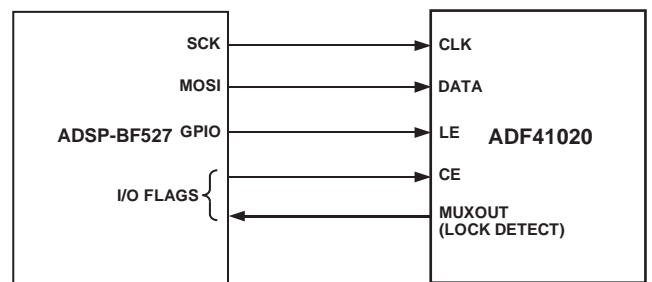


图19. ADSP-BF527与ADF41020接口

PCB设计指南

LFCSP (CP-20)上的引脚焊盘为方形。印刷电路板(PCB)焊盘应比封装引脚焊盘长0.1 mm，宽0.05 mm。为确保焊点最大，引脚焊盘应位于电路板焊盘中央。LFCSP封装的底部有一个居中的裸露焊盘用于散热，

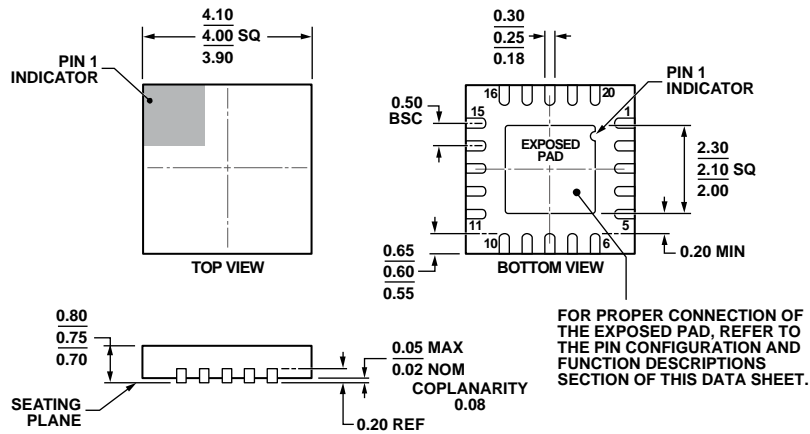
PCB的散热垫至少应与裸露焊盘一样大。为避免短路，PCB上的散热垫与焊盘图形内边的间距至少应为0.25 mm。

PCB散热焊盘上可以开散热通孔，以改善封装的散热性能。散热通孔应与散热焊盘合为一体，间距为1.2 mm。通孔直径应在0.3 mm至0.33 mm之间，通孔管应镀以1盎司的铜，以堵住通孔。

用户应将PCB散热垫连到GND。

ADF41020

外形尺寸



COMPLIANT TO JEDEC STANDARDS MO-220-WGGD-1.

图20. 20引脚引线框芯片级封装[LFCSP_WQ]
4 mm x 4 mm超薄体(CP-20-6)
尺寸单位: mm

08-16-2010-B

订购指南

型号 ¹	温度范围		封装选项
ADF41020BCPZ	-40°C 至 +85°C	20引脚引线框芯片级封装(LFCSP_WQ)	CP-20-6
ADF41020BCPZ-RL7	-40°C 至 +85°C	20引脚引线框芯片级封装(LFCSP_WQ)	CP-20-6
EV-ADF41020EB1Z		评估板	

¹ Z = 符合RoHS标准的器件。