

产品特性

低相位噪声锁相环内核

最高250 MHz的参考输入频率

可编程双模预分频器

可编程电荷泵(CP)电流

独立的CP电源(VCP₃)可扩展调谐范围

两路1.6 GHz差分时钟输入

8个可编程分频器, 1至32整数频比

用于输出到输出延迟粗调的相位选择

4路独立的1.2 GHz LVPECL输出

附加的输出抖动: 225 fs rms

4路独立的800 MHz低压差分信号(LVDS)或250 MHz互补金属

氧化物导体(CMOS)时钟输出

附加的输出抖动: 275 fs rms

2路LVDS/CMOS输出提供精密延迟调整功能

串行控制端口

节省空间的64引脚LFCSP封装

应用

低抖动、低相位噪声时钟分配

为高速ADC、DAC、DDS、DDC、DUC、混合信号前端

(MxFE)提供时钟

高性能无线收发器

高性能仪器仪表

宽带基础设施

概述

AD9510提供多路输出时钟分配功能, 并集成一个片内锁相环(PLL)内核。它具有低抖动和低相位噪声特性, 能够极大地提升数据转换器的性能。这款器件也适合对相位噪声和抖动要求严格的其他应用。

PLL部分由可编程参考分频器(R)、低噪声鉴频鉴相器(PFD)、精密电荷泵(CP)和可编程反馈分频器(N)组成。将外部压控晶体振荡器(VCXO)或压控振荡器(VCO)连接到CLK2和CLK2B引脚时, 最高达1.6 GHz的频率可以与输入参考同步。

它提供8路独立的时钟输出, 其中4路输出是1.2 GHz的低压正发射极耦合逻辑(LVPECL), 另外4路输出可选择为LVDS(800 MHz)或CMOS(250 MHz)。

功能框图

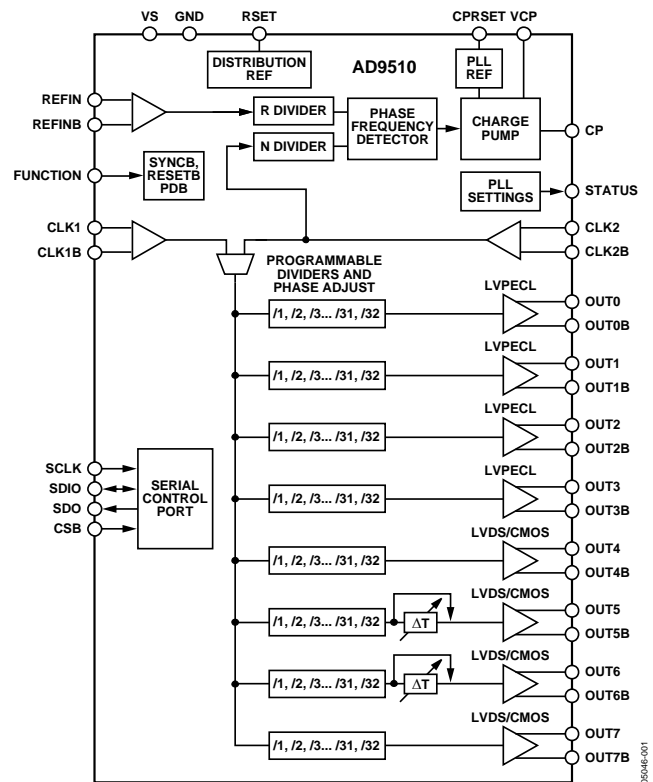


图1.

每路输出都有一个可编程分频器, 可以旁路该分频器或者设置最高32的整数频比。一路时钟输出相对于另一路时钟输出的相位可通过分频器相位选择功能改变, 用作时序粗调。2路LVDS/CMOS输出具有可编程延迟元件, 其满量程范围最高为8 ns延迟。该精密调谐延迟模块具有5位分辨率, 提供25种可能的延迟以供各满量程设置选择(寄存器0x36和寄存器0x3A = 00000b至11000b)。

AD9510非常适合数据转换器时钟应用, 利用亚皮秒抖动编码信号, 可实现最佳的转换器性能。

AD9510提供64引脚LFCSP封装, 可以采用3.3 V单电源供电。将电荷泵电源(VCP)与5.5 V电压相连时, 可以使用外部VCO, 它需要更宽的电压范围。温度范围为-40°C至+85°C。

Rev. B

[Document Feedback](#)

Information furnished by Analog Devices is believed to be accurate and reliable. However, no responsibility is assumed by Analog Devices for its use, nor for any infringements of patents or other rights of third parties that may result from its use. Specifications subject to change without notice. No license is granted by implication or otherwise under any patent or patent rights of Analog Devices. Trademarks and registered trademarks are the property of their respective owners.

One Technology Way, P.O. Box 9106, Norwood, MA 02062-9106, U.S.A.
Tel: 781.329.4700 ©2005–2013 Analog Devices, Inc. All rights reserved.
[Technical Support](#) www.analog.com

目录

产品特性	1	概述	28
应用	1	PLL部分	28
功能框图	1	FUNCTION引脚	32
概述	1	分配部分	32
修订历史	2	CLK1和CLK2时钟输入	32
技术规格	4	分频器	32
PLL特性	4	延迟模块	37
时钟输入	5	输出	37
时钟输出	6	关断模式	38
时序特性	6	复位模式	38
时钟输出相位噪声	8	单芯片同步	39
时钟输出附加的时间抖动	11	多芯片同步	39
PLL和相位噪声与杂散分布	13	串行控制端口	40
串行控制端口	13	串行控制端口引脚功能描述	40
FUNCTION引脚	14	串行控制端口通用操作	40
STATUS引脚	14	指令字(16位)	41
电源	15	MSB/LSB优先传输	41
时序图	16	寄存器映射和描述	44
绝对最大额定值	17	汇总表	44
热特性	17	寄存器映射描述	46
ESD警告	17	电源	53
引脚配置和功能描述	18	电源管理	53
典型性能参数	20	应用信息	54
术语	24	在ADC时钟应用中使用AD9510输出	54
典型工作模式	25	CMOS时钟分配	54
PLL采用外部VCXO/VCO，后接时钟分配	25	LVPECL时钟分配	55
仅时钟分配	25	LVDS时钟分配	55
PLL采用外部VCO和带通滤波器，后接时钟分配	26	电源和接地考虑以及电源抑制	55
功能描述	28	外形尺寸	56
		订购指南	56
修订历史			
2013年9月—修订版A至修订版B			
更改“概述”部分	1	更改“延迟模块”部分、图40和“计算延迟”部分	37
更改表4	6	更改表24中的地址0x36[5:1]和地址0x3A[5:1]	44
更改表6	11	更改表25中的地址0x36和地址0x3A	49
增加表13；重新排序	17	更新“外形尺寸”部分	56
更改图6	18	更改“订购指南”部分	56
表14增加EPAD行	19		
更改图21	22		

2005年5月—修订版0至修订版A

更改“产品特性”部分	1
更改表1和表2	5
更改表4	8
更改表5	9
更改表6	14
更改表8和表9	15
更改表11	16
更改表13	20
更改图7和图10	22
更改图19至图23	24
更改图30和图31	26
更改图32	27
更改图33	28
更改“VCO/VCXO时钟输入—CLK2”部分	29
更改“A和B计数器”部分	30
更改“PLL数字锁定检测”部分	31
更改“PLL模拟锁定检测”部分	32
更改“参考丢失”部分	32
更改“FUNCTION引脚”部分	33
更改“RESETB: 58h<6:5> = 00b(默认值)”部分	33
更改“SYNCB: 58h<6:5> = 01b”部分	33
更改“CLK1和CLK2时钟输入”部分	33

更改“计算延迟”部分	38
更改“通过串行端口进行软复位”部分	41
更改“多芯片同步”部分	41
更改“串行控制端口”部分	42
更改“串行控制端口引脚描述”部分	42
更改“串行控制端口通用操作”部分	42
增加“用CSB构造通信周期帧”部分	42
增加“通信周期—指令加数据”部分	42
更改“写操作”部分	42
更改“读操作”部分	42
更改“指令字(16位)”部分	43
更改表20	43
更改“MSB/LSB优先传输”部分	43
更改表21	44
增加图52; 重新排序	45
更改表23	46
更改表24	49
更改“在ADC时钟应用中使用AD9510输出”部分	57

2005年4月—修订版0: 初始版

技术规格

除非另有说明，典型值的测量条件为： $V_S = 3.3\text{ V} \pm 5\%$ ， $V_S \leq V_{CP_S} \leq 5.5\text{ V}$ ， $T_A = 25^\circ\text{C}$ ， $R_{SET} = 4.12\text{ k}\Omega$ ， $CPR_{SET} = 5.1\text{ k}\Omega$ 。

最小值和最大值的测量条件为整个 V_S 和 T_A (-40°C 至 $+85^\circ\text{C}$)范围内。

PLL特性

表1.

参数	最小值	典型值	最大值	单位	测试条件/注释
参考输入(REFIN)					
输入频率	0		250	MHz	
输入灵敏度		150		mV p-p	
REFIN自偏置电压	1.45	1.60	1.75	V	REFIN的自偏置电压 ¹
REFINB自偏置电压	1.40	1.50	1.60	V	REFINB的自偏置电压 ¹
REFIN输入电阻	4.0	4.9	5.8	k Ω	自偏置 ¹
REFINB输入电阻	4.5	5.4	6.3	k Ω	自偏置 ¹
输入电容		2		pF	
鉴频鉴相器(PFD)					
PFD输入频率			100	MHz	防反冲脉冲宽度，寄存器0x0D[1:0] = 00b
PFD输入频率			100	MHz	防反冲脉冲宽度，寄存器0x0D[1:0] = 01b
PFD输入频率			45	MHz	防反冲脉冲宽度，寄存器0x0D[1:0] = 10b
防反冲脉冲宽度		1.3		ns	寄存器0x0D[1:0] = 00b(默认设置)
防反冲脉冲宽度		2.9		ns	寄存器0x0D[1:0] = 01b
防反冲脉冲宽度		6.0		ns	寄存器0x0D[1:0] = 10b
电荷泵(CP)					
I_{CP} 吸/源电流					可编程
高值		4.8		mA	$CPR_{SET} = 5.1\text{ k}\Omega$
低值		0.60		mA	
绝对精度		2.5		%	$V_{CP} = V_{CP_S}/2$
CPR_{SET} 范围		2.7/10		k Ω	
I_{CP} 三态漏电流		1		nA	
吸电流与源电流匹配		2		%	$0.5 < V_{CP} < V_{CP_S} - 0.5\text{ V}$
I_{CP} 与 V_{CP}		1.5		%	$0.5 < V_{CP} < V_{CP_S} - 0.5\text{ V}$
I_{CP} 与温度		2		%	$V_{CP} = V_{CP_S}/2\text{ V}$
RF特性(CLK2) ²					
输入频率			1.6	GHz	频率 > 1200 MHz (LVPECL)或800 MHz (LVDS)最低需要2分频(参见“分配”部分)
输入灵敏度		150		mV p-p	
输入共模电压 V_{CM}	1.5	1.6	1.7	V	自偏置，支持交流耦合
输入共模范围 V_{CMR}	1.3		1.8	V	施加200 mV p-p信号
单端输入灵敏度		150		mV p-p	CLK2交流耦合，CLK2B容性旁路至RF地
输入电阻	4.0	4.8	5.6	k Ω	自偏置
输入电容		2		pF	
CLK2与REFIN延迟		500		ps	PFD处的差值
预分频器(N分频器的一部分)					参见“VCO/VCXO反馈分频器—N(P、A、B)”部分
预分频器输入频率					
P = 2 DM (2/3)			600	MHz	
P = 4 DM (4/5)			1000	MHz	
P = 8 DM (8/9)			1600	MHz	
P = 16 DM (16/17)			1600	MHz	
P = 32 DM (32/33)			1600	MHz	
PLL的CLK2输入频率			300	MHz	A、B计数器输入频率

参数	最小值	典型值	最大值	单位	测试条件/注释
噪声特性					
电荷泵/鉴频鉴相器的带内噪声 (带内指在PLL的LBW内)					频率合成器相位噪声的估算方法如下： 测量VCO输出端的带内相位噪声，然后 减去 $20\log N$ (其中N为N分频器的值)
50 kHz PFD频率时		-172		dBc/Hz	
2 MHz PFD频率时		-156		dBc/Hz	
10 MHz PFD频率时		-149		dBc/Hz	
50 MHz PFD频率时		-142		dBc/Hz	
PLL品质因数		$-218 + 10 \times \log(f_{\text{PFD}})$		dBc/Hz	PLL环路带宽内PFD/CP相位噪声(平坦区域中)的估算公式；闭环工作时，此相位噪声提高 $20 \times \log(N)^3$
PLL数字锁定检测窗口 ⁴					通过寄存器0x08[5:2]选择时， STATUS引脚提供的信号
锁定要求(边沿重合)					通过寄存器0x0D选择
低范围(ABP 1.3 ns、2.9 ns)	3.5			ns	位[5] = 1b
高范围(ABP 1.3 ns、2.9 ns)	7.5			ns	位[5] = 0b
高范围(ABP 6 ns)	3.5			ns	位[5] = 0b
锁定后解锁(迟滞 ⁴)					通过寄存器0x0D选择
低范围(ABP 1.3 ns、2.9 ns)	7			ns	位[5] = 1b
高范围(ABP 1.3 ns、2.9 ns)	15			ns	位[5] = 0b
高范围(ABP 6 ns)	11			ns	位[5] = 0b

¹ REFIN和REFINB自偏置点略微偏移，以免在开路输入条件下发生震颤。

² CLK2与CLK1在电气特性上相同；仅分配输入可用作差分或单端输入(参见“时钟输入”部分)。

³ 例如： $-218 + 10 \times \log(f_{\text{PFD}}) + 20 \times \log(N)$ 提供VCO输出端带内噪声值。

⁴ 为使数字锁定检测可靠地工作，PFD频率的周期必须大于锁定后解锁的时间。

时钟输入

表2.

参数	符号	最小值	典型值	最大值	单位	测试条件/注释
时钟输入(CLK1、CLK2) ¹						
输入频率		0		1.6	GHz	
输入灵敏度			150 ²		mV p-p	提高压摆率(从而提高摆幅)可改善抖动性能
输入电平				2 ³	V p-p	较大的摆幅可启动保护二极管，降低抖动性能
输入共模电压	V_{CM}	1.5	1.6	1.7	V	自偏置；支持交流耦合
输入共模范围	V_{CMR}	1.3		1.8	V	施加200 mV p-p信号；直流耦合
单端输入灵敏度			150		mV p-p	CLK2交流耦合，CLK2B交流旁路至RF地
输入电阻		4.0	4.8	5.6	k Ω	自偏置
输入电容			2		pF	

¹ CLK1和CLK2在电气特性上相同，各自均可用作差分或单端输入。

² 采用50 Ω 终端时，其为-12.5 dBm。

³ 采用50 Ω 终端时，其为+10 dBm。

AD9510

时钟输出

表3.

参数	符号	最小值	典型值	最大值	单位	测试条件/注释
LVPECL时钟输出 OUT0、OUT1、OUT2、 OUT3；差分 输出频率 输出高电压 输出低电压 输出差分电压				1200 $V_S - 0.98$ $V_S - 1.80$ 810	MHz V V mV	终端 = 50 Ω接 $V_S - 2V$ 输出电平寄存器0x3C、寄存器0x3D、 寄存器0x3E、寄存器0x3F[3:2] = 10b 参见图21
LVDS时钟输出 OUT4、OUT5、OUT6、 OUT7；差分 输出频率 差分输出电压 V_{OD} 变化 输出失调电压 V_{OS} 变化 短路电流			360	800 450 25 1.23 25 14	MHz mV mV V mV mA	终端 = 100 Ω差分；默认值 输出电平寄存器0x40、寄存器0x41、 寄存器0x42、寄存器0x43[2:1] = 01b； 3.5 mA终端电流 参见图22 输出短路至GND
CMOS时钟输出 OUT4、OUT5、OUT6、OUT7 输出频率 高输出电压 低输出电压				250 $V_S - 0.1$ 0.1	MHz V V	单端测量，B输出：反相、终端开路 各输出端负载为5 pF，参见图23 1 mA负载 1 mA负载

时序特性

表4.

参数	符号	最小值	典型值	最大值	单位	测试条件/注释
LVPECL 输出上升时间 输出下降时间	t_{RP} t_{FP}		130	180	ps ps	终端 = 50 Ω接 $V_S - 2V$ ； 输出电平寄存器0x3C、寄存器0x3D、 寄存器0x3E、寄存器0x3F[3:2] = 10b 20%至80%，差分测量 80%至20%，差分测量
传播延迟，CLK至LVPECL输出 ¹ 分频 = 旁路 分频 = 2 - 32 随温度的变化	t_{PECL}	335 375	490 545	635 695	ps ps ps/°C	
输出偏斜，LVPECL输出 同一器件上的OUT1至OUT2 ² 同一器件上的OUT2至OUT3 ² 同一器件上的所有LVPECL输出 ² 跨多个器件的所有LVPECL输出 ³ 跨多个器件的同一LVPECL输出 ³	t_{SKP} t_{SKP} t_{SKP} t_{SKP_AB} t_{SKP_AB}	-5 15 90	+30 45 130	+85 80 180 275 130	ps ps ps ps ps	
LVDS 输出上升时间 输出下降时间	t_{RL} t_{FL}		200 210	350 350	ps ps	终端 = 100 Ω差分；输出电平寄存器0x40、 寄存器0x41、寄存器0x42、寄存器0x43[2:1] = 01b；3.5 mA终端电流 20%至80%，差分测量 80%至20%，差分测量

参数	符号	最小值	典型值	最大值	单位	测试条件/注释
传播延迟, CLK至LVDS输出 ¹ OUT4、OUT5、OUT6、OUT7 分频 = 旁路 分频 = 2 – 32 随温度的变化	t _{LVDS}	0.99 1.04	1.33 1.38	1.59 1.64	ns ns ps/°C	OUT5和OUT6上的延迟关闭
输出偏斜, LVDS输出 同一器件上的OUT4至OUT7 ² 同一器件上的OUT5至OUT6 ² 同一器件上的所有LVDS输出 ² 跨多个器件的所有LVDS输出 ³ 跨多个器件的同一LVDS输出 ³	t _{skv} t _{skv} t _{skv} t _{skv_AB} t _{skv_AB}	-85 -175 -175		+270 +155 +270 450 325	ps ps ps ps ps	OUT5和OUT6上的延迟关闭
CMOS 输出上升时间 输出下降时间	t _{RC} t _{FC}		681 646	865 992	ps ps	B输出反相, 终端开路 20%至80%; C _{LOAD} = 3 pF 80%至20%; C _{LOAD} = 3 pF
传播延迟, CLK至CMOS输出 ¹ 分频 = 旁路 分频 = 2 – 32 随温度的变化	t _{CMOS}	1.02 1.07	1.39 1.44	1.71 1.76	ns ns ps/°C	OUT5和OUT6上的延迟关闭
输出偏斜, CMOS输出 同一器件上的所有CMOS输出 ² 跨多个器件的所有CMOS输出 ³ 跨多个器件的同一CMOS输出 ³	t _{skc} t _{skc_AB} t _{skc_AB}	-140	+145	+300 650 500	ps ps ps	OUT5和OUT6上的延迟关闭
LVPECL至LVDS输出 输出偏斜	t _{skp_V}	0.74	0.92	1.14	ns	一切相同; 逻辑类型不同 同一器件上的LVPECL至LVDS
LVPECL至CMOS输出 输出偏斜	t _{skp_C}	0.88	1.14	1.43	ns	一切相同; 逻辑类型不同 同一器件上的LVPECL至CMOS
LVDS至CMOS输出 输出偏斜	t _{skv_C}	158	353	506	ps	一切相同; 逻辑类型不同 同一器件上的LVDS至CMOS
延迟调整 ⁴ 最短延迟范围 ⁵ 零值 满量程 差分非线性(DNL) 积分非线性(INL) 最长延迟范围 ⁵ 零值 满量程 差分非线性(DNL) 积分非线性(INL) 延迟随温度的变化 长延迟范围, 8 ns ⁶ 零值 满量程 短延迟范围, 1 ns ⁶ 零值 满量程		0.05 0.57	0.36 0.95	0.68 1.32	ns ns LSB LSB ns ns LSB LSB ps/°C ps/°C ps/°C ps/°C	OUT5 (OUT6); LVDS和CMOS 寄存器0x35、寄存器0x39[5:1] = 11111b 寄存器0x36、寄存器0x3A[5:1] = 00000b 寄存器0x36、寄存器0x3A[5:1] = 11000b 寄存器0x35、寄存器0x39[5:1] = 00000b 寄存器0x36、寄存器0x3A[5:1] = 00000b 寄存器0x36、寄存器0x3A[5:1] = 11000b

¹ 这些测量是针对CLK1而言。对于CLK2, 应增加约25 ps。

² 是指在相同的电压和温度条件下, 单个器件中任意两条相似延迟路径之间的差异。

³ 是指在相同的电压和温度条件下, 多个器件的任意两条相似延迟路径之间的差异。

⁴ 可使用的最大延迟略小于时钟周期的一半。更长的延迟会禁用输出。

⁵ 增量延迟; 不包括传播延迟。

⁶ 零值与满量程之间的所有延迟都可通过线性插值来估算。

AD9510

时钟输出相位噪声

表5.

参数	最小值	典型值	最大值	单位	测试条件/注释
CLK1至LVPECL附加的相位噪声					仅分配部分； 不包括PLL或外部VCO/VCXO 输入压摆率 > 1 V/ns
CLK1 = 622.08 MHz, OUT = 622.08 MHz					
分频比 = 1					
10 Hz偏移		-125		dBc/Hz	
100 Hz偏移		-132		dBc/Hz	
1 kHz偏移		-140		dBc/Hz	
10 kHz偏移		-148		dBc/Hz	
100 kHz偏移		-153		dBc/Hz	
>1 MHz偏移		-154		dBc/Hz	
CLK1 = 622.08 MHz, OUT = 155.52 MHz					
分频比 = 4					
10 Hz偏移		-128		dBc/Hz	
100 Hz偏移		-140		dBc/Hz	
1 kHz偏移		-148		dBc/Hz	
10 kHz偏移		-155		dBc/Hz	
100 kHz偏移		-161		dBc/Hz	
>1 MHz偏移		-161		dBc/Hz	
CLK1 = 622.08 MHz, OUT = 38.88 MHz					
分频比 = 16					
10 Hz偏移		-135		dBc/Hz	
100 Hz偏移		-145		dBc/Hz	
1 kHz偏移		-158		dBc/Hz	
10 kHz偏移		-165		dBc/Hz	
100 kHz偏移		-165		dBc/Hz	
>1 MHz偏移		-166		dBc/Hz	
CLK1 = 491.52 MHz, OUT = 61.44 MHz					
分频比 = 8					
10 Hz偏移		-131		dBc/Hz	
100 Hz偏移		-142		dBc/Hz	
1 kHz偏移		-153		dBc/Hz	
10 kHz偏移		-160		dBc/Hz	
100 kHz偏移		-165		dBc/Hz	
>1 MHz偏移		-165		dBc/Hz	
CLK1 = 491.52 MHz, OUT = 245.76 MHz					
分频比 = 2					
10 Hz偏移		-125		dBc/Hz	
100 Hz偏移		-132		dBc/Hz	
1 kHz偏移		-140		dBc/Hz	
10 kHz偏移		-151		dBc/Hz	
100 kHz偏移		-157		dBc/Hz	
>1 MHz偏移		-158		dBc/Hz	
CLK1 = 245.76 MHz, OUT = 61.44 MHz					
分频比 = 4					
10 Hz偏移		-138		dBc/Hz	
100 Hz偏移		-144		dBc/Hz	
1 kHz偏移		-154		dBc/Hz	
10 kHz偏移		-163		dBc/Hz	
100 kHz偏移		-164		dBc/Hz	
>1 MHz偏移		-165		dBc/Hz	

参数	最小值	典型值	最大值	单位	测试条件/注释
CLK1至LVDS附加的相位噪声					仅分配部分； 不包括PLL或外部VCO/VCXO
CLK1 = 622.08 MHz, OUT = 622.08 MHz					
分频比 = 1					
10 Hz偏移		-100		dBc/Hz	
100 Hz偏移		-110		dBc/Hz	
1 kHz偏移		-118		dBc/Hz	
10 kHz偏移		-129		dBc/Hz	
100 kHz偏移		-135		dBc/Hz	
1 MHz偏移		-140		dBc/Hz	
>10 MHz偏移		-148		dBc/Hz	
CLK1 = 622.08 MHz, OUT = 155.52 MHz					
分频比 = 4					
10 Hz偏移		-112		dBc/Hz	
100 Hz偏移		-122		dBc/Hz	
1 kHz偏移		-132		dBc/Hz	
10 kHz偏移		-142		dBc/Hz	
100 kHz偏移		-148		dBc/Hz	
1 MHz偏移		-152		dBc/Hz	
>10 MHz偏移		-155		dBc/Hz	
CLK1 = 491.52 MHz, OUT = 245.76 MHz					
分频比 = 2					
10 Hz偏移		-108		dBc/Hz	
100 Hz偏移		-118		dBc/Hz	
1 kHz偏移		-128		dBc/Hz	
10 kHz偏移		-138		dBc/Hz	
100 kHz偏移		-145		dBc/Hz	
1 MHz偏移		-148		dBc/Hz	
>10 MHz偏移		-154		dBc/Hz	
CLK1 = 491.52 MHz, OUT = 122.88 MHz					
分频比 = 4					
10 Hz偏移		-118		dBc/Hz	
100 Hz偏移		-129		dBc/Hz	
1 kHz偏移		-136		dBc/Hz	
10 kHz偏移		-147		dBc/Hz	
100 kHz偏移		-153		dBc/Hz	
1 MHz偏移		-156		dBc/Hz	
>10 MHz偏移		-158		dBc/Hz	
CLK1 = 245.76 MHz, OUT = 245.76 MHz					
分频比 = 1					
10 Hz偏移		-108		dBc/Hz	
100 Hz偏移		-118		dBc/Hz	
1 kHz偏移		-128		dBc/Hz	
10 kHz偏移		-138		dBc/Hz	
100 kHz偏移		-145		dBc/Hz	
1 MHz偏移		-148		dBc/Hz	
>10 MHz偏移		-155		dBc/Hz	

AD9510

参数	最小值	典型值	最大值	单位	测试条件/注释
CLK1 = 245.76 MHz, OUT = 122.88 MHz 分频比 = 2 10 Hz偏移 100 Hz偏移 1 kHz偏移 10 kHz偏移 100 kHz偏移 1 MHz偏移 >10 MHz偏移		-118 -127 -137 -147 -154 -156 -158		dBc/Hz dBc/Hz dBc/Hz dBc/Hz dBc/Hz dBc/Hz dBc/Hz	
CLK1至CMOS附加的相位噪声 CLK1 = 245.76 MHz, OUT = 245.76 MHz 分频比 = 1 10 Hz偏移 100 Hz偏移 1 kHz偏移 10 kHz偏移 100 kHz偏移 1 MHz偏移 >10 MHz偏移 CLK1 = 245.76 MHz, OUT = 61.44 MHz 分频比 = 4 10 Hz偏移 100 Hz偏移 1 kHz偏移 10 kHz偏移 100 kHz偏移 1 MHz偏移 >10 MHz偏移 CLK1 = 78.6432 MHz, OUT = 78.6432 MHz 分频比 = 1 10 Hz偏移 100 Hz偏移 1 kHz偏移 10 kHz偏移 100 kHz偏移 1 MHz偏移 >10 MHz偏移 CLK1 = 78.6432 MHz, OUT = 39.3216 MHz 分频比 = 2 10 Hz偏移 100 Hz偏移 1 kHz偏移 10 kHz偏移 100 kHz偏移 >1 MHz偏移		-110 -121 -130 -140 -145 -149 -156 -122 -132 -143 -152 -158 -160 -162 -122 -132 -140 -150 -155 -158 -160 -128 -136 -146 -155 -161 -162		dBc/Hz dBc/Hz dBc/Hz dBc/Hz dBc/Hz dBc/Hz dBc/Hz dBc/Hz dBc/Hz dBc/Hz dBc/Hz dBc/Hz dBc/Hz dBc/Hz dBc/Hz dBc/Hz dBc/Hz dBc/Hz dBc/Hz dBc/Hz dBc/Hz	仅分配部分； 不包括PLL或外部VCO/VCXO

时钟输出附加的时间抖动

表6.

参数	最小值	典型值	最大值	单位	测试条件/注释
LVPECL输出附加的时间抖动					仅分配部分； 不包括PLL或外部VCO/VCXO
CLK1 = 622.08 MHz 任意LVPECL(OUT0至OUT3)= 622.08 MHz 分频比 = 1		40		fs rms	带宽 = 12 kHz – 20 MHz (OC-12)
CLK1 = 622.08 MHz 任意LVPECL(OUT0至OUT3)= 155.52 MHz 分频比 = 4		55		fs rms	带宽 = 12 kHz – 20 MHz (OC-3)
CLK1 = 400 MHz 任意LVPECL(OUT0至OUT3)= 100 MHz 分频比 = 4		215		fs rms	利用ADC信噪比(SNR)方法计算, $f_c = 100$ MHz, $A_{IN} = 170$ MHz
CLK1 = 400 MHz 任意LVPECL(OUT0至OUT3)= 100 MHz 分频比 = 4		215		fs rms	利用ADC SNR方法计算, $f_c = 100$ MHz, $A_{IN} = 170$ MHz
所有其他LVPECL = 100 MHz 所有LVDS(OUT4至OUT7)= 100 MHz CLK1 = 400 MHz		222		fs rms	干扰 干扰 利用ADC SNR方法计算, $f_c = 100$ MHz, $A_{IN} = 170$ MHz
任意LVPECL(OUT0至OUT3)= 100 MHz 分频比 = 4 所有其他LVPECL = 50 MHz 所有LVDS(OUT4至OUT7)= 50 MHz CLK1 = 400 MHz		225		fs rms	干扰 干扰 利用ADC SNR方法计算, $f_c = 100$ MHz, $A_{IN} = 170$ MHz
任意LVPECL(OUT0至OUT3)= 100 MHz 分频比 = 4 所有其他LVPECL = 50 MHz 所有CMOS(OUT4至OUT7)= 50 MHz(B输出关闭) CLK1 = 400 MHz		225		fs rms	干扰 干扰 利用ADC SNR方法计算, $f_c = 100$ MHz, $A_{IN} = 170$ MHz
任意LVPECL(OUT0至OUT3)= 100 MHz 分频比 = 4 所有其他LVPECL = 50 MHz 所有CMOS(OUT4至OUT7)= 50 MHz(B输出开启)					干扰 干扰
LVDS输出附加的时间抖动					仅分配部分； 不包括PLL或外部VCO/VCXO
CLK1 = 400 MHz		264		fs rms	利用ADC SNR方法计算, $f_c = 100$ MHz, $A_{IN} = 170$ MHz
LVDS (OUT4, OUT7) = 100 MHz 分频比 = 4 CLK1 = 400 MHz		319		fs rms	利用ADC SNR方法计算, $f_c = 100$ MHz, $A_{IN} = 170$ MHz
LVDS (OUT5, OUT6) = 100 MHz 分频比 = 4					

AD9510

参数	最小值	典型值	最大值	单位	测试条件/注释
CLK1 = 400 MHz LVDS (OUT4, OUT7) = 100 MHz 分频比 = 4 所有其他LVDS = 50 MHz 所有LVPECL = 50 MHz		395		fs rms	利用ADC SNR方法计算, $f_c = 100 \text{ MHz}$, $A_{IN} = 170 \text{ MHz}$ 干扰
CLK1 = 400 MHz LVDS (OUT5, OUT6) = 100 MHz 分频比 = 4 所有其他LVDS = 50 MHz 所有LVPECL = 50 MHz		395		fs rms	利用ADC SNR方法计算, $f_c = 100 \text{ MHz}$, $A_{IN} = 170 \text{ MHz}$ 干扰
CLK1 = 400 MHz LVDS (OUT4, OUT7) = 100 MHz 分频比 = 4 所有其他CMOS = 50 MHz(B输出关闭) 所有LVPECL = 50 MHz		367		fs rms	利用ADC SNR方法计算, $f_c = 100 \text{ MHz}$, $A_{IN} = 170 \text{ MHz}$ 干扰
CLK1 = 400 MHz LVDS (OUT5, OUT6) = 100 MHz 分频比 = 4 所有其他CMOS = 50 MHz(B输出关闭) 所有LVPECL = 50 MHz		367		fs rms	利用ADC SNR方法计算, $f_c = 100 \text{ MHz}$, $A_{IN} = 170 \text{ MHz}$ 干扰
CLK1 = 400 MHz LVDS (OUT4, OUT7) = 100 MHz 分频比 = 4 所有其他CMOS = 50 MHz(B输出开启) 所有LVPECL = 50 MHz		548		fs rms	利用ADC SNR方法计算, $f_c = 100 \text{ MHz}$, $A_{IN} = 170 \text{ MHz}$ 干扰
CLK1 = 400 MHz LVDS (OUT5, OUT6) = 100 MHz 分频比 = 4 所有其他CMOS = 50 MHz(B输出开启) 所有LVPECL = 50 MHz		548		fs rms	利用ADC SNR方法计算, $f_c = 100 \text{ MHz}$, $A_{IN} = 170 \text{ MHz}$ 干扰
CMOS输出附加的时间抖动					仅分配部分; 不包括PLL或外部VCO/VCXO
分频比 = 4		275		fs rms	利用ADC SNR方法计算, $f_c = 100 \text{ MHz}$, $A_{IN} = 170 \text{ MHz}$
任意CMOS(OUT4至OUT7)= 100 MHz(B输出开启) 分频比 = 4 CLK1 = 400 MHz		400		fs rms	利用ADC SNR方法计算, $f_c = 100 \text{ MHz}$, $A_{IN} = 170 \text{ MHz}$
任意CMOS(OUT4至OUT7)= 100 MHz(B输出开启) 分频比 = 4 所有LVPECL = 50 MHz 所有其他LVDS = 50 MHz CLK1 = 400 MHz		374		fs rms	利用ADC SNR方法计算, $f_c = 100 \text{ MHz}$, $A_{IN} = 170 \text{ MHz}$ 干扰
任意CMOS(OUT4至OUT7)= 100 MHz(B输出开启) 分频比 = 4 所有LVPECL = 50 MHz 所有其他CMOS = 50 MHz(B输出关闭)					干扰

参数	最小值	典型值	最大值	单位	测试条件/注释
CLK1 = 400 MHz 任意CMOS(OUT4至OUT7)= 100 MHz(B输出开启) 分频比 = 4 所有LVPECL = 50 MHz 所有其他CMOS = 50 MHz(B输出开启)		555		fs rms	利用ADC SNR方法计算, $f_c = 100$ MHz, $A_N = 170$ MHz 干扰 干扰
延迟模块附加的时间抖动 ¹ 100 MHz输出					增量附加的抖动 ¹
延迟FS = 1 ns(1600 μ A, 1C)精密调整00000		0.61		ps	
延迟FS = 1 ns(1600 μ A, 1C)精密调整11000		0.73		ps	
延迟FS = 2 ns(800 μ A, 1C)精密调整00000		0.71		ps	
延迟FS = 2 ns(800 μ A, 1C)精密调整11000		1.2		ps	
延迟FS = 3 ns(800 μ A, 4C)精密调整00000		0.86		ps	
延迟FS = 3 ns(800 μ A, 4C)精密调整11000		1.8		ps	
延迟FS = 5 ns(400 μ A, 4C)精密调整00000		1.2		ps	
延迟FS = 5 ns(400 μ A, 4C)精密调整11000		2.1		ps	
延迟FS = 6 ns(200 μ A, 1C)精密调整00000		1.3		ps	
延迟FS = 6 ns(200 μ A, 1C)精密调整11000		2.7		ps	
延迟FS = 9 ns(200 μ A, 4C)精密调整00000		2.0		ps	
延迟FS = 9 ns(200 μ A, 4C)精密调整00111		2.8		ps	

¹ 此值为增量。也就是说，它需要加上无延迟的LVDS或CMOS输出的抖动。要估算总抖动，应使用和方根(RSS)方法将LVDS或CMOS输出抖动与该值相加。

PLL和相位噪声与杂散分布

表7.

参数	最小值	典型值	最大值	单位	测试条件/注释
相位噪声和杂散					取决于VCO/VCXO选择；在LVPECL时钟输出端测量， ABP = 6 ns； $I_{CP} = 5$ mA；参考 = 30.72 MHz
VCXO = 245.76 MHz, $f_{PFD} = 1.2288$ MHz, R = 25, N = 200 245.76 MHz输出					VCXO = Toyocom TCO-2112 245.76 1分频
100 kHz偏移时的相位噪声	<-145			dBc/Hz	以VCXO相位噪声为主
杂散	<-97			dBc	f_{PFD} 的一次和二次谐波；低于测量本底
61.44 MHz输出					4分频
100 kHz偏移时的相位噪声	<-155			dBc/Hz	以VCXO相位噪声为主
杂散	<-97			dBc	f_{PFD} 的一次和二次谐波；低于测量本底

串行控制端口

表8.

参数	最小值	典型值	最大值	单位	测试条件/注释
CSB、SCLK(输入)					输入内置30 k Ω 下拉电阻
输入逻辑1电压	2.0			V	
输入逻辑0电压			0.8	V	
输入逻辑1电流		110		μ A	
输入逻辑0电流			1	μ A	
输入电容		2		pF	

AD9510

参数	最小值	典型值	最大值	单位	测试条件/注释
SDIO(用作输入时)					
输入逻辑1电压	2.0			V	
输入逻辑0电压			0.8	V	
输入逻辑1电流		10		nA	
输入逻辑0电流		10		nA	
输入电容		2		pF	
SDIO、SDO(输出)					
输出逻辑1电压	2.7			V	
输出逻辑0电压			0.4	V	
时序					
时钟速率(SCLK、 $1/t_{SCLK}$)			25	MHz	
高电平脉冲宽度, t_{PWH}	16			ns	
低电平脉冲宽度, t_{PWL}	16			ns	
SDIO至SCLK建立时间, t_{DS}	2			ns	
SCLK至SDIO保持时间, t_{DH}	1			ns	
SCLK至有效SDIO和SDO时间, t_{DV}	6			ns	
CSB至SCLK建立和保持时间, t_S 、 t_H	2			ns	
CSB高电平最短脉冲宽度, t_{PWH}	3			ns	

FUNCTION引脚

表9.

参数	最小值	典型值	最大值	单位	测试条件/注释
输入特性					FUNCTION引脚内置30 k Ω 下拉电阻；正常工作时，此引脚保持高电平；不要保持不连接
逻辑1电压	2.0			V	
逻辑0电压			0.8	V	
逻辑1电流		110		μ A	
逻辑0电流			1	μ A	
电容		2		pF	
复位时序					
低电平脉冲宽度	50			ns	
同步时序					
低电平脉冲宽度	1.5			高速时钟周期	高速时钟为CLK1或CLK2，无论何者用于分配

STATUS引脚

表10.

参数	最小值	典型值	最大值	单位	测试条件/注释
输出特性					用作数字输出(CMOS)时，在其它一些模式下，STATUS引脚不是CMOS数字输出；参见图37
输出高电压(V_{OH})	2.7			V	
输出低电压(V_{OL})			0.4	V	
最大反转率		100		MHz	适用于PLL多路复用器设置为任意分频器或计数器输出，或者设置为PFD升/降脉冲时；也适用于模拟锁定检测模式；通常仅在调试模式下使用；注意，当此引脚反转时，杂散可能耦合到输出
模拟锁定检测 电容		3		pF	片内电容，用于计算模拟锁定检测回读的RC时间常数；使用一个上拉电阻

电源

表11.

参数	最小值	典型值	最大值	单位	测试条件/注释
上电默认模式功耗		550	600	mW	上电默认状态，不包括输出负载电阻的功耗；无时钟
功耗			1.1	W	所有输出开启；4路LVPECL输出为800 MHz，4路LVDS输出为800 MHz；不包括外部电阻的功耗
功耗			1.3	W	所有输出开启；4路LVPECL输出为800 MHz，4路CMOS输出为62 MHz (5 pF负载)；不包括外部电阻的功耗
功耗			1.5	W	所有输出开启；4路LVPECL输出为800 MHz，4路CMOS输出为125 MHz (5 pF负载)；不包括外部电阻的功耗
完全休眠关断		35	60	mW	通过设置寄存器0x0A[1:0] = 01b且寄存器0x58[4] = 1b，进入完全休眠模式；PLL BG和分配BG参考关断；不包括终端功耗
关断(PDB)		60	80	mW	通过设置寄存器0x58[6:5] = 11b，FUNCTION引脚用于PDB操作；拉低PDB；不包括终端功耗
功耗变化					
CLK1、CLK2关断	10	15	25	mW	各分频器
分频器，DIV 2 – 32至旁路	23	27	33	mW	每路输出；不包括终端功耗(仅PD2)
LVPECL输出关断(PD2、PD3)	50	65	75	mW	每路输出
LVDS输出关断	80	92	110	mW	每路输出；静态(无时钟)
CMOS输出关断(静态)	56	70	85	mW	每路CMOS输出，单端；时钟速率62 MHz，5 pF负载
CMOS输出关断(动态)	115	150	190	mW	每路CMOS输出，单端；时钟速率125 MHz，5 pF负载
CMOS输出关断(动态)	125	165	210	mW	相对于具有最大延迟的延迟模块操作(1 ns fs)，输出时钟为25 MHz
延迟模块旁路	20	24	60	mW	
PLL部分关断	5	15	40	mW	

时序图

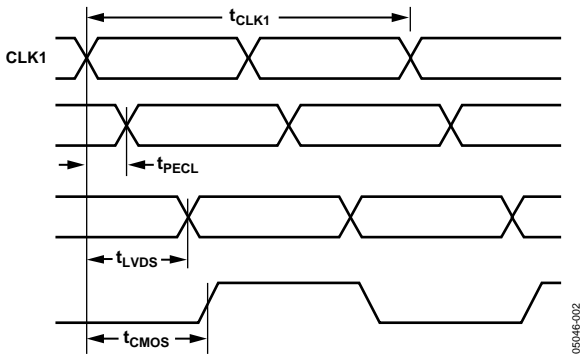


图2. CLK1/CLK1B至时钟输出时序(DIV = 1模式)

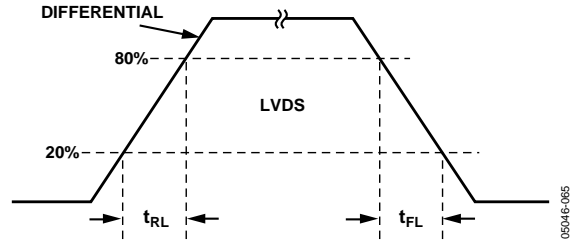


图4. LVDS时序(差分)

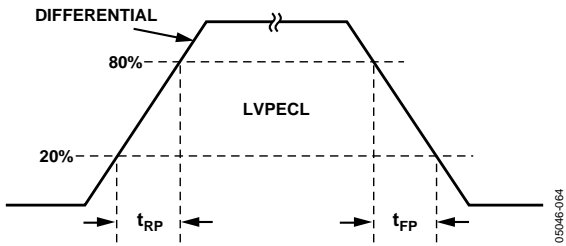


图3. LVPECL时序(差分)

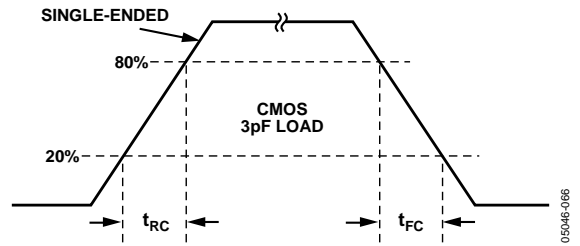


图5. CMOS时序(单端, 3 pF负载)

绝对最大额定值

表12.

参数	数值
VS至GND	-0.3 V至+3.6 V
VCP至GND	-0.3 V至+5.8 V
VCP至V _s	-0.3 V至+5.8 V
REFIN、REFINB至GND	-0.3 V至VS + 0.3 V
RSET至GND	-0.3 V至VS + 0.3 V
CPRSET至GND	-0.3 V至VS + 0.3 V
CLK1、CLK1B、CLK2、CLK2B至GND	-0.3 V至VS + 0.3 V
CLK1至CLK1B	-1.2 V至+1.2 V
CLK2至CLK2B	-1.2 V至+1.2 V
SCLK、SDIO、SDO、CSB至GND	-0.3 V至VS + 0.3 V
OUT0、OUT1、OUT2、OUT3至GND	-0.3 V至VS + 0.3 V
OUT4、OUT5、OUT6、OUT7至GND	-0.3 V至VS + 0.3 V
FUNCTION至GND	-0.3 V至VS + 0.3 V
STATUS至GND	-0.3 V至VS + 0.3 V
结温 ¹	150°C
存储温度	-65°C至+150°C
引脚温度(10秒)	300°C

¹ 对于 θ_{JA} ，请参见“热特性”。

注意，超出上述绝对最大额定值可能会导致器件永久性损坏。这只是额定最值，不表示在这些条件下或者在任何其它超出本技术规范操作章节中所示规格的条件下，器件能够正常工作。长期在绝对最大额定值条件下工作会影响器件的可靠性。

热特性

热阻采用4层板在静止空气条件下根据EIA/JESD51-7进行测量。

表13. 热阻

封装	θ_{JA}	单位
64引脚 LFCSP	24	°C/W

ESD警告

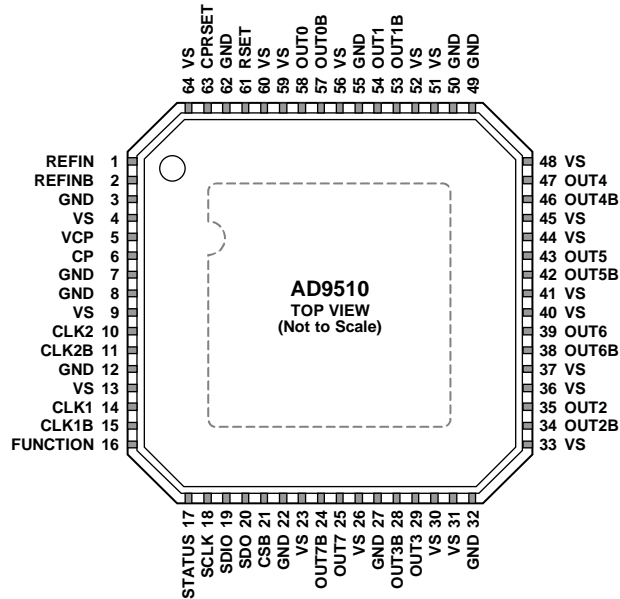


ESD(静电放电)敏感器件。

带电器件和电路板可能会在没有察觉的情况下放电。尽管本产品具有专利或专有保护电路，但在遇到高能量ESD时，器件可能会损坏。因此，应当采取适当的ESD防范措施，以避免器件性能下降或功能丧失。

AD9510

引脚配置和功能描述



NOTES
 1. THE EXPOSED PADDLE ON THIS PACKAGE IS AN ELECTRICAL CONNECTION AS WELL AS A THERMAL ENHANCEMENT. FOR THE DEVICE TO FUNCTION PROPERLY, THE PADDLE MUST BE ATTACHED TO GROUND, GND.

06946-003

图6.

表14. 引脚功能描述

引脚编号	引脚名称	描述
1	REFIN	PLL参考输入。
2	REFINB	互补PLL参考输入。
3, 7, 8, 12, 22, 27, 32, 49, 50, 55, 62	GND	地。
4, 9, 13, 23, 26, 30, 31, 33, 36, 37, 40, 41, 44, 45, 48, 51, 52, 56, 59, 60, 64	VS	电源(3.3 V) VS。
5	VCP	电荷泵电源VCP _s 。它必须大于或等于V _s 。对于需要扩展调谐范围的VCO, VCP最高可设置为5.5 V。
6	CP	电荷泵输出。
10	CLK2	用于将外部VCO/VCXO连接到反馈分频器N的时钟输入。CLK2还驱动芯片的分配部分; PLL不用时, CLK2可用作通用时钟输入。
11	CLK2B	互补时钟输入, 与CLK2一起使用。
14	CLK1	驱动芯片分配部分的时钟输入。
15	CLK1B	互补时钟输入, 与CLK1一起使用。
16	FUNCTION	多用途输入, 可编程为复位(RESETB)、同步(SYNCB)或关断(PDB)引脚。此引脚由一个30 kΩ内部电阻下拉。如果此引脚保持不连接(NC), 器件默认处于复位模式。为避免这种情况, 应通过1 kΩ电阻将此引脚连接到VS。
17	STATUS	用于监控PLL状态和同步状态的输出。
18	SCLK	串行数据时钟。
19	SDIO	串行数据I/O。
20	SDO	串行数据输出。
21	CSB	串行端口片选。
24	OUT7B	互补LVDS/反相CMOS输出。
25	OUT7	LVDS/CMOS输出。

引脚编号	引脚名称	描述
28	OUT3B	互补LVPECL输出。
29	OUT3	LVPECL输出。
34	OUT2B	互补LVPECL输出。
35	OUT2	LVPECL输出。
38	OUT6B	互补LVDS/反相CMOS输出。OUT6包括一个延迟模块。
39	OUT6	LVDS/CMOS输出。OUT6包括一个延迟模块。
42	OUT5B	互补LVDS/反相CMOS输出。OUT5包括一个延迟模块。
43	OUT5	LVDS/CMOS输出。OUT5包括一个延迟模块。
46	OUT4B	互补LVDS/反相CMOS输出。
47	OUT4	LVDS/CMOS输出。
53	OUT1B	互补LVPECL输出。
54	OUT1	LVPECL输出。
57	OUT0B	互补LVPECL输出。
58	OUT0	LVPECL输出。
61	RSET	电流设置电阻，接地。标称值 = 4.12 k Ω 。
63	CPRSET	电荷泵电流设置电阻，接地。标称值 = 5.1 k Ω 。
	EPAD	裸露焊盘。封装上的裸露焊盘不仅是一个散热器，而且是一个电气连接。为使器件正常工作，该焊盘必须接地(GND)。

典型性能参数

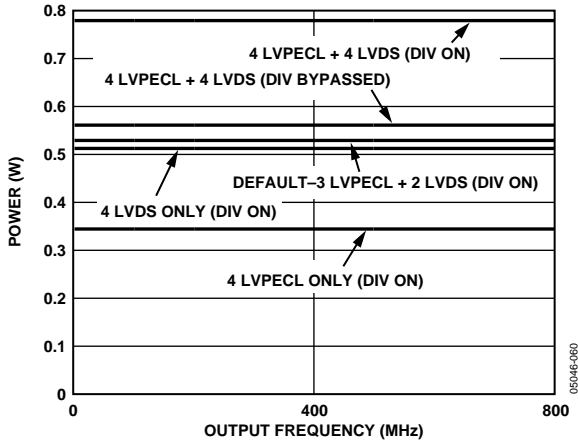


图7. 功耗与频率的关系—LVPECL、LVDS(PLL关闭)

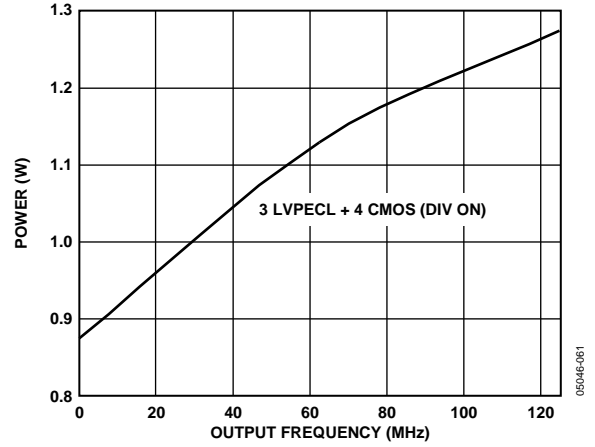


图10. 功耗与频率的关系—LVPECL、CMOS(PLL关闭)

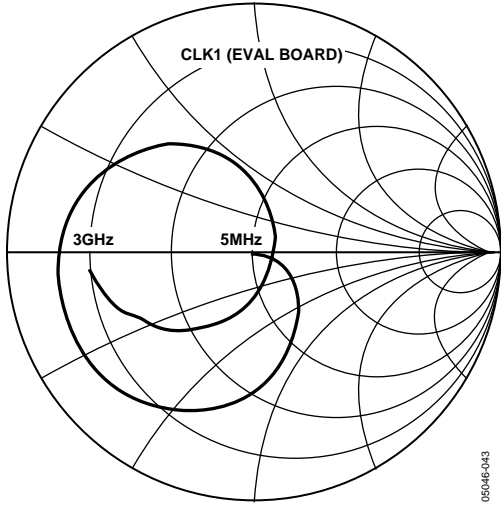


图8. CLK1史密斯图(评估板)

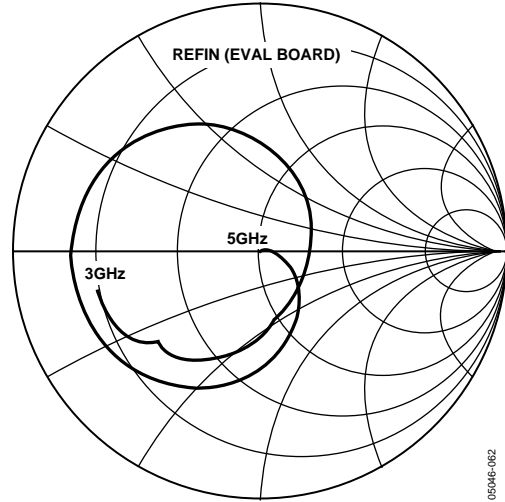


图11. REFIN史密斯图(评估板)

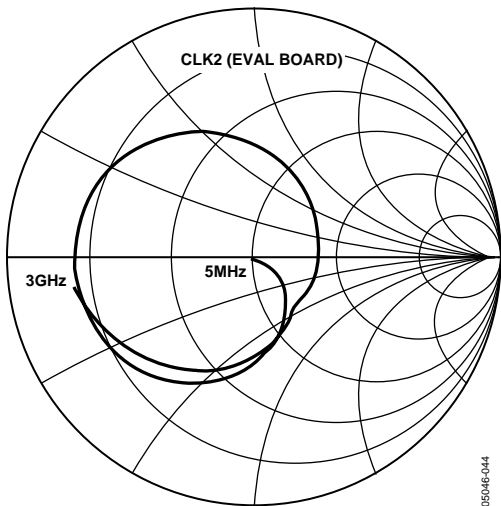


图9. CLK2史密斯图(评估板)

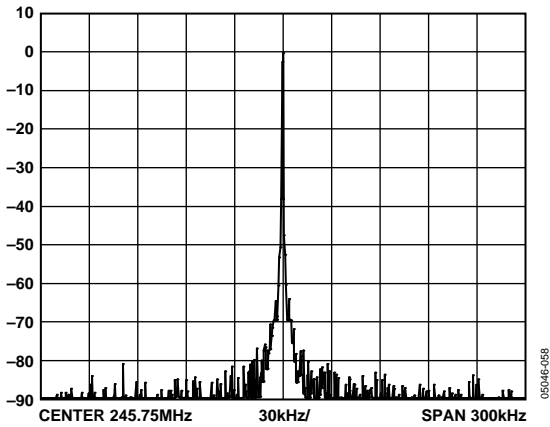


图12. 相位噪声(LVPECL, DIV 1, $f_{VCO} = 245.76$ MHz, $f_{OUT} = 245.76$ MHz, $f_{PFD} = 1.2288$ MHz, $R = 25$, $N = 200$)

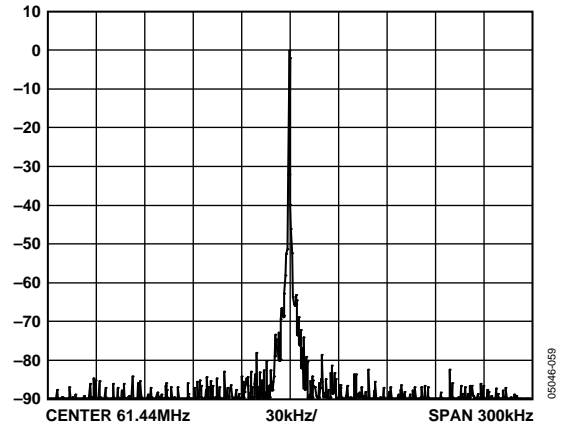


图15. 相位噪声(LVPECL, DIV 4, $f_{VCO} = 245.76$ MHz, $f_{OUT} = 61.44$ MHz, $f_{PFD} = 1.2288$ MHz, $R = 25$, $N = 200$)

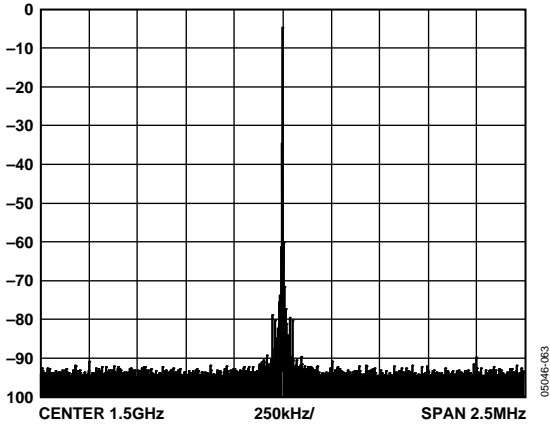


图13. PLL参考杂散: VCO 1.5 GHz, $f_{PFD} = 1$ MHz

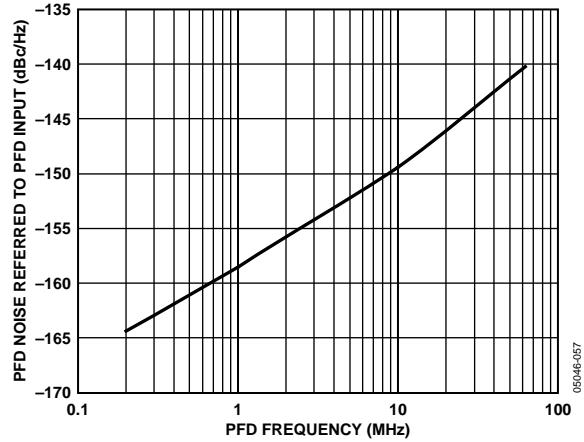


图16. 相位噪声(折合到CP输出端)与PFD频率(f_{PFD})的关系

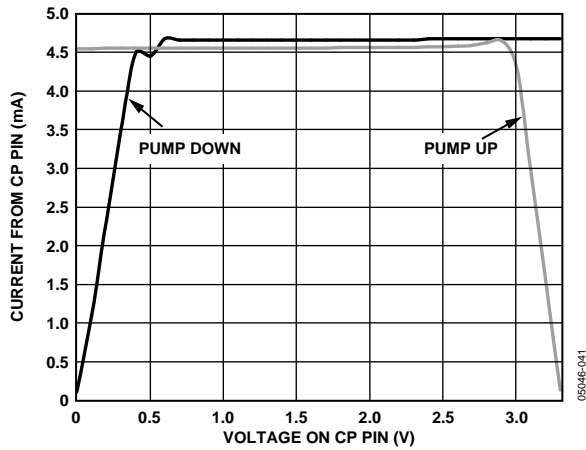


图14. 电荷泵输出特性($VCP = 3.3$ V)

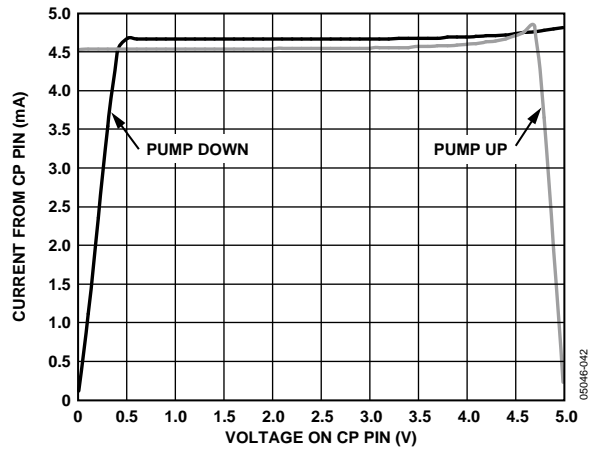


图17. 电荷泵输出特性($VCP = 5.0$ V)

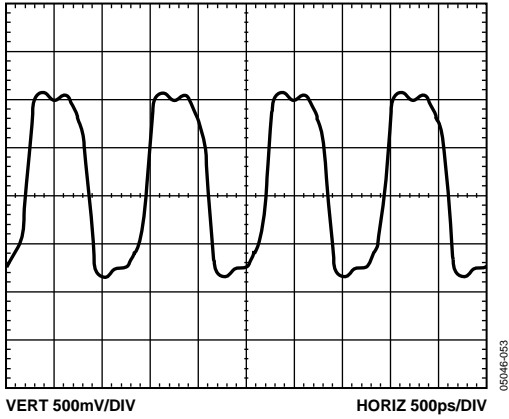


图18. LVPECL差分输出(800 MHz)

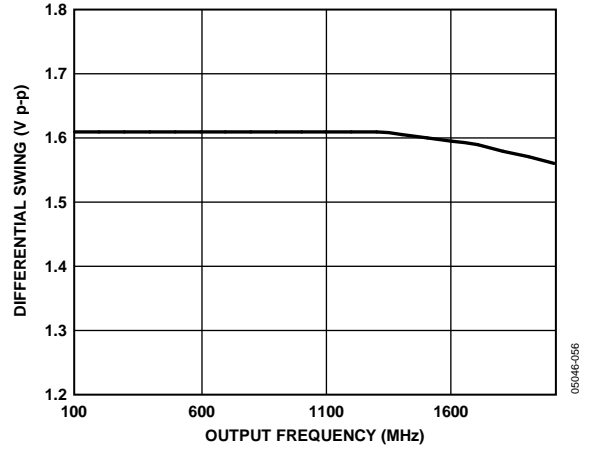


图21. LVPECL差分输出摆幅与频率的关系

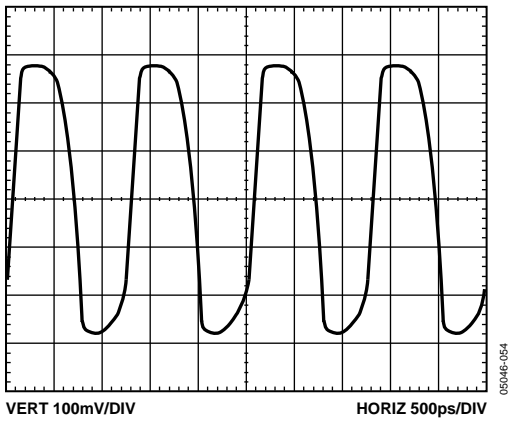


图19. LVDS差分输出(800 MHz)

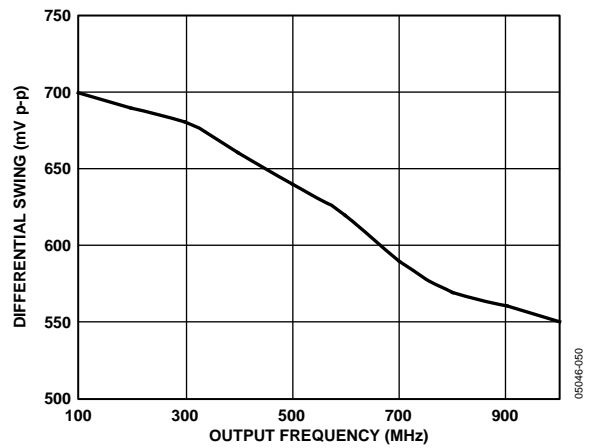


图22. LVDS差分输出摆幅与频率的关系

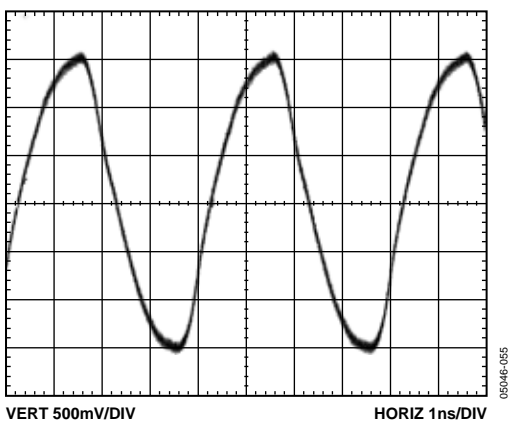


图20. CMOS单端输出(250 MHz, 10 pF负载)

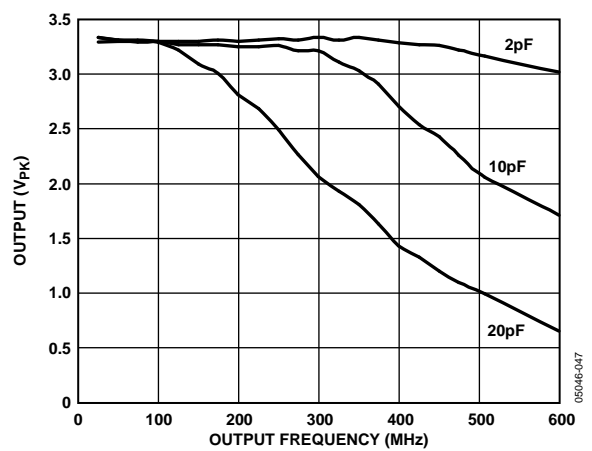


图23. CMOS单端输出摆幅与频率和负载的关系

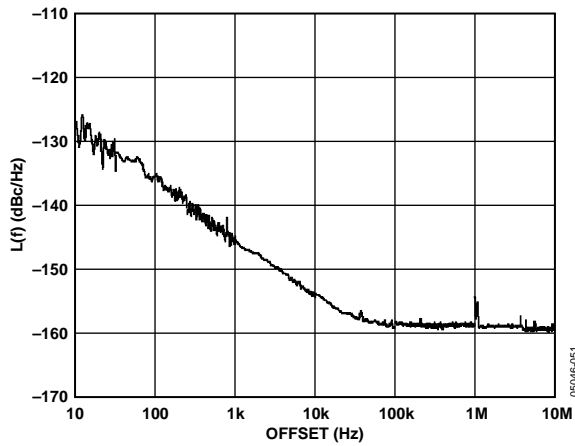


图24. 附加的相位噪声—LVPECL DIV1, 245.76 MHz, 仅分配部分

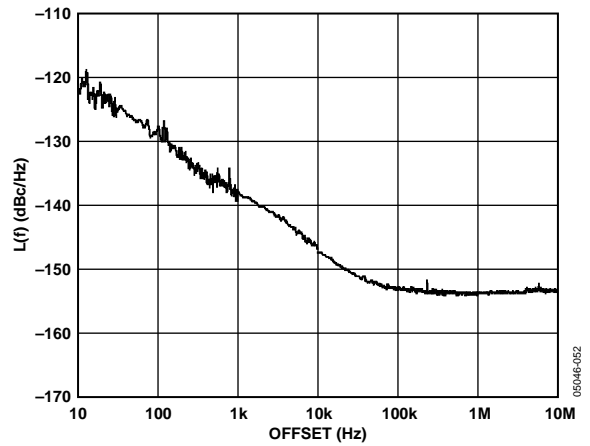


图27. 附加的相位噪声—LVPECL DIV1, 622.08 MHz

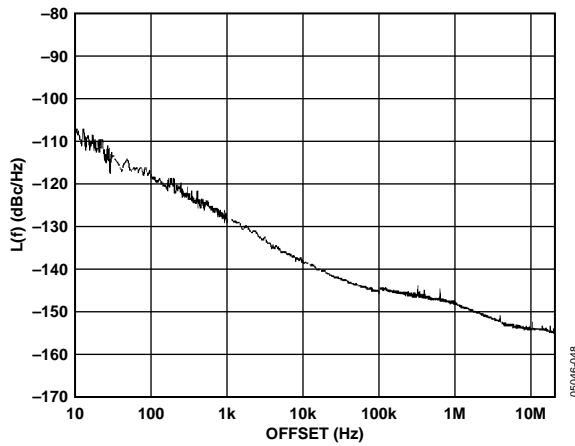


图25. 附加的相位噪声—LVDS DIV1, 245.76 MHz

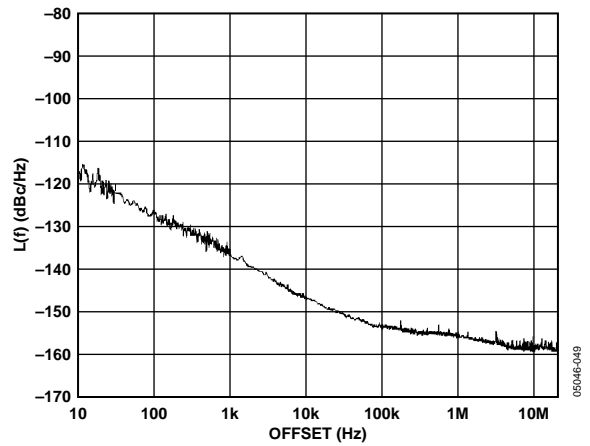


图28. 附加的相位噪声—LVDS DIV2, 122.88 MHz

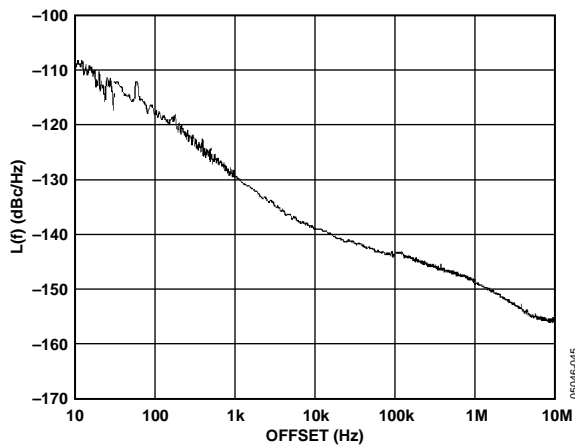


图26. 附加的相位噪声—CMOS DIV1, 245.76 MHz

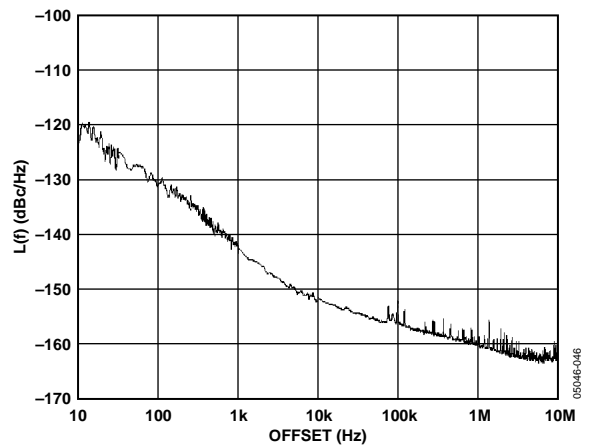


图29. 附加的相位噪声—CMOS DIV4, 61.44 MHz

术语

相位抖动和相位噪声

理想情况下，在正弦波的每个周期，相位都会随着时间从0度连续均匀地变化到360度。不过，实际信号的相位随着时间的变化与理想情况会有一些的偏差，这种现象称为相位抖动。导致相位抖动的原因有许多，其中一个主要原因是随机噪声，其统计特征为高斯(正态)分布。

这种相位抖动导致正弦波能量在频域中扩散，产生连续的功率频谱。通常将该功率频谱报告为在给定频率偏移下相对于正弦波(载波)的一系列值，其单位为dBc/Hz。该值是1 Hz带宽内包含的功率与载波频率时的功率之比(用dB表示)。对于每次测量，还会给出相对于载波频率的偏移。

对一定偏移频率区间(例如10 kHz到10 MHz)内所含的总功率进行积分很有意义。这称为该频率偏移区间内的积分相位噪声，它与该偏移频率区间内的相位噪声所引起的时间抖动直接相关。

相位噪声对模数转换器(ADC)、数模转换器(DAC)和信号输入(RF)混频器的性能有不利影响。虽然影响方式不同，但它会降低转换器和混频器可实现的动态范围。

时间抖动

相位噪声是一种频域现象。在时域内，该效应表现为时间抖动。观察正弦波时，连续过零的时间并不固定。方波中，时间抖动表现为边沿偏离其理想(规则)的出现时间。这两种情况下，实际时序与理想时序的偏差即为时间抖动。这些偏差是随机的，因此用均方根(rms)秒或高斯分布的 1σ 来规定时间抖动。

出现在DAC或ADC采样时钟上的时间抖动会降低转换器的信噪比(SNR)和动态范围。抖动最低的采样时钟可使给定转换器发挥最高性能。

附加的相位噪声

附加的相位噪声指可归因于受测设备或子系统的相位噪声量。所有外部振荡器或时钟源的相位噪声都会被扣除。这样，当器件结合不同的振荡器和时钟源使用时，就可以预测器件对系统总相位噪声的影响程度。各元件都会贡献一定的相位噪声，但在许多情况下，某个元件的相位噪声占居系统总相位噪声的主要部分。

附加的时间抖动

附加的时间抖动指可归因于受测设备或子系统的时间抖动量。所有外部振荡器或时钟源的时间抖动都会被扣除。这样，当器件结合不同的振荡器和时钟源使用时，就可以预测器件对系统总时间抖动的影响程度。各元件都会贡献一定的时间抖动，但在许多情况下，外部振荡器和时钟源的时间抖动占居系统时间抖动的主要部分。

典型工作模式

PLL采用外部VCXO/VCO，后接时钟分配

这是AD9510最常见的工作模式。一个外部振荡器(显示为VCO/VCXO)锁相至施加于REFIN的参考输入频率。环路滤波器通常是无源设计。可使用VCO或VCXO。CLK2输入内部连接到反馈分频器N。CLK2输入为PLL提供反馈路径。若VCO/VCXO频率超过所用输出的最大频率，必须在分配部分的对应分频器中设置适当的分频比。禁用不使用的功能并关断不使用的时钟通道以节省功耗(参见“寄存器映射和描述”部分)。

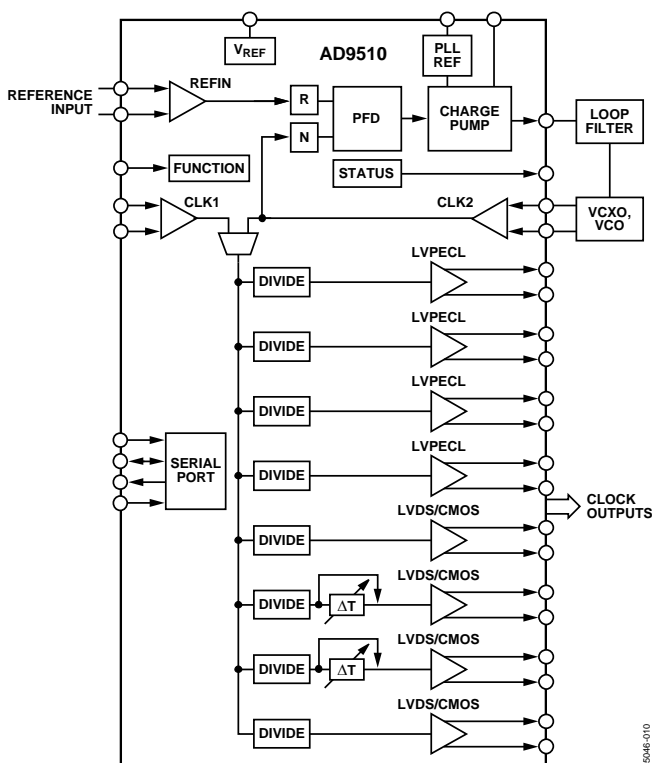


图30. PLL和时钟分配模式

仅时钟分配

不需要PLL部分时，可以只使用分配部分。禁用PLL模块并关断不使用的时钟通道以节省功耗(参见“寄存器映射和描述”部分)。

在分配模式下，CLK1和CLK2输入均可通过低抖动多路复用器分配到输出端。

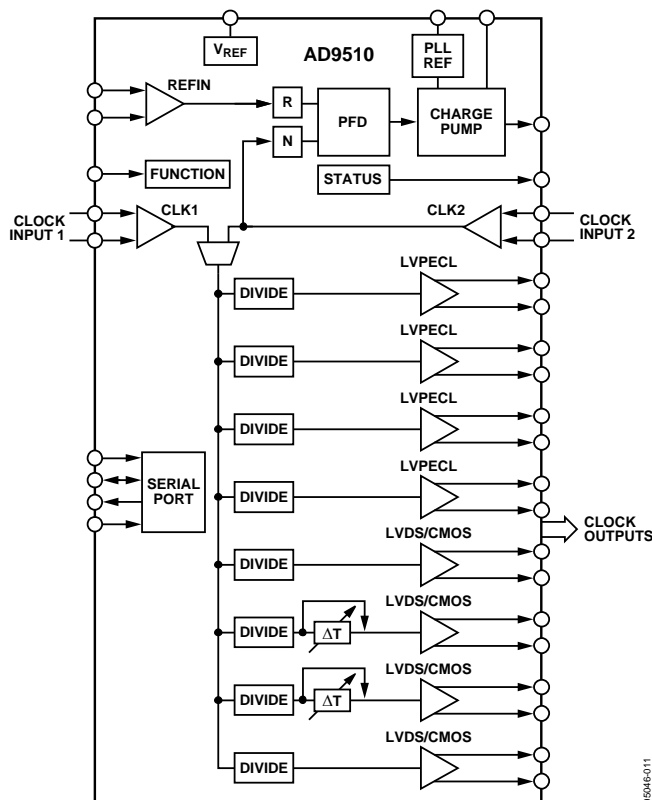


图31. 时钟分配模式

AD9510

PLL采用外部VCO和带通滤波器，后接时钟分配

可使用外部带通滤波器(BPF)来改善PLL输出的相位噪声和杂散特性。该选项最适合用来优化成本，因为可选择不太昂贵的VCO和中等价位的滤波器。注意，图中显示BPF不在VCO至N分频器路径中，BP滤波器输出路由至CLK1。禁用不使用的功能并关断不使用的时钟通道以节省功耗(参见“寄存器映射和描述”部分)。

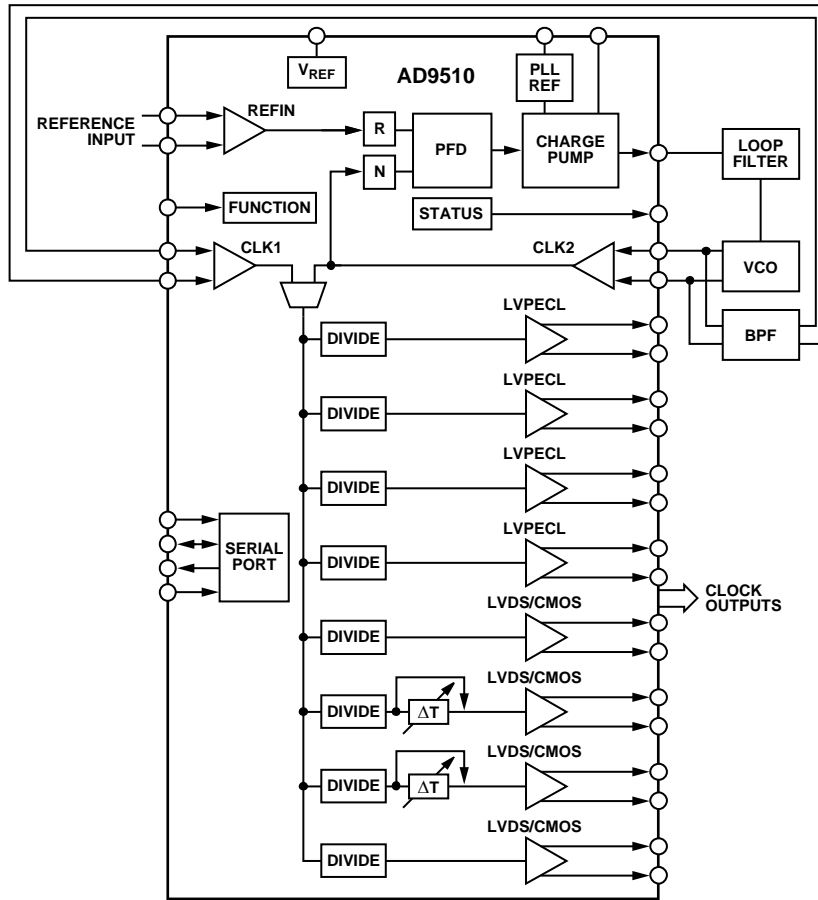


图32. AD9510采用VCO和BPF滤波器

05046-012

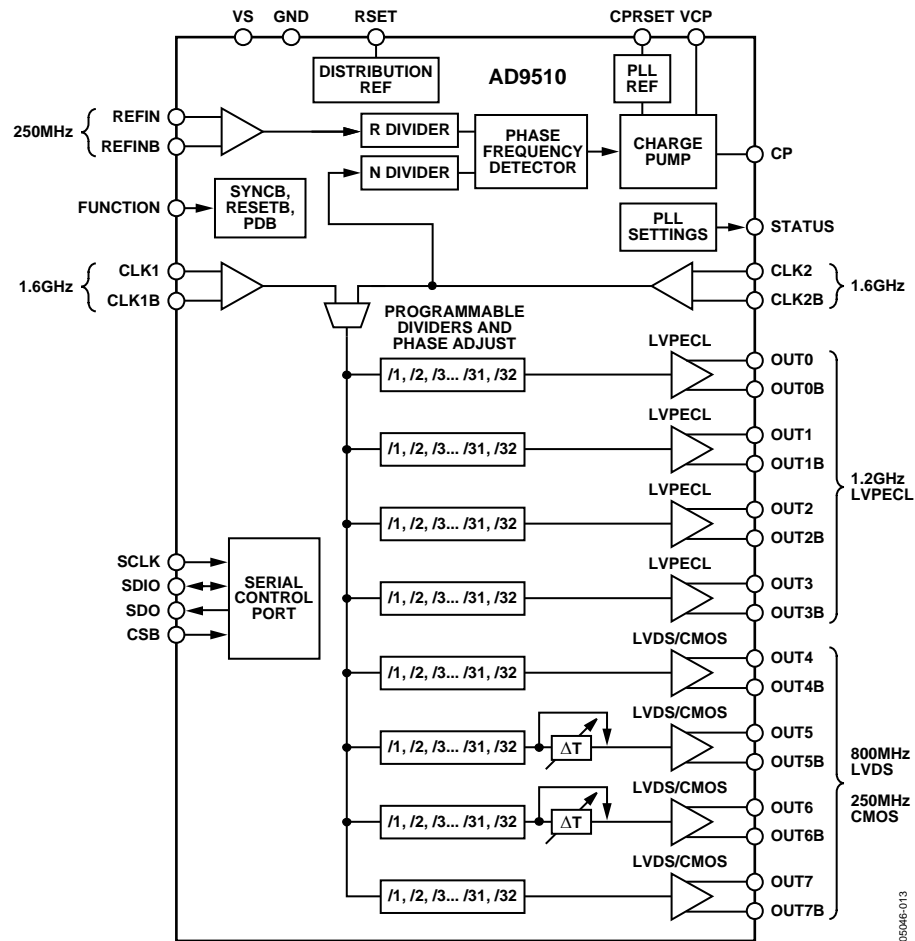


图33. 显示最大频率的功能框图

功能描述

概述

图33为AD9510的功能框图。芯片集可编程PLL内核与可配置时钟分配系统于一体。完整的PLL要求添加适当的外部VCO(或VCXO)和环路滤波器。该PLL可锁定参考输入信号,并按照可编程R和N分频器定义的比率,产生与输入频率相关的输出。PLL可净化外部参考信号的某些抖动,具体取决于环路带宽和VCO(VCXO)的相位噪声性能。

VCO(VCXO)的输出可施加于芯片的时钟分配部分,在其中以1到32的整数值进行分频。输出的占空比和相对相位是可选的。有四路LVPECL输出(OUT0、OUT1、OUT2和OUT3),以及四路LVDS或CMOS输出(OUT4、OUT5、OUT6和OUT7)。其中的两路输出(OUT5和OUT6)还可利用可变延迟模块。

时钟分配部分也可由外部时钟信号直接驱动,PLL则可关断。仅使用时钟分配部分时,将不存在时钟净化。输入时钟信号的抖动直接传递到分配部分,可能成为时钟输出的主要抖动。

PLL部分

AD9510由PLL部分和分配部分组成。若需要,PLL部分可以与分配部分分开使用。

AD9510具有完整的片上PLL内核,仅需一个外部环路滤波器和VCO/VCXO。此PLL基于ADF4106,它是一款以超低相位噪声性能而著名的PLL。AD9510 PLL的操作与ADF4106几乎相同,对那些熟悉ADF系列PLL的人士很有好处。不同点包括REFIN和CLK2增加了差分输入,以及采用不同的控制寄存器架构。另外,预分频器有所改变,允许N低至1。AD9510 PLL实现的数字锁定检测特性与ADF4106略有不同,改善了较高PFD速率时的功能。参见“寄存器映射描述”部分。

PLL参考输入—REFIN

REFIN/REFINB引脚可通过差分或单端信号驱动。这些引脚内部自偏置,可通过电容交流耦合。也可以直流耦合到这些输入。如果以单端方式驱动REFIN,则未使用端(REFINB)应通过适当的电容去耦到无噪声地。图34给出了REFIN的等效电路。

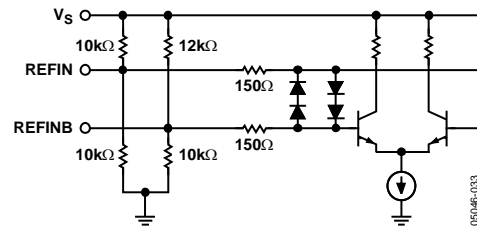


图34. REFIN等效电路

VCO/VCXO时钟输入—CLK2

CLK2差分输入用于将外部VCO或VCXO连接到PLL。仅CLK2输入端口具有与PLL N分频器的连接。支持最高1.6 GHz的频率。这些输入内部自偏置,必须通过电容交流耦合。

或者,CLK2也可用作分配部分的输入。这可通过设置寄存器0x45[0] = 0b来实现。默认设置是将CLK1馈送给分配部分。

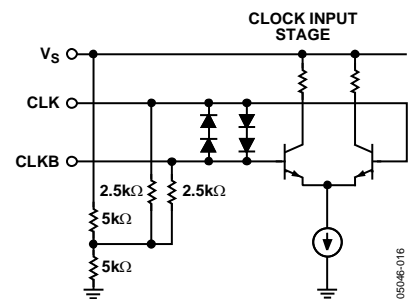


图35. CLK1、CLK2等效输入电路

PLL参考分频器—R

REFIN/REFINB输入路由至参考分频器R,后者是一个14位计数器。通过其控制寄存器(寄存器0x0B[5:0]、寄存器0x0C[7:0]),R可编程为1到16383之间的任意值(值0表示1分频)。R分频器的输出连接到鉴频鉴相器的输入之一。勿超过鉴频鉴相器(PFD)的最大容许频率。这意味着,REFIN频率除以R必须小于允许的最大PFD频率。参见图34。

VCO/VCXO反馈分频器—N(P、A、B)

N分频器由一个预分频器P(3位)和两个计数器A(6位)、B(13位)组合而成。虽然AD9510的PLL与ADF4106相似，但AD9510的预分频器经过重新设计，允许较低的N值。该预分频器具有双模(DM)和固定分频(FD)两种模式。AD9510预分频器模式如表15所示。

表15. PLL预分频器模式

模式 (FD = 固定分频, DM = 双模)	寄存器 0x0A[4:2]的值	分频比
FD	000	1
FD	001	2
P = 2 DM	010	$P/P + 1 = 2/3$
P = 4 DM	011	$P/P + 1 = 4/5$
P = 8 DM	100	$P/P + 1 = 8/9$
P = 16 DM	101	$P/P + 1 = 16/17$
P = 32 DM	110	$P/P + 1 = 32/33$
FD	111	3

在FD模式下使用预分频器时，A计数器不使用，B计数器可能需要旁路。DM预分频器模式对可应用于CLK2的频率设置了一些上限。参见表16。

表16. 各种预分频器模式的频率限值

模式(DM = 双模)	CLK2
P = 2 DM (2/3)	<600 MHz
P = 4 DM (4/5)	<1000 MHz
P = 8 DM (8/9)	<1600 MHz
P = 16 DM	<1600 MHz
P = 32 DM	<1600 MHz

表17.P、A、B、R—N的最小值

f_{REF}	R	P	A	B	N	f_{VCO}	模式	注释
10	1	1	X	1	1	10	FD	P = 1, B = 1 (旁路)
10	1	2	X	1	2	20	FD	P = 2, B = 1 (旁路)
10	1	1	X	3	3	30	FD	P = 1, B = 3
10	1	1	X	4	4	40	FD	P = 1, B = 4
10	1	1	X	5	5	50	FD	P = 1, B = 5
10	1	2	X	3	6	60	FD	P = 2, B = 3
10	1	2	0	3	6	60	DM	$P/P + 1 = 2/3$, A = 0, B = 3
10	1	2	1	3	7	70	DM	$P/P + 1 = 2/3$, A = 1, B = 3
10	1	2	2	3	8	80	DM	$P/P + 1 = 2/3$, A = 2, B = 3
10	1	2	1	4	9	90	DM	$P/P + 1 = 2/3$, A = 1, B = 4
10	1	2	X	5	10	100	FD	P = 2, B = 5
10	1	2	0	5	10	100	DM	$P/P + 1 = 2/3$, A = 0, B = 5
10	1	2	1	5	11	110	DM	$P/P + 1 = 2/3$, A = 1, B = 5
10	1	2	X	6	12	120	FD	P = 2, B = 6
10	1	2	0	6	12	120	DM	$P/P + 1 = 2/3$, A = 0, B = 6
10	1	4	0	3	12	120	DM	$P/P + 1 = 4/5$, A = 0, B = 3
10	1	4	1	3	13	130	DM	$P/P + 1 = 4/5$, A = 1, B = 3

A和B计数器

AD9510 B计数器具有旁路模式(B = 1)，这是ADF4106所没有的。B计数器旁路模式仅当预分频器在FD模式下工作时有效。将1写入B计数器旁路位(寄存器0x0A[6] = 1b)即可旁路B计数器。B计数器的有效范围是3到8191。复位后默认值为0，这是一个无效值。

注意，当预分频器在FD模式下工作时，A计数器不使用。

还应注意，A/B计数器具有自己的复位位，主要用于测试。利用R、A和B计数器共享的复位位(寄存器0x09[0])，也可以复位A和计数器。

确定P、A、B和R的值

当AD9510在双模模式下工作时，输入参考频率 f_{REF} 与VCO输出频率 f_{VCO} 相关。

$$f_{VCO} = (f_{REF}/R) \times (PB + A) = f_{REF} \times N/R$$

当预分频器在固定分频模式下工作时，A计数器不使用，以上公式简化为：

$$f_{VCO} = (f_{REF}/R) \times (PB) = f_{REF} \times N/R$$

通过组合使用双模和固定分频模式，AD9510可以实现各种N值，最小值N = 1。表17显示了10 MHz参考输入如何锁定至N的任意整数倍。注意，同一N值可以通过不同方式产生，如表中N = 12所示。

AD9510

鉴频鉴相器(PFD)和电荷泵

PFD接受R计数器和N计数器($N = BP + A$)的输入,产生与二者的相位和频率差成正比的输出。图36为原理示意图。PFD内置一个可编程延迟元件,用来控制防反冲脉冲的宽度。此脉冲可确保PFD传递函数中无死区,并使相位噪声和参考杂散最小。寄存器0x0D[1:0]中的两个位控制脉冲宽度。

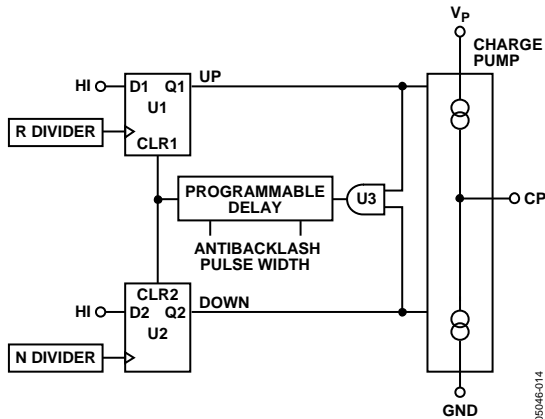


图36. PFD原理示意图和时序(锁定)

防反冲脉冲

PLL具有可编程防反冲脉冲,其宽度可通过寄存器0x0D[1:0]中的值来设置。默认防反冲脉冲宽度为1.3 ns(寄存器

0x0D[1:0] = 00b),一般不需要更改。防反冲脉冲消除了锁相条件周围的死区,因而降低了某些杂散作用于VCO信号的可能性。

STATUS引脚

AD9510的输出多路复用器允许通过STATUS引脚访问芯片的各种信号和内部点。图37所示为STATUS引脚部分的功能框图。STATUS引脚的功能由寄存器0x0[5:2]控制。

PLL数字锁定检测

STATUS引脚可显示两类PLL锁定检测:数字(DLD)和模拟(ALD)。需要数字锁定检测时,STATUS引脚提供CMOS电平信号,它可以是高电平有效或低电平有效。

数字锁定检测有两个时间窗口,由寄存器0x0D[5]选择其中之一。默认值(寄存器0x0D[5] = 0b)要求PFD输入的信号边沿重合时间在9.5 ns以内才能将DLD设为真,然后必须分开至少15 ns才能将DLD设为假。

另一设置(寄存器0x0D[5] = 1)要求DLD为真的重合时间为3.5 ns, DLD为假的分开时间为7 ns。

将1写入寄存器0x0D[6]可以禁用DLD。

在DLD为真时,若REFIN信号消失, DLD并不一定表示失锁。更多信息请参见“参考丢失”部分。

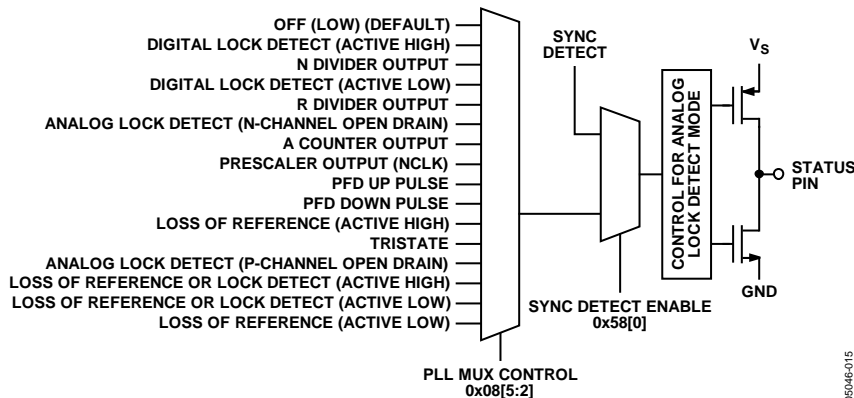


图37. STATUS引脚电路CLK1时钟输入

PLL模拟锁定检测

可以选择模拟锁定检测(ALD)信号。选择ALD时, STATUS引脚的信号为开漏P沟道(寄存器0x08[5:2] = 1100)或开漏N沟道(寄存器0x08[5:2] = 0101b)。

模拟锁定检测信号为真(相对于所选模式), 并具有短暂的假脉冲。这些假脉冲缩短为PFD的输入, 重合时较近, 远离重合时则较远。

为提取可用的模拟锁定检测信号, 需要一个外部电阻电容(RC)网络来提供一个具有适当RC常数的模拟滤波器, 以便通过外部电压比较器来鉴别锁定状况。一个1 kΩ电阻与一个小电容并联通常可满足这项要求。不过, 为了获得所需的操作, 可能需要进行一些试验。

模拟锁定检测功能可能会将一些杂散能量引入时钟输出。当时钟输出需要最佳抖动/相位噪声性能时, 应谨慎使用ALD。

参考丢失

REFIN端的参考信号丢失时, AD9510 PLL可提供报警。参考丢失监控器内部设置一个称为LREF的标志。在外部, 此信号可通过多种方式来在STATUS引脚上观察, 具体取决于寄存器0x08[5:2]中的PLL MUX控制设置。LREF可作为高电平有效信号(设置寄存器0x08[5:2] = [1010])或低电平有效信号(设置寄存器0x08[5:2] = [1111])单独进行观察。

参考丢失电路来自VCO的信号提供时钟, 这意味着必须存在VCO信号才能检测参考丢失。

为使数字锁定检测输出有效, AD9510的数字锁定检测(DLD)模块要求PLL参考信号必须存在。即使参考信号丢失, 数字锁定检测指示(DLD = 真)仍有可能为真。因此, 不能单凭数字锁定检测信号来判断参考是否丢失。要将DLD和LREF合并为STATUS引脚上的单个信号, 应设置寄存器0x08[5:2] = [1101], 以获得失锁(DLD反转)和参考丢失(LREF)高电平有效的逻辑“或”信号。若需该信号的低电平有效版本, 请设置寄存器0x08[5:2] = [1110]。

仅当DLD信号为高电平并持续寄存器0x07[6:5]设置的PFD周期数之后, 参考监控器才会使能。此延迟时间用PFD周期数来表示。延迟范围是3个PFD周期(默认值)到24个PFD周期。当参考消失时, LREF变为真, 电荷泵进入三态。

需要用户干预才能使器件脱离此状态。首先, 必须设置寄存器0x07[2] = 0b以禁用参考丢失电路, 使电荷泵脱离三态, 并令LREF变为假。然后需要设置寄存器0x07[2] = 1, 以便重新使能参考丢失电路。

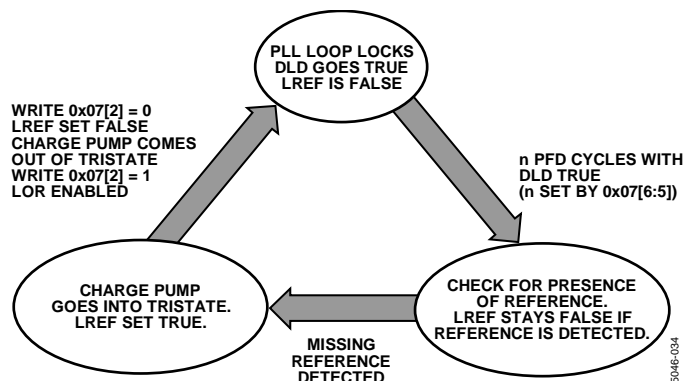


图38. 参考丢失事件序列

FUNCTION引脚

FUNCTION引脚(16)有三个功能，具体功能通过寄存器0x58[6:5]选择。此引脚由一个30 kΩ内部电阻下拉。如果此引脚保持不连接，器件默认处于复位模式。为避免这种情况，应通过1 kΩ电阻将此引脚连接到V_S。

RESETB：寄存器0x58[6:5] = 00b(默认值)

默认模式下，FUNCTION引脚用作RESETB，拉低时产生异步复位或硬复位信号。由此而来的复位操作将把默认值写入串行控制端口缓冲寄存器，并将其载入芯片控制寄存器。当RESETB再次变为高电平时，发出一个同步信号(参见“SYNCB：寄存器0x58[6:5] = 01b”部分)，AD9510根据寄存器的默认值恢复工作。

SYNCB：寄存器0x58[6:5] = 01b

通过FUNCTION引脚使不同时钟输出的相位同步或对齐。该同步仅适用于符合以下条件的时钟输出：

- 未关断
- 未屏蔽分频器(no sync = 0b)
- 未旁路(bypass = 0b)

SYNCB对电平和上升沿敏感。SYNCB为低电平时，受影响输出的设置保持在由各分频器的起始高电平定义的预定状态。在上升沿，经过分频器的相位偏移位所确定的预定快速时钟周期数(快速时钟为所选时钟输入CLK1或CLK2)后，分频器开始工作。

FUNCTION引脚的SYNCB应用始终有效，无论该引脚是否还要执行复位或关断功能。选择SYNCB功能时，FUNCTION引脚不能用作RESETB或PDB。

PDB：寄存器0x58[6:5] = 11b

FUNCTION引脚也可以用作异步完全关断(PDB)信号。即使在这种完全关断模式下，仍有一些残余V_S电流，因为某些片内参考会继续运行。在PDB模式下，FUNCTION引脚低电平有效。在PDB返回逻辑高电平之前，芯片将一直处于关断状态。芯片返回到关断前编程的设置。

有关在PDB发起的关断期间所发生事件的更多详情，请参见“芯片关断或休眠模式—PDB”部分。

分配部分

如上所述，AD9510分为两部分：PLL和分配。PLL部分已在上文讨论。若需要，分配部分可以与PLL部分分开使用。

CLK1和CLK2时钟输入

可选择CLK1或CLK2作为分配部分的输入。CLK1输入只能驱动分配部分。设置寄存器0x45[0] = 1可选择CLK1作为分配部分的信号源，这是上电默认状态。

CLK1和CLK2支持最高1600 MHz的输入。较高的输入压摆率可改善抖动性能。输入电平必须在约150 mV p-p到2 V p-p之间。更高电平可能导致输入引脚的保护二极管接通，从而降低抖动性能。

CLK1和CLK2等效输入电路见图35。它们是全差分且自偏置输入。信号必须通过电容交流耦合。若必须使用单端输入，则应将其交流耦合到差分输入的一端，并通过电容将输入的另一端旁路至无噪声交流地。

未选择的时钟输入(CLK1或CLK2)应关断，以消除所选时钟输入与未选时钟输入之间发生不良串扰的可能性。

分频器

AD9510的8路时钟输出各自都有分频器。分频器可以旁路，以获得与输入频率相同的输出(1倍)。分频器被旁路时，它将关断以节省功耗。

可以选择1到32的所有整数分频比。旁路分频器时选择分频比1。

可以配置每个分频器的分频比、相位和占空比。可选择的相位和占空比值取决于所选的分频比。

设置分频比

分频比由通过串行控制端口(SCP)写入各路输出(OUT0至OUT7)控制寄存器的值决定。这些都是偶数寄存器，从寄存器0x48开始，一直到寄存器0x56。各寄存器分为多个位域，用于控制分频器输出保持高电平的时钟周期数(HIGH_CYCLES[3:0])和分频器输出保持低电平的时钟周期数(LOW_CYCLES[7:4])。每个值均为4位，范围是0到15。

分频比设置公式如下：

$$\text{分频比} = (\text{HIGH_CYCLES} + 1) + (\text{LOW_CYCLES} + 1)$$

示例1:

设置分频比 = 2

$$HIGH_CYCLES = 0$$

$$LOW_CYCLES = 0$$

$$分频比 = (0 + 1) + (0 + 1) = 2$$

示例2:

设置分频比 = 8

$$HIGH_CYCLES = 3$$

$$LOW_CYCLES = 3$$

$$分频比 = (3 + 1) + (3 + 1) = 8$$

注意，分频比8也可以通过如下设置获得：

$$HIGH_CYCLES = 2$$

$$LOW_CYCLES = 4$$

$$分频比 = (2 + 1) + (4 + 1) = 8$$

虽然第二组设置产生的分频比相同，但占空比不同。

设置占空比

占空比与分频比相关。不同的分频比具有不同的占空比选项。例如，如果分频比 = 2，则可能的占空比只有50%。如果分频比 = 4，则占空比可以是25%、50%或75%。

占空比设置公式如下：

$$占空比 = (HIGH_CYCLES + 1) / ((HIGH_CYCLES + 1) + (LOW_CYCLES + 1))$$

各分频比的可用占空比值参见表18。

表18. 占空比和分频比

分频比	占空比(%)	地址0x48至 地址0x56	
		LO[7:4]	HI[3:0]
2	50	0	0
3	67	0	1
3	33	1	0
4	50	1	1
4	75	0	2
4	25	2	0
5	60	1	2
5	40	2	1
5	80	0	3
5	20	3	0
6	50	2	2
6	67	1	3
6	33	3	1
6	83	0	4
6	17	4	0
7	57	2	3
7	43	3	2
7	71	1	4
7	29	4	1
7	86	0	5
7	14	5	0
8	50	3	3
8	63	2	4
8	38	4	2
8	75	1	5
8	25	5	1
8	88	0	6
8	13	6	0
9	56	3	4
9	44	4	3
9	67	2	5

分频比	占空比(%)	地址0x48至 地址0x56	
		LO[7:4]	HI[3:0]
9	33	5	2
9	78	1	6
9	22	6	1
9	89	0	7
9	11	7	0
10	50	4	4
10	60	3	5
10	40	5	3
10	70	2	6
10	30	6	2
10	80	1	7
10	20	7	1
10	90	0	8
10	10	8	0
11	55	4	5
11	45	5	4
11	64	3	6
11	36	6	3
11	73	2	7
11	27	7	2
11	82	1	8
11	18	8	1
11	91	0	9
11	9	9	0
12	50	5	5
12	58	4	6
12	42	6	4
12	67	3	7
12	33	7	3
12	75	2	8
12	25	8	2

AD9510

分频比	占空比(%)	地址0x48至 地址0x56		分频比	占空比(%)	地址0x48至 地址0x56	
		LO[7:4]	HI[3:0]			LO[7:4]	HI[3:0]
12	83	1	9	16	75	3	B
12	17	9	1	16	25	B	3
12	92	0	A	16	81	2	C
12	8	A	0	16	19	C	2
13	54	5	6	16	88	1	D
13	46	6	5	16	13	D	1
13	62	4	7	16	94	0	E
13	38	7	4	16	6	E	0
13	69	3	8	17	53	7	8
13	31	8	3	17	47	8	7
13	77	2	9	17	59	6	9
13	23	9	2	17	41	9	6
13	85	1	A	17	65	5	A
13	15	A	1	17	35	A	5
13	92	0	B	17	71	4	B
13	8	B	0	17	29	B	4
14	50	6	6	17	76	3	C
14	57	5	7	17	24	C	3
14	43	7	5	17	82	2	D
14	64	4	8	17	18	D	2
14	36	8	4	17	88	1	E
14	71	3	9	17	12	E	1
14	29	9	3	17	94	0	F
14	79	2	A	17	6	F	0
14	21	A	2	18	50	8	8
14	86	1	B	18	56	7	9
14	14	B	1	18	44	9	7
14	93	0	C	18	61	6	A
14	7	C	0	18	39	A	6
15	53	6	7	18	67	5	B
15	47	7	6	18	33	B	5
15	60	5	8	18	72	4	C
15	40	8	5	18	28	C	4
15	67	4	9	18	78	3	D
15	33	9	4	18	22	D	3
15	73	3	A	18	83	2	E
15	27	A	3	18	17	E	2
15	80	2	B	18	89	1	F
15	20	B	2	18	11	F	1
15	87	1	C	19	53	8	9
15	13	C	1	19	47	9	8
15	93	0	D	19	58	7	A
15	7	D	0	19	42	A	7
16	50	7	7	19	63	6	B
16	56	6	8	19	37	B	6
16	44	8	6	19	68	5	C
16	63	5	9	19	32	C	5
16	38	9	5	19	74	4	D
16	69	4	A	19	26	D	4
16	31	A	4	19	79	3	E

分频比	占空比(%)	地址0x48至 地址0x56	
		LO[7:4]	HI[3:0]
19	21	E	3
19	84	2	F
19	16	F	2
20	50	9	9
20	55	8	A
20	45	A	8
20	60	7	B
20	40	B	7
20	65	6	C
20	35	C	6
20	70	5	D
20	30	D	5
20	75	4	E
20	25	E	4
20	80	3	F
20	20	F	3
21	52	9	A
21	48	A	9
21	57	8	B
21	43	B	8
21	62	7	C
21	38	C	7
21	67	6	D
21	33	D	6
21	71	5	E
21	29	E	5
21	76	4	F
21	24	F	4
22	50	A	A
22	55	9	B
22	45	B	9
22	59	8	C
22	41	C	8
22	64	7	D
22	36	D	7
22	68	6	E
22	32	E	6
22	73	5	F
22	27	F	5
23	52	A	B
23	48	B	A
23	57	9	C
23	43	C	9
23	61	8	D
23	39	D	8
23	65	7	E
23	35	E	7
23	70	6	F

分频比	占空比(%)	地址0x48至 地址0x56	
		LO[7:4]	HI[3:0]
23	30	F	6
24	50	B	B
24	54	A	C
24	46	C	A
24	58	9	D
24	42	D	9
24	63	8	E
24	38	E	8
24	67	7	F
24	33	F	7
25	52	B	C
25	48	C	B
25	56	A	D
25	44	D	A
25	60	9	E
25	40	E	9
25	64	8	F
25	36	F	8
26	50	C	C
26	54	B	D
26	46	D	B
26	58	A	E
26	42	E	A
26	62	9	F
26	38	F	9
27	52	C	D
27	48	D	C
27	56	B	E
27	44	E	B
27	59	A	F
27	41	F	A
28	50	D	D
28	54	C	E
28	46	E	C
28	57	B	F
28	43	F	B
29	52	D	E
29	48	E	D
29	55	C	F
29	45	F	C
30	50	E	E
30	53	D	F
30	47	F	D
31	52	E	F
31	48	F	E
32	50	F	F

分频器相位偏移

根据所选的分频比，可以选择各输出的相位。这是通过将适当的值写入各输出的相位和起始高/低位设置寄存器来选择的。这些寄存器是奇数寄存器，从寄存器0x49到寄存器0x57。每个分频器具有4位相位偏移[3:0]和一个起始高或低位[4]。

发出同步脉冲后，相位偏移字决定等待多少个快速时钟(CLK1或CLK2)周期后才启动时钟输出边沿。起始高/低位决定分频器输出从低电平还是高电平开始。通过为各分频器指定不同的相位偏移，便可设置以快速时钟周期 t_{CLK} 为增量的输出间延迟。

图39显示了4个分频器，各分频器设置为分频比DIV = 4，占空比为50%。通过将相位偏移值从0提高到3，各输出从初始边沿偏移 t_{CLK} 的倍数。

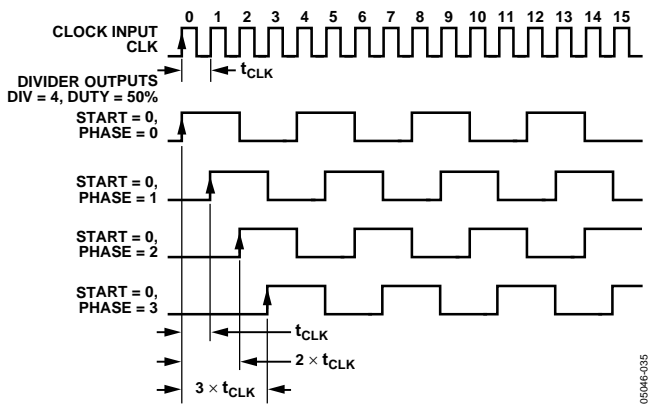


图39. 相位偏移(所有分频器的DIV = 4，相位设置从0提高到3)

例如：

$$CLK1 = 491.52 \text{ MHz}$$

$$t_{CLK1} = 1/491.52 = 2.0345 \text{ ns}$$

对于DIV = 4

相位偏移0 = 0 ns

相位偏移1 = 2.0345 ns

相位偏移2 = 4.069 ns

相位偏移3 = 6.104 ns

这四路输出也可描述为：

$$OUT1 = 0^\circ$$

$$OUT2 = 90^\circ$$

$$OUT3 = 180^\circ$$

$$OUT4 = 270^\circ$$

设置相位偏移为“相位 = 4”所得的相对相位与第一个通道相同：相位 = 0°或360°。

一般而言，4位相位偏移与起始高/低位的组合可以得到32种相位偏移状态(见表19)。

表19. 相位偏移—起始高/低位

相位偏移 (快速时钟 上升沿数)	地址0x49和地址0x57	
	相位偏移[3:0]	起始高/低[4]
0	0	0
1	1	0
2	2	0
3	3	0
4	4	0
5	5	0
6	6	0
7	7	0
8	8	0
9	9	0
10	10	0
11	11	0
12	12	0
13	13	0
14	14	0
15	15	0
16	0	1
17	1	1
18	2	1
19	3	1
20	4	1
21	5	1
22	6	1
23	7	1
24	8	1
25	9	1
26	10	1
27	11	1
28	12	1
29	13	1
30	14	1
31	15	1

相位偏移的分辨率由CLK1或CLK2的快速时钟周期(t_{CLK})设置。因此，任何一个分频比都没有32个不同的相位偏移可用。对于任意分频比，不同相位偏移的数目等于分频比(见表19)：

DIV = 4

不同相位偏移是：相位 = 0、1、2、3

DIV = 7

不同相位偏移是：相位 = 0、1、2、3、4、5、6

DIV = 18

不同相位偏移是：相位 = 0、1、2、3、4、5、6、7、8、9、10、11、12、13、14、15、16、17

通过计算特定分频比的相位步长，可用将相位偏移与度数关联起来：

$$\text{相位步长} = 360^\circ / (\text{分频比}) = 360^\circ / \text{DIV}$$

再以上面的例子为例：

$$\text{DIV} = 4$$

$$\text{相位步长} = 360^\circ / 4 = 90^\circ$$

用度表示的不同相位偏移是：相位 = 0°、90°、180°、270°

$$\text{DIV} = 7$$

$$\text{相位步长} = 360^\circ / 7 = 51.43^\circ$$

用度表示的不同相位偏移是：相位 = 0°、51.43°、102.86°、

154.29°、205.71°、257.15°、308.57°

延迟模块

OUT5和OUT6 (LVDS/CMOS)包括模拟延迟元件，通过寄存器0x34至寄存器0x3A编程，可在经过该输出的时钟信号中产生可变时间延迟(Δt)。

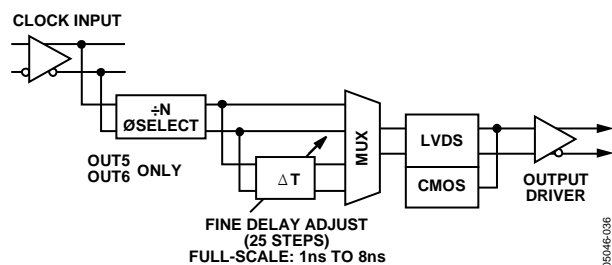


图40. 模拟延迟(OUT5和OUT6)

可用的延迟量由被延迟的时钟频率决定。延迟量可接近时钟周期的一半。例如，对于10 MHz时钟，延迟元件支持的最大延迟是整8 ns。然而，对于100 MHz时钟(50%占空比)，最大延迟小于5 ns(或周期的一半)。

OUT5和OUT6支持1 ns到8 ns的满量程延迟。要选择满量程延迟，应将适当的值写入寄存器0x35和寄存器0x39，以选择斜坡电流和电容数的组合。每个满量程有25个精密延迟设置(寄存器0x36和寄存器0x3A = 00000b至11000b)，由寄存器0x36和寄存器0x3A设置。

该路径增加的抖动大于无延迟输出的额定抖动。因此，延迟功能主要用于为数字芯片提供时钟，如FPGA、ASIC、DUC和DDC等，而不是用于数据转换器。满量程越长(~8 ns)，抖动越高。这是因为延迟模块使用斜坡和跳变点来产生可变延迟。斜坡越长意味着引入的噪声越高。

计算延迟

下面的值和公式用于计算延迟模块的延迟时间。

斜坡电流控制位的值(寄存器0x35或寄存器0x39 [2:0]) = I_{RAMP_BITS}

$$I_{RAMP} (\mu A) = 200 \times (I_{RAMP_BITS} + 1)$$

电容数 = 斜坡控制电容(寄存器0x35或寄存器0x39[5:3])中的0数 + 1(也就是说，101 = 1 + 1 = 2; 110 = 2; 100 = 2 + 1 = 3; 001 = 2 + 1 = 3; 111 = 0 + 1 = 1)

$$DELAY_RANGE (ns) = 200 \times ((\text{电容数} + 3) / (I_{RAMP})) \times 1.3286$$

$$\text{偏移} (ns) = 0.34 + (1600 - I_{RAMP}) \times 10^{-4} + \left(\frac{\text{电容数} - 1}{I_{RAMP}} \right) \times 6$$

$$DELAY_FULL_SCALE (ns) = DELAY_RANGE \times (24/31) + \text{偏移}$$

$FINE_ADJ$ = 延迟精密调整的值(寄存器0x36或寄存器0x3A[5:1]); 也就是说，11000 = 24

$$\text{延迟} (ns) = \text{偏移} + DELAY_RANGE \times FINE_ADJ \times (1/31)$$

输出

AD9510提供三种不同的输出电平选择：LVPECL、LVDS和CMOS。OUT0至OUT3仅为LVPECL。OUT4至OUT7可以选择LVDS或CMOS。各路输出均可根据需要而使能或关断以降低功耗。

LVPECL输出的简化等效电路参见图41。

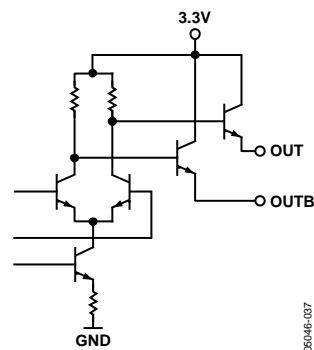


图41. 简化的LVPECL输出等效电路

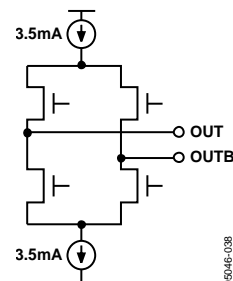


图42. 简化的LVDS输出等效电路

关断模式

芯片关断或休眠模式—PDB

PDB芯片可关闭AD9525的大部分功能和电流。PDB模式使能时，将FUNCTION引脚拉至逻辑低电平便会激活芯片关断。在重新拉高PDB之前，芯片将一直处于关断状态。唤醒时，AD9510返回到关断前其寄存器中的设置，除非在PDB模式有效期间寄存器被新设置更改。

PDB关断模式会关闭芯片上的电流，但保持LVPECL输出处于安全关断模式所需的偏置电流除外。这是为了保护LVPECL输出电路免受三态时某些终端和负载配置可能引起的损害。由于这不是完全关断，因此也可称之为休眠模式。

当AD9510处于PDB关断或休眠模式时，芯片的状态如下：

- PLL关闭(异步关断)。
- 所有时钟和同步电路关闭。
- 所有分频器均关闭。
- 所有LVDS/CMOS输出关闭。
- 所有LVPECL输出处于安全关断模式。
- 串行控制端口有效，芯片可以响应命令。

如果AD9510时钟输出必须彼此同步，则退出关断模式时需要一个SYNC信号(参见“单芯片同步”部分)。

PLL关断

AD9510的PLL部分可以选择性关断。PLL关断模式通过寄存器0x0A[1:0]设置，分为三种，如表20所示。

表20. 寄存器0x0A：PLL关断

[1]	[0]	模式
0	0	正常工作
0	1	异步关断
1	0	正常工作
1	1	同步关断

在异步关断模式下，寄存器一旦更新，器件就会关断。

在同步关断模式下，PLL关断受电荷泵控制，防止发生不需要的跳频。寄存器更新后，器件在下一个电荷泵事件发生时进入关断状态。

分配关断

通过写入寄存器0x58[3] = 1以关闭分配部分的偏置电流，可以关断分配部分。如果LVPECL关断模式为正常工作[00]，则LVPECL输出上的低阻抗负载在关断期间可能会消耗相

当大的电流。如果LVPECL关断模式被设为[11]，则LVPECL输出不存在反向偏置保护，在某些终端条件下可能会受损。

与PLL关断一起使用时，AD9510的关断模式电流最低。

各时钟输出独立关断

通过SCP写入相应的寄存器，可以单独关断任意时钟分配输出。寄存器映射详细说明了各路输出的关断设置。无论LVDS/CMOS输出的负载配置如何，均可这些输出其关断。

LVPECL输出具有多种关断模式(参见表25中的寄存器地址3C、寄存器地址3D、寄存器地址3E和寄存器地址3F)。这为处理不同输出终端条件提供了灵活性。当模式设置为[10]时，LVPECL输出受到高达 $2V_{BE} + 1V$ 的反向偏置保护。如果模式设置为[11]，则LVPECL输出不存在反向偏置保护，在某些终端条件下可能会受损。这一设置也会影响通过寄存器0x58[3] = 1b关断分配模块时的操作(参见“分配关断”部分)。

各电路模块独立关断

AD9510的许多电路模块(CLK1、CLK2、REFIN等)可以独立关断。当不需要某些芯片功能时，用户可以灵活地配置器件以省电。

复位模式

AD9510可通过多种方式来迫使芯片进入复位状态。

上电复位— V_S 已经施加时的启动条件

V_S 电源接通时便会发出上电复位(POR)信号。这将把芯片初始化到默认寄存器设置所确定的上电状态，如表24的默认值栏所示。

通过FUNCTION引脚进行异步复位

如“FUNCTION引脚”部分所述，硬复位(RESETB：寄存器0x58[6:5] = 00b(默认值))可将芯片恢复到默认设置。

通过串行端口进行软复位

通过串口控制端口写入寄存器0x00[5] = 1b，可启动软复位。此位置1时，芯片就会执行软复位。除寄存器0x00之外的内部寄存器将恢复默认值。

此位不会自动清0。要使器件继续工作，必须写入寄存器0x00[5] = 0b。

单芯片同步

SYNCB—硬件SYNC

AD9510的时钟可以随时彼此同步。时钟输出彼此之间处于已知状态，随后便可从该状态步调一致地继续工作。同步完成前，必须设置FUNCTION引脚用作“SYNCB：寄存器0x58[6:5] = 01b输入(寄存器0x58[6:5] = 01b)”。迫使FUNCTION引脚变为低电平，产生SYNCB信号然后释放，便完成同步。

有关发出“SYNCB：寄存器0x58[6:5] = 01b”信号时所发生事件的详细说明，请参见“SYNCB：寄存器0x58[6:5] = 01b”部分。

软同步—寄存器0x58[2]

通过寄存器0x58[2]可发出软同步信号。除极性相反外，此软同步的工作原理与SYNCB相同。此位写入1将迫使时钟输出彼此之间处于已知状态。随后写入0时，时钟输出从该状态步调一致地继续工作。

多芯片同步

AD9510提供了两个或更多AD9510同步的方法。这不是主动同步，需要用户监控和操作。两个AD9510同步的配置如图43所示。

同步两个或更多AD9510需要一个快速时钟和一个慢速时钟。快速时钟可以高达1 GHz，并且可以是驱动主AD9510 CLK1输入或主器件输出之一的时钟。快速时钟用作从AD9510分配部分的输入，并连接到CLK1输入。可以使用主器件上的PLL，但不使用从器件PLL。

慢速时钟是两个芯片同步的时钟。此时钟不得快于快速时钟的四分之一，并且不得高于250 MHz。慢速时钟从主AD9510的一路输出获得，用作从AD9510的REFIN(或CLK2)输入。从器件的输出之一必须将该相同频率送回从器件的CLK2(或REFIN)输入。

在从AD9510上写入寄存器0x58[0] = 1可启用多芯片同步。此位置1时，STATUS引脚成为SYNC信号的输出。低电平信号表示已同步状态，高电平信号表示未同步状态。

寄存器0x58[1]选择快速时钟周期数，以确定被视为同步的慢速时钟边沿的最大间隔。当寄存器0x58[1] = 0(默认值)时，慢速时钟边沿的重合时间必须在1到1.5个高速时钟周期内。如果慢速时钟边沿的重合时间小于此值，SYNC标志将保持低电平。如果慢速时钟边沿的重合时间大于此值，SYNC标志将置位高电平。当寄存器0x58[1] = 1b时，要求重合时间为0.5到1个快速时钟周期。

只要SYNC标志设为高电平(表示未同步状态)，同时施加于两个AD9510的FUNCTION引脚的SYNCB信号就会将慢速时钟拉回同步。

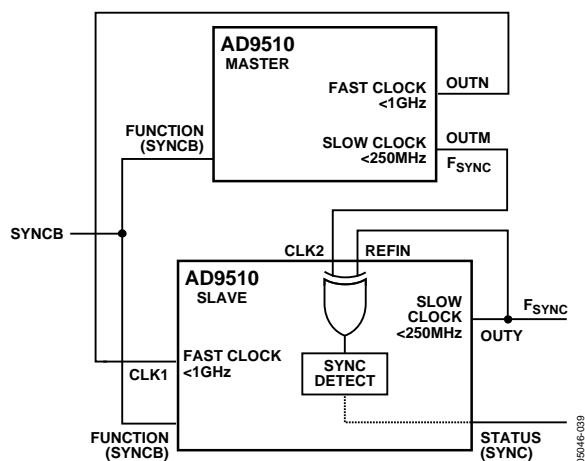


图43. 多芯片同步

串行控制端口

AD9510 串行控制端口是一种灵活的同步串行通信端口，可以很方便地与多种工业标准微控制器和微处理器接口。该端口兼容大多数同步传输格式，包括 Motorola SPI® 和 Intel® SSR® 协议。通过此串行控制端口，可以对所有配置 AD9510 的寄存器进行读/写操作。它支持单字节和多字节传输，以及 MSB 优先和 LSB 优先传输格式。AD9510 串行控制端口可以针对一个双向输入/输出引脚(仅 SDIO)或两个单向输入/输出引脚(SDIO/SDO)配置。

串行控制端口引脚功能描述

SCLK(串行时钟)是串行移位时钟，此引脚为输入。SCLK 用来使串行控制端口的读写操作同步。写入数据位在该时钟的上升沿记录，读出数据位则在下降沿记录。此引脚由一个 30 kΩ 电阻内部下拉至地。

SDIO(串行数据输入/输出)是一个两用引脚，既可以仅用作输入，也可以同时用作输入和输出。AD9510 的输入/输出默认使用两个单向引脚，SDIO 用作输入，SDO 用作输出。或者，也可以写入 SDO 使能寄存器(寄存器 0x00[7] = 1b)，从而将 SDIO 用作双向输入/输出引脚。

SDO(串行数据输出)仅用于单向输入/输出模式(寄存器 0x00[7] = 0，默认值)，作为回读数据的独立输出引脚。AD9510 默认采用该输入/输出模式。通过写入 SDO 使能寄存器(寄存器 0x00[7] = 1)，可启用双向输入/输出模式(SDIO 同时用作输入和输出)。

CSB(片选信号)是低电平有效控制，用来选通读写周期。当 CSB 为高电平时，SDO 和 SDIO 处于高阻态。此引脚由一个 30 kΩ 电阻内部下拉至地。不要让其不连接或接低电平。有关通信周期中 CSB 的使用，请参见“串行控制端口通用操作”部分。

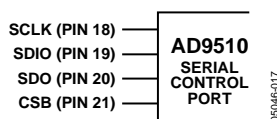


图44. 串行控制端口

串行控制端口通用操作

用 CSB 构造通信周期帧

每个通信周期(写操作或读操作)都通过 CSB 线路选通。CSB 必须变为低电平才能启动一个通信周期。完成一个通信周期后，CSB 必须变为高电平(见图 52)。在各写或读周期的末尾(字节边界)，如果 CSB 未变为高电平，最后一个字节将不会载入寄存器缓冲器。

在传输三个或更少字节的数据(加上指令数据)的模式中(W1:W0 必须设置为 00、01 或 10，见表 21)，支持 CSB 空闲高电平。在这些模式中，CSB 可以在任何字节边界上暂时返回高电平，使系统控制器有时间处理下一个字节。CSB 仅可以在字节边界上进入高电平，但它可以在传输的任一阶段(指令或数据)进入高电平。在此期间，串行控制端口状态机进入等待状态，直到所有数据发送完毕。如果数据尚未发送完毕，而系统控制器决定中止传输，则必须完成剩余传输，或者使 CSB 返回低电平并至少保持一个完整的 SCLK 周期(但少于 8 个 SCLK 周期)，使状态机复位。在非字节边界上拉高 CSB 将终止串行传输并刷新缓冲器。

在流模式中(W1:W0 = 11b)，可以连续流形式传输任意数量的数据字节，寄存器地址自动递增或递减(参见“MSB/LSB 优先传输”部分)。在传输最后一个字节结束时，必须拉高 CSB，从而结束流模式。

通信周期—指令加数据

AD9510 的通信周期可分为两个部分。第一部分是在前 16 个 SCLK 上升沿将一个 16 位指令字写入 AD9510。该指令字向 AD9510 串行控制端口提供有关数据传输(即通信周期的第二部分)的信息，明确即将发生的数据传输是读操作还是写操作，数据传输的字节数，以及数据传输中第一个字节的起始寄存器地址。

写操作

如果指令字定义了一个写操作(I15 = 0b)，则第二部分便是将数据传输至 AD9510 的串行控制端口缓冲器。传输长度(1/2/3 字节或流模式)由指令字节中的 2 个位(W1:W0)表示。在每个 8 位序列之后可以拉高 CSB，以使总线空闲，但最后一个字节之后除外，此时会结束通信周期。当总线空闲时，如果 CSB 变为低电平，就会恢复串行传输。停止在非字节边界会复位串行控制端口。

由于数据是写入串行控制端口缓冲区，而不是直接写入 AD9510 的实际控制寄存器，因此需要额外的操作来将串行控制端口缓冲内容传输到 AD9510 的实际控制寄存器，从而使其生效。该更新命令包括写入寄存器 0x5A[0] = 1b。此更新位是自清 0 位(不需要写入 0 来清 0)。由于发出更新命令之前可以更改任意数量的数据字节，因此更新操作会同时使能上次更新以来的所有寄存器更改。

相位偏移或分频器同步要等到发出 SYNC 后才有效(参见“单芯片同步”部分)。

读操作

如果指令字定义了一个读操作($I15 = 1b$)，在接下来的 $N \times 8$ 个SCLK周期中，数据从指令字所规定的地址逐个输出，其中 N 为1至4，由 $W1:W0$ 确定。回读数据在SCLK的下降沿有效。

AD9510串行控制端口的默认模式是单向模式，因此，请求的数据出现在SDO引脚上。可以通过写入SDO使能寄存器(寄存器 $0x00[7] = 1b$)，将AD9510设为双向模式。在双向模式下，回读数据出现在SDIO引脚上。

回读请求读取串行控制端口缓冲区中的数据，而不是AD9510实际控制寄存器中的有效数据。

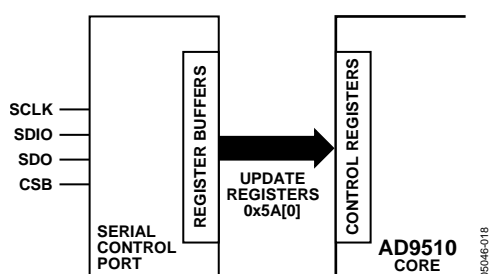


图45. AD9510串行控制端口寄存器缓冲器与控制寄存器之间的关系

AD9510使用地址 $0x00$ 到地址 $0x5A$ 。虽然AD9510串行控制端口同时支持8位和16位指令，但8位指令模式只能访问5个地址位($A4$ 到 $A0$)，因而只能使用从地址 $0x00$ 到地址 $0x01$ 的地址空间。上电时，AD9510默认采用16位指令模式。8位指令模式(虽然对此串行控制端口做了规定)对AD9510没有用处，因此不予进一步讨论。

指令字(16位)

指令字的MSB为 R/\overline{W} ，表示该指令是读操作还是写操作。接下来的两位($W1:W0$)表示传输长度，单位为字节。最后13位($A12:A0$)是读或写操作的起始地址。

对于写操作，指令字之后是位 $W1:W0$ 所代表的字节数，其解读参见表21。

表21. 字节传输计数

W1	W0	传输字节数
0	0	1
0	1	2
1	0	3
1	1	流模式

A12:A0：这13位选择通信周期数据传输阶段写入或读取的寄存器地址(寄存器映射范围内)。AD9510未使用全部13位地址空间。只需使用位 $[A6:A0]$ 就能涵盖AD9510所用的全部地址 $0x5A$ 寄存器。位 $[A12:A7]$ 必须始终为 $0b$ 。对于多字节传输，此地址是起始字节地址。在MSB优先模式中，后续字节会递增该地址。

MSB/LSB优先传输

AD9510指令字和字节数据可以是MSB优先或LSB优先。默认设置为MSB优先。将 $1b$ 写入寄存器 $0x00[6]$ 可以设置LSB优先模式，它会立即生效，因为这只影响串行控制端口的操作，而不需要执行更新。LSB优先位置 1 后，所有串行控制端口操作立即变为LSB优先。

当MSB优先模式有效时，指令和数据字节必须按照从MSB到LSB的顺序写入。采用MSB优先格式的多字节数据传输由一个包括最高有效数据字节的寄存器地址的指令字节开始。后续数据字节必须按照从高地址到低地址的顺序传输。在MSB优先模式下，多字节传输周期每传输一个数据字节，串行控制端口的内部地址产生器便递减 1 。

当LSB_FIRST = $1b$ (LSB优先)时，指令和数据字节必须按照从LSB到MSB的顺序写入。采用LSB优先格式的多字节数据传输由一个包括最低有效数据字节的寄存器地址的指令字节开始，其后是多个数据字节。多字节传输周期每传输一个字节，串行控制端口的内部字节地址产生器便递增 1 。

如果MSB优先模式有效(默认)，AD9510串行控制端口的寄存器地址将从刚才向地址 $0x0000$ 写入多字节输入/输出操作的寄存器地址开始递减。如果LSB优先模式有效，串行控制端口的寄存器地址将从刚才向地址 $0x1FFF$ 写入多字节输入/输出操作的寄存器地址开始递增。

多字节输入/输出操作期间不会跳过未使用的地址，因此，多字节输入/输出操作必须避免包括这些地址。

AD9510

表22. 串行控制端口，16位指令字，MSB优先

MSB														LSB	
I15	I14	I13	I12	I11	I10	I9	I8	I7	I6	I5	I4	I3	I2	I1	I0
R/W	W1	W0	A12 = 0	A11 = 0	A10 = 0	A9 = 0	A8 = 0	A7 = 0	A6	A5	A4	A3	A2	A1	A0

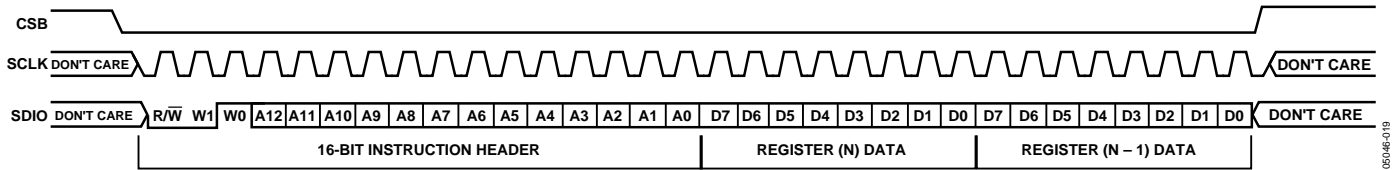


表46. 串行控制端口写入：MSB优先，16位指令，2字节数据

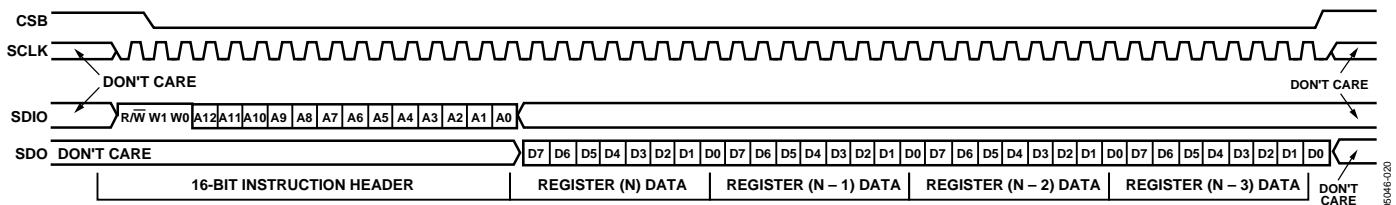


表47. 串行控制端口读取：MSB优先，16位指令，4字节数据

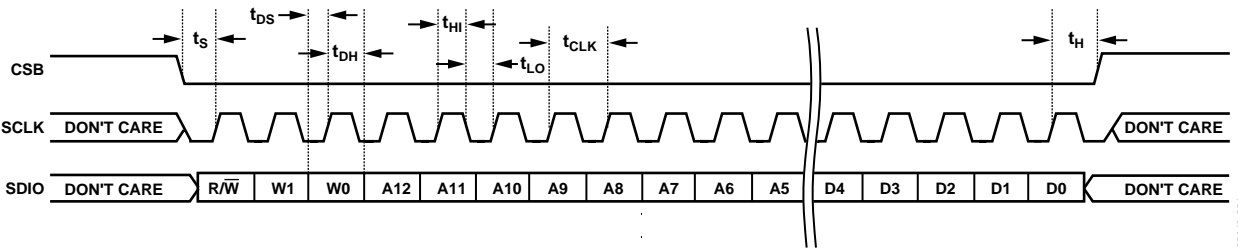


表48. 串行控制端口写入：MSB优先，16位指令，时序测量

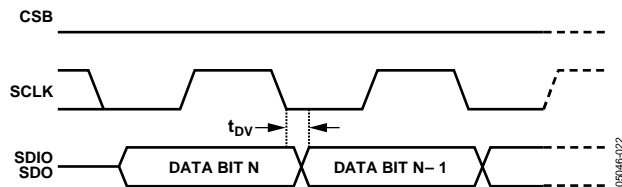


图49. 串行控制端口寄存器读取时序图

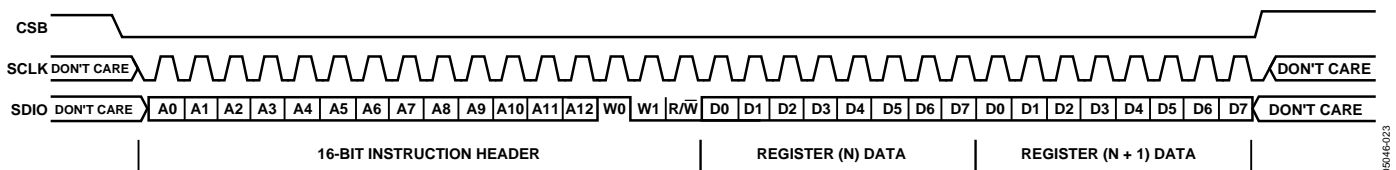


表50. 串行控制端口写入：LSB优先，16位指令，2字节数据

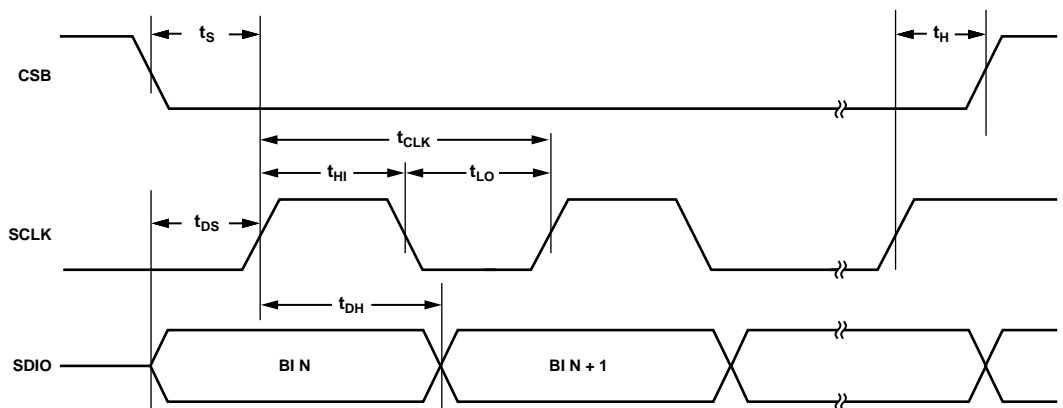
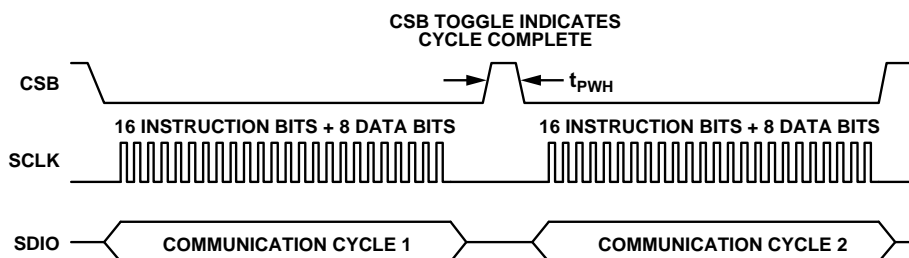


图51. 串行控制端口写操作时序

表23. 串行控制端口时序

参数	描述
t_{DS}	数据与SCLK上升沿之间的建立时间
t_{DH}	数据与SCLK上升沿之间的保持时间
t_{CLK}	时钟周期
t_s	CSB与SCLK之间的建立时间
t_H	CSB与SCLK之间的保持时间
t_{HI}	SCLK应处于逻辑高电平状态的最短时间
t_{LO}	SCLK应处于逻辑低电平状态的最短时间



TIMING DIAGRAM FOR TWO SUCCESSIVE CUMMUNICATION CYCLES. NOTE THAT CSB MUST BE TOGGLED HIGH AND THEN LOW AT THE COMPLETION OF A COMMUNICATION CYCLE.

图52. 使用CSB定义通信周期

AD9510

寄存器映射和描述

汇总表

表24. AD9510寄存器映射

地址 (十六 进制)	参数	位7 (MSB)	位6	位5	位4	位3	位2	位1	位0 (LSB)	Def. Value (Hex)	注释		
00	串行控制 端口配置	SDO无效 (双向模式)	LSB_ FIRST	软 复位	长 指令	不用				10			
01		不用											
02		不用											
03		不用											
	PLL											PLL在 关断模式 下启动	
04	A计数器	不用		6位A计数器[5:0]							00	N分频器 (A)	
05	B计数器	不用			13位B计数器, 位[12:8], MSB[4:0]							00	N分频器 (B)
06	B计数器	13位B计数器, 位[7:0], LSB[7:0]										00	N分频器 (B)
07	PLL 1	不用	LOR LOCK_DEL[6:5]		不用		LOR 使能	不用				00	
08	PLL 2	不用	PFD 极性	STATUS引脚上的PLL复用选择[5:2]信号				CP模式[1:0]			00		
09	PLL 3	不用	CP电流[6:4]			不用	复位R 计数器	复位N 计数器	复位所 有计数器		00		
0A	PLL 4	不用	B 旁路	不用	预分频器P[4:2]			关断[1:0]			01	N分频器 (P)	
0B	R分频器	不用		14位R分频器, 位[13:8], MSB[5:0]							00	R分频器	
0C	R分频器	14位R分频器, 位[13:8], MSB[7:0]										00	R分频器
0D	PLL 5	不用	数字 锁定 检测 使能	数字 锁定 检测 窗口	不用			防反冲脉 冲宽度[1:0]			00		
0E33		不用											
	精密延迟 调整												旁路精密 延迟
34	延迟 旁路5	不用							旁路			01	旁路延迟
35	延迟 满量程5	不用		斜坡电容[5:3]			斜坡电流[2:0]				00	最大延迟 满量程	
36	延迟 精密调整5	不用		5位精密延迟[5:1](00000b至11000b)					必须是 0		00	最小 延迟值	
37		不用										04	
38	延迟 旁路6	不用							旁路			01	旁路延迟
39	延迟 满量程6	不用		斜坡电容[5:3]			斜坡电流[2:0]				00	最大延迟 满量程	
3A	延迟 精密调整6	不用		5位精密延迟[5:1](00000b至11000b)					不用		00	最小 延迟值	
3B		不用										04	
	输出												
3C	LVPECL OUT0	不用				输出电平 [3:2]		关断 [1:0]			0A	关	
3D	LVPECL OUT1	不用				输出电平 [3:2]		关断 [1:0]			08	开	

地址 (十六 进制)	参数	位7 (MSB)	位6	位5	位4	位3	位2	位1	位0 (LSB)	Def. Value (Hex)	注释	
3E	LVPECL OUT2	不用				输出电平[3:2]		关断[1:0]		08	开	
3F	LVPECL OUT3	不用				输出电平[3:2]		关断[1:0]		08	开	
40	LVDS_CMOS OUT4	不用			CMOS 反相驱动 器开启	逻辑 选择	输出电平[2:1]		输出功率	02	LVDS, 开启	
41	LVDS_CMOS OUT5	不用			CMOS 反相驱动 器开启	逻辑 选择	输出电平[2:1]		输出功率	02	LVDS, 开启	
42	LVDS_CMOS OUT6	不用			CMOS 反相驱动 器开启	逻辑 选择	输出电平[2:1]		输出功率	03	LVDS, 关闭	
43	LVDS_CMOS OUT7	不用			CMOS 反相驱动 器开启	逻辑 选择	输出电平[2:1]		输出功率	03	LVDS, 关闭	
44		不用										
	CLK1 和 CLK2											输入 接收器
45	时钟选择, 关断(PD) 选项	不用		CLKs in PD	REFIN PD	CLK至 PLL PD	CLK2 PD	CLK1 PD	选择 CLK IN	01	所有时钟 开启, 选择CLK1	
46, 47		不用										
	分频器											
48	分频器0	低电平周期[7:4]				高电平周期[3:0]				00	2分频	
49	分频器0	旁路	不同步	强制	起始高/低	相位偏移[3:0]				00	相位 = 0	
4A	分频器1	低电平周期[7:4]				高电平周期[3:0]				00	2分频	
4B	分频器1	旁路	不同步	强制	起始高/低	相位偏移[3:0]				00	相位 = 0	
4C	分频器2	低电平周期[7:4]				高电平周期[3:0]				11	4分频	
4D	分频器2	旁路	不同步	强制	起始高/低	相位偏移[3:0]				00	相位 = 0	
4E	分频器3	低电平周期[7:4]				高电平周期[3:0]				33	8分频	
4F	分频器3	旁路	不同步	强制	起始高/低	相位偏移[3:0]				00	相位 = 0	
50	分频器4	低电平周期[7:4]				高电平周期[3:0]				00	2分频	
51	分频器4	旁路	不同步	强制	起始高/低	相位偏移[3:0]				00	相位 = 0	
52	分频器5	低电平周期[7:4]				高电平周期[3:0]				11	4分频	
53	分频器5	旁路	不同步	强制	起始高/低	相位偏移[3:0]				00	相位 = 0	
54	分频器6	低电平周期[7:4]				高电平周期[3:0]				00	2分频	
		旁路	不同步	强制	起始高/低							
55	分频器6	旁路	不同步	强制	起始高/低	相位偏移[3:0]				00	相位 = 0	
56	分频器7	低电平周期[7:4]				高电平周期[3:0]				00	2分频	
57	分频器7					相位偏移[3:0]				00	相位 = 0	
	功能											
58	FUNCTION 引脚和同步	不用	设置FUNCTION引脚		PD同步	关断 所有 参考	同步 寄存器	同步 选择	同步 使能	00	FUNCTION 引脚 = RESETB	
59		不用										
5A	更新 寄存器	不用							更新 寄存器	00	自清零位	
	结束											

AD9510

寄存器映射描述

表25按十六进制地址列出了AD9510控制寄存器。寄存器中的特定位或位域用方括号表示。例如，[3]表示位3，[5:2]表示从位5到位2的位域。表25逐位描述了控制寄存器的功能。更简练(但说明更少)的表格参见表24。

表25. AD9510寄存器描述

寄存器地址(十六进制)	位	名称	描述															
		串行控制端口配置	对该寄存器的任何变更都会立即生效。不必写入寄存器0x5A[0]更新寄存器。															
00	[3:0]		未用。															
00	[4]	长指令	此位设置(1)时，指令阶段为16位。此位清零(0)时，指令阶段为8位。 该器件的默认且唯一的模式是长指令(默认值 = 1b)。															
00	[5]	软复位	此位设置(1)时，芯片执行软复位，除此寄存器0x00之外的内部寄存器恢复默认值。 此位不会自动清0。必须写入零(0)才能将其清零。															
00	[6]	LSB_FIRST	此位设置(1)时，输入和输出数据以LSB优先的方式处理。此外，寄存器地址递增。 如果此位清零(0)，数据将以MSB优先的方式处理，寄存器地址递减(默认值 = 0b, MSB优先)。															
00	[7]	SDO无效(双向模式)	设置(1)时，SDO引脚为三态，所有读取数据送至SDIO引脚。 清零(0)时，SDO有效(单向模式)(默认值 = 0b)。															
		不用																
01	[7:0]		未用。															
02	[7:0]		未用。															
03	[7:0]		未用。															
		PLL设置																
04	[5:0]	A计数器	6位A计数器[5:0]。															
04	[7:6]		未用。															
05	[4:0]	B计数器MSB	13位B计数器的MSB[12:8]。															
05	[7:5]		未用。															
06	[7:0]	B计数器LSB	13位B计数器的LSB[7:0]。															
07	[1:0]		未用。															
07	[2]	LOR使能	1 = 使能参考丢失(LOR)功能(默认值 = 0b)。															
07	[4:3]		未用。															
07	[6:5]	LOR初始锁定检测延迟	LOR初始锁定检测延迟。一旦指示锁定检测，它便是开启LOR监控器前发生的鉴频鉴相器(PFD)周期数。															
			<table border="1"> <thead> <tr> <th>[6]</th> <th>[5]</th> <th>LOR初始锁定检测延迟</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>3个PFD周期(默认值)</td> </tr> <tr> <td>0</td> <td>1</td> <td>6个PFD周期</td> </tr> <tr> <td>1</td> <td>0</td> <td>12个PFD周期</td> </tr> <tr> <td>1</td> <td>1</td> <td>24个PFD周期</td> </tr> </tbody> </table>	[6]	[5]	LOR初始锁定检测延迟	0	0	3个PFD周期(默认值)	0	1	6个PFD周期	1	0	12个PFD周期	1	1	24个PFD周期
[6]	[5]	LOR初始锁定检测延迟																
0	0	3个PFD周期(默认值)																
0	1	6个PFD周期																
1	0	12个PFD周期																
1	1	24个PFD周期																
07	[7]		Not used.															
08	[1:0]	Charge	<table border="1"> <thead> <tr> <th>[1]</th> <th>[0]</th> <th>电荷泵模式</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>三态(默认)</td> </tr> <tr> <td>0</td> <td>1</td> <td>充电</td> </tr> <tr> <td>1</td> <td>0</td> <td>放电</td> </tr> <tr> <td>1</td> <td>1</td> <td>正常工作</td> </tr> </tbody> </table>	[1]	[0]	电荷泵模式	0	0	三态(默认)	0	1	充电	1	0	放电	1	1	正常工作
[1]	[0]	电荷泵模式																
0	0	三态(默认)																
0	1	充电																
1	0	放电																
1	1	正常工作																

寄存器地址(十六进制)	位	名称	描述
08	[5:2]	PLL复用控制	[5] [4] [3] [2] MUXOUT—STATUS引脚上的信号
			0 0 0 0 关闭(信号变为低电平)(默认)
			0 0 0 1 数字锁定检测(高电平有效)
			0 0 1 0 N分频器输出
			0 0 1 1 数字锁定检测(低电平有效)
			0 1 0 0 R分频器输出
			0 1 0 1 模拟锁定检测(N沟道, 开漏)
			0 1 1 0 A计数器输出
			0 1 1 1 预分频器输出(NCLK)
			1 0 0 0 PFD上升脉冲
			1 0 0 1 PFD下降脉冲
			1 0 1 0 参考丢失(高电平有效)。
			1 0 1 1 三态
			1 1 0 0 模拟锁定检测(P沟道, 开漏)
			1 1 0 1 参考丢失或失锁(DLD反转)(高电平有效)
1 1 1 0 参考丢失或失锁(DLD反转)(低电平有效)			
1 1 1 1 参考丢失(低电平有效)			
			MUXOUT是STATUS输出MUX的PLL部分。
08	[6]	鉴频鉴相器(PFD)极性	0 = 负(默认), 1 = 正。
08	[7]		未用。
09	[0]	复位所有计数器	0 = 正常(默认), 1 = 复位R、A和B计数器。
09	[1]	N计数器复位	0 = 正常(默认), 1 = 复位A和B计数器。
09	[2]	R计数器复位	0 = 正常(默认), 1 = 复位R计数器。
09	[3]		未用。
09	[6:4]	电荷泵(CP)电流设置	[6] [5] [4] ICP (mA)
			0 0 0 0.60
			0 0 1 1.2
			0 1 0 1.8
			0 1 1 2.4
			1 0 0 3.0
			1 0 1 3.6
			1 1 0 4.2
			1 1 1 4.8
09	[7]		未用。
0A	[1:0]	PLL关断	[1] [0] 模式
			0 0 正常工作
			0 1 异步关断
			1 0 正常工作
			1 1 同步关断

AD9510

寄存器地址(十六进制)	位	名称	描述				
0A	[4:2]	预分频器值 (P/P + 1)					
			[4]	[3]	[2]	模式	预分频器模式
			0	0	0	FD	1分频
			0	0	1	FD	2分频
			0	1	0	DM	2/3
			0	1	1	DM	4/5
			1	0	0	DM	8/9
			1	0	1	DM	16/17
			1	1	0	DM	32/33
			1	1	1	FD	3分频
			DM = 双模, FD = 固定分频。				
0A	[5]		未用。				
0A	[6]	B计数器旁路	仅当预分频器在固定分频(FD)模式下工作时有效。该位置1时, B计数器为1分频。这样便可通过预分频器设置确定N分频器的分频比。				
0A	[7]		未用。				
0B	[5:0]	14位参考计数器, R MSB	R分频器MSB[13:8]。				
0C	[7:0]	14位参考计数器, R LSB	R分频器MSB[7:0]。				
0D	[1:0]	防反冲脉冲宽度					
			[1]	[0]	防反冲脉冲宽度(ns)		
			0	0	1.3(默认)		
			0	1	2.9		
			1	0	6.0		
1	1	1.3					
0D	[4:2]		不用				
0D	[5]	数字锁定检测窗口					
			[5]	数字锁定检测窗口(ns)	数字锁定检测失锁阈值(ns)		
			0(默认)	9.5	15		
			1	3.5	7		
			如果PFD输入端的上升沿时间差小于锁定检测窗口时间, 则数字锁定检测标志置1。该标志将保持置1状态, 直到时间差大于失锁阈值。				
0D	[6]	锁定检测禁用	0 = 锁定检测正常工作(默认), 1 = 禁用锁定检测。				
0D	[7]		未用。				
			未用				
0E33			未用。				
		精密延迟调整					
34 38	[0]	延迟控制	延迟模块控制位。				
		OUT5 OUT6	旁路延迟模块并将其关断(默认值 = 1b)。				
34 38	[7:1]		未用。				

寄存器地址(十六进制)	位	名称	描述				
35 39	[2:0]	斜坡电流 OUT5 OUT6	最慢斜坡(200 μA)设置最长满量程, 大约10 ns。				
			[2]	[1]	[0]	斜坡电流(μA)	
			0	0	0	200	
			0	0	1	400	
			0	1	0	600	
			0	1	1	800	
			1	0	0	1000	
			1	0	1	1200	
			1	1	0	1400	
			1	1	1	1600	
35 39	[5:3]	斜坡电容 OUT5 OUT6	选择斜坡产生电路中的电容数。 电容越多, 则斜坡越慢。				
			[5]	[4]	[3]	电容数	
			0	0	0	4(默认)	
			0	0	1	3	
			0	1	0	3	
			0	1	1	2	
			1	0	0	3	
			1	0	1	2	
			1	1	0	2	
			1	1	1	1	
36 3A	[5:1]	延迟精密调整 OUT5 OUT6	设置斜坡满量程内的延迟; 分25步。 00000 → 零延迟(默认)。 11000 → 最大延迟。				
3C 3D 3E 3F	[1:0]	关断 LVPECL OUT0 OUT1 OUT2 OUT3					
			模式	[1]	[0]	描述	输出
			开	0	0	正常工作。	开
			PD1	0	1	仅供测试—不使用。	关
			PD2	1	0	安全关断。 部分关断; 在输出端有负载电阻时使用。	关
PD3	1	1	完全关断。 只能在输出端无负载电阻时使用。	关			
3C 3D 3E 3F	[3:2]	输出电平LVPECL OUT0 OUT1 OUT2 OUT3	LVPECL输出的输出单端电平。				
			[3]	[2]	输出电压(mV)		
			0	0	500		
			0	1	340		
			1	0	810(默认)		
1	1	660					

AD9510

寄存器地址(十六进制)	位	名称	描述																				
3C 3D 3E 3F	[7:4]		未用。																				
40 41 42 43	[0]	关断 LVDS/CMOS OUT4 OUT5 OUT6 OUT7	输出和LVDS驱动器的关断位。0 = LVDS/CMOS开启(默认), 1 = LVDS/CMOS关断。																				
40 41 42 43	[2:1]	输出电 流电 平 LVDS OUT4 OUT5 OUT6 OUT7	<table border="1"> <thead> <tr> <th>[2]</th> <th>[1]</th> <th>电流(mA)</th> <th>终端(Ω)</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>1.75</td> <td>100</td> </tr> <tr> <td>0</td> <td>1</td> <td>3.5(默认)</td> <td>100</td> </tr> <tr> <td>1</td> <td>0</td> <td>5.25</td> <td>50</td> </tr> <tr> <td>1</td> <td>1</td> <td>7</td> <td>50</td> </tr> </tbody> </table>	[2]	[1]	电流(mA)	终端(Ω)	0	0	1.75	100	0	1	3.5(默认)	100	1	0	5.25	50	1	1	7	50
[2]	[1]	电流(mA)	终端(Ω)																				
0	0	1.75	100																				
0	1	3.5(默认)	100																				
1	0	5.25	50																				
1	1	7	50																				
40 41 42 43	[3]	LVDS/CMOS选择 OUT4 OUT5 OUT6 OUT7	1 = LVDS(默认), 1 = CMOS。																				
40 41 42 43	[4]	反相CMOS 驱动器 OUT4 OUT5 OUT6 OUT7	仅在CMOS模式下影响输出。 0 = 禁用反相CMOS驱动器(默认); 1 = 使能反相CMOS驱动器。																				
40 41 42 43	[7:5]		未用。																				
44	[7:0]		未用。																				
45	[0]	时钟选择	0: CLK2驱动分配部分; 1: CLK1驱动分配部分(默认)。																				
45	[1]	CLK1关断	1 = CLK1输入关断(默认值 = 0b)。																				
45	[2]	CLK2关断	1 = CLK2输入关断(默认值 = 0b)。																				
45	[3]	预分频器 时钟关断	1 = 关断PLL预分频器的时钟信号(默认值 = 0b)。																				
45	[4]	REFIN关断	1 = 关断REFIN(默认值 = 0b)。																				
45	[5]	所有时钟 输入关断	1 = 关断CLK1和CLK2输入及相关的偏置和内部时钟树(默认值 = 0b)。																				
45	[7:6]		未用。																				
46	[7:0]		未用。																				
47	[7:0]		未用。																				

寄存器地址(十六进制)	位	名称	描述
48 4A 4C 4E 50 52 54 56	[3:0]	分频器高电平 OUT0 OUT1 OUT2 OUT3 OUT4 OUT5 OUT6 OUT7	分频器输出保持高电平的时钟周期数。
48 4A 4C 4E 50 52 54 56	[7:4]	分频器低电平 OUT0 OUT1 OUT2 OUT3 OUT4 OUT5 OUT6 OUT7	分频器输出保持低电平的时钟周期数。
49 4B 4D 4F 51 53 55 57	[3:0]	相位偏移 OUT0 OUT1 OUT2 OUT3 OUT4 OUT5 OUT6 OUT7	相位偏移(默认值 = 0000b)。
49 4B 4D 4F 51 53 55 57	[4]	起始 OUT0 OUT1 OUT2 OUT3 OUT4 OUT5 OUT6 OUT7	选择起始高电平或起始低电平(默认值 = 0b)。
49 4B 4D 4F 51 53 55 57	[5]	强制 OUT0 OUT1 OUT2 OUT3 OUT4 OUT5 OUT6 OUT7	强制各输出处于“起始”位指定的状态(参见本表上一部分)。此功能要求同时设置“不同步”(参见本表下一部分)(默认值 = 0b)。

AD9510

寄存器地址(十六进制)	位	名称	描述															
49 4B 4D 4F 51 53 55 57	[6]	不同步 OUT0 OUT1 OUT2 OUT3 OUT4 OUT5 OUT6 OUT7	忽略芯片级同步信号(默认值 = 0b)。															
49 4B 4D 4F 51 53 55 57	[7]	旁路分频器 OUT0 OUT1 OUT2 OUT3 OUT4 OUT5 OUT6 OUT7	旁路并关断分频器逻辑；时钟直接路由到输出(默认值 = 0b)。															
58	[0]	同步检测使能	1 = 使能同步检测(默认值 = 0b)。															
58	[1]	同步选择	1 = 慢速时钟不同步时间达0.5到1个高速时钟周期时设置标志。 0(默认)= 慢速时钟不同步时间达1到1.5个高速时钟周期时设置标志。															
58	[2]	软同步	在SYNCB模式下，除极性相反外，软同步位的工作原理与FUNCTION引脚相同。 也就是说，高电平迫使所选输出处于已知状态，由高到低转换触发同步(默认值 = 0b)。															
58	[3]	分配参考关断	1 = 关断分配部分的参考(默认值 = 0b)。															
58	[4]	同步关断	1 = 关断SYNC(默认值 = 0b)。															
58	[6:5]	FUNCTION 引脚选择	<table border="1"> <thead> <tr> <th>[6]</th> <th>[5]</th> <th>功能</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>RESETB(默认)</td> </tr> <tr> <td>0</td> <td>1</td> <td>SYNCB</td> </tr> <tr> <td>1</td> <td>0</td> <td>仅供测试，不使用</td> </tr> <tr> <td>1</td> <td>1</td> <td>PDB</td> </tr> </tbody> </table>	[6]	[5]	功能	0	0	RESETB(默认)	0	1	SYNCB	1	0	仅供测试，不使用	1	1	PDB
[6]	[5]	功能																
0	0	RESETB(默认)																
0	1	SYNCB																
1	0	仅供测试，不使用																
1	1	PDB																
58	[7]		未用。															
59	[7:0]		未用。															
5A	[0]	更新寄存器	此位写入1将更新所有寄存器，并在下一个SCLK上升沿将所有串行控制端口寄存器缓冲器内容传输到控制寄存器。此位为自清零位，即不需要写入0就能恢复为0。															
5A	[7:1]		未用。															
结束																		

电源

AD9510要求采用 $3.3\text{ V} \pm 5\%$ 电源为VS供电。“技术规格”部分中的表格给出了电源电压在该范围时AD9510的预期性能。 V_S 引脚相对于GND的电压不得超过 -0.3 V 至 $+3.6\text{ V}$ 的绝对最大值范围。

电源走线布局和印刷电路板(PCB)接地层应遵循良好的工程惯例。用足够大的电容($>10\text{ }\mu\text{F}$)旁路PCB上的电源。所有电源引脚都应通过电容($0.1\text{ }\mu\text{F}$)充分旁路,这些电容应尽可能靠近器件。AD9510评估板(AD9510/PCBZ或AD9510-VCO/PCBZ)的布局提供了一个很好的示例。

AD9510是一款复杂器件,通过片内寄存器编程实现所需的工作配置。切断外部电源时,这些寄存器无法保存其内容。这意味着,如果 V_S 丢失足够长的时间,使得内部电压消失,寄存器将失去其编程值。精心的旁路设计可防止器件在正常工作期间丢失存储器内容。尽管如此,仍须确保 V_S 电源不会中断,否则AD9510可能失去其编程设置。

AD9510的内部偏置电流由 R_{SET} 和 CPR_{SET} 电阻设置。这些电阻的值应尽可能接近“技术规格”部分作为条件给出的值($R_{\text{SET}} = 4.12\text{ k}\Omega$, $\text{CPR}_{\text{SET}} = 5.1\text{ k}\Omega$)。这些值是标准1%电阻值,很容易获得。由这些电阻设置的偏置电流决定AD9510内部模块的逻辑电平和工作条件。“技术规格”部分给出的性能数据假设使用这些电阻值。

VCP引脚是电荷泵(CP)的电源引脚。此引脚的电压(V_{CP})可以是 V_S 到 5.5 V ,需与特定VCO/VCXO的调谐电压范围一致。此电压不得超过 6 V 的绝对最大值。此外, V_{CP} 不得比 V_S 或GND(以较低者为准)低 -0.3 V 或更多。

AD9510封装上的裸露金属焊盘不仅是一个散热器,而且是一个电气连接。为使器件正常工作,该焊盘必须妥善接地(GND)。PCB充当AD9510的散热器,因此,该GND连接必须提供良好的散热路径以通往更大的散热区域,如PCB上的接地层。AD9510评估板(AD9510/PCBZ或AD9510-VCO/PCBZ)的布局提供了一个很好的示例。

电源管理

可以管理AD9510的电源使用,使得电源仅满足所用功能的需要。不用的特性和电路可以关断以降低功耗。下列电路模块可以关断,或在未选用时关断(参见“寄存器映射和描述”部分):

- 不需要时,PLL部分可以关断。
- 若被旁路,任何分频器均可关断,相当于1分频。
- 未选用时,OUT5和OUT6上的可调延迟模块可以关断。
- 任何输出都可以关断。不过,LVPECL输出兼有安全模式和关闭模式。LVPECL输出端接时,只应使用安全关断来保护LVPECL输出器件。这仍会产生一定的功耗。
- 不需要时,整个分配部分都可以关断。

关断功能模块不会导致该模块的编程信息(在寄存器中)丢失。这意味着,功能模块可以随时开启和关闭,而不必对AD9510重新编程。但是,同步会丢失。必须发出同步信号以实现重新同步(参见“单芯片同步”部分)。

应用信息

在ADC时钟应用中使用AD9510输出

高速ADC对用户提供的采样时钟的质量极为敏感。ADC可以看作一个采样混频器，时钟上的任何噪声、失真或时间抖动都会与模数转换输出端的目标信号合并。时钟完整性要求随着模拟输入频率和分辨率的提高而提高，要求最苛刻的是14位分辨率以上的高模拟输入频率应用。ADC的理论信噪比(SNR)受ADC分辨率和采样时钟抖动限制。考虑一个无限分辨率的理想ADC，步进大小和量化误差可忽略不计，则可用SNR可以近似表示为：

$$SNR = 20 \times \log \left[\frac{1}{2\pi f t_j} \right]$$

其中：

f 为需要被数字化的最高模拟频率。

t_j 为采样时钟的均方根抖动。

图53显示出采样时钟抖动与模拟频率和有效位数(ENOB)的函数关系。

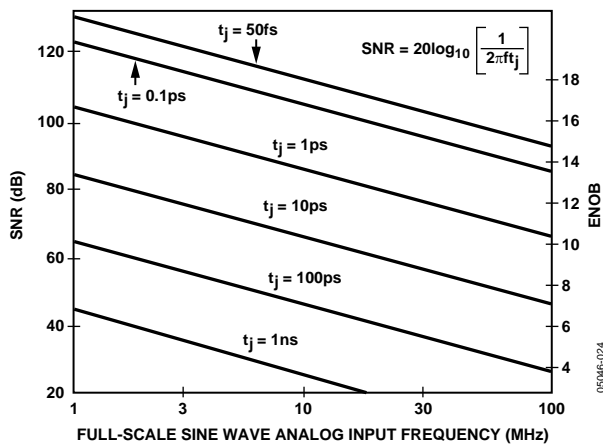


图53. ENOB和SNR与模拟输入频率的关系

参见应用笔记AN-756：“采样系统与时钟相位噪声和抖动的影响”和应用笔记AN-501：“孔径不确定性与ADC系统性能”。

许多高性能ADC均提供差分时钟输入功能，以简化在嘈杂的PCB上提供所需低抖动时钟的任务。(对嘈杂的PCB的单端时钟进行分配可导致在采样时钟信号中产生耦合噪声。差分分配具有共模抑制特性，可在嘈杂的环境下提供优越的时钟性能。)

AD9510的LVPECL和LVDS输出提供差分时钟输出，从而实现最大限度提高转换器信噪比性能的时钟方案。在选择最佳时钟/转换器解决方案时，要考虑ADC的输入需求(差分或单端、逻辑电平、终端)。

CMOS时钟分配

AD9510的四路时钟输出(OUT4至OUT7)可选择为CMOS或LVDS电平。选择为CMOS时，这些输出可驱动时钟输入需要CMOS电平逻辑的器件。

采用单端CMOS时钟时，应遵守以下一般原则。

如果可能的话，应设计点对点网络，使得一个驱动器仅与网络上的一个接收器对应。这样可以简化终端方案并降低因网络上的阻抗不匹配而导致的响铃振荡。通常需要源端的串联端接电阻提供传输线匹配和/或降低驱动器的瞬态电流。电阻值由电路板设计及时序要求决定；典型值为10 Ω至100 Ω。CMOS输出受能驱动的容性负载或走线长度的限制。通常，建议将走线长度控制在3英寸以内，以保持信号上升/下降时间和信号完整性。

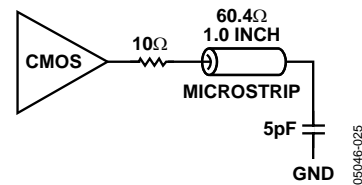


图54. CMOS输出的串行端接

PCB走线的远端端接是第二选项。AD9510的CMOS输出无法提供足够的电流，来为低阻抗远端终端提供全电压摆幅(见图55)。远端端接网络必须与PCB走线的阻抗相匹配并提供所需开关点。信号摆幅降低后仍可以满足某些应用对接收器输入的需求。在不太重要的网络中驱动长走线时，这一点非常有用。

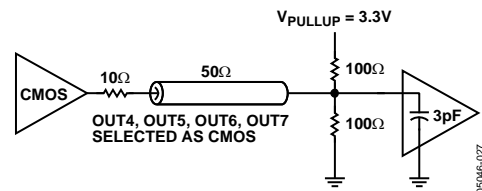


图55. 远端终端CMOS输出

由于单端CMOS时钟的限制，在长走线上驱动高速信号时，需考虑使用差分输出。AD9510同时提供LVPECL和LVDS输出，因此，当差分信号的固有抗扰度能够提供出色的时钟转换性能时，该器件能较好地驱动长走线。

LVPECL时钟分配

在AD9510的所有输出中，低压正发射极耦合逻辑(LVPECL)输出提供的时钟信号抖动最低。LVPECL输出(射极开路)要求直流端接以偏置输出晶体管。图41显示了LVPECL输出级的简化等效电路。

多数应用中，建议使用标准LVPECL远端端接，如图56所示。该电阻网络设计用于匹配传输线路阻抗(50 Ω)和所需的开关阈值(1.3 V)。

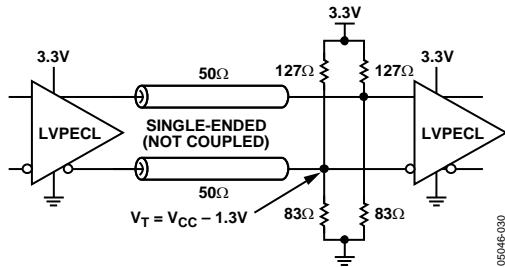


图56. LVPECL远端端接

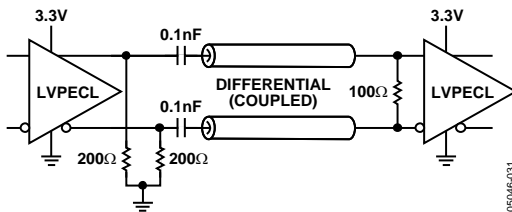


图57. LVPECL和并行传输线

LVDS时钟分配

低压差分信号(LVDS)是AD9510的第二种差分输出选项。LVDS使用电流模式输出级，具有多个用户可选的电流电平。此电流的正常值(默认)为3.5 mA，在100 Ω电阻条件下，可产生350 mV输出摆幅。LVDS输出符合并超过ANSI/TIA/EIA-644规格的要求。

推荐的LVDS输出端接电路见图58。

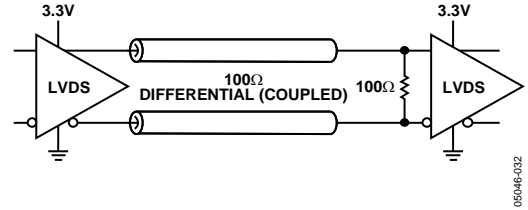


图58. LVDS输出端接

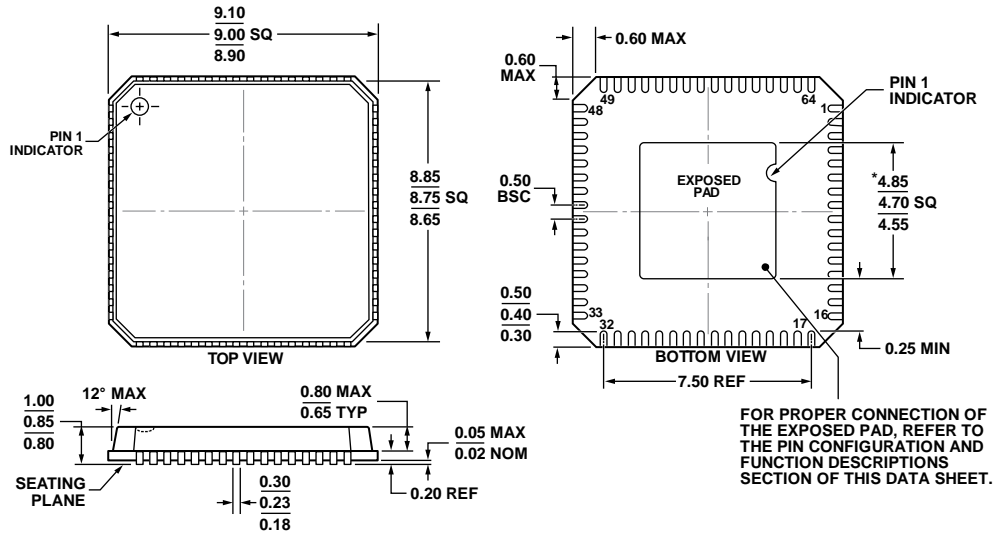
有关LVDS的更多信息，请参见应用笔记AN-586：“高速模数转换器的LVDS数据输出”。

电源和接地考虑以及电源抑制

很多应用寻求在不够理想的工作条件下实现高速度和高性能。在这些应用电路中，PCB的实施方式和构造与电路设计一样重要。对于器件选择、放置和布线，以及电源旁路和接地，必须采用适当的RF技术以确保性能最佳。

AD9510

外形尺寸



*COMPLIANT TO JEDEC STANDARDS MO-220-VMM-4 EXCEPT FOR EXPOSED PAD DIMENSION

图59. 64引脚引线框芯片级封装[LFCSP_VQ]
9 mm × 9 mm, 超薄体
(CP-64-1)
图示尺寸单位: mm

06-13-2012-A

订购指南

型号 ¹	温度范围	封装描述	封装选项
AD9510BCPZ	-40°C至+85°C	64引脚引线框芯片级封装[LFCSP_VQ]	CP-64-1
AD9510BCPZ-REEL7	-40°C至+85°C	64引脚引线框芯片级封装[LFCSP_VQ]	CP-64-1
AD9510/PCBZ		无VCO、VCXO或环路滤波器的评估板	
AD9510-VCO/PCBZ		带245.76 MHz VCXO、环路滤波器的评估板	

¹ Z = 符合RoHS标准的器件。