

基于DDS的时钟抖动性能与DAC重构滤波器性能的关系

作者: David Brandon和Ken Gentile

重构滤波器是从直接数字频率合成器(DDS)产生干净的低抖动时钟信号的重要部件。重构滤波器用于在DAC的输出端衰减镜像频率。但是,物理滤波器无法在无限频率范围内实现理想的阻带抑制。这是由器件寄生效应以及印刷电路板布局的物理限制引起的。如果未能使用具有充分阻带抑制的重构滤波器,可能会降低DDS的性能。

滤波器布局实验

本应用笔记介绍了一个滤波器布局实验的结果并讨论布局和器件选择对阻带抑制的影响。此实验关注的重点是本应用笔记中介绍的三种LC低通滤波器布局,即滤波器A、滤波器B和滤波器C。三种滤波器在元件值和所需响应特性方面几乎完全相同。实验目的是根据器件的物理布局和物理结构限定实验变量的范围。

ADI公司还提供配套应用笔记AN-823,应与本应用笔记一同作为参考。

使用DDS产生时钟信号时,DAC镜像频率衰减不足会严重影响系统周期性抖动性能。在幅度遵循 $\sin(x)/x$ 响应曲线的前提下,镜像频率理论上可扩展至无限频率。图1所示为DAC输出频谱。

通过以下公式,可计算任何所需镜像频率相对于 f_{OUT} 的理论幅度(dBc),其中 f 是镜像频率, f_c 是DAC采样速率:

$$dBc = 20 \log \left\{ \left(\frac{f_{OUT}}{f} \right) \left(\frac{\sin \left(\frac{\pi f}{f_c} \right)}{\sin \left(\frac{\pi f_{OUT}}{f_c} \right)} \right) \right\}$$

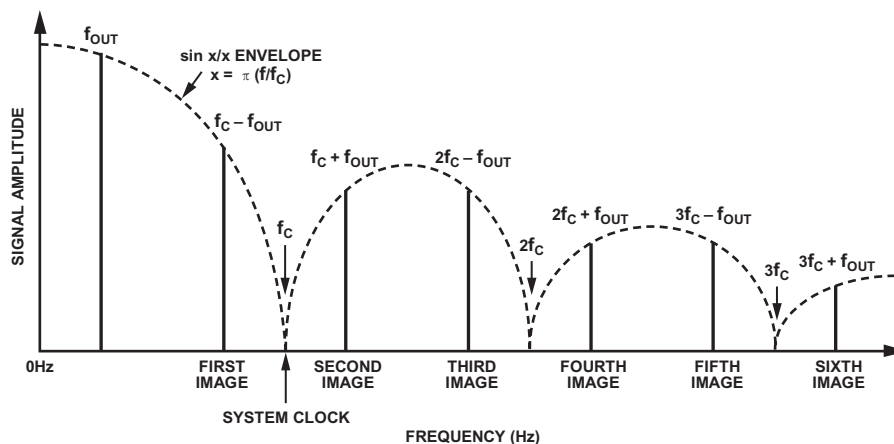


图1. DAC输出频谱

Rev. 0

Information furnished by Analog Devices is believed to be accurate and reliable. However, no responsibility is assumed by Analog Devices for its use, nor for any infringements of patents or other rights of third parties that may result from its use. Specifications subject to change without notice. No license is granted by implication or otherwise under any patent or patent rights of Analog Devices. Trademarks and registered trademarks are the property of their respective owners.

目录

滤波器布局实验	1
重构滤波器的重要性	3
分立LC低通滤波器设计	3
器件选择	3
分立LC低通椭圆滤波器的实现方法	3
滤波器实验结果	4
滤波器原理图	7
滤波器的材料清单	7
PCB滤波器布局考虑	8
结论	8

重构滤波器的重要性

图2所示为无重构滤波器时测得的镜像频率功率谱。所示的镜像频率衰减完全是由DAC输出的 $\sin(x)/x$ 响应引起的。这些镜像有时可用作信号，这种情况下需要带通滤波器，而非低通滤波器。在图2的频谱曲线图中，DDS采样时钟(f_c)是200 MHz， f_{OUT} 设置为10 MHz。

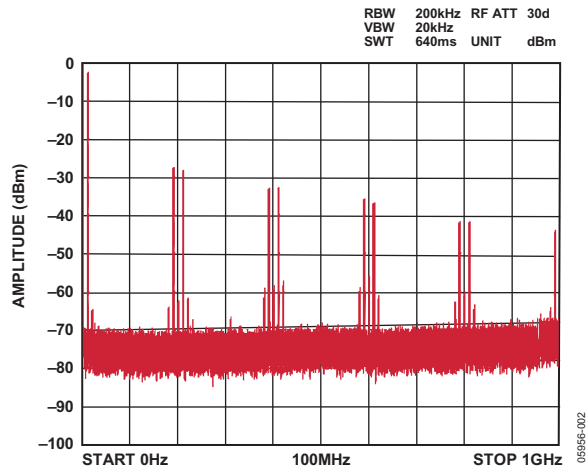


图2. 无重构滤波器的镜像频率示例

此曲线图(图2)表明了使用具有充分阻带抑制的重构滤波器的重要性。请注意，镜像频率中含有较大能量，必须消除，而这项任务依靠滤波器的阻带性能即可完成。遗憾的是，在实际操作中，当频率远远超出通带时，滤波器的阻带抑制性能就会下降。这是由非理想器件和印刷电路板(PCB)上器件的物理布局引起的。例如，实际使用的电容和电感并不完全具有容性或感性。

如图3所示，每一种模型均可包括阻性(R)、感性(L)和容性(C)元件。由这些模型可明显看出，存在一个由L和C组合构成的自谐振器件和一个由R引起的插入损耗器件。

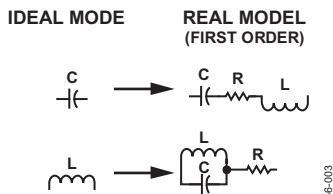


图3. 理想模型与实际模型

因为器件的走线焊盘之间存在寄生电容，寄生电容会无意间将信号从输入耦合至输出，所以滤波器布局会显著影响阻带抑制。要实现最优的阻带抑制，需要同时对器件选择和布局细节加以关注。评估滤波器的阻带性能时，应以远超出其设计转折频率的频率进行测量，以确保镜像频率能得到充分抑制。建议应在频率达到数千兆赫或至少达到 $5f_c$ 时观察阻带抑制。

SAW、晶振、陶瓷或预封装LC滤波器等现有滤波器均适合作为重构滤波器。但是，选择滤波器类型之前，要仔细确认滤波器制造商的数据手册中规定的阻带抑制和插入损耗。阻带抑制的技术规格始终针对有限带宽提供。此带宽可能过窄，无法确定是否适用于经过扩展的阻带抑制。这种情况下，要在最终选择之前确认滤波器阻带性能。

分立LC低通滤波器设计

分立LC低通滤波器的实施成本较低，并且具有较强的灵活性。从器件选择的角度来看，要实现最优的通带和阻带性能，首先要选择具有较高自谐振频率和较高Q特性的器件。具有较高Q额定值的器件的优点是其串联R值较低。在低通滤波器中，这种特性可以减少串联电感的插入损耗并降低旁路电容的阻抗。选择具有高Q和高自谐振频率的器件是一项颇有难度的任务。一般而言，根据构建电容和电感所涉及的物理学原理，高Q和高自谐振频率往往是互斥参数。为获得最佳性能，必须谨慎选择器件。

器件选择

各器件的自谐振频率由元件值及其物理结构决定。选择尺寸较小的封装通常是较佳的选择。较小的封装一般具有更高的自谐振频率并减少与PCB布局相关的寄生效应。对于旁路电容，可使用元件值仅为原始元件值一半的两个并联电容将自谐振推至更高的频率。此技术的影响在滤波器实验结果部分中予以说明。

选择插入损耗较小的器件可在滤波器输出端提供更大的信号幅度。幅度的降低会直接影响输出信号的压摆率。提高接收器或平方器的输入压摆率可降低宽带噪声。若要详细了解时序抖动环境下信号幅度的重要性，请参考AN-823。

分立LC低通椭圆滤波器的实现方法

一般推荐使用椭圆响应滤波器或考尔响应滤波器作为LC低通重构滤波器。与其他响应类型相比较，在给定复杂度(即滤波器阶数)的情况下，椭圆滤波器可提供最快的通带至阻带转换。

此特性使椭圆滤波器成为重构滤波器的理想方案。图4所示为考尔、切比雪夫、巴特沃兹和贝塞尔这四种基本滤波器的一组具有代表性的响应曲线。

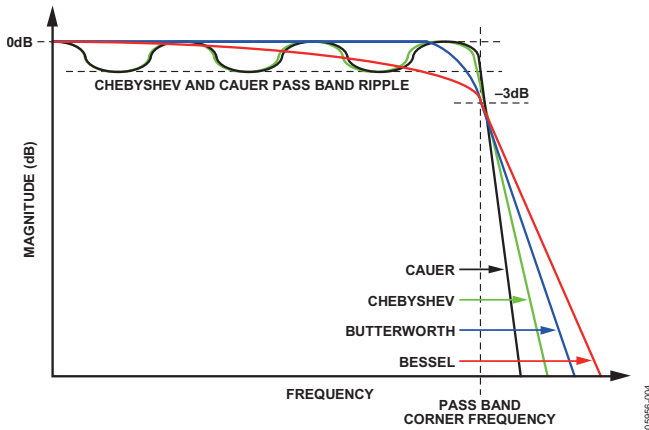


图4. 四种基本滤波器的响应曲线

椭圆响应能提供陡峭滚降，但代价是通带和阻带中会出现纹波。请注意，图4所示通带纹波的幅度为随意绘制，仅用于演示。虽然椭圆滤波器设计中难免会出现一些通带纹波，但它是滤波器设计人员可以控制的一项参数。因此，其幅度取决于具体滤波器设计。

通带纹波可影响某些DDS应用。在载波信号产生等单音应用中，通带纹波并非关键参数。但在某些应用中，会用DDS产生调制载波，这时就必须将通带纹波视为滤波器设计的关键因素。

LC滤波器根据驱动电路是电流源还是电压源而分为两种形式。如果由电流源驱动，则第一元件为并联连接，而对于电压源，第一元件为串联连接。

图5所示为并联连接、七阶、椭圆、低通LC滤波器。

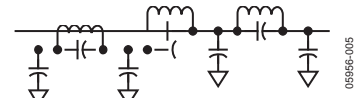


图5. 并联连接LC滤波器

滤波器实验结果

图7显示了从包含滤波器A、滤波器B和滤波器C的实验滤波器板中获得的结果。各曲线图中的顶部曲线是滤波器测得的频率响应；底部曲线是经过实验滤波器后DDS评估板测得的频谱。

测量配置如图6所示。

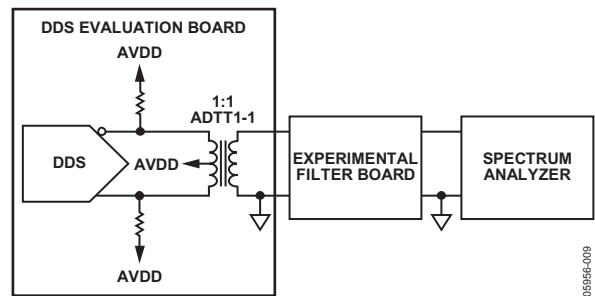


图6. 测量配置

请注意，DDS评估板内置一个带宽约为300 MHz的输出耦合变压器。因此，由于该变压器的响应，当频率高于300 MHz时，测得的频谱中存在额外衰减。

这三种LC低通椭圆滤波器的实现方案表明PCB布局会引起镜像抑制变化。三种方案实现的都是使用分立LC器件的七阶、椭圆、160 MHz低通滤波器。

各曲线图中经DDS滤波的输出频率都设置为110.123 MHz，DAC采样速率为500 MSPS(REFCLK)。请注意，变压器(Mini-Circuits®提供的ADTT1-1)以差分形式耦合DDS输出。变压器输出与滤波器输入实现单端连接。

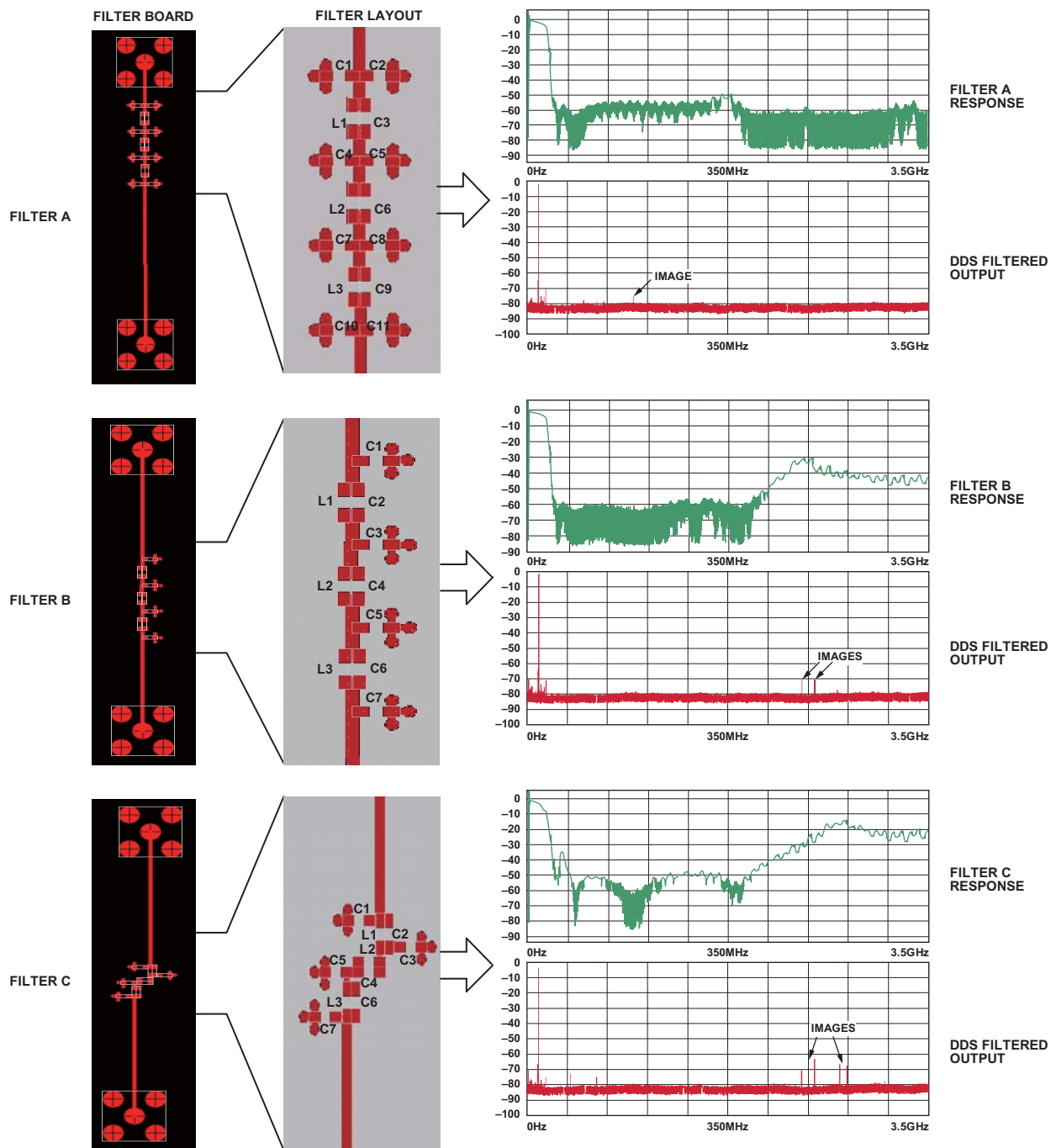


图7. 滤波器A、滤波器B和滤波器C的实验结果

05956-006

AN-837

图7所示滤波器测得的频率响应为0 Hz至3.5 GHz(测量仪器的频率上限)。对于1 GHz DDS, 建议将测量频率扩展至3.5 GHz以上, 以更好地确定滤波器阻带响应的特性。

在需要极低抖动的应用中, 充分抑制DAC镜像频率非常关键。实际上, 非谐波频谱杂散的幅度与所产生的周期性抖动之间存在直接关系, 公式如下:

$$JitterUI_{peak-to-peak} = \frac{1}{\pi} \arctan \left(10^{\frac{dBc}{20}} \right)$$

其中, dBc是相对于基波幅度的杂散幅度。

此公式曲线图如图8所示。抖动表示为峰峰值单位间隔(UI)。一个UI为一个相关时钟信号周期。用UI表示抖动, 可使该曲线图适用于任意时钟信号。例如, 如果一个时钟信号具有-35 dBc非谐波杂散, 则可以预期仅由该杂散即可引起约0.006 UI的峰峰值抖动。

假定时钟频率是100 MHz, 则1 UI为10 ns, 因此对于一个100 MHz时钟, 0.006 UI等于60 ps(0.006 × 10 ns)。使用此曲线图时, 切记抖动值适用于单杂散分量。存在多个杂散时, 前式所示的arctan函数自变量中必须对每个杂散的贡献求和。

例如, 与N个杂散相关的峰峰值抖动公式如下:

$$JitterUI_{peak-to-peak} = \frac{1}{\pi} \arctan \left(\sum_{n=1}^N 10^{\frac{dBc_n}{20}} \right)$$

此外, 该曲线图并不涉及随机抖动问题, 其效应必须单独考虑。

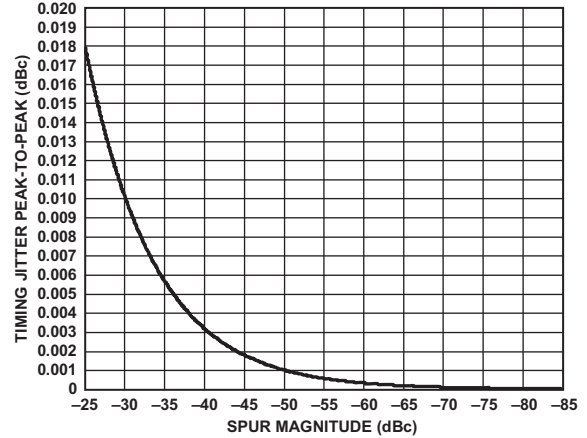


图8. 时序抖动与杂散干扰的关系

滤波器原理图

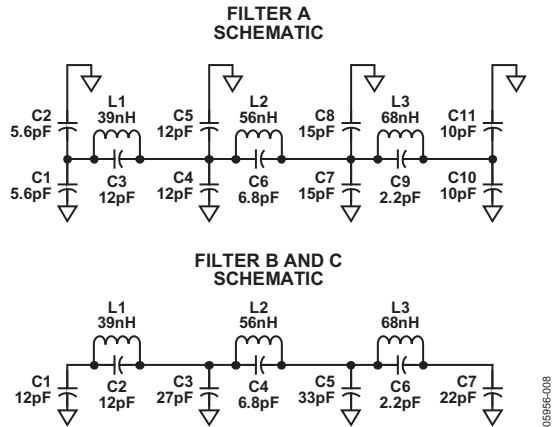


图9. 滤波器A原理图与滤波器B和滤波器C原理图的比较

滤波器的材料清单

滤波器A的材料清单如表1所示，滤波器B和滤波器C的材料清单如表2所示。这些材料清单需要注意以下几点：

- 所有材料的数量均为1。
- 所有材料的尺寸均为0402。
- 所有材料均由株式会社村田制作所生产。

表1. 滤波器A材料清单

参考编号	值	供应商产品型号
C1	5.6 pF	GRM1555C1H5R6DZ01
C2	5.6 pF	GRM1555C1H5R6DZ01
C3	12 pF	GRM1555C1H120JZ01
C4	12 pF	GRM1555C1H120JZ01
C5	12 pF	GRM1555C1H120JZ01
C6	6.8 pF	GRM1555C1H6R8DZ01
C7	15 pF	GRM1555C1H150JZ01
C8	15 pF	GRM1555C1H150JZ01
C9	2.2 pF	GRM1555C1H2R2CZ01
C10	10 pF	GRM1555C1H100JZ01
C11	10 pF	GRM1555C1H100JZ01
L1	39 nH	LQG15HS39NJ02D
L2	56 nH	LQG15HS56NJ02D
L3	68 nH	LQG15HS68NJ02D

表2. 滤波器B和滤波器C材料清单

参考编号	值	供应商产品型号
C1	12 pF	GRM1555C1H120JZ01
C2	12 pF	GRM1555C1H120JZ01
C3	27 pF	GRM1555C1H270JZ01
C4	6.8 pF	GRM1555C1H6R8DZ01
C5	33 pF	GRM1555C1H330JZ01
C6	2.2 pF	GRM1555C1H2R2CZ01
C7	22 pF	GRM1555C1H220JZ01
L1	39 nH	LQG15HS39NJ02D
L2	56 nH	LQG15HS56NJ02D
L3	68 nH	LQG15HS68NJ02D

PCB滤波器布局考虑

以下列出了可使重构滤波器获得最佳性能的实用布局技巧。

- 在器件下面使用实心(不间断)接地层来降低电路的环路电感，从而降低返回电流路径的阻抗。
- 滤波器A中，将一个Shunt电容用两个小电容来实现(参见图7)来提高电容的自谐振频率并降低感性接地。此外，对旁路器件结合使用底部接地层和顶部接地层。这样做可以进一步降低感性接地。使用多个过孔将两个接地层连在一起。
- 避免滤波器元件之间靠得太近。滤波器C(参见图7)是器件紧密布局的良好范例。器件布局紧密时，走线寄生和互耦会影响滤波器的频率响应。
- 所用器件的自谐振频率和Q因数越高越好。
- 保持走线的阻抗与滤波器的特性阻抗相匹配。虽然这一点对器件互连并非至关重要，但对于连至滤波器外部电路的走线(例如，输入和输出连接)而言却很重要。

结论

DDS是一种数据采样系统，其产生的频谱在采样频率的倍频附近排列着多个基波。

这些镜像频率的幅度是周期性抖动的主要来源。滤波器输出端和接收器输入带宽内的任何杂散都会降低性能，降低幅度与杂散幅度成正比。因此，选定DAC重构滤波器之前，应测量滤波器性能，以确保其满足具体应用要求。请记住，有些滤波器设计软件程序不支持加入器件和布局参数，这些程序只模拟理想的滤波器频率响应。实际频率响应将根据器件和印刷电路板的实际高频特性而变化。