

利用ADF702x上的测试DAC实现模拟FM DEMOD、SNR测量、FEC解码、PSK/4FSK解调等功能

作者: Austin Harney和Philip Quinlan

简介

ADF7020和ADF7020-1提供了访问FSK解调器输出的方式,可以方便地对诸如解调器输出信噪比、接收机眼图分析、模拟FM解调等功能进行外部测量。对于这些测量,对数字FSK解调器输出的访问是利用片内 $\Sigma\Delta$ (SD)调制器并结合一个外部无源RC网络实现的。这种网络提供一种模拟输出信号(测试DAC输出),用以复制片内数字FSK解调器的输出。

另外,1位过采样SD输出可直接连接至一个外部DSP,如ADI公司提供的Blackfin®BF53x系列或者高性能MCU。该连接便于对接收到的信号进行额外处理,例如维特比检测或PSK/QPSK/4FSK解调等功能的实现。

FSK解调器

产生模拟输出信号

图1中的框图展示了如何利用外部RC滤波器来重构数字FSK解调器的模拟输出。

该RC滤波器的主要目的是消除 $\Sigma\Delta$ 量化噪声。为此,该滤波器的有效3dB带宽应设为数据速率的1.5至2倍左右。EVAL-ADF70XXMB评估板上有一个3阶RC或LC滤波器的焊盘布局。请注意,设计滤波器时,3极点RC滤波器的有效3dB带宽等于单极点RC滤波器带宽的0.51倍。例如,若数据速率(DR) = 9.6 kbps,可得到15 kHz的截止频率(f_c)。利用可行的标准元件,结果得: R12、R13、R14 = 1 k Ω , C5、C6、C7 = 4.7 nF。

$\Sigma\Delta$ DAC时钟由片内CDR_CLK提供。尽管测试DAC功能为常规用户模式,即CDR_CLK被编程为32倍数据速率,但仅当CDR_CLK提高到DEMOM_CLK频率水平时才能实现最佳性能。这为 $\Sigma\Delta$ 转换器提供了充足的过采样速率。在这种条件成立时,CDR模块不工作。

功能框图

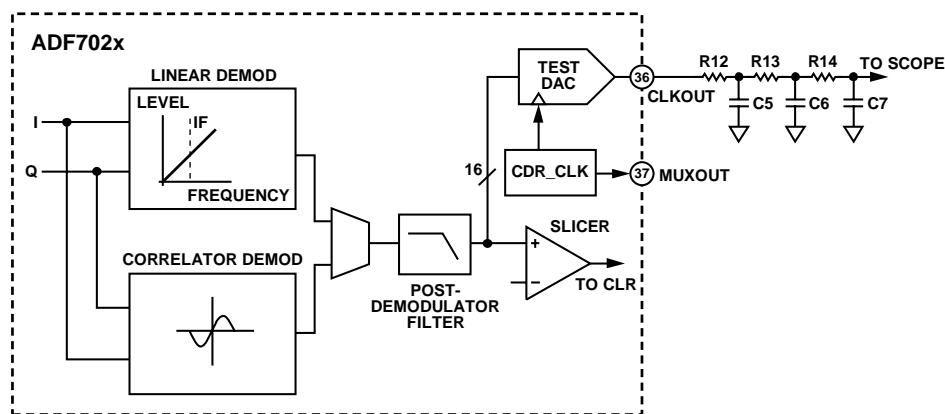


图1. 测试DAC在Rx信号链中的位置

目录

简介.....	1	查看眼图.....	3
FSK解调器.....	1	ADF7020-1上的模拟FM.....	4
功能框图.....	1	维特比解码、PSK解调和4级FSK解调.....	5

编程

用户可以通过编程测试寄存器(即寄存器12)使能测试DAC,以查看相关器或线性解调器的输出。

如果使用线性解调器,则需通过对寄存器13编程来消除部分DC失调。这种情况下,输出与频率成比例。结果,构成输出的有等于IF频率的DC失调和较低的信息信号(其输出与频率偏差成比例)。可以消除也可增大失调,以利用DAC的全部动态范围。

用户可以利用频率误差读回功能来计算实际IF,从而确定需要消除的失调。在此基础上,应将该值的一半编程到失调移除字段中。寄存器13还有一个信号增益项,允许利用DAC的最大动态范围。在最大RF输入功率下,应增大该设置直到DAC输出端的信号范围从VDD/4扩大到 $3 \times VDD/4$ 。若要了解需要哪些寄存器写操作,请参见表1。

查看眼图

要查看解调Rx信号的眼图,用户输入一个已调PRBS数据的RF信号进入前端。然后,用户可以根据示波器叠加多个位跃迁以获得眼图(请参阅图2和图3,了解两个示例输出)。

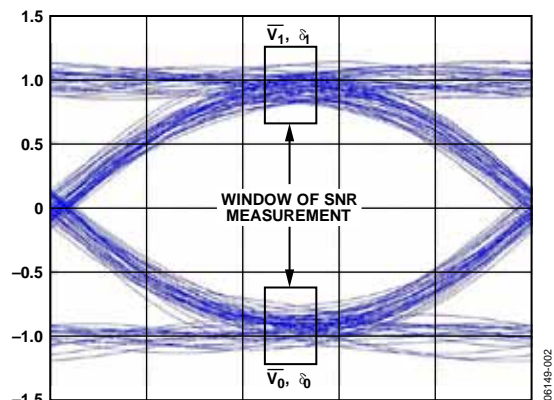


图2. 关于测试DAC输出端2级FSK信号的眼图

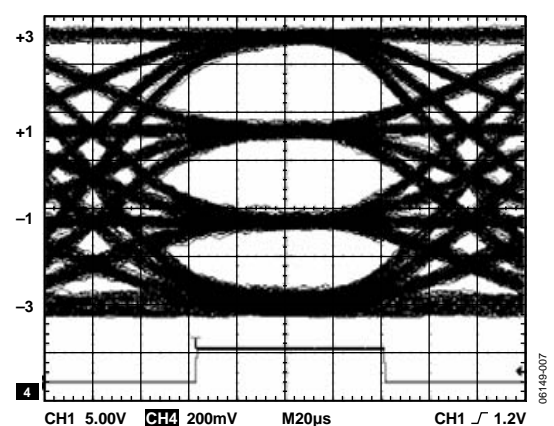


图3. 关于测试DAC输出端4级FSK信号的眼图

表1. 在线性和相关器解调器模式下对测试DAC输出编程时需要的寄存器值

解调器模式	寄存器编程	描述
相关器	0x0001 C00C	数字测试模式7: 使能测试DAC。
线性	0x0001 C00C	数字测试模式7: 使能测试DAC。
	0x02 800C	数字测试模式10: 使能测试DAC失调消除功能。
	0x8026 000D	寄存器13—消除失调: 取决于实际IF频率。

解调器输出的信噪比测量

信噪比的计算方法是：先测量0级1级下的平均信号电平，然后测量两级下噪声功率的标准差。这些测量须在眼中部进行。利用以下公式可以计算出信噪比(单位：dB)：

$$SNR (dB) = 20 \log \frac{(\overline{V_1} - \overline{V_0})}{\sqrt{\sigma_0^2 + \sigma_1^2}}$$

其中：

V = 平均信号电平

σ = 噪声功率的标准差

图4显示了信噪比与RF输入电平之间并在副轴上显示了比特误码率(BER)与RF输入电平之间的关系。Rx的灵敏度水平一般在BER = 1E - 3的条件下测量。解调器正确解调需要的最小信噪比也可在图中得到，其方法是跨灵敏度点画条直线。在图4中表示为两条水平虚线；相关器解调器等于~17 dB，线性解调器则为24 dB。

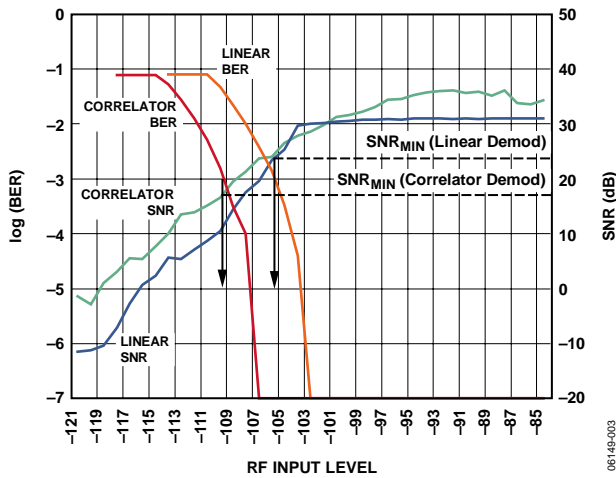


图4. 信噪比和比特误码率与RF输入电平

ADF7020-1上的模拟FM

ADF7020-1的工作频率范围为80 MHz至650 MHz，因此经过调谐，可以接收87.5 MHz至108 MHz范围内的FM频带。图5和图6所示为一种低成本的单声道FM接收器，其中使用了ADF7020-1、一个外部滤波器和一个PA。RC滤波器截止和后解调器带宽应设为12 kHz至15 kHz，并且应为19 kHz的导频音提供足够的衰减。通过外部立体声解码器(如三洋的LA3430)并将RC滤波器的有效带宽和后解调器带宽设于RDS通道的57 kHz以上，则可以接收立体声FM信号。

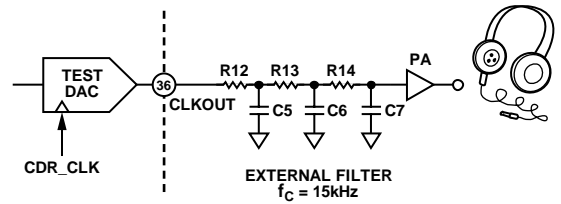


图5. 单声道/立体声FM接收电路的连接

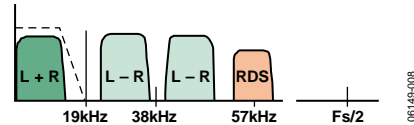


图6. 测试DAC输出端的复合FM频谱

维特比解码、PSK解调和4级FSK解调

对于要求对FSK解调器输出进行额外后处理的通信信道(如维特比检测、PSK/QPSK解调或4FSK符号时序恢复), FSK解调器的输出可轻松连接至DSP(如Blackfin BF53x)或高性能MCU。将ADF7020的1位过采样 $\Sigma\Delta$ 调制器输出连接至DSP/MCU上的一个输入端口即可。

ADF7020同时为1位 $\Sigma\Delta$ 调制器输出提供一个同步时钟(CDR_CLK)。该时钟可通过MUXOUT引脚(引脚37)输出。有关使能测试DAC和测试DAC时钟所需要的测试模式, 详见表2。

表2. 在线性和相关器解调器模式下对测试DAC输出和测试DAC时钟编程时需要的寄存器值

解调器模式	寄存器编程	描述
相关器	0xDxxx xxx0	使能寄存器0中的PLL测试模式。
	0x0001 C1EC	数字测试模式7和PLL测试模式30: 使能测试DAC和测试DAC时钟。
线性	0xDxxx xxx0	使能寄存器0中的PLL测试模式。
	0x0001 C1EC	数字测试模式7和PLL测试模式30: 使能测试DAC和测试DAC时钟。
	0x02 800C	数字测试模式10: 使能测试DAC失调消除功能。
	0x8026 000D	寄存器13—消除失调: 取决于实际IF频率。

以下是可以通过该接口在DSP或高性能MCU中进行的部分后处理任务：

- 前向纠错(FEC)
- PSK/QPSK解调
- 4FSK时序恢复
- DSP中的立体声/RDS解码器
- 汽车远程信息系统用的卫星接收器(ADF7020-1, 138 MHz频带)

前向纠错(FEC)

对于要求更高信道鲁棒性、更高接收器灵敏度和/或更低输出功率的应用，可在外部DSP/MCU上配合ADF7020收发机应用FEC技术(如卷积编码)。一般而言，卷积编码器的复杂性相对直观，对ADF7020上的发射位流起作用。卷积编码器的复杂性以指数方式取决于框架中的状态数量，通常以维特比解码器的形式实现。然而，这种复杂性可由高性能DSP(如BF53x)或高性能MCU轻松处理。

图7所示为整个系统的框图。这种情况下，卷积编码器和维特比检测器都在DSP中实现。通过把过采样1位 $\Sigma\Delta$ 调制器输出(引脚36)和时钟(引脚37)连接至DSP通用标志或SPORT接口可以实现对ADF7020 FSK解调器输出的访问。DSP的第一级对1位 $\Sigma\Delta$ 调制器输出执行低通滤波和抽取，以重建多位FSK解调器输出信号。这为维特比检测和符号时序恢复提供软判决值。

根据所用卷积码的约束长度，可以实现显著的信号处理增益。例如，如果无线电链路采用 $\frac{1}{2}$ 速率卷积码和7位约束长度，则最高可实现8.9 dB处理增益。在允许 $\frac{1}{2}$ 速率代码损失的情况下，相对于未编码通道，该系统最大可提供5.9 dB的有效信号处理增益。

若要了解有关Blackfin上FEC实现方式的详细信息，请访问：
http://www.analog.com/library/analogDialogue/archives/39-03/smart_modem.html

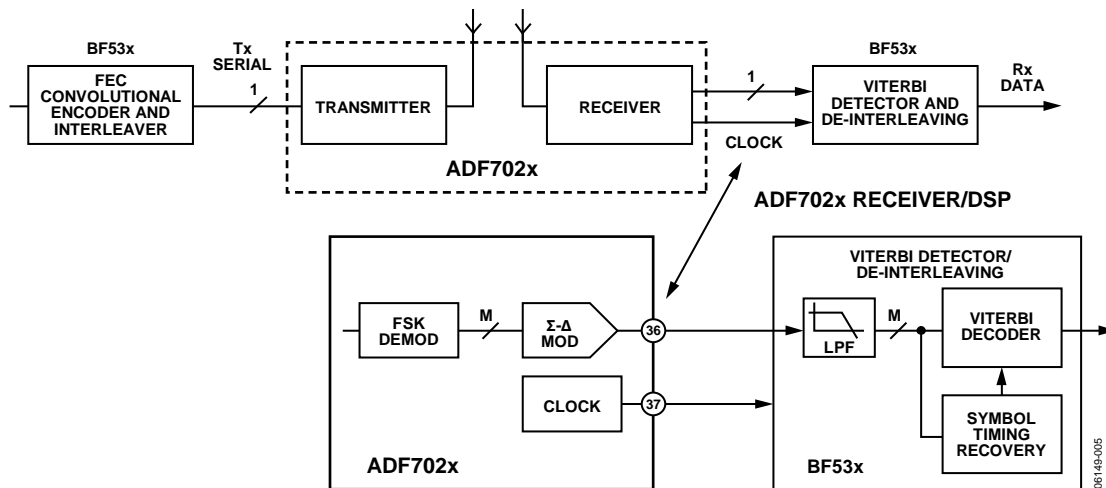


图7. 接口示意图（其中显示了FEC解码需要的连接）

PSK/QPSK解调

对于采用PSK或QPSK调制的系统，可以利用ADF7020和Blackfin DSP实现适当的相位解调。图8所示为基本系统级示意图。ADF7020的SD调制器输出和时钟的连接方式如前向纠错(FEC)部分所述。通过执行积分运算(积分和清除)以恢复来自FSK解调器输出的相位信息，可以实现对PSK和QPSK调制的解调。请注意，ADF7020可以发射和接收带正弦Tx基带整形的OQPSK调制，无需使用外部DSP。这是因为调制等于最小频移键控(MSK)。

4FSK符号和时序恢复

与Blackfin DSP或高性能MCU配合，ADF7020也可用于实现4FSK解调和符号时序恢复功能。在此应用中，

ADF7020 FSK相关器解调器用于提供4个FSK符号的鉴频。符号时序恢复在DSP中实现。ADF7020与BF53x之间的接口通过SD调制器输出实现，方法与前向纠错(FEC)部分所描述的一样。

4个FSK符号(-3、-1、+1和+3)的眼图可以通过对SD调制器的输出进行低通滤波加以考察(示例见图3)。为了使ADF7020相关器解调器在4 FSK下实现最佳性能，建议将相关器带宽设为偏差频率的4倍，该频率用于代表发射器端的+1和-1两个符号。例如，如果用来表示4个FSK符号(-3、-1、+1、+3)的发射器频率分别为-2.4 kHz、-800 Hz、+800 Hz和+2.4 kHz，ADF7020 FSK相关器的鉴频器带宽(在寄存器6中编程)应优化为 $4 \times 800 \text{ Hz} = 3.2 \text{ kHz}$ 。

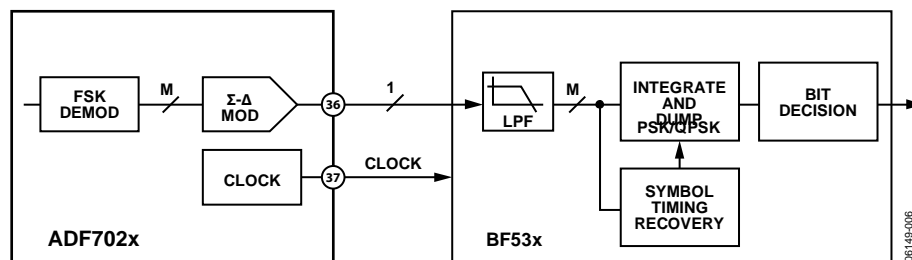


图8. 利用ADF7020和Blackfin DSP实现PSK解调

注释