

## 利用AD9951 DDS作为ADN2812连续速率CDR的捷变参考时钟以提供数据速率

作者: Mike Hummel和Kevin Buckley

### 简介

本应用笔记描述如何利用AD9951直接数字频率合成器(DDS)作为ADN2812连续速率时钟和数据恢复(CDR)器件的捷变参考时钟生成器。

在典型应用中,ADN2812将自动锁定至10 Mb/s与2.7 Gb/s之间的任何输入串行NRZ数据流,而不需要利用参考时钟作为辅助采集工具,也不需要针对具体数据速率或数据速率范围进行任何编程。对于有多个通道以不同数据速率接收不同协议数据的协议无关线路卡来说,这是理想选择(图1)。

然而,ADN2812有一种可选模式,可提供一个参考时钟,以便对ADN2812进行限制,使其锁定至特定的数据速率。例如,DWDM系统中可能存在16个不同的通道,传输着16种不同协议的数据。出于计费目的,服务供应商可能希望对任意特定通道上的速率进行限制。比如通过设置ADN2812,使其仅锁定至该通道上对客户收费的特定速率。

对于需要锁定至协议无关线路卡上众多特定数据速率的频率捷变-接收器来说,AD9951 DDS与ADN2812 CDR相结合,构成一种简单、节省空间的解决方案。

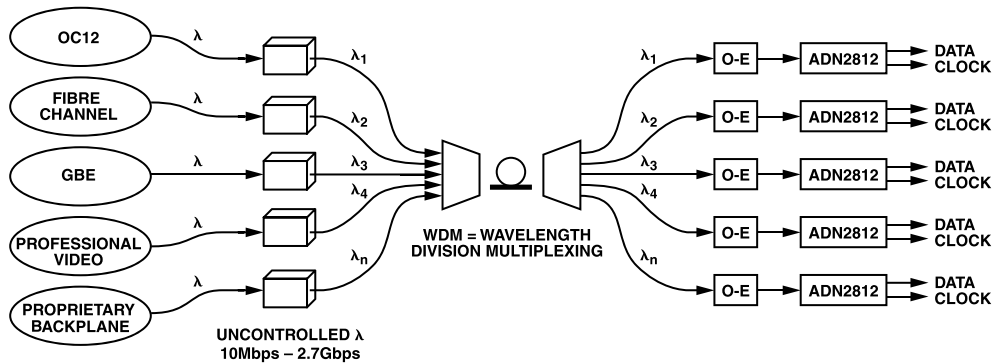


图1. WDM转换器功能框图

## ADN2812连续速率CDR

ADN2812(图2)可提供下列接收器功能：量化、信号电平检测、时钟和数据恢复，适用于从10 Mbps到2.7 Gbps的连续数据速率。专利PLL/DLL架构超越全部SONET抖动要求，包括抖动传递、抖动产生和抖动容差。该器件配合PIN二极管和TIA前置放大器，可以实现高度集成的低成本、低功耗光纤接收器。

默认模式下，ADN2812将自动锁定至从10 Mbps至2.7 Gbps范围内的任意数据速率，无需使用参考时钟或微控制器。

但通过可选的I2C®访问模式，用户可以

- 利用参考时钟(本应用笔记讨论的主题)锁定至特定数据速率。
- 回读ADN2812锁定至的数据速率(适用于粗调和精调两种回读模式)。
- 访问多种其他工作模式和可选功能。

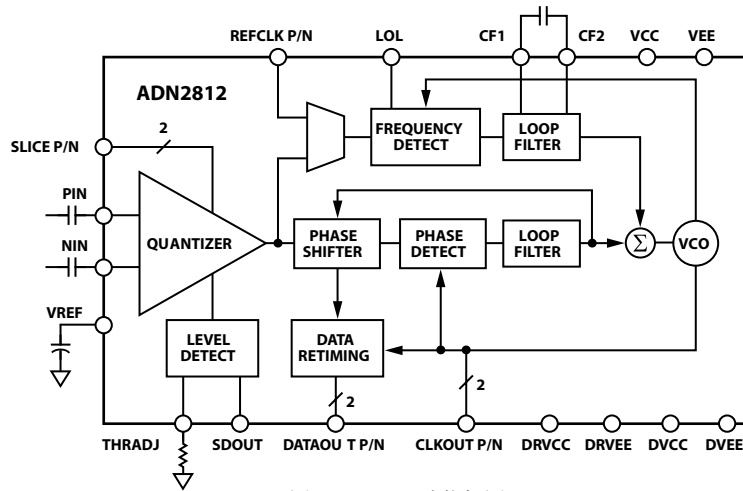


图2. ADN2812功能框图

## AD9951直接数字频率合成器

AD9951(图3)是一款直接数字频率合成器(DDS), 内置一个14位DAC, 工作速率最高达400 MSPS。该器件采用先进的DDS技术, 连同高速、高性能的内置D/A转换器, 构成数字可编程的完整高频合成器, 能够产生高达200 MHz的捷频模拟输出正弦波。AD9951旨在提供快速跳频和精密调谐分辨率(32位频率调谐字)。频率调谐和控制字通过串行I/O端口载入AD9951。

与所有DDS架构一样, 输出DAC(以及相位累加器及其馈入的查找表)的采样速率必须达到最大所需输出频率的两倍以上。AD9951及其他系列成员因内置PLL时钟乘法器电路(该电路可用4与20之间的任何整数乘以时钟), 因此, 与任何现有时钟配合后, 可轻松满足这一要求。例如, 施加于AD9951的10MHz时钟频率可以乘以20, 结果可获得高达80 MHz的输出频率(奈奎斯特频率极限加上低通重构滤波器容差)。

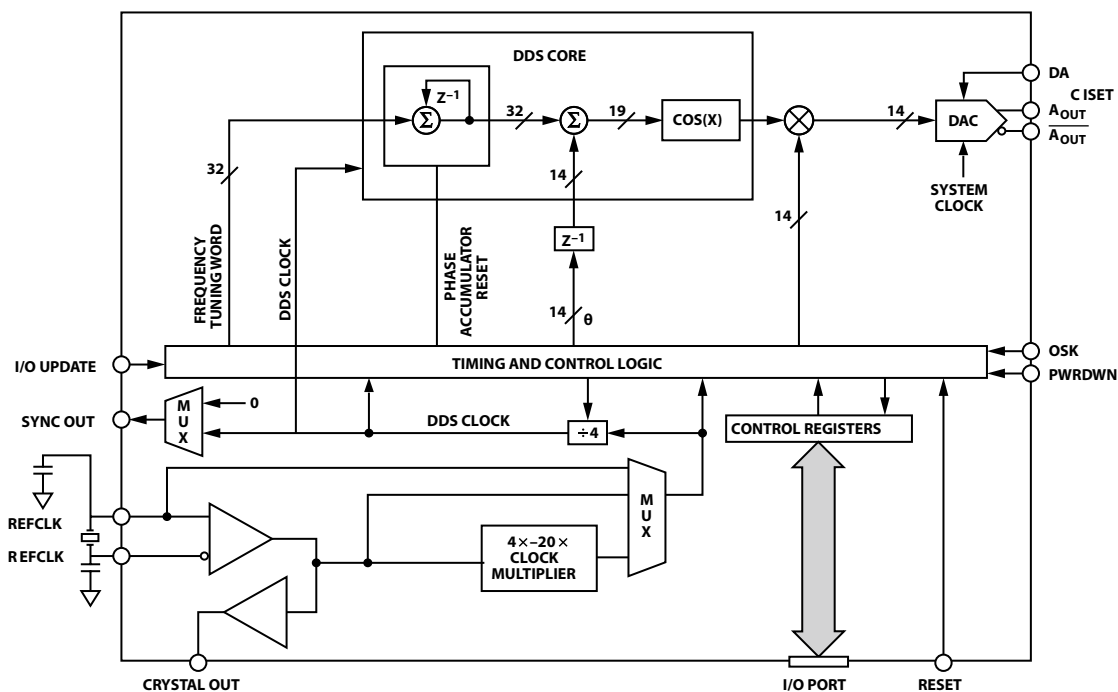


图3. AD9951功能框图

## 应用电路

完整电路如图4所示。AD9951 DDS的时钟输入为19.44 MHz，这是SONET系统中的常见频率。该单端信号交流耦合至REFCLK输入，REFCLK输入则通过一个0.1  $\mu\text{F}$ 电容(C1)去耦至AVDD。由于该DDS具有极佳的调谐能力，因此所用频率并不重要。只要PLL乘法器设置正确，并在调谐字中选择了适当的值，就几乎可以使用任何可用频率。另外，可以将一个晶体直连至REFCLK和REFCLK输入。

使用片上PLL乘法器时，DDS时钟占空比并非至关重要，但是，如果直接提供高速时钟且关闭乘法器，则任何抖动或占空比误差将影响到DDS输出的质量。

R1和C2构成PLL乘法器环路滤波器的一部分。尽管数据手册将1 k $\Omega$ 和0.1  $\mu\text{F}$ 作为通用值，但更高的乘法系数和输出频率配合此处列出的值250  $\Omega$ /0.01  $\mu\text{F}$ 可取得更好的效果。DDS的输出来自一个14位电流DAC，其基准电流由R2设定。所示值3.85 k $\Omega$ 可产生10 mA的满量程输出电流。IOUT和IOUTN输出的顺从电压范围比 $V_{\text{DD}}$ 高低250 mV左右，因此，它们通过R3和R4 (22  $\Omega$ )连接至 $V_{\text{DD}}$ ，结果产生440 mV p-p的满量程输出电压。

ADN2812的参考时钟额定为最低100 mV p-p差分电平。R5/C4和R6/C5形成一对简单的低通滤波器，以平滑DAC输出并消除镜像。然后，这些经滤波处理的差分信号直流耦合至CDR REFCLKP输入。REFCLKP和REFCLKN引脚为一个差分时钟

缓冲的输入，100 k $\Omega$ 电阻内部端接至 $V_{\text{CC}}/2$ 。输入级可处理轨到轨输入电平，因而在差分驱动输入时不需要交流耦合。

ADN2812的其他引脚依据ADN2812数据手册中的应用电路进行连接；信号输入一般利用PIN/TIA或ROSA进行交流耦合。CML输出CLKOUTP、CLKOUTN、DATAP和DATAN以100  $\Omega$ 端接至 $V_{\text{CC}}$ ，然后通过50  $\Omega$ 传输线路，并交流耦合至接收链中的下一个器件。

## ADN2812寄存器设置

在以锁定至参考时钟模式使用参考时钟时，必须针对所需数据速率对ADN2812的CTRLA寄存器进行编程。ADN2812寄存器通过标准I<sup>2</sup>C接口写入。针对某些标准数据速率的合适参考时钟频率和CTRLA寄存器值如表I所示。

例如，为使ADN2812仅锁定至OC-48 (2.48832 Gb/s)：

1. 设置AD9951，以向ADN2812提供19.44 MHz参考时钟。
2. 使CTRLA = 00011101；
  - a. CTRLA[7..6] = 00(基准频率位于10 MHz和20 MHz之间)
  - b. CTRLA[5..2] = 0111(其中， $2.48832 \times 10^9 / 19.44 \times 10^6 = 128 = 2^{\text{CTRLA}[5..2]}$ )
  - c. CTRLA[1..0] = 01(锁定至参考时钟)

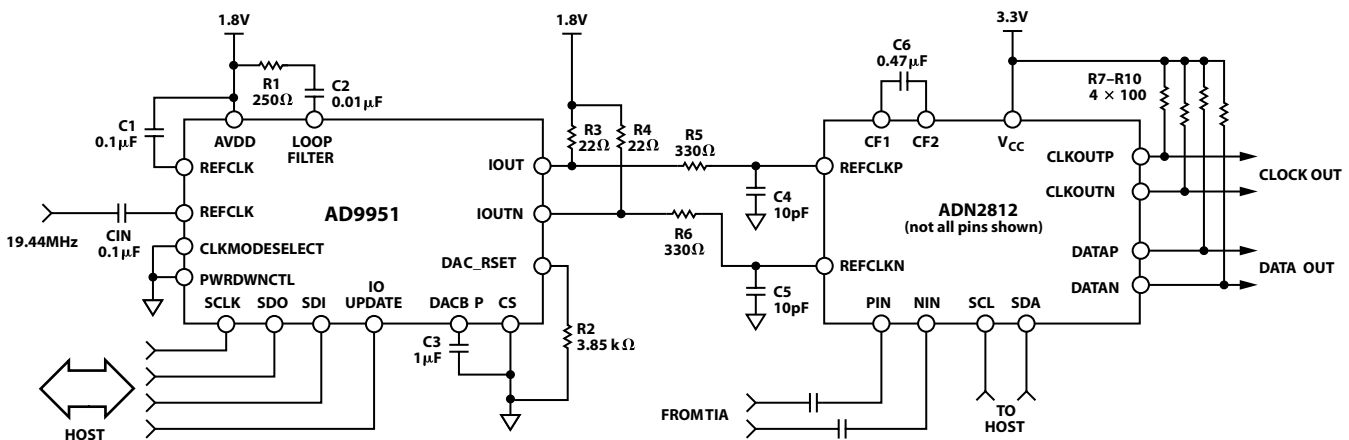


图4. 应用图

在输入数据速率或参考时钟频率发生任何变化之后，必须向CTRLA[0]中写入一个0至1的跃变，以便为新的数据速率或基准频率启动新的采集程序。

有关ADN2812中其他寄存器的信息，请参阅ADN2812数据手册。

**表I. 针对锁定至REFCLK模式的ADN2812 I<sup>2</sup>C寄存器设置**

数据速率	REFCLK频率 (MHz)	CTRLA设置
OC-48 (2.48832 Gb/s)	19.44	00011101
OC-12 (622.08 Mb/s)	19.44	00010101
OC-3 (155.52 Gb/s)	19.44	00001101
GbE (1.25 Gb/s)	39.0625	01010101
光纤通道(1.0625 Gb/s)	16.602	00011001
2 × FC (2.125 Gb/s)	16.602	00011101
高清电视(1.485 Gb/s)	23.203	01011001

### AD9951寄存器设置

AD9951通过一个高速串行端口连接至主机微控制器，该串行端口可以是双线单向接收型(SCLK和SDI)，如果需要寄存器回读，也可以是3线型(SCLK、SDI和SDO)。当数据传送到器件时，将储存在保持寄存器中，直到IO\_UPDATE引脚从低切换至高为止，此时，数据将从保持寄存器传输至内部工作寄存器。这一特点为同步多个DDS器件提供了方便。

上电时，载入AD9951寄存器的默认值适用于这种应用。唯一需要写入的值是用于PLL乘法器电路(CFR2)和频率调谐字(FTW0)的值。

就本例而言，DDS的时钟输入为19.44 MHz，通过将PLL乘法器设置为与倍乘系数20相乘，可获得最佳结果。在利用PLL乘法器产生大于220 MHz的DDS系统时钟中，建议将VCO增益位(CFR2<2>)设为高。可见，应向CFR2寄存器的<7:0>位写入十六进制值0A4。

然后，将一个32位值载入FTW0(频率调谐字)寄存器，以产生正确的输出频率。表II列出了针对该表所示各种数据速率的十六进制加载值。如果串行端口以最高速率(25 MHz)工作，可以在约2 μs内完成一次频率变化，一般而言，这一速度比要求的要快，实际上，比CDR锁定至输入数据的速度快数个数量级。

**表II. 常用数据速率的频率调谐字值**

数据速率	REFCLK频率 (MHz)	FTW0设置 (Hex)
OC-48 (2.48832 Gb/s)	19.44	0C CC CC CD
OC-12 (622.08 Mb/s)	19.44	0C CC CC CD
OC-3 (155.52 Gb/s)	19.44	0C CC CC CD
GbE (1.25 Gb/s)	39.0625	19 B8 5C B5
光纤通道(1.0625 Gb/s)	16.602	0A EE 6D 7B
2 × FC (2.125 Gb/s)	16.602	0A EE 6D 7B
高清电视(1.485 Gb/s)	23.203	0F 47 17 0D

## 结束语

AD9951 DDS与ADN2812连续速率CDR相结合，为需要提供数据速率的时钟和数据恢复应用提供了一种占用电路板空间低的理想型低功耗解决方案，几乎支持任何现有系统时钟频率。可以恢复10 Mbps至2.7 Gbps的任何数据速率，符合所有应用规范的要求。

## 参考文献

AD9951数据手册初始版，Rev PrB，3/03，Analog Devices, Inc.

ADN2812数据手册初始版，Rev PrE，12/02，Analog Devices, Inc.

如果系统符合Philips公司定义的I<sup>2</sup>C标准规范，则用户在购买ADI公司或其下属机构拥有Philips公司许可的I<sup>2</sup>C器件时，可以获得Philips公司I<sup>2</sup>C专利权之下的许可，以便在I<sup>2</sup>C系统中使用这些器件。