

## 同步多个基于DDS的频率合成器AD9852

作者: David Brandon

### 简介

许多应用要求产生两个或两个以上具有已知相位关系的正弦波或方波信号。ADI公司的AD9852 DDS IC能够提供这种信号。本应用笔记详细说明了如何使两个或更多该器件同步，同时考虑了可能的相位误差源。对于正交应用，请参见内置正交配置的AD9854 DDS；不过，本应用笔记同样适用于AD9854。

为成功同步，用户必须能控制REFCLK与EXT I/O UPDATE CLK上升沿之间的时序关系。目的是让所有DDS采用相同的SYSTEM CLK计数工作，其与各DDS的计数相差小于 $\pm 1$ 。因此，必须使EXT I/O UPDATE CLK与REFCLK同步。

对于DAC输出滤波失配引起的相位误差，AD9852的可编程相位调整特性可以抵消这种失配。

### 参考时钟(REF CLOCK)

成功同步多个AD9852的首要要求是所有DDS的REFCLK输入之间的相位误差必须达到最小。REFCLK边沿之间的任何相位差异都会导致DDS输出出现成比例的相位差异。因此，用户必须审慎考虑时钟分配在电路板(PCB)上的布局(参见图1)。

AD9852 REFCLK输入电路可以选择使用差分输入或单端配置。差分REFCLK模式具有最佳的开关特性，因此推荐使用这种模式。REFCLK边沿的输入抖动应当极小，上升/下降时间应当很短(推荐值为1 ns以下)。REFCLK边沿上升时间较长会增加相位误差时间，因为输入电路的电压跳变点因器件不同而异。

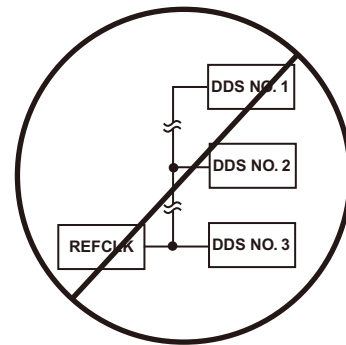
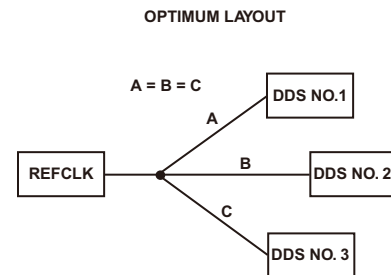


图1. REFCLK的分配

### I/O更新时钟(I/O UPDATE CLOCK)

I/O UPDATE CLK负责将I/O端口缓冲的内容传输至编程寄存器，数据在编程寄存器中被激活。该时钟具有两种工作模式，I/O UPDATE CLK既可以由DDS提供，也可以由用户提供。出于同步原因，强力推荐采用外部模式。内部模式非常复杂，因此不予考虑。

### AD9852 I/O接口详情

拥有边沿快速且路径适当的REFCLK信号之后，下一个时序要求是数据必须同步传输至DDS编程寄存器。I/O UPDATE CLK将I/O端口缓冲的内容传输至编程寄存器，数据在编程寄存器中被激活。同步多个DDS要求EXT I/O UPDATE CLK的上升沿同时发生在所有DDS上，如同REFCLK一样。此外，EXT I/O UPDATE CLK的上升沿必须发生在相对REFCLK而言的适当时间。

AD9852可以采用串行模式或并行模式编程。图2显示了并行模式。如果是串行模式，则并行数据路径前方会有一个附加7位移位寄存器及其它支持电路。然而，这里显示该图的主要原因是为了查看REFCLK和EXT I/O UPDATE CLK的路径。

对于图2，需要注意几点：SYSTEM CLK是如何获得的；以及在单端REFCLK模式中REFCLK是如何反相的。另外还应

注意，边沿检波电路将使一个异步EXT I/O UPDATE CLK与SYSTEM CLK同步(如图3所示)。不过，使它与REFCLK同步以避免DDS之间的SYSTEM CLK计数失配，则是用户的责任。

取决于REFCLK模式的设置(单端或差分)和/或是否使用片内REFCLK乘法器(PLL)，REFCLK与EXT I/O UPDATE CLK之间的时序关系会改变。本文稍后将说明这些时序变化。

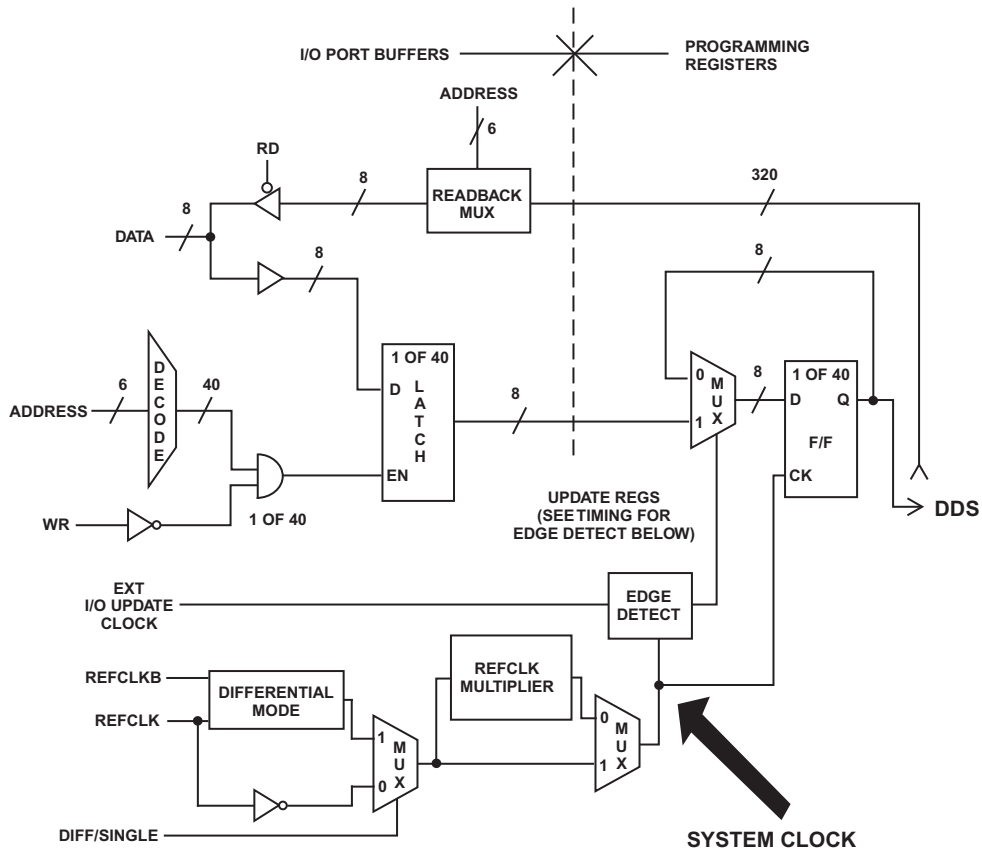


图2. AD9852并行接口框图

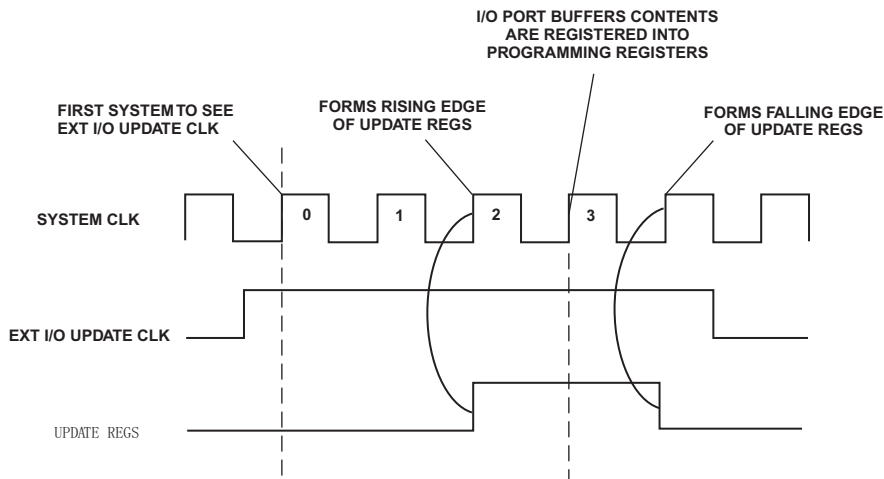


图3. Ext I/O Update CLK的边沿检波时序

从图3中的时序可以看出，为使同步成功，EXT I/O UPDATE CLK与SYSTEM CLOCK之间必须存在正确的时间关系，这一点至关重要。如果满足了该时间关系要求，则所有DDS的所有SYSTEM CLOCK均为同一计数，而不会相差 $\pm 1$ 或更多SYSTEM CLOCK计数。用户可以控制EXT I/O UPDATE CLK上升沿与REFCLK之间的关系，从而控制上述时间关系。下面的“同步操作指南”部分将说明如何实现这一时序关系。

## 复位的背景说明

上电之后、向DDS传输任何数据之前必须发出一个复位(RESET)指令，这将使DDS输出至一个已知相位，该相位作为共同基准点，以便同步多个DDS。

RESET迫使AD9852的相位累加器状态变为 $\text{COS}(0)$ 。当新数据被同时送至多个DDS时，DDS之间可以保持相关相位关系，或者通过相位偏移调整寄存器可以预测性调整多个DDS之间的相对相位偏移。AD9852可以实现14位的相位偏移调整，相当于 $0.022^\circ$ 相位分辨率。相位偏移调整位于相位累加器与相位振幅转换器之间。

## 同步操作指南

图4介绍了一种可能的参考设计，它可以成功同步多个DDS。本示例说明如何使两个DDS处于相同相位关系。

图4中，D触发器使EXT I/O UPDATE CLK能与REFCLK同步，并且提供一个建立时间。正常操作可能要求REFCLK路径具有额外时间延迟。这一延迟取决于触发器CK至Q的传播时间。

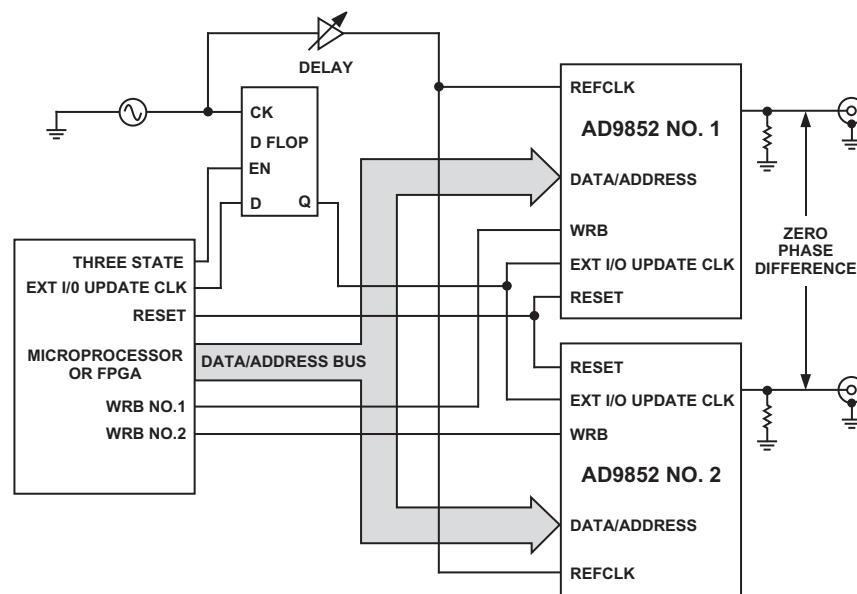


图4. 应用电路

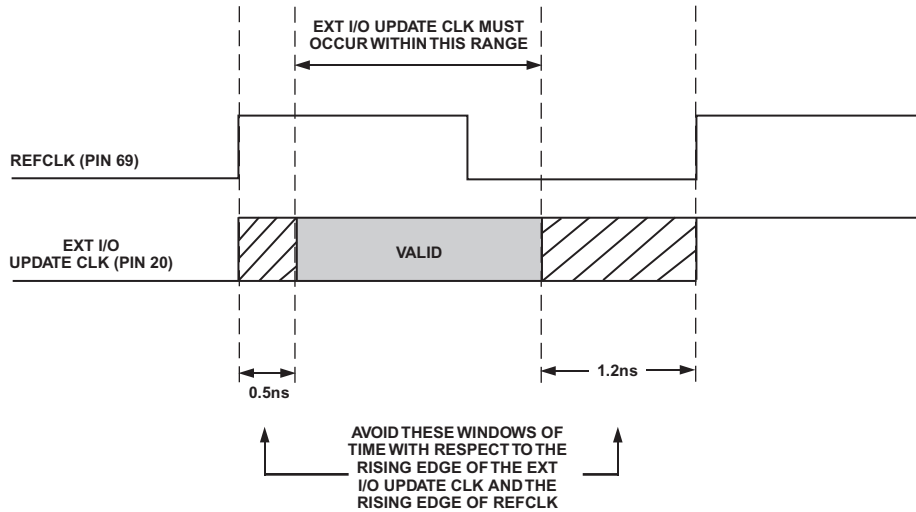
根据REFCLK的单端或差分模式，EXT I/O UPDATE CLK(引脚20)与REFCLK(引脚69)之间的推荐时序关系分别如图5和图6所示。REFCLK乘法器使能情况下的时序关系如图8和图9所示。

下面是关于使两个DDS处于相同相位关系的一些通用操作指南和建议(参考图4)。

请注意操作指南有两种，分别针对使能和不使能REFCLK乘法器的情况。

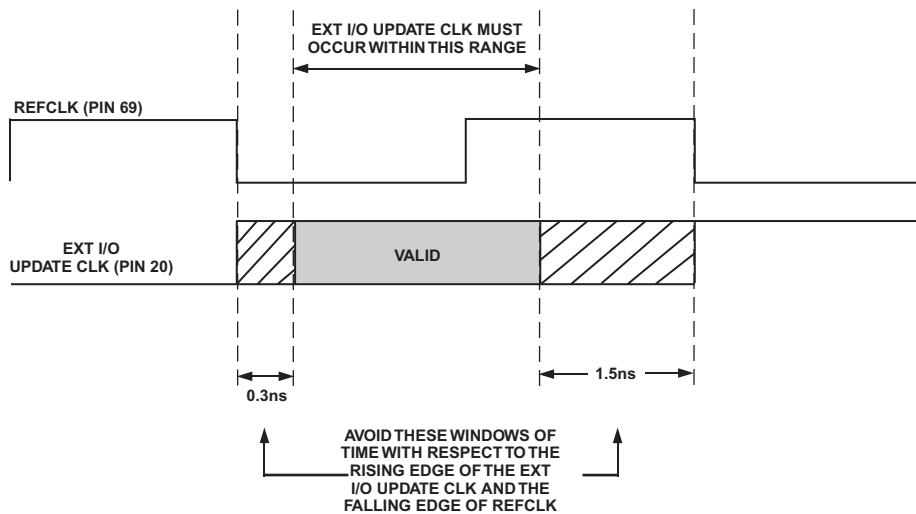
同步两个DDS的操作指南(不使能AD9852的REFCLK乘法器):

1. 使所有器件上电并施加公共REFCLK。
2. 发送一个公共RESET指令，且最小高电平时间为10个REFCLK周期。
3. 将所有DDS编程为EXT I/O UPDATE CLK模式(如需要，旁路数字乘法器和同步信号反相)。
4. 将1号DDS编程为所需的频率和 $0^\circ$ 相位偏移，不发出EXT I/O UPDATE CLK。
5. 将2号DDS编程为完全相同的频率和 $0^\circ$ 相位偏移，不发出EXT I/O UPDATE CLK。



NOTE: EXT I/O UPDATE CLK'S RISING EDGE TIMING IS RELATIVE TO REFCLK'S RISING EDGE.

图5. 差分REFCLK模式下REFCLK与EXT I/O Update CLK之间的正确时序关系



NOTE: EXT I/O UPDATE CLK'S RISING EDGE TIMING IS RELATIVE TO REFCLK'S FALLING EDGE. THIS IS DUE TO THE INVERSION OF THE REFCLK IN SINGLE-ENDED MODE. SEE FIGURE 2 FOR INVERSION.

图6. 单端REFCLK模式下REFCLK与EXT I/O Update CLK之间的正确时序关系

- 参考上图关于EXT I/O UPDATE CLK与REFCLK之间的推荐时序关系，注意根据给定差分或单端REFCLK模式选择适当的图形。
- 置位公共EXT I/O UPDATE CLK。这将使所有DAC输出以编程设置的正确频率和相位偏移同时激活。

### 使用AD9852的REFCLK乘法器(PLL)

当同步多个DDS时，使用AD9852的REFCLK乘法器必须小心谨慎，因为PLL锁定时间会因器件不同而异。这意味着，在PLL锁定间隔期间传送至相位累加器的SYSTEM CLK

周期数是不可预测的。因此，在此期间调谐字必须为零；如果之前执行过复位(RESET)，则零是调谐字的默认值。调谐字为零可以防止相位累加器在PLL锁定期间递增。

由于所有器件均与一个公共REFCLK同步，并且PLL锁定至REFCLK，因此所有SYSTEM CLK信号也应同相(假设已如上文所述将一个正确的REFCLK信号路由至各DDS)。

PLL锁定时间典型值约为400  $\mu$ s。由于IC加工的差异和温度对锁定时间的影响，建议为锁定留出至少1.0 ms时间(参考图7)。

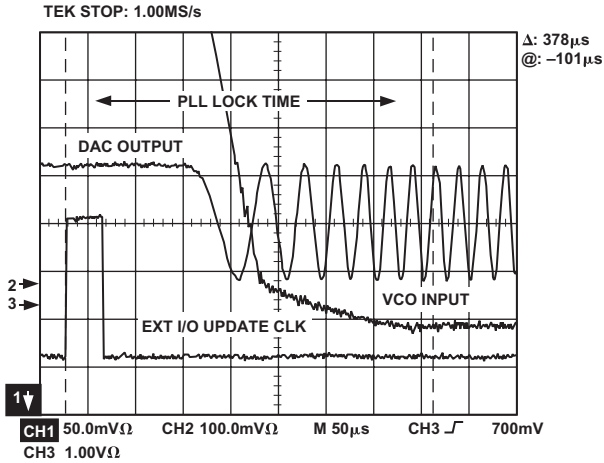
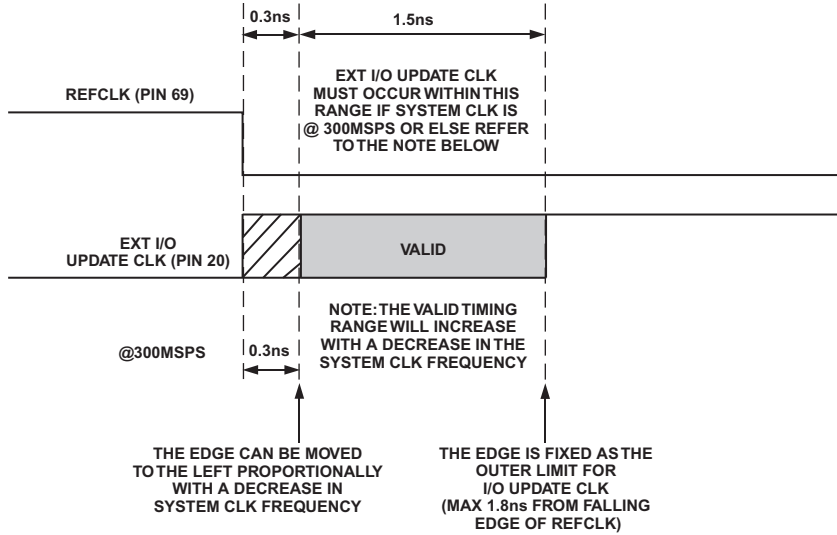


图7. PLL锁定时间典型值

注意：REFCLK乘法器将在REFCLK的下降沿锁定；因此，在差分REFCLK模式下，EXT I/O UPDATE CLK信号应当以REFCLK的下降沿为基准，而在单端模式下，应当以上升沿为基准。EXT I/O UPDATE CLK(引脚20)的上升沿与REFCLK(引脚69)之间的推荐时序关系如图8和图9所示。



NOTE: THE RISING EDGE OF EXT I/O UPDATE CLK IS RELATIVE TO THE FALLING EDGE OF REFCLK DUE TO THE FACT THAT THE PLL LOCKS TO THE FALLING EDGE OF REFCLK.

图8. 差分REFCLK模式下使用REFCLK乘法器时的正确时序关系

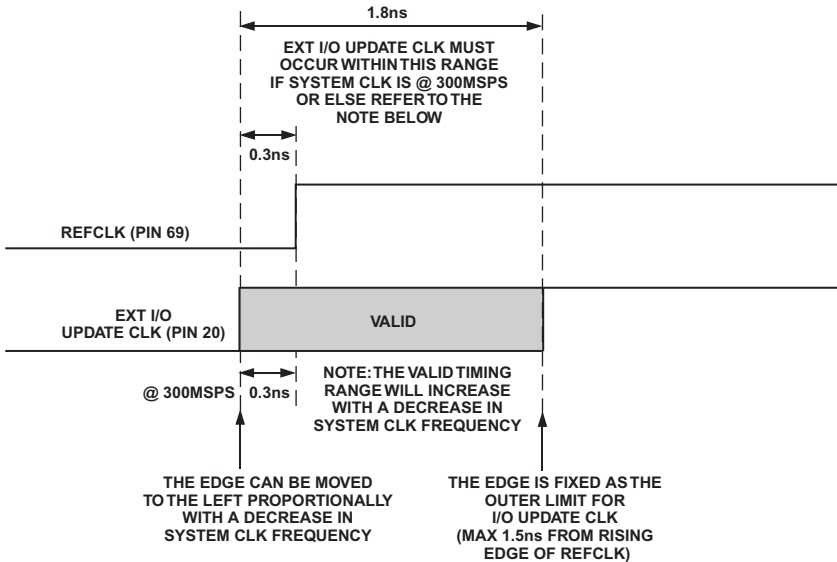


图9. 单端REFCLK模式下使用REFCLK乘法器时的正确时序关系

同步两个DDS的操作指南(AD9852的REFCLK乘法器使能):

1. 使所有器件上电并施加公共REFCLK。
2. 发送一个公共RESET指令, 且最小高电平时间为10个REFCLK周期。
3. 将所有DDS编程为EXT I/O UPDATE CLK模式(如需要, 旁路数字乘法器和同步信号反相)。
4. 将所有DDS编程为PLL模式并设置REFCLK乘法器值。
5. 发送EXT I/O UPDATE CLK指令, 等待1.0ms以便PLL锁定。
6. 将1号DDS编程为所需的频率和0°相位偏移, 不发出EXT I/O UPDATE CLK。
7. 将2号DDS编程为完全相同的频率和0°相位偏移, 不发出EXT I/O UPDATE CLK。
8. 参考下图关于EXT I/O UPDATE CLK与REFCLK之间的推荐时序关系, 注意根据差分或单端REFCLK模式选择适当的图形。

切记: 在写入每个新调谐字和/或相位偏移时, 用户必须确保REFCLK乘法器是使能的。

9. 置位公共EXT I/O UPDATE CLK。这将使所有DAC输出以编程设置的正确频率和相位偏移同时激活。

## 小结

只要妥善处理并采用适当的程序, 同步多个DDS是可以实现的。下图说明了如何使两个AD9852彼此同步。图10中, REFCLK频率设置为100 MHz, 而图11中则为300 MHz, 二者均为非PLL模式。图12中, REFCLK频率设置为75 MHz, REFCLK乘法器值编程为43(系统时钟为300 MHz)。图13显示两个DDS保持正交, 即使频率改变后仍然如此。正交由图13中的光标位置表示。

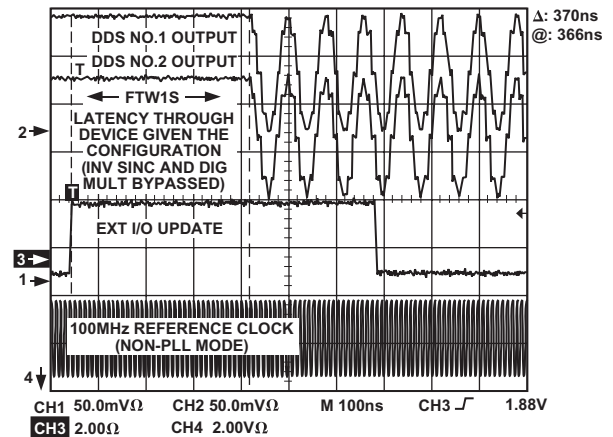


图10. DDS同步 -(条件:  $V_{CC} = 3.3\text{ V}$ ,  $REFCLK = 100\text{ MHz}$ , 非PLL模式,  $25^{\circ}\text{C}$ )

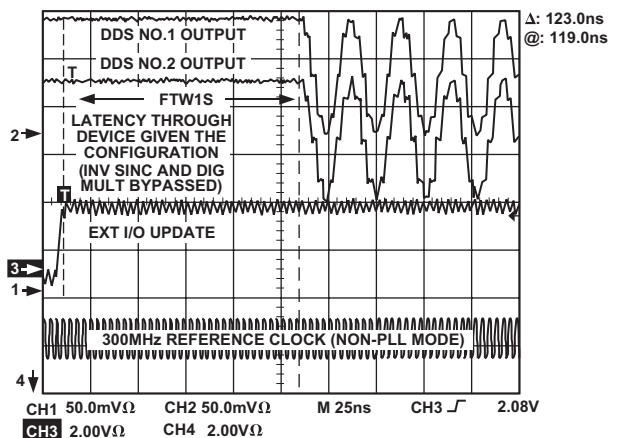


图11. DDS同步 -(条件:  $V_{CC} = 3.3\text{ V}$ ,  $REFCLK = 300\text{ MHz}$ , 非PLL模式,  $25^{\circ}\text{C}$ )

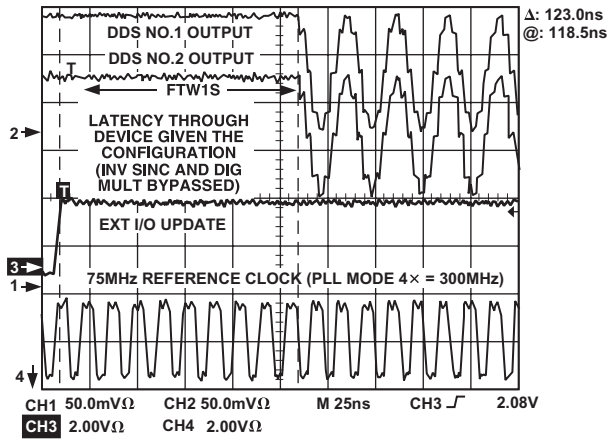


图12. DDS同步 -(条件:  $V_{CC} = 3.3\text{ V}$ ,  $REFCLK = 75\text{ MHz}$ , 启用PLL (4x)模式,  $25^{\circ}\text{C}$ )

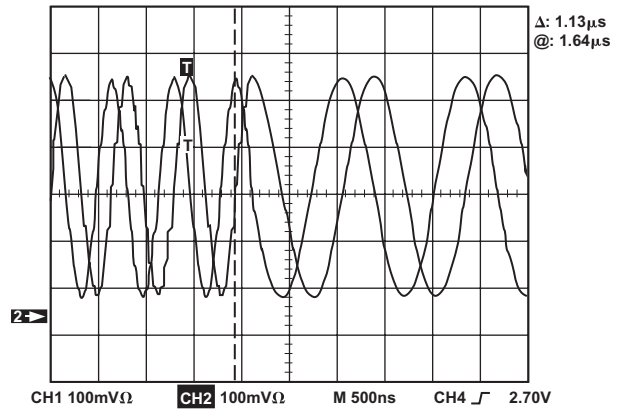


图13. DDS正交同步 -(条件:  $V_{CC} = 3.3\text{ V}$ ,  $REFCLK = 40\text{ MHz}$ , 非PLL模式,  $25^{\circ}\text{C}$ )

AN-605

E03074-0-1/03(0)

PRINTED IN U.S.A.