

如何为ADF4355-2设置VCO旁路校准

作者: Robert Brennan

VCO校准

旁路VCO校准以缩短锁定时间

对于任意给定输出频率, ADF4355-2都会采用特定的电压控制振荡器(VCO)内核、频段和偏置代码。这三种设置在VCO自动校准(AUTOCAL)过程中自动选择。设置从ADF4355-2读取并存储在查找表中。用该查找表旁路AUTOCAL例程可以缩短更改频率时的总锁定时间。例如, 在环路带宽为59.7 kHz时, 可实现不到30 μs的锁定时间。图1所示为一款合适的环路滤波器示例。

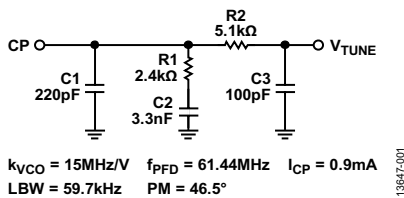


图1. 环路带宽为59.7 kHz的环路滤波器示例

由于每块ADF4355-2芯片都具有唯一性, 因此必须为每块芯片生成一个新的查找表。

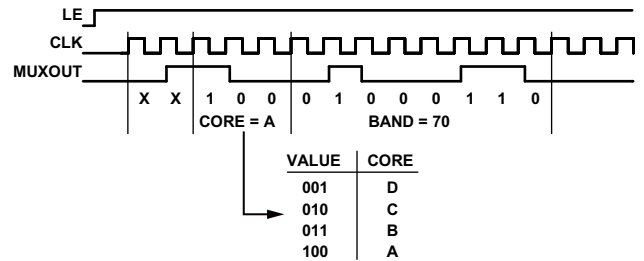
VCO回读程序

VCO回读程序如下:

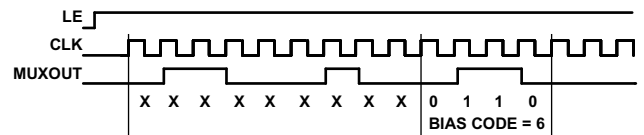
- 加载全部寄存器, 锁定为目标频率。
 - 确保VCO读已设为VCO内核和频段(R10, DB[28:26] = 0b001)(见图5)。
 - 确保VCO回读已设为VCO校准完成(R7, DB[14:12] = 0b110)(见图4)。
 - 确保MUXOUT已设为VCO回读(R4, DB[29:27] = 0b111)(见图3)。
 - 确保AUTOCAL已启用(R0, DB21 = 0b1); 见ADF4355-2数据手册中的R0寄存器图。
- 等到MUXOUT输出一个逻辑高电平(VCO校准完成)。
- 加载R7, 其中, VCO回读设为VCO回读(R7, DB[14:12] = 0b111)。
- 脉冲SPI CLK, 同时LE保持高电平。数据在MUXOUT上输出。抽取数据, 如图2所示。
- 加载R10, 其中, VCO读设为VCO偏置代码(R10, DB[28:26] = 0b011)。
- 对偏置数据重复第4步。

- 重复第1步至第6步, 为全部目标频率建立一个查找表。对于第1步, 仅在第一次迭代后再需要写R10、R7、R2、R1和R0。如果无变化, 则R2和R1为可选。

CORE AND BAND (R10 DB[28:26] = 1):



BIAS CODE (R10 DB[28:26] = 3):



NOTES

- X = DON'T CARE.
- MUXOUT MUST BE SET TO VCO READBACK (R4, DB[29:27] = 7).
- VCO READBACK MUST BE SET TO VCO READBACK (R7, DB[14:12] = 7).
- DATA IS CLOCKED OUT ON THE POSITIVE EDGE OF CLK AND READ ON THE NEGATIVE EDGE OF CLK. READBACK STARTS ON THE FIRST CLK EDGE AFTER LE GOES HIGH. LE MUST STAY HIGH DURING A READ.

图2. VCO回读

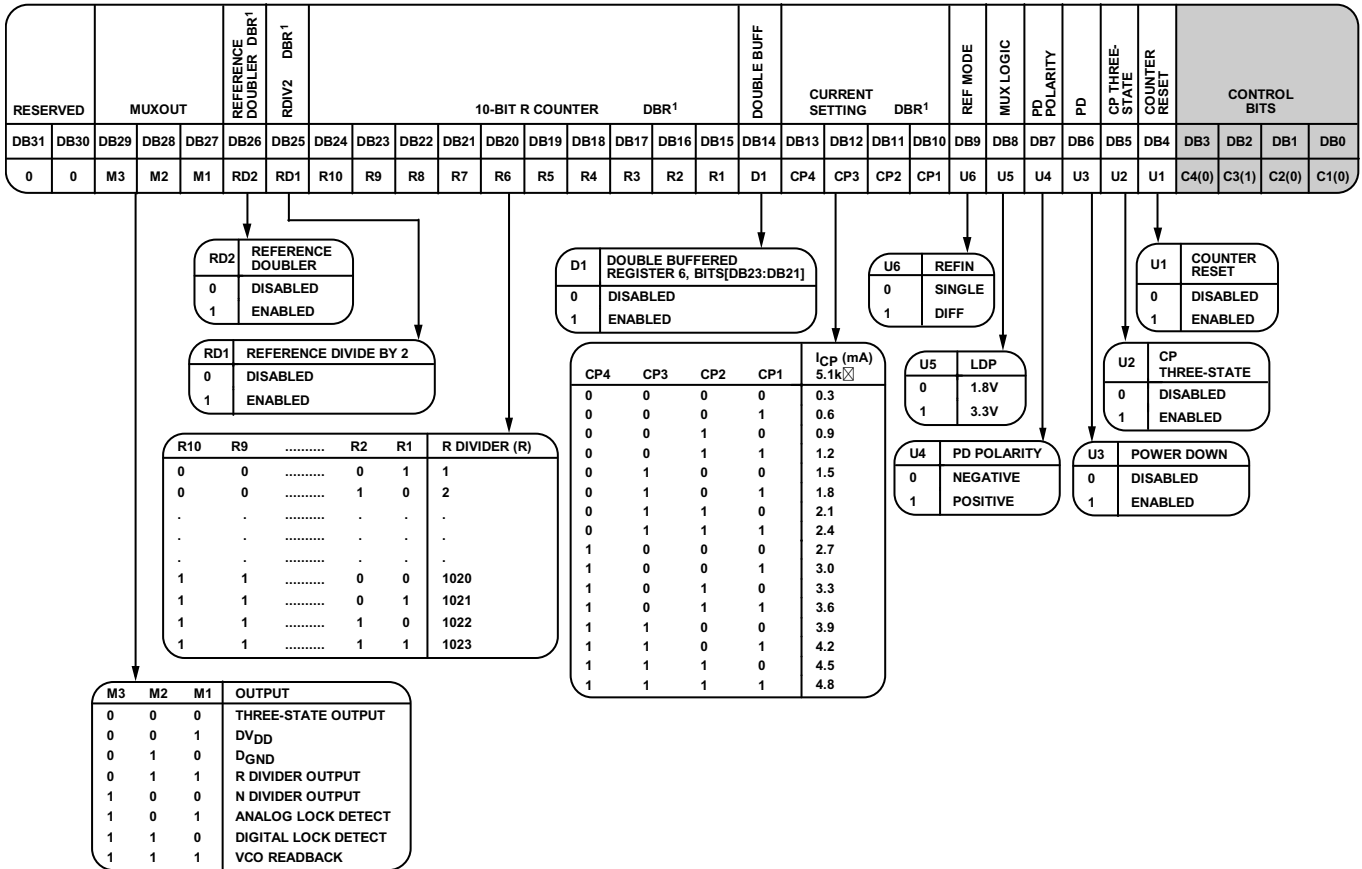
旁路自动校准(AUTOCAL), 手动选择VCO和锁定

如果目标频率的所需VCO内核、频段和偏置代码是已知的(例如, 在一个查找表中), 则可通过下列步骤旁路VCO校准例程, 并手动设置VCO数据:

- 加载R0, 其中, AUTOCAL被禁用(R0, DB21 = 0b0)。如果AUTOCAL已经被禁用, 则这一步为可选步骤。
- 加载R10, 其中, VCO写设为VCO内核和频段(R10, DB[31:29] = 0b001)。
- 加载R11, 其中, 目标VCO内核、VCO频段和VCO偏置按图6的规定进行设置。注意, 读和写操作在VCO内核位方面是不同的。
- 加载R10, 其中, VCO写设为VCO偏置代码(R10, DB[31:29] = 0b011)。
- 以与第3步中相同的值重新加载R11。
- 通过编程R2、R1和R0, 分别锁定至目标频率。

AN-1381

扩展版ADF4355-2寄存器图



¹DBR = DOUBLE BUFFERED REGISTER—BUFFERED BY THE WRITE TO REGISTER 0.

图3. 寄存器4

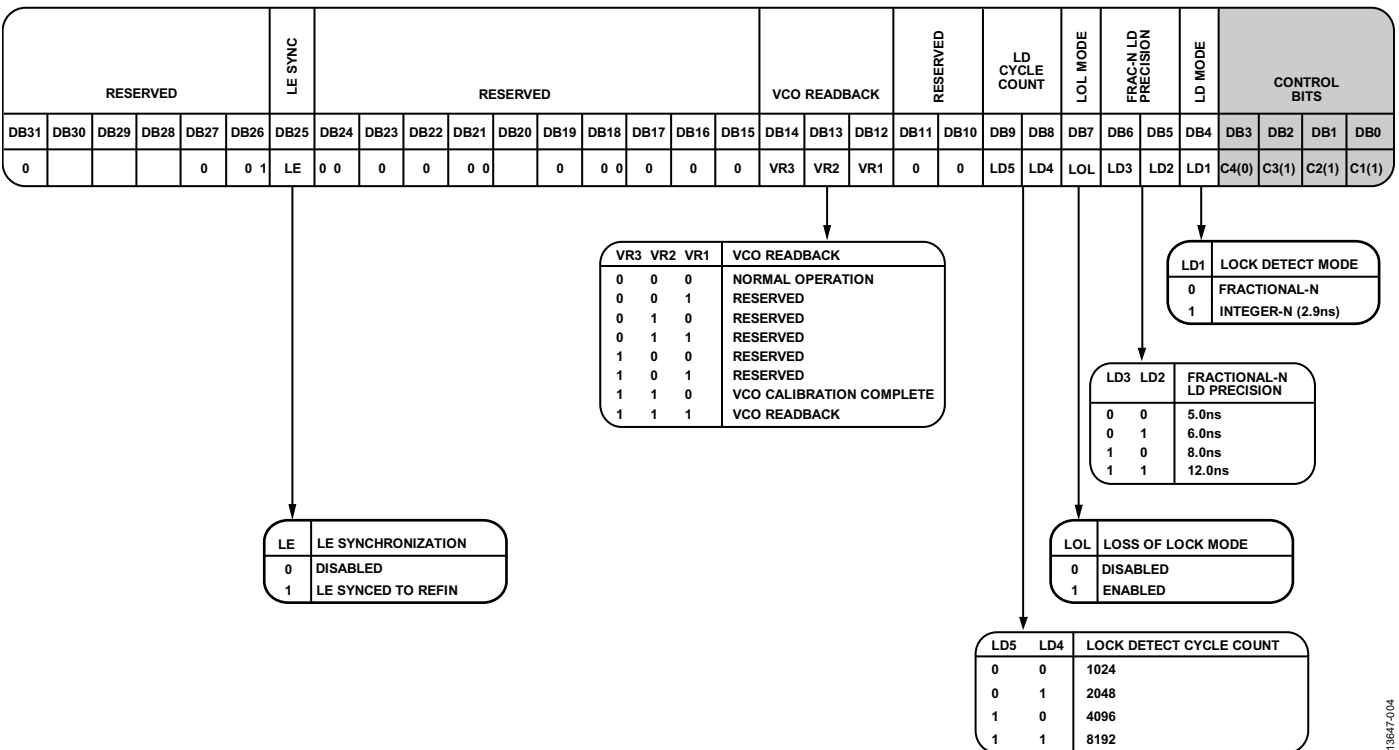


图4. 寄存器7

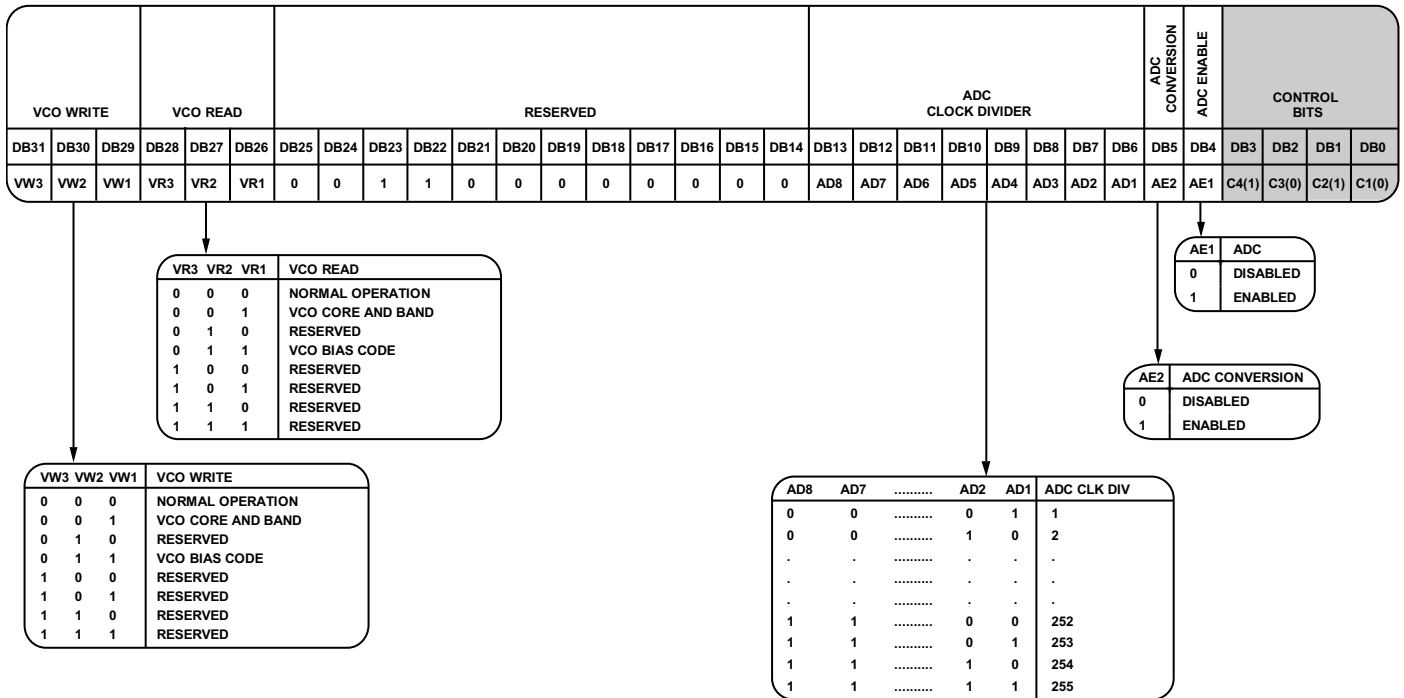


图5. 寄存器10

13847-005

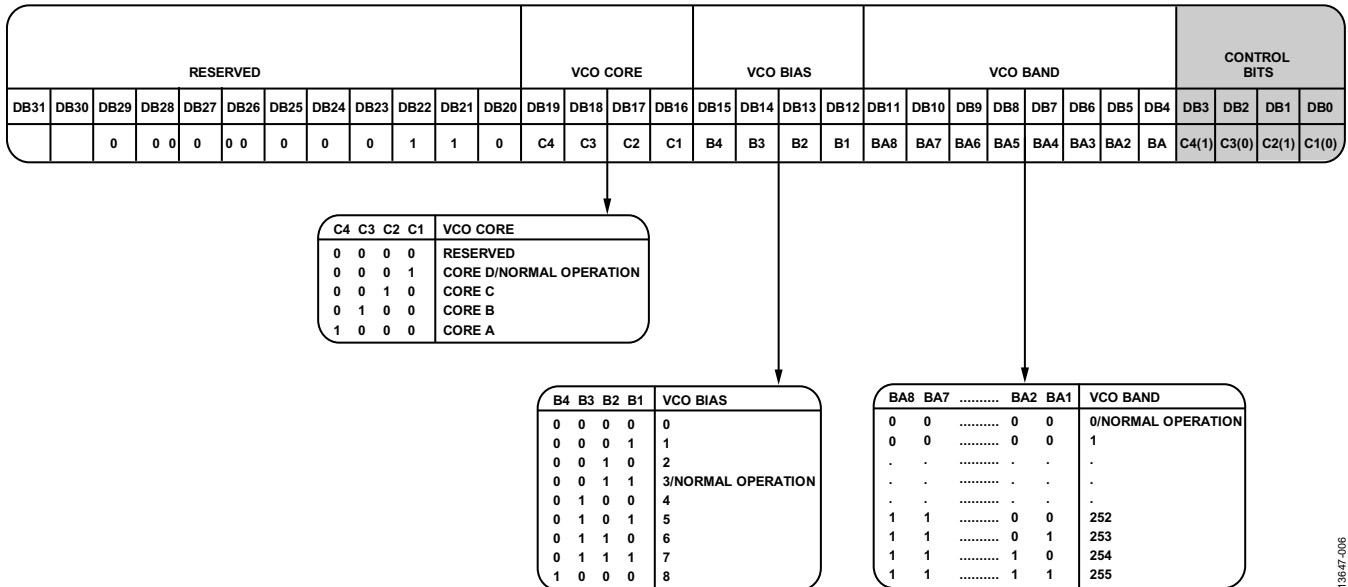


图6. 寄存器11

13847-006

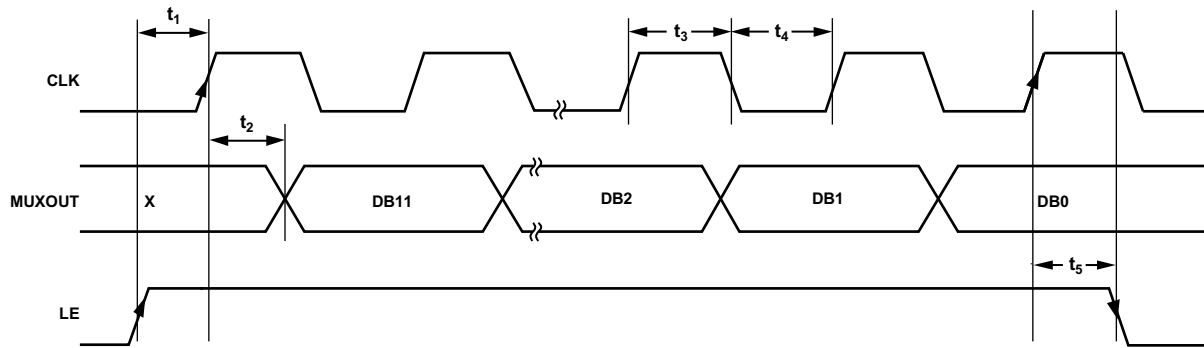
AN-1381

读取时序特性

表1. 读取时序

参数	在 T_{MIN} 至 T_{MAX} 时的限值	单位	描述
t_1	15	ns min	LE高电平至CLK高电平
t_2	15	ns min	CLK高电平至DATA就绪
t_3	25	ns min	CLK高电平持续时间
t_4	25	ns min	CLK低电平持续时间
t_5	10	ns min	CLK高电平至LE低电平(下次写)

读取时序图



NOTES
 1. LE MUST BE KEPT HIGH DURING READBACK.
 2. X = DON'T CARE.

图7. 读取时序图

13847-007