

利用 ADI 公司产品进行电路设计
放心运用这些配套产品迅速完成设计。
欲获得更多信息和技术支持, 请拨打 4006-100-006 或
访问 www.analog.com/zh/circuits。

连接/参考器件

AD9910	1 GSPS 直接数字频率合成器(DDS)
AD9520	时钟发生器和分配 IC
ADCLK846	高速 LVDS 时钟扇出缓冲器

同步多个 1 GSPS 直接数字频率合成器 AD9910

电路功能与优势

多个 DDS 器件同步后, 就可以在多个频率载波实现相位和幅度的精确数字调谐控制。这种控制在雷达应用和用于边带抑制的正交(I/Q)上变频中很有用。

图 1 中的电路显示如何利用时钟发生器 AD9520 和时钟扇出缓冲器 ADCLK846, 来同步四个 1 GSPS DDS 芯片 AD9910。其结果是四个 AD9910 器件的时钟和输出信号之间实现相位精确对准。

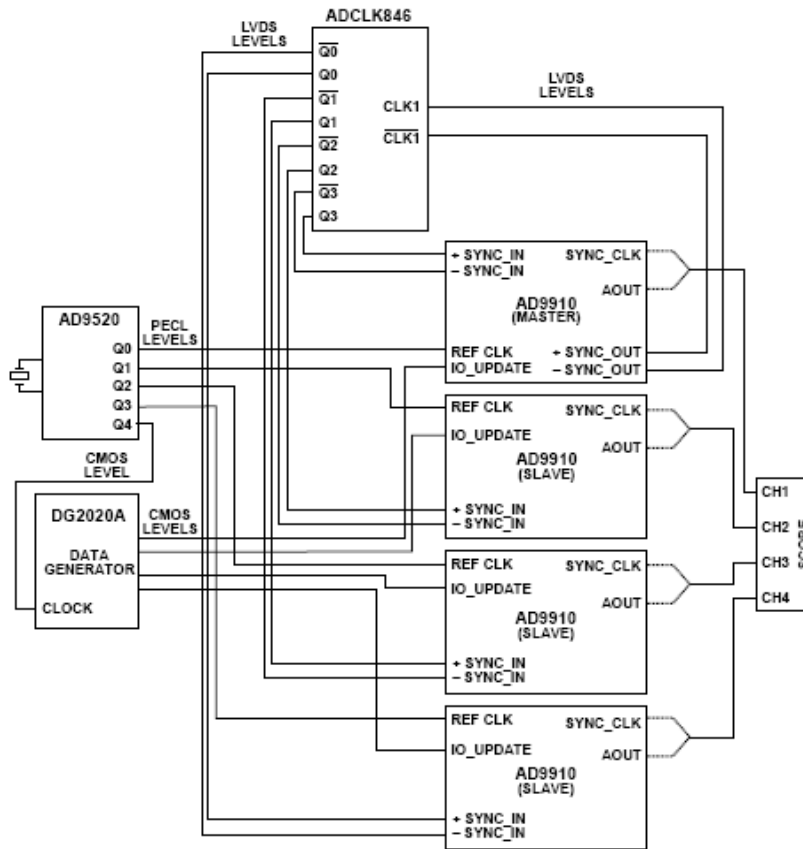


图 1. 多个 AD9910 同步设置 (原理示意图, 未显示去耦、电源和所有连接)

Rev.A

“Circuits from the Lab” from Analog Devices have been designed and built by Analog Devices engineers. Standard engineering practices have been employed in the design and construction of each circuit, and their function and performance have been tested and verified in a lab environment at room temperature. However, you are solely responsible for testing the circuit and determining its suitability and applicability for your use and application. Accordingly, in no event shall Analog Devices be liable for direct, indirect, special, incidental, consequential or punitive damages due to any cause whatsoever connected to the use of any “Circuit from the Lab”. (Continued on last page)

电路描述

图 1 所示电路由各产品的评估板相连构成。连接所用的电缆长度相互匹配。同步多个 AD9910 有三项基本要求，首先要求提供完全一致的参考时钟(REF CLK)。

该设置将 AD9520 用作各 AD9910 DDS 的参考时钟源。AD9520 利用外部晶振和内部 PLL 工作，将相位对准的 1 GHz 参考时钟 (PECL 输出) 分配给所有四个 AD9910 评估板。它还向 Tektronix DG2020A 数据模式发生器提供 CMOS 输出时钟，用于 IO_UPDATE。

其次要求对准所有四个 AD9910 的 SYNC_CLK 上升沿。SYNC_CLK 提供基准，以便实现完全一致的 IO_UPDATE。SYNC_CLK 对准利用 AD9910 的内部同步功能实现。ADCLK846 向所有四个 AD9910 分配相位对准的 SYNC_IN。有关 AD9910 同步功能的更多详细信息，请参考其数据手册。

图 2 显示 AD9910 内部同步电路禁用时的所有四个 SYNC_CLK。请注意，即使参考时钟相位对准，SYNC_CLK 本身也不一定会对准。

为使 SYNC_CLK 上升沿相位对准，将一个 AD9910 设置为主器件，将其它 DDS 设置为从器件。主器件的 SYNC_OUT 为 LVDS 信号，由 ADCLK846 缓冲并分配给所有 AD9910 评估板。SYNC_IN 信号(LVDS)必须满足各器件系统时钟的内部设置与保持时间要求。AD9910 还能够延迟主器件的 SYNC_OUT，以便达到这一时序要求。为了提高灵活性，各器件的内部 SYNC_IN 路径均可独立延迟。

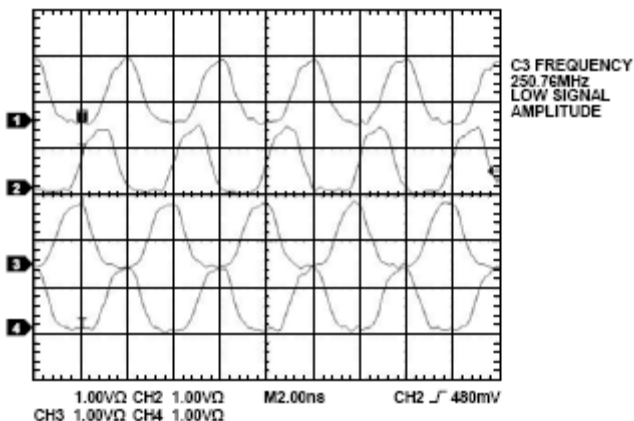


图 2. SYNC_CLK 未对准

在图 1 所示设置中，评估板之间的连接采用匹配电缆，因此可以使用内部默认延迟值来实现 SYNC_CLK 相位对准。图 3 显示通过上述同步程序而实现的 SYNC_CLK 相位对准。

最后，同步多个 DDS 器件要求 IO_UPDATE 完全一致。IO_UPDATE 必须满足 SYNC_CLK 的设置与保持时间要求。图 1 所示的 IO_UPDATE 同步发送至 SYNC_CLK。最后一项要求使 DDS 输出可控。

图 4 和图 5 显示相位对准的 DDS 输出。由于这些器件彼此同步，因而 DDS 之间的相位和/或幅度调整可预测。

请注意，图 5 中的系统时钟工作频率降至 100 MHz，并且输出未经滤波，可显示各 DDS 的原始输出。图 5 还显示各器件输出相同信号时的同步值。

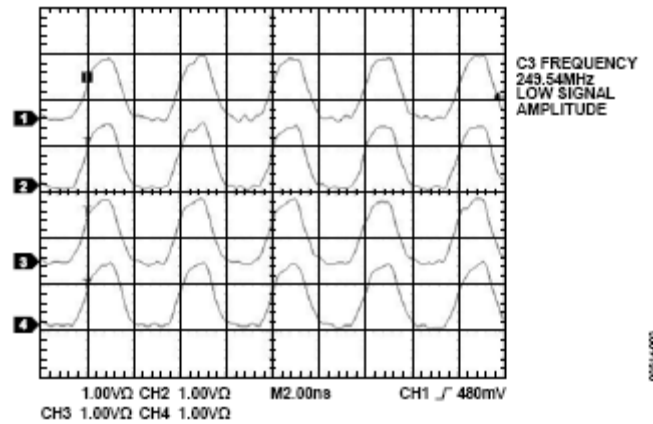


图 3. SYNC_CLK 已对准

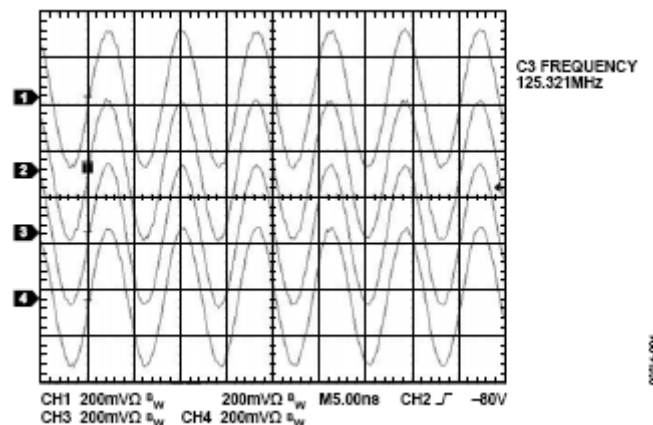


图 4. 采用图 1 所示设置、相位对准且经过滤波的 DDS 输出

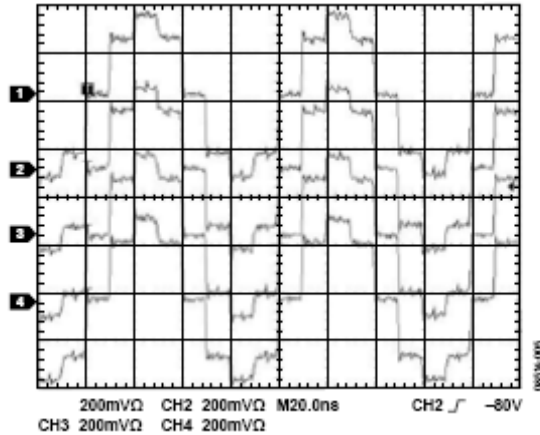


图5. 采用图1所示设置、相位对准且未经滤波的DDS输出

常见变化

ADI提供各种直接数字频率合成器、时钟分配芯片和时钟缓冲器，用来构建基于DDS的时钟发生器。欲了解更多信息，请访问www.analog.com/zh/dds和www.analog.com/zh/clock。

进一步阅读

- [AN-823 Application Note, Direct Digital Synthesizers in Clocking Applications. Analog Devices.](#)
- [AN-837 Application Note, DDS-Based Clock Jitter Performance vs. DAC Reconstruction Filter Performance. Analog Devices.](#)
- [Kester, Walt. 2005. The Data Conversion Handbook. Analog Devices. Chapters 6 and 7.](#)
- [Kester, Walt. 2006. High Speed System Applications. Analog Devices. Chapter 2, "Optimizing Data Converter Interfaces."](#)
- [Kester, Walt. 2006. High Speed System Applications. Analog Devices. Chapter 3, "DACs, DDSs, PLLs, and Clock Distribution."](#)
- [MT-031 Tutorial, Grounding Data Converters and Solving the Mystery of AGND and DGND. Analog Devices.](#)
- [MT-085 Tutorial, Fundamentals of Direct Digital Synthesis \(DDS\), Analog Devices.](#)
- [MT-086 Tutorial, Fundamentals of Phase Locked Loops \(PLL\), Analog Devices.](#)
- [MT-101 Tutorial, Decoupling Techniques. Analog Devices.](#)

数据手册和评估板

- [AD9910 Data Sheet.](#)
- [AD9910 Evaluation Board.](#)
- [AD9520 Data Sheet.](#)
- [AD9520 Evaluation Board.](#)
- [ADCLK846 Data Sheet.](#)
- [ADCLK846 Evaluation Board.](#)

修订历史

- 12/09—Rev. 0 to Rev. A**
- Changes to Figure 1 1
- 10/09—Revision 0: Initial Version**

(Continued from first page) "Circuits from the Lab" are intended only for use with Analog Devices products and are the intellectual property of Analog Devices or its licensors. While you may use the "Circuits from the Lab" in the design of your product, no other license is granted by implication or otherwise under any patents or other intellectual property by application or use of the "Circuits from the Lab". Information furnished by Analog Devices is believed to be accurate and reliable. However, "Circuits from the Lab" are supplied "as is" and without warranties of any kind, express, implied, or statutory including, but not limited to, any implied warranty of merchantability, noninfringement or fitness for a particular purpose and no responsibility is assumed by Analog Devices for their use, nor for any infringements of patents or other rights of third parties that may result from their use. Analog Devices reserves the right to change any "Circuits from the Lab" at any time without notice, but is under no obligation to do so. Trademarks and registered trademarks are the property of their respective owners.